

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 977 462**

51 Int. Cl.:

A63F 13/52 (2014.01)

G06T 15/00 (2011.01)

G06T 15/06 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **16.09.2016 PCT/EP2016/072018**

87 Fecha y número de publicación internacional: **23.03.2017 WO17046354**

96 Fecha de presentación y número de la solicitud europea: **16.09.2016 E 16775106 (4)**

97 Fecha y número de publicación de la concesión europea: **24.01.2024 EP 3349870**

54 Título: **Motor de juego en un chip**

30 Prioridad:

16.09.2015 US 201562219593 P
17.09.2015 US 201562220167 P
18.02.2016 US 201615047556

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
23.08.2024

73 Titular/es:

TMRW FOUNDATION IP SARL (100.0%)
14-16, Avenue Pasteur
2310 Luxembourg, LU

72 Inventor/es:

YERLI, CEVAT

74 Agente/Representante:

ARAUJO EDO, Mario

ES 2 977 462 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Motor de juego en un chip

5 Campo técnico

La presente exposición se refiere a un chip o conjunto de chip electrónico. En particular, la presente exposición se refiere a un motor de juego implementado en un chip o conjunto de chip electrónico en hardware. La presente exposición se refiere, además, a un sistema sobre chip ("system on chip") o a un sistema en paquete ("system in chip").

10

Antecedentes

Los motores de juego desempeñan un papel crecientemente importante en las aplicaciones de gráficos. Una tarea importante de un motor de juego de *software* es proporcionar los gráficos más realistas y de mejor calidad posible en el rendimiento en tiempo real. Un motor de juego de *software* normalmente se proporciona en forma de código ejecutable por ordenador que es ejecutado en una unidad central de procesamiento (CPU, por sus siglas en inglés). Por ejemplo, el motor de juego normalmente puede ejecutarse en un procesador o microprocesador de un dispositivo informático, tal como una CPU de un ordenador personal, una consola, un teléfono móvil o una tableta. Por lo tanto, el rendimiento de la CPU podría determinar el rendimiento de un motor de juego de *software*.

15

20

El motor de juego de *software* también puede acceder a una unidad de procesamiento de gráficos (GPU, por sus siglas en inglés). Por ejemplo, la GPU puede representar gráficamente una lista de objetos individuales con un rendimiento muy elevado en la memoria de gráficos o en la memoria de vídeo. Una escena de gráficos de ordenador puede incluir un gran número de objetos con características relacionadas con su posición y orientación, comportamiento, propiedades materiales y similares. Con el fin de conseguir escenas altamente realistas, el motor de juego necesita considerar toda la escena, que con frecuencia puede contener millones de objetos que deben representarse gráficamente en la pantalla. Por ejemplo, el motor de juego puede considerar el comportamiento y la interacción de la luz con los objetos individuales y entre los objetos de la escena.

25

30

Añadiéndose a la complejidad de las escenas de gráficos de ordenador, la resolución de las pantallas está creciendo rápidamente. Entre los estándares se incluyen Full HD, con 1.920 por 1.080 píxeles; Ultra HD, con 3.840 por 2.160 píxeles, y otros. Se prevé que continúe esta tendencia. Por ejemplo, actualmente están en desarrollo cascos visores de realidad virtual para el mercado consumidor con una resolución horizontal superior a 10.000 píxeles. El resultado es un crecimiento explosivo en el rendimiento necesario.

35

Con el fin de conseguir los objetivos de representación gráfica en tiempo real y seguir el ritmo de crecimiento de los requisitos, el motor de juego de *software* puede equilibrar una pérdida de calidad apenas perceptible con un rendimiento mejorado. Una manera de hacerlo es dividiendo las tareas individuales en subtareas, específicamente aquellas que pueden realizarse eficientemente en una GPU. Las tareas gráficas podrían realizarse en paralelo en múltiples CPU. Actualmente, el número habitual de CPU en cada ordenador personal es de solo dos y el número habitual de GPU es de solo una; estos números no han crecido en los últimos años. De esta manera, el *software* gráfico no puede basarse en un número suficiente de CPU y/o GPU. Además, aunque se disponga de muchas CPU, un subsistema multi-CPU con frecuencia es excesivamente ineficiente con la energía para una tarea específica. Por lo tanto, incluso una ejecución en paralelo podría verse restringida por el *hardware* actualmente disponible.

40

45

Sin embargo, una ejecución en paralelo de tareas también requiere una redefinición completa de la capa de *software* entre las aplicaciones de *software* gráfico en general por un lado y en los controladores de la GPU por el otro lado. Entre los ejemplos de dichas capas de interfaz redefinidas se incluyen interfaces de programación, tales como Mantle (disponible de Advanced Micro Devices, Inc. (AMD)), DirectX 12 (disponible de Microsoft Corporation), Metal (disponible de Apple Inc.) y Vulkan (disponible de The Khronos Group, Inc.), que tienen en común que interactúan con la GPU mucho menos para conseguir una mayor eficiencia. Sin embargo, existe un equilibrio entre el incremento de la eficiencia y una mayor complejidad de las interfaces de programación. Por lo tanto, se espera que solo un número reducido de programadores de gráficos experimentados utilizará de hecho estas nuevas interfaces de alto rendimiento. Para *software* gráfico menos exigente, resultan preferentes las interfaces más simples más antiguas.

50

55

Por lo tanto, es un objetivo de la presente exposición proporcionar procesamiento de gráficos que satisfaga las demandas de complejidad y eficiencia.

60

El documento n.º US 2005/086040 A1 describe un sistema que incorpora una unidad central de procesamiento y una unidad física de procesamiento (PPU, por sus siglas en inglés). La PPU puede generar datos físicos para el uso en una simulación física o animación de juego. La PPU puede comprender, además, un motor de control de PPU (PCE, por sus siglas en inglés), que puede incluir un microprocesador, que controla el funcionamiento general de la PPU. Las aplicaciones que se ejecutan en un huésped pueden invocar un controlador de PPU desde un programa de juego, lo que puede iniciar la PPU con el fin de calcular datos de simulación física.

65

El documento n.º EP 2 437 217 A2 se refiere a un núcleo de trazado de rayos con unidades de generación de rayos y

una pluralidad de unidades de recorrido e intersección en una arquitectura MIMD. Las unidades de generación de rayos generan rayos oculares, que seguidamente son testeados por la pluralidad de unidades de recorrido e intersección para intersectar triángulos.

5 Resumen

La invención se define como un chip electrónico, un conjunto de chip, un paquete y un dispositivo de computación según las reivindicaciones independientes. Las realizaciones preferentes se definen en las reivindicaciones dependientes.

10

Breve descripción de los dibujos

Las características específicas, aspectos y ventajas de la presente exposición se entenderán mejor en referencia a la descripción siguiente y dibujos adjuntos, en los que:

15

La fig. 1 ilustra una vista esquemática de un chip electrónico que incluye uno o más motores de juego en hardware según una realización de la presente exposición.

La fig. 2 muestra una vista esquemática de un chip electrónico que incluye una pluralidad de motores de juego en hardware y motores de trazado de rayos según una realización de la presente exposición.

20

La fig. 2a muestra una vista esquemática de un chip electrónico, en el que cada motor de juego en hardware incorpora su propio motor especializado de trazado de rayos, según una realización de la presente exposición.

La fig. 3 muestra una vista esquemática de un procesador de motor de juego según una realización de la presente exposición.

25

La fig. 4 muestra una vista esquemática de un procesador gráfico discreto autónomo según una realización de la presente exposición.

La fig. 4a muestra otra vista esquemática de un procesador gráfico discreto autónomo según una realización de la presente exposición.

30

La fig. 5 ilustra una implementación de un sistema sobre chip (SOC, por sus siglas en inglés, "system on chip") con una pluralidad de CPU según una realización de la presente exposición.

La fig. 5a muestra otra vista esquemática de un SOC según una realización de la presente exposición.

35

La fig. 5b muestra todavía otra vista esquemática de un SOC según una realización de la presente exposición.

La fig. 6 muestra una realización de un chip como chip coprocesador, según una realización de la presente exposición.

La fig. 6a muestra una vista esquemática de un chip según una realización de la presente exposición, y

40

Las figs. 7a, 7b y 7c muestran diversos ejemplos de conjuntos de chip según realizaciones de la presente exposición.

Descripción detallada

40

En la descripción siguiente se hace referencia a dibujos que muestran a título ilustrativo diversas realizaciones. Además, posteriormente se describen diversas realizaciones en referencia a varios ejemplos. Debe entenderse que las realizaciones pueden incluir cambios en el diseño y la estructura sin apartarse del alcance de la materia de la invención reivindicada.

45

La fig. 1 muestra un chip electrónico según una realización de la presente exposición. El chip electrónico puede incluir un único motor de juego en hardware o una pluralidad de los mismos, que pueden estar incorporados físicamente en el chip, que puede, por lo tanto, representar un sistema sobre chip (SOC).

50

El chip 100 puede comprender una pluralidad de núcleos de procesamiento, cada uno de los cuales implementa en hardware un motor de juego 102 (en hardware), una unidad de procesamiento de gráficos (GPU) 104 y una unidad central de procesamiento (CPU) 106. Aunque cada núcleo se muestra como implementando en hardware un componente dedicado, debe entenderse que una pluralidad de núcleos de procesamiento podría implementar un componente o que un núcleo de procesamiento podría implementar una pluralidad de componentes, tal como el motor de juego 102, la GPU 104 y la CPU 106, en cualquier combinación. El chip 100 puede comprender una pluralidad de

55

motores de juego, una pluralidad de GPU y una pluralidad de CPU, en cualquier número y combinación.

60

El chip 100 puede estar incluido en un sistema huésped (no mostrado) en forma de un SOC. El motor de juego 102 en hardware puede procesar directamente conjuntos de datos construidos específicamente, en una memoria principal externa del sistema huésped, que puede ser accesible a través de uno o más puertos de un controlador 108 de memoria en chip y/o que podría estar dispuesto en una zona de memoria designada específicamente (no mostrada) en el chip 100 mismo.

65

El motor de juego 102 en hardware puede ser capaz de determinar, por ejemplo, aunque sin limitación, cómo los objetos proyectan sombras sobre otros objetos de una escena gráfica de ordenador; cómo los objetos se reflejan en otros objetos, o cómo la luz que cae sobre un objeto ilumina otros objetos circundantes. Sin embargo, debe entenderse que el motor de juego 102 puede estar configurado para realizar otras tareas y/o puede proporcionar otras

funcionalidades, tales como la gestión, la simulación y la representación gráfica de los objetos de la escena gráfica de ordenador.

El motor de juegos 102 en hardware puede presentar la GPU 104 en el chip 100 a su disposición. El motor de juegos 102 en hardware puede generar conjuntos de datos diseñados específicamente para ser transferidos a la GPU 104 en el chip 100. El motor de juegos 102 en hardware puede colocar estos conjuntos de datos en la memoria externa del chip 100 a través de uno o más puertos del controlador 108 de memoria en chip y/o colocar los conjuntos de datos en una zona de memoria diseñada específicamente en el chip 100 mismo. El motor de juegos 102 en hardware puede poseer medios para ordenar a la GPU 104 en el chip 100 que procese los conjuntos de datos generados por el motor de juegos 102 en hardware, tal como uno o más de entre búferes, canales y/o registros de comandos, mediante una conexión directa con la GPU 104 y/o indirectamente mediante una conexión con la CPU 106 en el chip 100. En el último caso, la CPU 106 en el chip 100 puede estar configurado para ordenar a la GPU 104 que opere en los conjuntos de datos generados por el motor de juego 102 en hardware.

Tal como se muestra en la fig. 1, el chip 100 puede comprender un codificador y descodificador 110 de vídeo adicional, una pantalla 112 y una interfaz 114 de *hardware*. El codificador y descodificador 110 de vídeo puede realizar diversas funcionalidades dedicadas, dirigidas a codificar y descodificar las secuencias de vídeo. La pantalla 112 puede ser una pantalla configurada para mostrar por lo menos parte de la salida de la GPU 104 o puede estar configurado para mostrar un estado del chip 100 mediante, por ejemplo, la utilización de una pluralidad de indicadores de estatus. Además, la pantalla 112 también puede estar configurado como una interfaz para proporcionar datos a una pantalla externa (no mostrada). La interfaz 114 de *hardware* puede comprender o representar una o más interfaces, que pueden estar configuradas para proporcionar datos para componentes individuales del chip 100, tal como el motor de juego 102, la GPU 104, la CPU 106, el codificador y descodificador 110 de vídeo, y/o para dar salida a los datos generados por los componentes individuales, tales como los datos generados por el motor de juego 102, la GPU 104 o la CPU 106. La interfaz de *hardware* puede estar configurado para cumplir uno o más estándares, tales como USB, HDMI y similares.

La fig. 2 muestra otra realización de un chip según la presente exposición. El chip 200 puede ser similar al chip 100 de la fig. 1. Por lo tanto, los mismos signos de referencia utilizados en la fig. 1 se han utilizado en la fig. 2.

El chip 200 puede comprender uno o más de entre un motor de juego 102, una GPU 104, una CPU 106, un controlador 108 de memoria, un codificador y descodificador 110 de vídeo, una pantalla 112 y una interfaz 114 de *hardware*. El chip 200 puede comprender, además, una pluralidad de motores de juego 102, una pluralidad de GPU 104 y una pluralidad de CPU 106, en cualquier combinación, que pueden estar implementadas en *hardware* mediante uno o más núcleos de procesamiento respectivos del chip 200.

El motor único o la pluralidad de motores de juego 102 en hardware pueden estar incorporados físicamente en el chip 200, formando de esta manera un SOC. El motor o motores de juego 102 en hardware pueden estar incorporados en el SOC junto con uno o más motores 202 de trazado de rayos. El motor o motores 202 de trazado de rayos pueden ser implementados por como mínimo un núcleo de procesamiento del chip 200 y pueden estar configurados de manera que se potencie la funcionalidad del motor o motores de juego 102. Tal como reconocerá el experto en la materia, la funcionalidad habitual de un motor de trazado de rayos es conocida. La funcionalidad puede incluir, por ejemplo, la eliminación selectiva en la vista y la eliminación selectiva de la cobertura en el búfer-z a fin de determinar la visibilidad de los objetos; voxelización de una escena como etapa de preparación para el cálculo de la iluminación global; trazado de cono basado en vóxels dispersos para la iluminación global; mecánica de las fibras musculares y deformación musculoesquelética de la piel, métodos de elementos finitos para el modelado biomecánico de los músculos; dinámica de fluidos utilizando SPH (por sus siglas en inglés, hidrodinámica de partículas con suavización) para efectos realistas que involucran volúmenes de agua, volúmenes de lava volcánica y efectos astrofísicos relacionados con, por ejemplo, superficies de estrellas, simulación de agua Euleriana en tiempo real y/o dinámicas realistas de la vegetación, en cualquier combinación.

El motor o motores 202 de trazado de rayos pueden utilizarse para potenciar la funcionalidad del motor de juego 102 en hardware. Por ejemplo, los motores de juego 102 en hardware pueden descargar de forma transparente tareas de procesamiento en los motores 202 de trazado de rayos. Debe entenderse que uno o más motores 202 de trazado de rayos pueden realizar determinadas tareas mejor y/o más rápidamente debido a su especialización para las restricciones temporales dadas.

Los motores 202 de trazado de rayos pueden estar asignados a motores de juego 102 individuales de acuerdo con la carga de trabajo de los motores de juego 102 o de acuerdo con una asignación predefinida. La asignación puede ser controlada por los motores de juego 102 o por la CPU 106 de acuerdo con condiciones internas o en respuesta a comandos recibidos mediante la interfaz 114 de *hardware* del chip 200.

La fig. 2a muestra todavía otra realización de un chip según la presente exposición, en la que cada motor de juego en hardware puede incorporar su propio motor especializado de trazado de rayos. El chip 200' puede incluir partes iguales o similares a las descritas en referencia a los chips 100 y 200 en las figs. 1 y 2. Por lo tanto, se han utilizado signos de referencia iguales para denotar partes iguales. El chip 200' puede incluir una o más GPU 104, una o más CPU 106,

un controlador 108 de memoria, un codificador y descodificador 110 de vídeo, una pantalla 112 y una interfaz 114 de *hardware*, en cualquier combinación. Los componentes individuales pueden ser implementados por como mínimo un núcleo de procesamiento del chip 200'.

5 El chip 200' incluye, además, un motor de juego 202' combinado que presenta una versión especializada incorporada de un motor de trazado de rayos. La versión especializada del motor de trazado de rayos puede estar optimizado específicamente para los requisitos de la funcionalidad del motor de juego 202' en hardware. El motor de trazado de rayos puede estar incluido en hardware junto con el motor de juego a fin de optimizar de esta manera el intercambio de datos, en términos de ancho de banda y latencia, entre el motor de juego y el motor de trazado de rayos, utilizando memorias intermedias (búferes) de comunicación internas o mediante la transmisión directa de los datos entre el motor de juego y el motor de trazado de rayos integrado.

15 La fig. 3 muestra un procesador de motor de juego que incluye un chip según una realización de la presente exposición. El procesador 300 de motor de juego puede incluir componentes similares a los componentes de los chips 100, 200 y 200', tal como se muestra en las figs. 1, 2 y 2a. Por lo tanto, se han denotado partes iguales o similares utilizando signos de referencia iguales.

20 El procesador 300 de motor de juego puede incluir uno o más motores de juego 102, uno o más núcleos 202 de trazado de rayos, un controlador 108 de memoria, un codificador y descodificador 110 de vídeo, una pantalla 112 y una interfaz 114 de *hardware*. El procesador 300 puede estar realizado en *hardware* en forma de un chip procesador de motor de juego o de un paquete procesador de motor de juego, donde el paquete puede contener uno o más circuitos integrados que implementan en hardware la funcionalidad de los componentes individuales. El motor de juego 102 en hardware puede estar incorporado en un componente del *hardware*, tal como el procesador 300, que puede ser un chip procesador del motor de juego autónomo o un paquete procesador del motor de juego. El procesador de motor de juego puede resultar particularmente útil en el caso de gráficos 3D u ordenadores de juego de gama alta. Estos sistemas informáticos normalmente contienen CPU huésped separados, junto con tarjetas gráficas 3D separadas con una o más GPU. El procesador 300 de motor de juego autónomo podría, por ejemplo, estar colocado en una tarjeta gráfica 3D junto con una o más GPU, aunque ello no está limitado a esta posibilidad.

30 El procesador 300 de motor de juego puede incluir medios adicionales para comunicar conjuntos de datos relacionados con la funcionalidad del motor de juego 102 en hardware hacia y desde GPU externas, por ejemplo, mediante la utilización de las funcionalidades del DMA (por sus siglas en inglés, acceso directo a memoria) en el chip de la GPU, lo que puede permitir el acceso hacia y desde la memoria de vídeo de la GPU. Los medios adicionales pueden estar implementados utilizando la interfaz 114 de *hardware* o utilizando otro controlador de comunicación (no mostrado).

35 La fig. 4 muestra un procesador de gráficos que incluye un chip o conjunto de chip según una realización de la presente exposición. El procesador 400 de gráfico puede incluir componentes similares, tal como se comenta en referencia a las figs. 1 a 3. Por lo tanto, se han denotado componentes iguales o similares utilizando signos de referencia iguales.

40 El procesador 400 de gráficos puede incluir por lo menos uno de entre uno o más motores de juego 102, una o más GPU 104, un controlador 108 de memoria, un codificador y descodificador 110 de vídeo, una pantalla 112 y una interfaz 114 de *hardware*, en cualquier combinación. El motor o motores de juego 102 en hardware también pueden estar incorporados físicamente junto con uno o más motores de trazado de rayos (no mostrados) configurados para potenciar la funcionalidad del motor de juego en el procesador 400 de gráficos. El procesador 400 de gráficos puede realizarse en forma de un chip procesador de gráficos «discreto» autónomo o de un paquete procesador de gráficos discreto autónomo, en el que el paquete puede contener uno o más circuitos integrados.

45 La fig. 4a muestra otra realización de un procesador de gráficos que incluye un chip o conjunto de chip según la presente exposición. El procesador 400' de gráficos puede incluir componentes iguales o similares al procesador 400 de gráficos de la fig. 4. Por lo tanto, se han utilizado signos de referencia iguales para denotar componentes iguales o similares. El procesador 400' de gráficos puede incluir una o más GPU 104, un controlador 108 de memoria, un codificador y descodificador 110 de vídeo, una pantalla 112 y una interfaz 114 de *hardware*, en cualquier combinación. Además, el procesador 400' de gráficos puede incluir una pluralidad de motores de juego 402 que pueden estar incorporados físicamente en el procesador 400' de gráficos, en el que cada motor de juego 402 en hardware incorpora su propio motor de trazado de rayos especializado, optimizado para potenciar la funcionalidad del motor de juego. El motor de juego 402 en hardware puede ser similar al motor de juego 202' mostrado en la fig. 2a.

50 Tal como se muestra en las figs. 4 y 4a, puede haber incorporados uno o más motores de juego 102, 402 en hardware en un chip o paquete procesador de gráficos discreto autónomo, donde el chip o paquete procesador de gráficos puede incluir uno o más circuitos integrados. Podría haber conectados múltiples circuitos integrados en un paquete, por ejemplo conectados entre sí mediante el uso de una bobina de interposición y/o mediante apilado, y/o mediante la utilización de un procedimiento de fabricación similar, tal como se ha comentado en detalle anteriormente.

55 Las figs. 5, 5a y 5b dan a conocer realizaciones de chips según la presente exposición. Los chips 500, 500' y 500'' pueden incluir componentes similares a los componentes mostrados en las figs. 1 a 4. Por lo tanto, se han utilizado los mismos signos de referencia en las figs. 5, 5a y 5b.

El chip 500 de la fig. 5 puede incluir uno o más motores de juego 102, una o más GPU 104, un controlador 108 de memoria, un codificador y decodificador 110 de vídeo, una pantalla 112 y una interfaz 114 de *hardware*, en cualquier combinación. Tal como se comenta en referencia a las figs. 1 y 2, los componentes individuales pueden ser implementados por como mínimo un núcleo de procesamiento del chip 500. El chip 500 puede incluir, además, una pluralidad de CPU 106a, 106b, donde cada CPU puede estar configurada para ejecutar instrucciones de acuerdo con una arquitectura del conjunto de instrucciones (ISA, por sus siglas en inglés) diferente. El motor de juego 102 en hardware y dichos tipos múltiples de CPU 106a, 106b pueden estar incorporados en un único dispositivo de *hardware*, tal como un SOC. Mediante la utilización de la pluralidad de CPU 106, 106b, el chip 500 podría ser capaz de ejecutar *software* compilado para diferentes plataformas, sistemas o arquitecturas, por ejemplo, aunque sin limitación, sistemas basados en la arquitectura x86 de Intel, tal como la utilizada habitualmente en ordenadores personales, y sistemas basados en el conjunto de instrucciones ARM, que puede utilizarse habitualmente en teléfonos móviles y tabletas, mediante el direccionamiento de las instrucciones respectivas a la CPU 106a y/o a la CPU 106b. El chip 500 puede incluir lógica para determinar, para cada código informático que vaya a ejecutarse en el chip 500, una arquitectura para la que se ha compilado el código de programa y asignar el código de programa a una CPU respectiva. Aunque la fig. 5 muestra solo dos tipos de CPU, 106a, 106b, debe entenderse que pueden utilizarse otros tipos de CPU, 106a, 106b, para ejecutar instrucciones según otras ISA, sin que ello suponga apartarse del alcance de la presente exposición.

Tal como se muestra en la fig. 5a, el chip 500' puede incluir componentes iguales o similares a los comentados anteriormente con respecto al chip 500, que se denotan en la fig. 5a utilizando los mismos signos de referencia. De manera similar al chip 200 mostrado en la fig. 2, el chip 500' puede incluir, además, uno o más motores 502 de trazado de rayos. El motor o motores de juego 102 en hardware pueden estar incorporados físicamente en un SOC junto con el motor o motores 202 de trazado de rayos, configurados de manera que se potencie la funcionalidad de los motores de juego 102 en hardware. El chip 500' puede incorporar múltiples tipos de CPU, donde cada tipo de CPU está diseñado para ejecutar una ISA diferente.

El chip 500'', tal como se muestra en la fig. 5b, puede incluir componentes iguales o similares a los chips 500 y 500' comentados anteriormente con respecto a las figs. 5 y 5a. Por lo tanto, en la fig. 5b se han utilizado los mismos signos de referencia. El chip 500'' puede incluir uno o más motores de juego 502' similares a los motores de juego 202' comentados anteriormente en referencia a la fig. 2a y los motores de juego 402 comentados anteriormente en referencia a la fig. 4a. El chip 502' puede incluir uno o más motores de juego 502' en hardware, incorporados físicamente en un SOC, donde cada motor de juego 502' en hardware puede incorporar su propio motor de trazado de rayos especializado, optimizado para potenciar la funcionalidad del motor de juego respectivo 502'. El chip 502' puede incorporar múltiples tipos de CPU, donde cada tipo de CPU puede estar diseñado para ejecutar instrucciones de acuerdo con una ISA diferente.

La fig. 6 muestra un sistema según una realización de la presente exposición. El sistema 600 puede incluir una CPU 602 junto con un coprocesador 604 de motor de juego. El coprocesador 604 de motor de juego puede comprender uno o más chips tal como se ha comentado anteriormente en referencia a las figs. 1 a 5. El coprocesador 604 de motor de juego puede incorporar uno o más motores de juego 606 en hardware y, opcionalmente, uno o más motores 608 de trazado de rayos. Los motores 608 de trazado de rayos opcionales pueden estar configurados de manera que pueda potenciarse la funcionalidad del motor de juego 606. El coprocesador 604 de motor de juego puede comprender, además, un controlador 610 de memoria y una interfaz 612 de *hardware* para comunicarse con la CPU 602. La CPU 602 puede incluir uno o más núcleos 614 de CPU, un controlador 616 de memoria y una interfaz 618 de *hardware*.

El coprocesador 604 de motor de juego puede entenderse como un chip separado, opcionalmente con su propio paquete, que puede estar conectado con la CPU 602 mediante un bus de interfaz, tal como un bus PCI Express, o cualquier otra interfaz de bus o interconexión. El coprocesador 604 de motor de juego puede contener su propio controlador 610 de memoria, donde la memoria puede estar dispuesto fuera del coprocesador 604 de motor de juego o sobre el coprocesador 604 de motor de juego.

El sistema 600 puede incluir, además, una o más GPU (no mostradas) y puede comprender interfaces para la conexión a una o más GPU, por ejemplo, el bus PCI Express. Sin embargo, debe entenderse que podría utilizarse cualquier otra tecnología de interconexión o de bus para interconectar la CPU 602 con el coprocesador 604 del motor de juego y la GPU única o múltiples GPU.

La CPU 602 puede emitir comandos al coprocesador 604 del motor de juego, que seguidamente puede preparar conjuntos de datos y comandos que pueden comunicarse de vuelta a la CPU 602 o, mediante las interfaces 602, 618, a una GPU discreta externa. Puede conseguirse un rendimiento más alto mediante la descarga de tareas de la CPU al coprocesador 604 del motor de juego, que puede contener circuitos diseñados específicamente para estas tareas. Entre la tarea o tareas pueden incluirse una o más de entre determinar cómo los objetos proyectan sombras sobre otros objetos; determinar cómo se reflejan los objetos en otros objetos, o determinar cómo la luz que cae sobre un objeto ilumina otros objetos circundantes, y similares. Debe entenderse que dicha enumeración no está limitada y puede ampliarse con otra u otras tareas, tal como se ha definido anteriormente.

El controlador 610 de memoria dedicado en el coprocesador 604 de motor de juego puede permitir que el coprocesador 604 de motor de juego utilice su memoria local para realizar tareas específicamente de motor de juego. Lo anterior puede mejorar ventajosamente el rendimiento mediante el incremento de la velocidad de entrada/salida y el ancho de banda.

La fig. 6a muestra un chip 700 según una realización de la presente exposición. El chip 700 puede incluir una CPU 702 con un solo núcleo de CPU o una pluralidad de ellos. El chip 700 puede incluir, además, uno o más motores de juego 704 en hardware y opcionalmente, uno o más motores 706 de trazado de rayos que pueden estar configurados de manera que se potencie la funcionalidad del motor de juego 704. Por lo tanto, el chip 700 puede considerarse una variación del sistema 600 tal como se ha comentado anteriormente en referencia a la fig. 6. Sin embargo, el chip 700 puede integrar el sistema en un único chip o en un conjunto de chip. El chip 700 puede incluir, además, un controlador 708 de memoria y una interfaz 710. De acuerdo con lo anterior, el chip 700 puede ser un único chip que contiene tanto la CPU 702 como el motor de juego 702 en hardware, con los núcleos 706 opcionales de trazado de rayos en un único chip, donde el controlador 708 de memoria puede ser compartido por la CPU 702 y los motores de juego 704 para interconectarse con componentes externos, tales como GPU externas. Por ejemplo, tal como se ha comentado anteriormente en referencia a las interfaces 612, 618, la interfaz 710 puede utilizarse para interconectar una o más GPU discretas externas (no mostradas), mediante una interconexión o bus, tal como el bus PCI Express o cualquier otro tipo de bus o interconexión.

Las figs. 7a, 7b y 7c muestran diversos ejemplos de conjuntos de chip según realizaciones de la presente exposición. Debe entenderse que un chip según una realización de la presente exposición puede estar dividido en múltiples subchips y proporcionarse con las interconexiones requeridas entre los subchips, tales como miles o decenas de miles de interconexiones, de manera que el conjunto de chip funcione de la misma en que funcionaría un único chip. A pesar de que las realizaciones de la presente exposición se refiere al motor de juego en un chip, el chip también puede estar implementado como un conjunto de chip. Por lo tanto, tanto un chip individual, como una implementación en forma de un conjunto de chip, tal como el conjunto de chip mostrado en las figs. 7a, 7b y 7c, deben entenderse como un motor de juego en un chip según las realizaciones de la presente exposición.

Las figs. 7a, 7b y 7c muestran conjuntos de chip de ejemplo según una o más realizaciones de la presente exposición. Los conjuntos de chip pueden incluir un sustrato 800 de paquete, una pluralidad de subchips 802 y una bobina de interposición 804. El conjunto de chip puede estar configurado en el sustrato 800 de paquete mediante la bobina de interposición 804. La pluralidad de subchips 802 conjuntamente puede constituir el motor de juego según las realizaciones de la presente exposición y la pluralidad de subchips 802 puede estar interconectada mediante la bobina de interposición 804. La bobina de interposición 804 misma puede ser un dado de silicio grande con capas interconectadas de metal que puede producirse con equipo de producción de chip. Las capas interconectadas de metal en la bobina de interposición 804 puede sustituir las capas de interconexión que de otro modo interconectarían diversas zonas de un único chip.

En una realización mostrada en la fig. 7a, la bobina de interposición 804 puede estar conectado al sustrato 800 de paquete utilizando vías a través de silicio 806.

La fig. 7b muestra todavía otra realización de un conjunto de chip utilizando otro método de interconexión de la pluralidad de subchips 802 en un único motor de juego. En la presente realización de ejemplo, los diversos subchips 804 pueden estar integrados en el conjunto de chip utilizando micropuentes 808 que pueden estar integrados en el sustrato 800 de paquete. Los micropuentes 808 pueden ser ellos mismos dados de silicio con capas interconectadas de metal producidos con equipos de producción de chips. Las capas interconectadas de metal en los micropuentes 808 puede sustituir las capas de interconexión que de otro modo interconectarían diversas zonas de un único chip.

La fig. 7c muestra todavía otra realización de ejemplo de un conjunto de chip. En la presente realización de ejemplo, la pluralidad de subchips 802 puede estar interconectado verticalmente en el conjunto de chip, colocado sobre el sustrato 800 de paquete. Lo anterior también puede denominarse «apilamiento de chip en 3D». La interconexión de subchips 802 en vertical puede utilizar, por ejemplo, vías a través de silicio, tal como las vías a través de silicio 806 de la fig. 7a, o utilizar tecnología de acoplamiento inductivo para habilitar la comunicación inalámbrica de campo cercano entre chips apilados en 3D.

REIVINDICACIONES

1. Chip electrónico (200, 300, 500', 600, 700), que comprende:
 5 un primer núcleo de procesamiento que implementa un motor de juego (102, 606) en hardware mediante circuitos electrónicos dedicados, y
 un segundo núcleo de procesamiento que implementa un motor (202, 502, 608) de trazado de rayos en hardware mediante circuitos electrónicos dedicados,
 una interfaz (114, 612, 614, 710) de hardware que acopla el motor de juego (102, 606) implementado en
 10 el primer núcleo de procesamiento con el motor ((202, 502, 608) de trazado de rayos implementado en el segundo núcleo de procesamiento, en el que la interfaz (114, 612, 614, 710) de hardware acopla el motor de juego (102, 606) con el motor (202, 502, 608) de trazado de rayos directamente o utilizando búfers, en el que el motor de juego (102, 606) está configurado para descargar un conjunto de tareas o subtareas del motor de juego (102, 606) en el motor (202, 502, 608) de trazado de rayos mediante la interfaz (114, 612, 614, 710) de hardware.
- 15 2. Chip (200, 300, 500', 600, 700) según la reivindicación 1, en el que el chip (200, 300, 500', 600, 700) comprende, además, una pluralidad de núcleos de procesamiento, en el que cada uno de los núcleos de procesamiento implementa un motor de juego (102, 606) en hardware mediante circuitos electrónicos dedicados o un motor (202, 502, 608) de trazado de rayos en hardware mediante circuitos electrónicos dedicados, en el que cada uno de la pluralidad de motores de juego (102, 606) está asociado a uno de la pluralidad de motores (202, 502, 608) de trazado de rayos.
- 20 3. Chip (200, 300, 500', 600, 700) según la reivindicación 1 o 2, que comprende, además, un núcleo de procesamiento que implementa una unidad central de procesamiento (106, 106a, 106b, 602, 702).
- 25 4. Chip (200, 300, 500', 600, 700) según la reivindicación 1 o 2, que comprende, además, una pluralidad de núcleos de procesamiento que implementa una pluralidad de unidades centrales de procesamiento (106, 106a, 106b, 602, 702), estando configurada cada unidad central de procesamiento (106, 106a, 106b, 602, 702) para ejecutar instrucciones de una arquitectura diferente de conjunto de instrucciones.
- 30 5. Chip (200, 300, 500', 600, 700) según una cualquiera de las reivindicaciones anteriores, en el que el motor de juego (102, 606) está configurado para comunicar datos mediante la interfaz (114, 612, 614, 710) de *hardware* con un unidad de procesamiento (104) de gráficos.
- 35 6. Chip (200, 300, 500', 600, 700) según la reivindicación 5, en el que el chip (200, 300, 500', 600, 700) comprende la unidad de procesamiento (104) de gráficos.
- 40 7. Chip (200, 300, 500', 600, 700) según cualquiera de las reivindicaciones 1 a 6, en el que por lo menos uno de los núcleos de procesamiento implementa una unidad de procesamiento (104) de gráficos, en el que el chip (200, 300, 500', 600, 700) comprende, además, una memoria, en el que el motor de juego (102, 606) está configurado para generar datos para la unidad de procesamiento (104) de gráficos y para proporcionar los datos a la unidad de procesamiento (104) de gráficos a través de la memoria, o en el que la unidad de procesamiento (104) de gráficos incluye una memoria de vídeo y el motor de juego (102, 606) está configurado para proporcionar datos a la unidad de procesamiento (104) de gráficos mediante la memoria de vídeo.
- 45 8. Chip (200, 300, 500', 600, 700) según cualquiera de las reivindicaciones 1 a 7, en el que el motor de juego (102, 606) está configurado para llevar a cabo una o más tareas, generando de esta manera comandos y/o conjuntos de datos, en el que el motor de juego (102, 606) y el motor (202, 502, 608) de trazado de rayos están acoplados interoperablemente para llevar a cabo la tarea o tareas, y en el que la tarea o tareas incluye uno o más de entre determinar cómo los objetos proyectan sombras sobre otros objetos, determinar cómo los objetos se reflejan en otros objetos, y determinar cómo la luz que cae sobre un objeto ilumina otros objetos circundantes.
- 50 9. Chip (200, 300, 500', 600, 700) según una cualquiera de las reivindicaciones 1 a 8, siendo el chip (200, 300, 500', 600, 700) un sistema (600) sobre chip (200, 300, 500', 600, 700).
- 55 10. Conjunto de chip, que comprende:
 por lo menos un chip (200, 300, 500', 600, 700) según una cualquiera de las reivindicaciones 1 a 9.
- 60 11. Conjunto de chip según la reivindicación 10, que comprende, además, uno o más de entre por lo menos una unidad central de procesamiento (106, 106a, 106b, 602, 702), en el que la unidad o unidades centrales de procesamiento (106, 106a, 106b, 602, 702) están conectadas a la interfaz o interfaces (114, 612, 614, 710) de *hardware* del chip (200, 300, 500', 600, 700), por lo menos una unidad de procesamiento (104) de gráficos, en el que la unidad o unidades de procesamiento (104) de gráficos están conectadas a la interfaz o interfaces (114, 612, 614, 710) de *hardware* del chip (200, 300, 500', 600, 700) y un controlador (108, 610, 708) de
- 65

ES 2 977 462 T3

memoria configurado para intercambiar datos con el motor de juego (102, 606) del chip (200, 300, 500', 600, 700).

- 5 12. Conjunto de chip según la reivindicación 10, que comprende, además, una pluralidad de circuitos integrados apilados, en el que un circuito integrado está apilado sobre otro circuito integrado o sobre un chip interpositor.
13. Paquete que incluye el conjunto de chip según cualquiera de las reivindicaciones 10 a 12, en el que el paquete es un «sistema en paquete» o un «paquete sobre paquete».
- 10 14. Dispositivo informático, que incluye:
por lo menos un chip (200, 300, 500', 600, 700) según una cualquiera de las reivindicaciones 1 a 9, y
una pantalla (112) configurada para representar datos basándose en los datos proporcionados por el chip o chips (200, 300, 500', 600, 700).
- 15 15. Dispositivo informático según la reivindicación 14, en el que el dispositivo informático es un dispositivo móvil, un teléfono inteligente, o un dispositivo de realidad virtual.

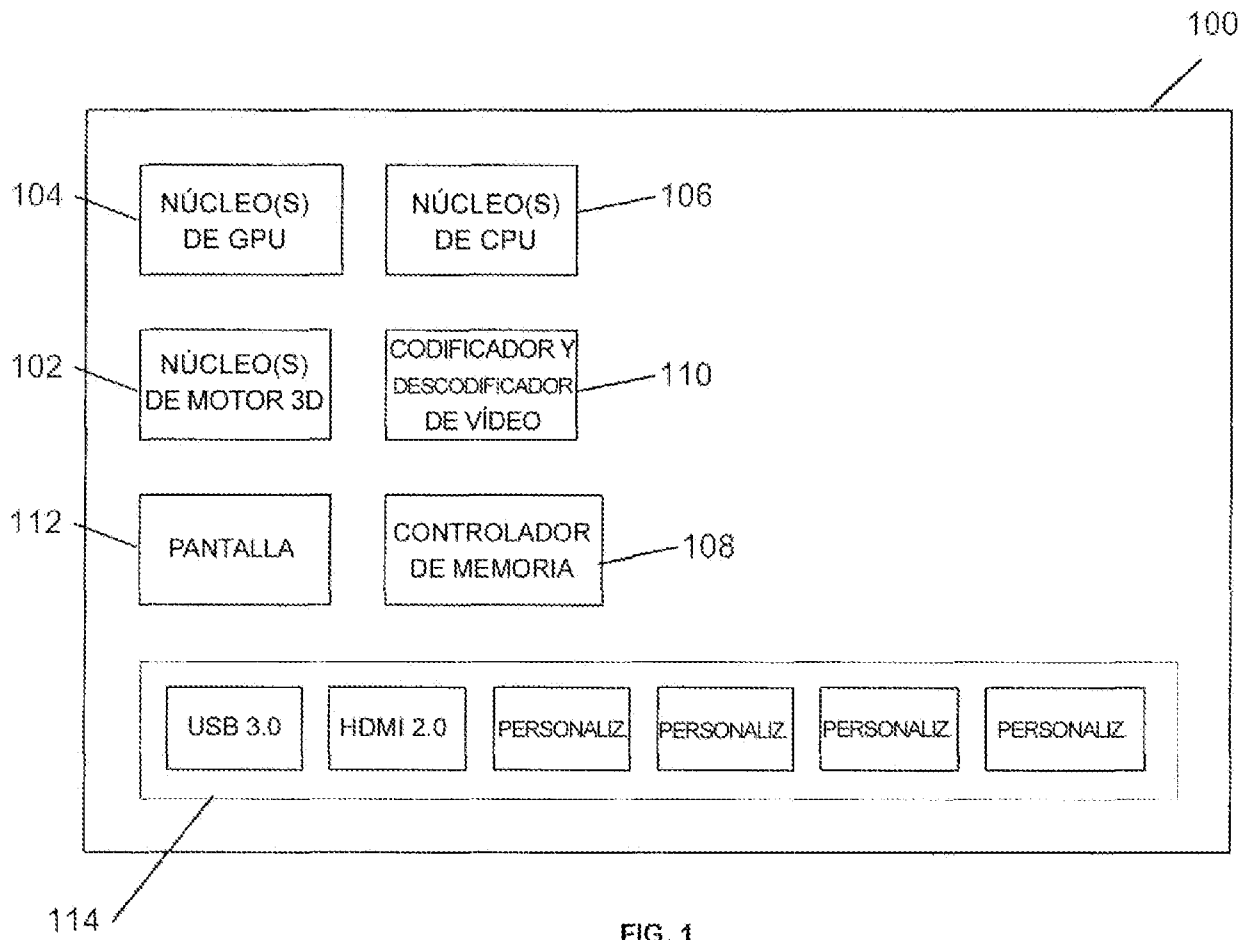


FIG. 1

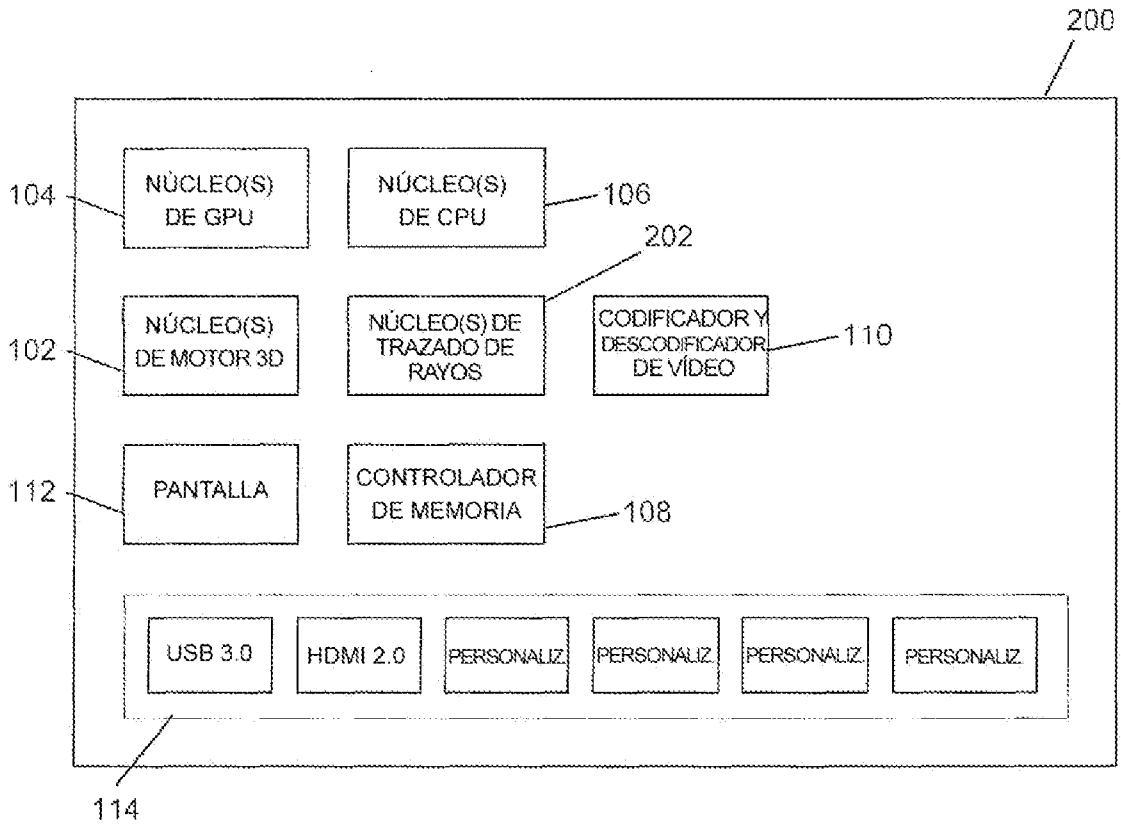


FIG. 2

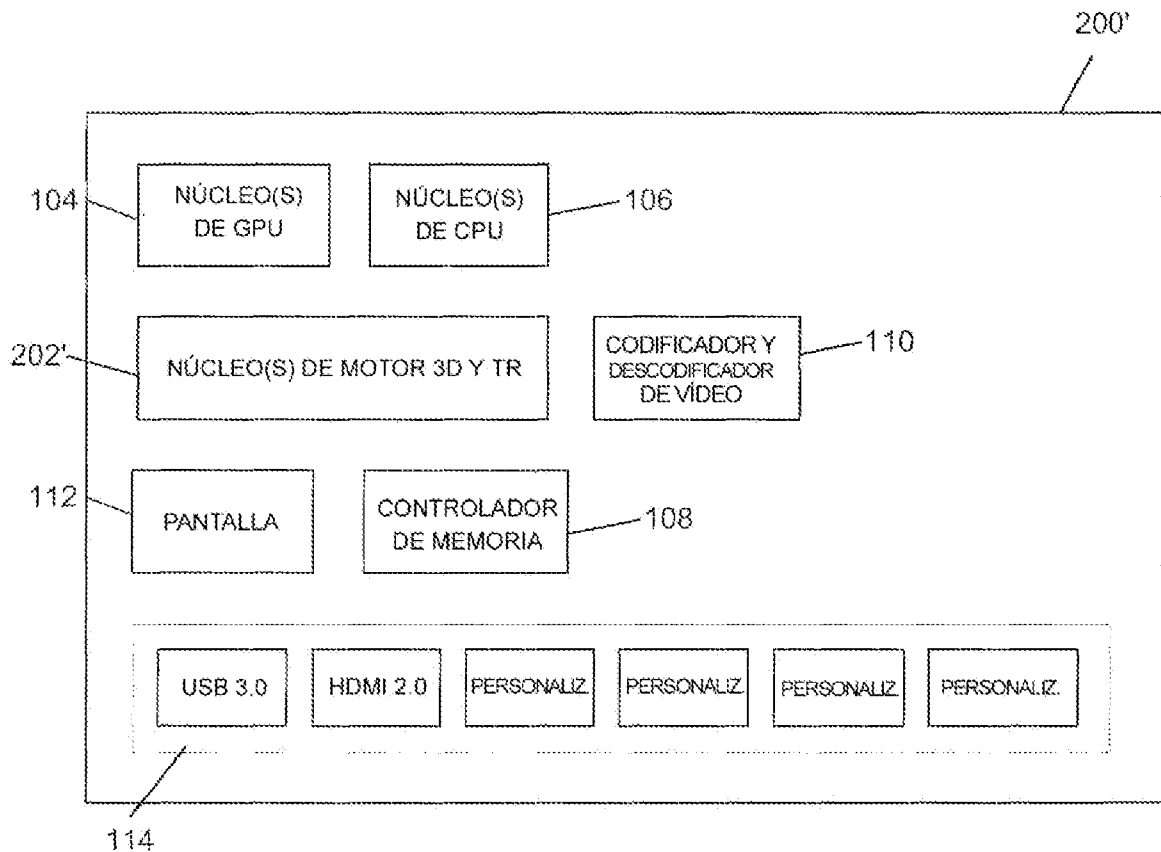


FIG. 2a

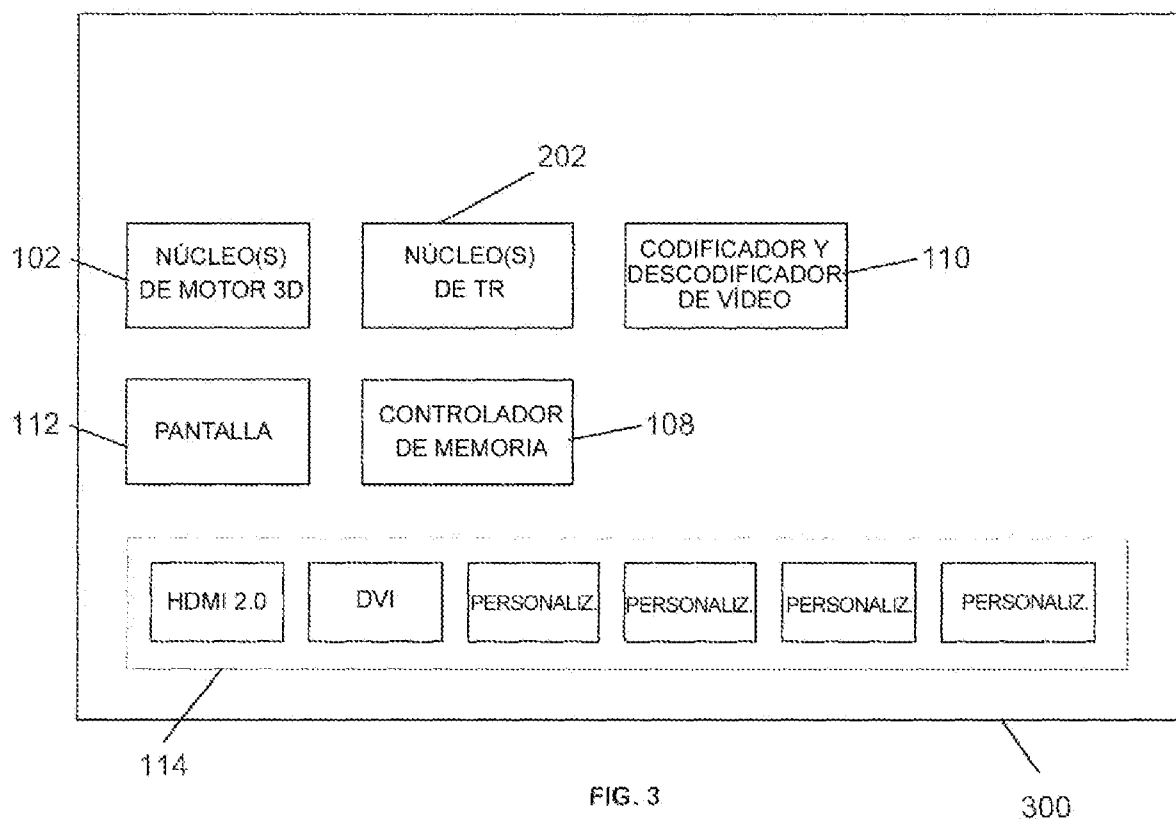


FIG. 3

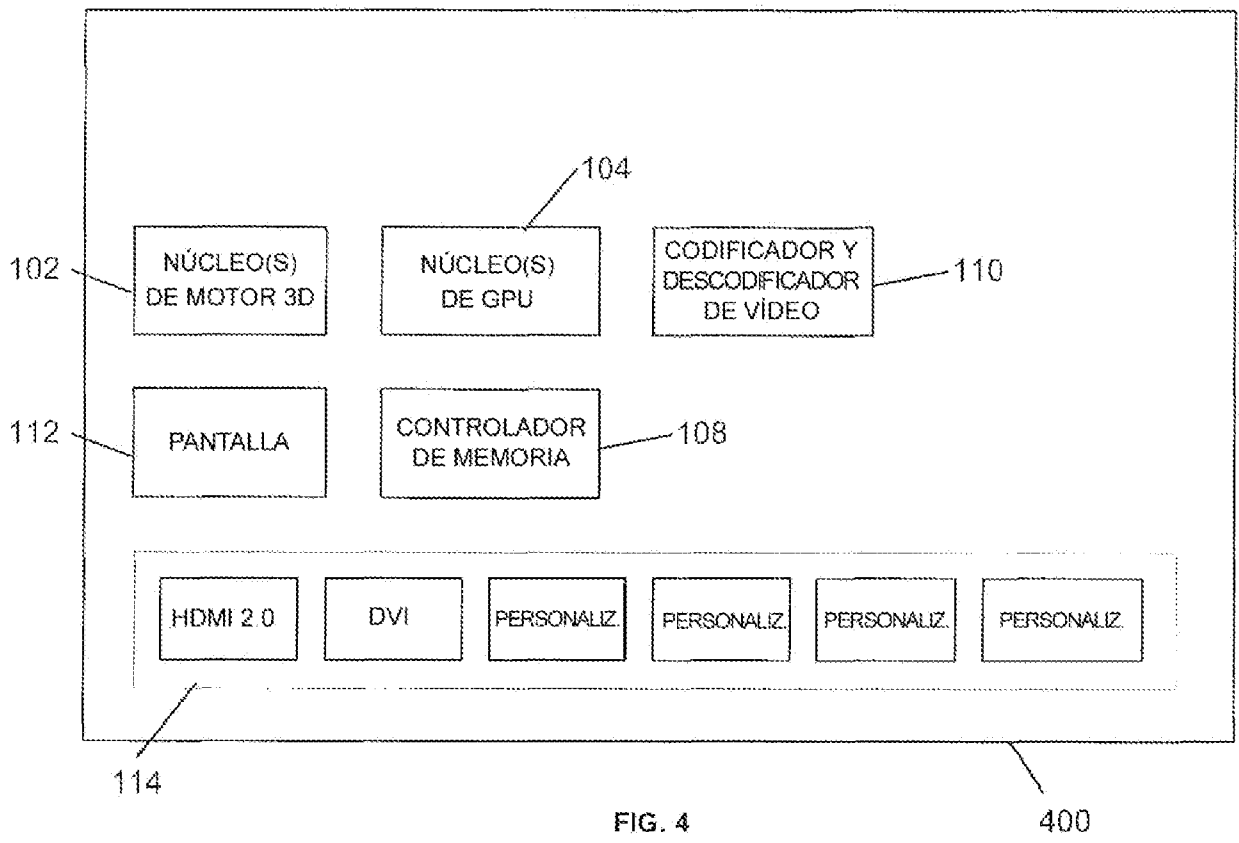


FIG. 4

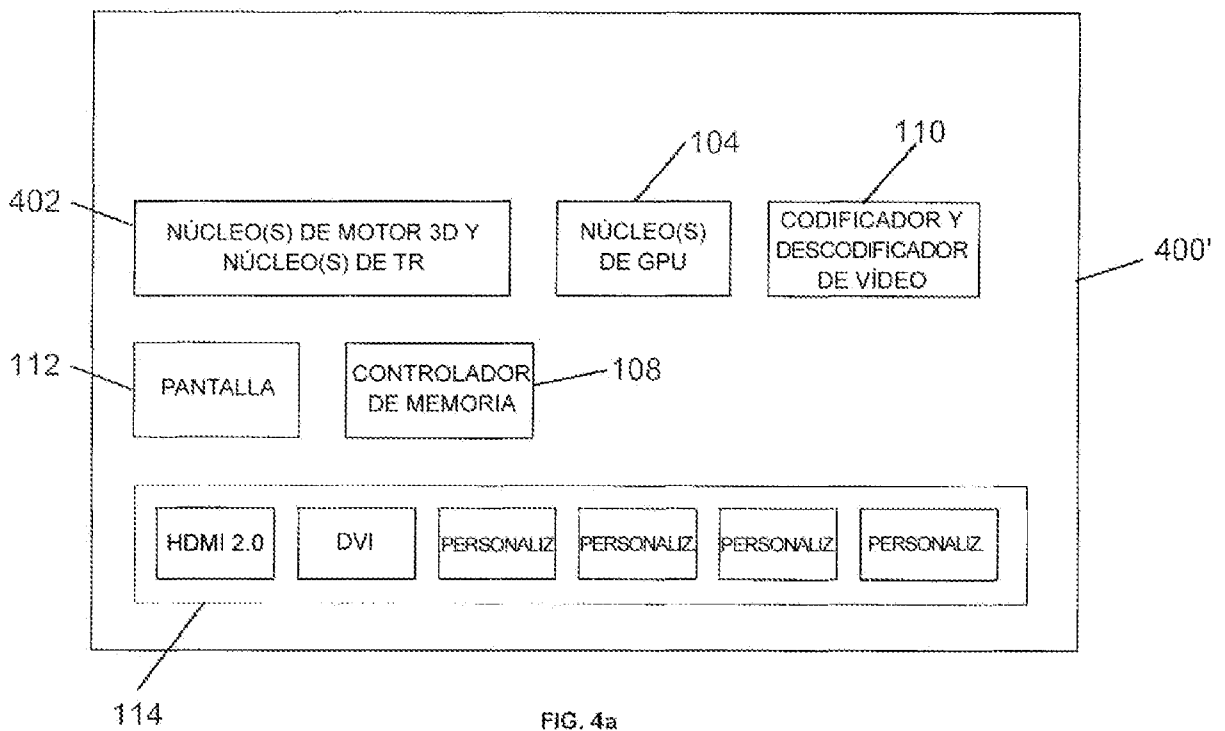


FIG. 4a

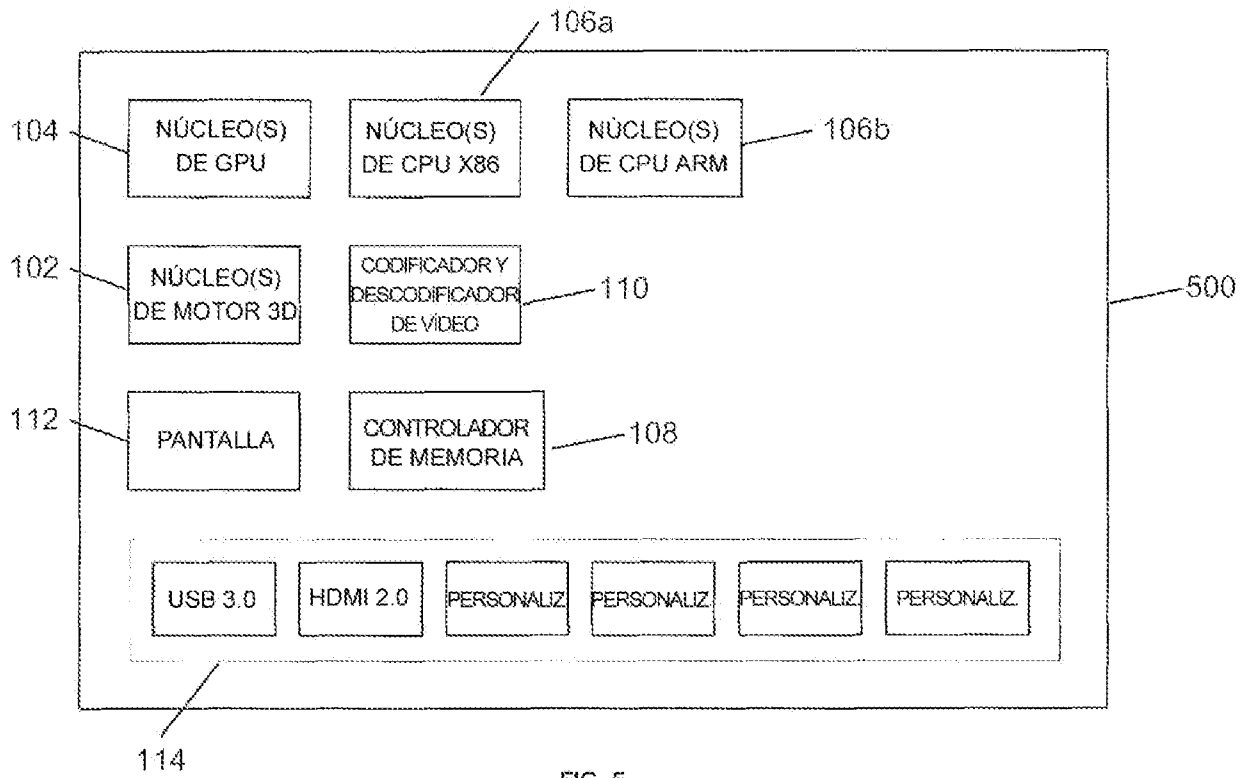


FIG. 5

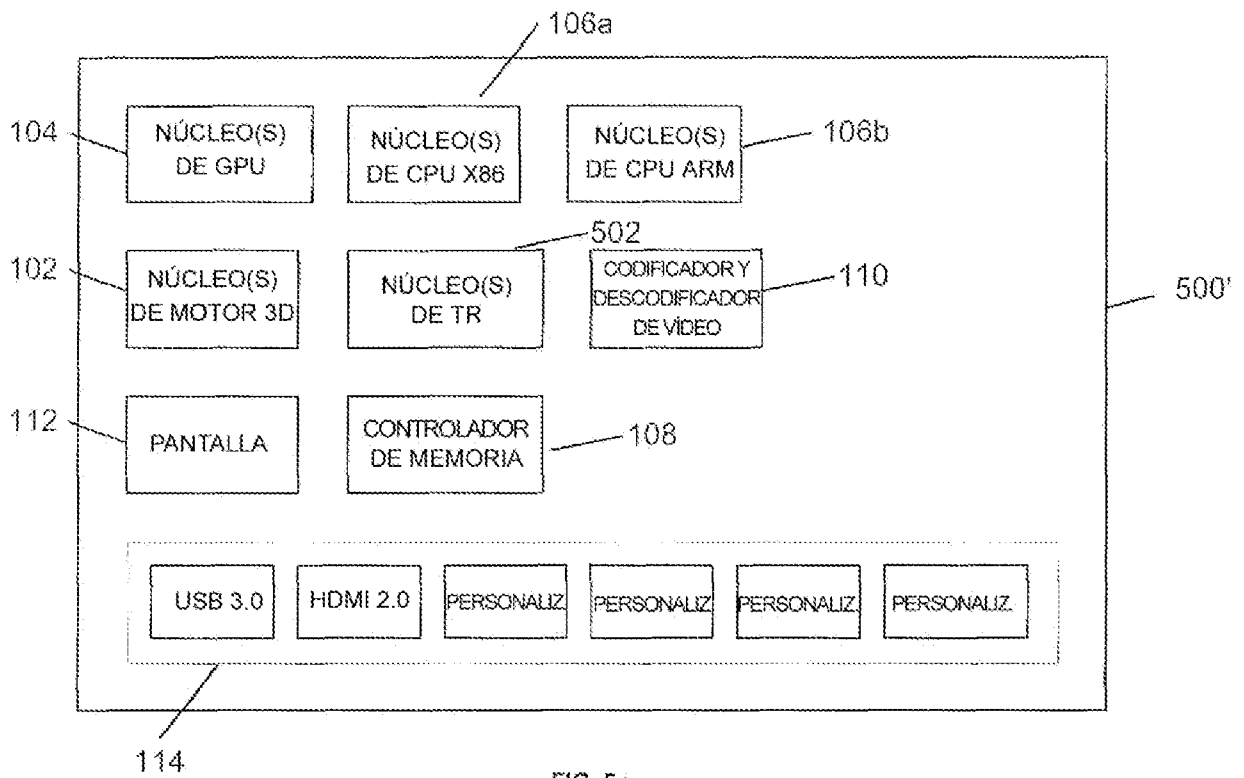


FIG. 5a

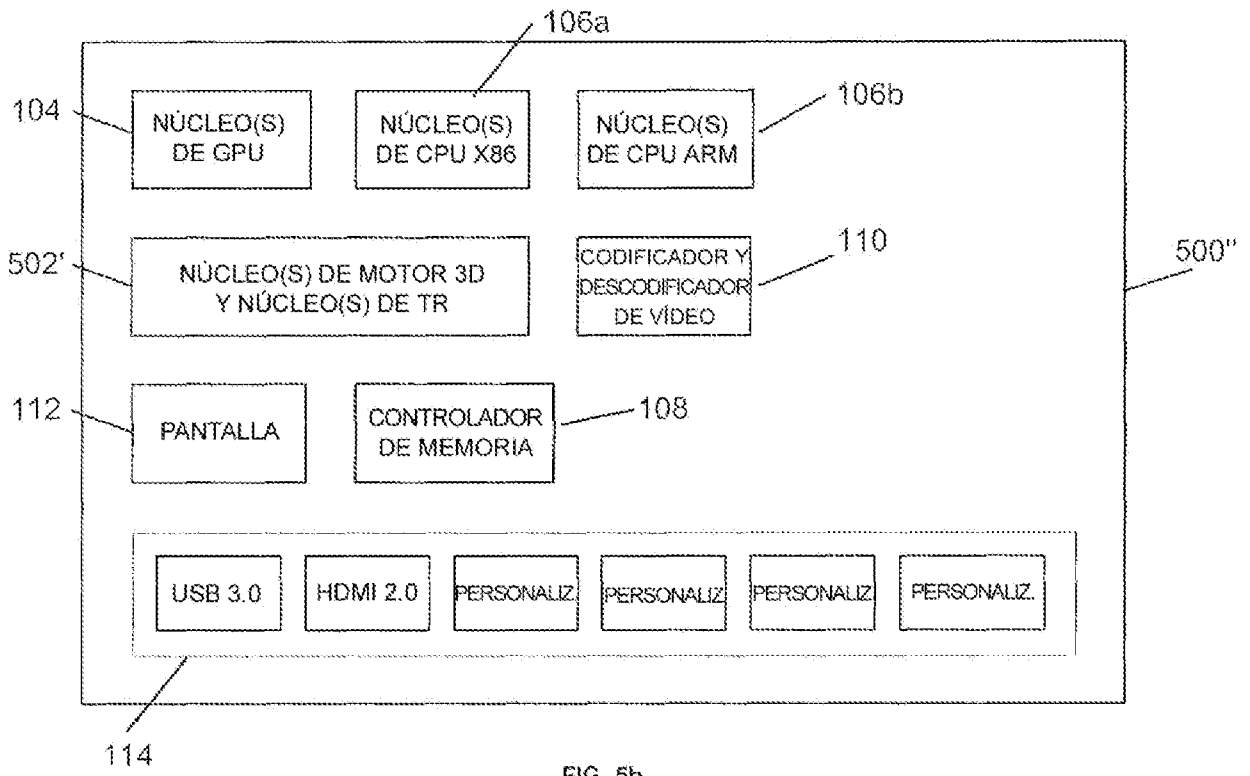


FIG. 5b

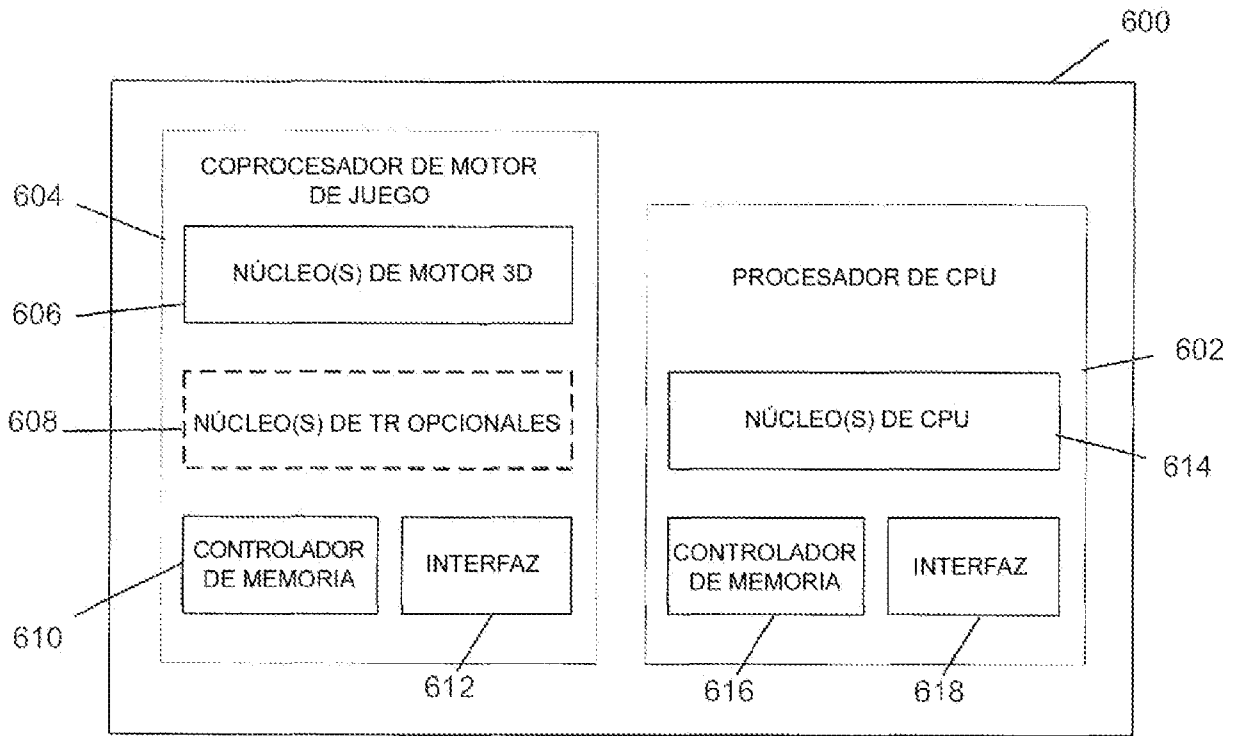


FIG. 6

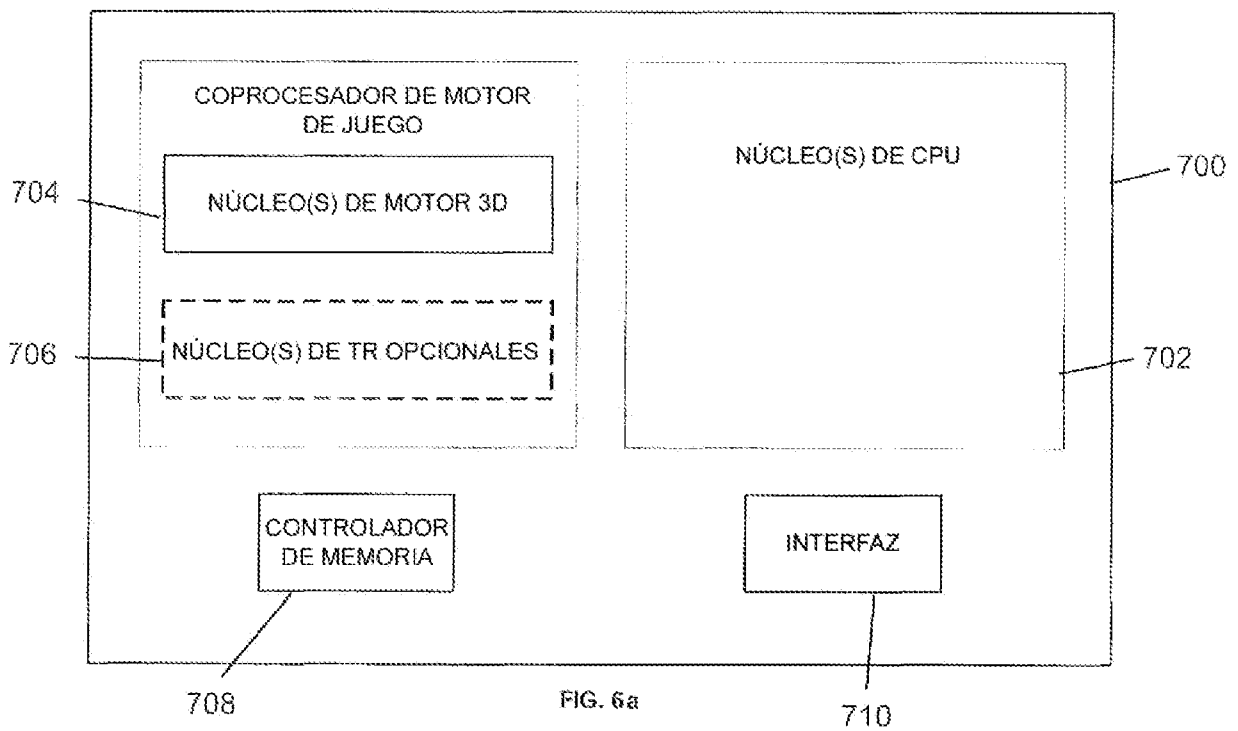


FIG. 6a

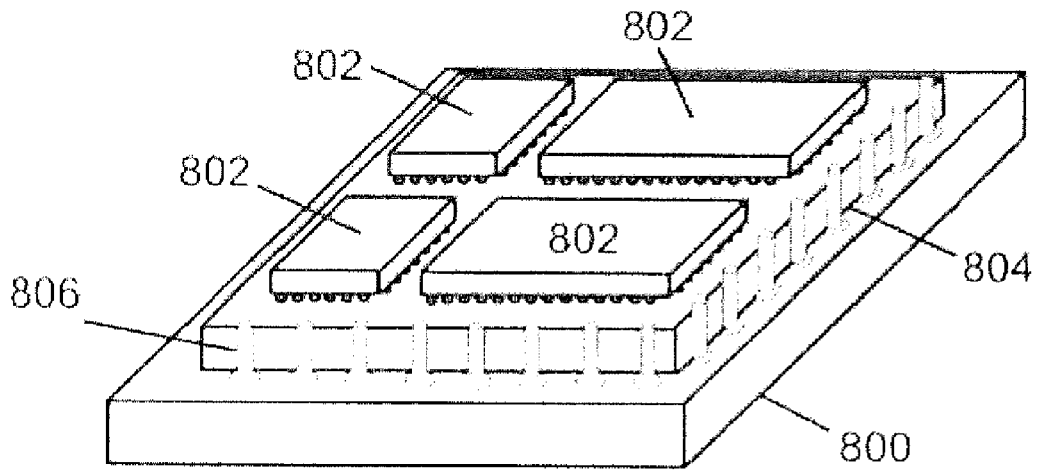


FIG. 7a

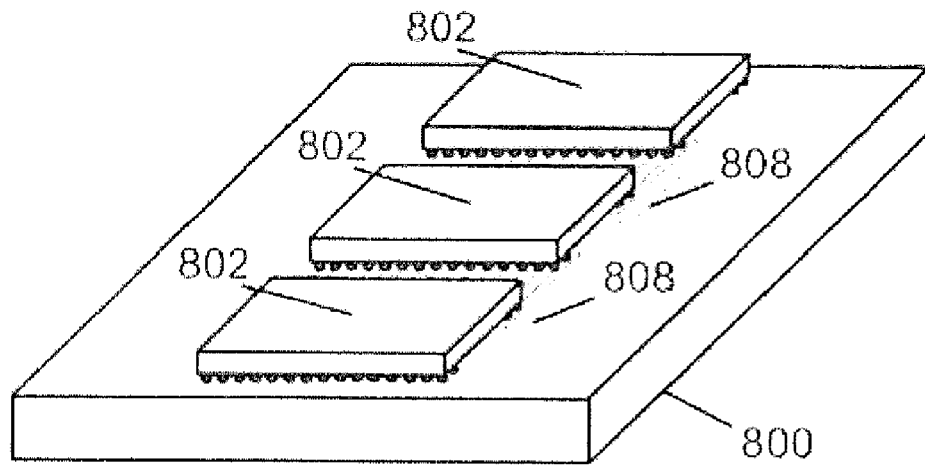


FIG. 7b

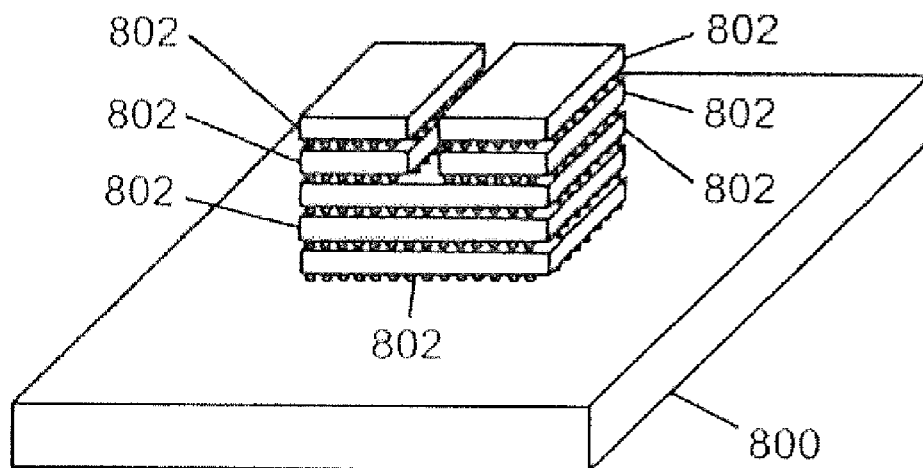


FIG. 7c