



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월21일  
(11) 등록번호 10-1760245  
(24) 등록일자 2017년07월17일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/324 (2017.01)  
(52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 21/324 (2013.01)  
(21) 출원번호 10-2015-0009080(분할)  
(22) 출원일자 2015년01월20일  
심사청구일자 2015년01월20일  
(65) 공개번호 10-2015-0027181  
(43) 공개일자 2015년03월11일  
(62) 원출원 특허 10-2014-0053442  
원출원일자 2014년05월02일  
심사청구일자 2015년01월20일  
(30) 우선권주장  
JP-P-2009-037912 2009년02월20일 일본(JP)  
(56) 선행기술조사문헌  
JP2008042088 A\*  
JP2008140984 A\*  
KR1020080079906 A\*  
JP5698431 B2  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
곤도 토시카즈  
일본 243-0036 카나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
기시다 히데유키  
일본 243-0036 카나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 4 항

심사관 : 최혜미

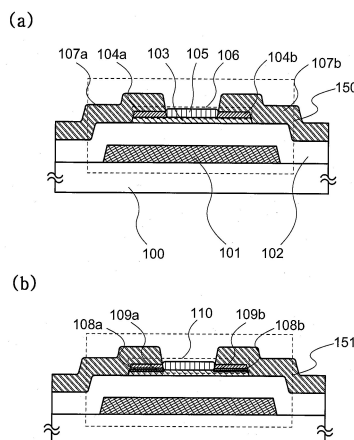
(54) 발명의 명칭 반도체 장치를 제조하기 위한 방법

(57) 요약

박막 트랜지스터의 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트를 예방하는 것이다.

박막 트랜지스터(150)는, 소스 전극층(107a) 및 드레인 전극층(107b)과 산화물 반도체층(103) 사이에 버퍼층(106)이 형성된다. 버퍼층(106)은, 산화물 반도체층(103)의 중앙부 위에, 절연체 또는 반도체인 금속 산화물층(105)을 갖는다. 금속 산화물층(105)은, 산화물 반도체층(103)에의 불순물의 침입을 억제하는 보호층으로서 기능한다. 따라서, 박막 트랜지스터(150)의 오프 전류의 증가, 또는 임계값의 마이너스 시프트를 예방할 수 있다.

대표도 - 도1



(52) CPC특허분류

*H01L 29/78618* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판 위에 구리를 포함하는 게이트 전극을 형성하는 단계와;  
 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계와;  
 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;  
 상기 산화물 반도체층의 상면 전체를 덮도록, 티타늄을 포함하는 도전층을 형성하는 단계와;  
 티타늄을 포함하는 상기 도전층 위에 도전막을 형성하는 단계와;  
 상기 도전막을 선택적으로 에칭하여, 소스 전극층 및 드레인 전극층을 형성하고 상기 도전층의 상면을 노출시키는 단계와;  
 산화 처리를 행하여, 상기 도전층의 노출된 부분이 산화되게 하는 단계와;  
 열처리를 행하여, 상기 산화물 반도체층 중의 산소가 상기 도전층으로 확산되게 하는 단계를 포함하는, 반도체 장치를 제조하기 위한 방법.

#### 청구항 2

기판 위에 구리를 포함하는 게이트 전극을 형성하는 단계와;  
 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계와;  
 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;  
 상기 산화물 반도체층의 상면 전체를 덮도록, 티타늄 및 구리를 포함하는 도전층을 형성하는 단계와;  
 티타늄 및 구리를 포함하는 상기 도전층 위에 도전막을 형성하는 단계와;  
 상기 도전막을 선택적으로 에칭하여, 소스 전극층 및 드레인 전극층을 형성하고 상기 도전층의 상면을 노출시키는 단계와;  
 산화 처리를 행하여, 상기 도전층의 노출된 부분이 산화되게 하는 단계와;  
 열처리를 행하여, 상기 산화물 반도체층 중의 산소가 상기 도전층으로 확산되게 하는 단계를 포함하는, 반도체 장치를 제조하기 위한 방법.

#### 청구항 3

기판 위에 티타늄 및 구리를 포함하는 게이트 전극을 형성하는 단계와;  
 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계와;  
 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;  
 상기 산화물 반도체층의 상면 전체를 덮도록, 티타늄 및 구리를 포함하는 도전층을 형성하는 단계와;  
 티타늄 및 구리를 포함하는 상기 도전층 위에 도전막을 형성하는 단계와;  
 상기 도전막을 선택적으로 에칭하여, 소스 전극층 및 드레인 전극층을 형성하고 상기 도전층의 상면을 노출시키는 단계와;  
 산화 처리를 행하여, 상기 도전층의 노출된 부분이 산화되게 하는 단계와;  
 열처리를 행하여, 상기 산화물 반도체층 중의 산소가 상기 도전층으로 확산되게 하는 단계를 포함하는, 반도체 장치를 제조하기 위한 방법.

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치를 제조하기 위한 방법.

#### 청구항 7

삭제

### 발명의 설명

#### 기술 분야

- [0001] 본 발명은, 산화물 반도체층을 사용하여 형성되는 박막 트랜지스터 및 그 제작 방법에 관한 것이다. 또한, 상기 박막 트랜지스터를 사용하여 제작되는 반도체 장치에 관한 것이다.
- [0002] 또한, 본 명세서에 있어서, 반도체 장치란, 반도체 특성을 활용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

#### 배경 기술

- [0003] 금속 산화물은 다양하게 존재하여 다양한 용도로 사용된다. 산화 인듐은 잘 알려진 재료이고, 액정 디스플레이 등으로 필요하게 되는 투명 전극 재료로서 사용된다.
- [0004] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 박막 트랜지스터가 이미 알려져 있다(특허 문헌 1 내지 특허 문헌 4, 비특허 문헌 1).
- [0005] 그런데, 금속 산화물은 일원계 산화물만이 아니라 다원계 산화물도 알려져 있다. 예를 들어, 동족계열(homologous series)을 갖는  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ : 자연수)는, In, Ga 및 Zn을 갖는 다원계 산화물 반도체로서 알려져 있다(비특허 문헌 2 내지 비특허 문헌 4).
- [0006] 그리고, 상기와 같은 In-Ga-Zn계 산화물로 구성되는 산화물 반도체를 박막 트랜지스터의 채널층으로서 적용할 수 있다는 것이 확인된다(특허 문헌 5, 비특허 문헌 5 및 비특허 문헌 6).

#### 선행기술문헌

- [0007] [특허 문헌1]
- [0008] 특개소60-198861호 공보
- [0009] [특허 문헌2]
- [0010] 특개평8-264794호 공보
- [0011] [특허 문헌3]
- [0012] 특개평11-505377호 공보
- [0013] [특허 문헌4]
- [0014] 특개2000-150900호 공보
- [0015] [특허 문헌5]

- [0016] 특개2004-103957호 공보
- [0017] [비특허 문헌 1]
- [0018] M.W.Prins, K.O.Grosse-Holz, G.Muller, J.F.M.Cillessen, J.B.Giesbers, R.P.Weening, and R.M.Wolf, "A ferroelectric transparent thin-film transistor", Appl.Phys.Lett., 17 June 1996, Vol.68 p.3650
- [0019] [비특허 문헌 2]
- [0020] M.Nakamura, N.Kimizuka, and T.Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$  System at  $1350^\circ\text{C}$ ", J.Solid State Chem., 1991, Vol.93 p.298
- [0021] [비특허 문헌 3]
- [0022] N.Kimizuka, M.Isobe, and M.Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m=3,4$ , and  $5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m=7,8,9$  and  $16$ ) in the  $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$  System", J, Solid State Chem., 1995, Vol.116, p.170
- [0023] [비특허 문헌 4]
- [0024] M.Nakamura, N.Kimizuka, T.Mohri, M.Isobe, "동족계열,  $\text{InFeO}_3(\text{ZnO})_m$  ( $m$ : 자연수)와 그 동형 화합물의 합성 및 결정 구조", 고체 물리, 1993년, Vol.28, No.5, p.317
- [0025] [비특허 문헌 5]
- [0026] K.Nomura, H.Ohta, K.Ueda, T.Kamiya, M.Hirano, and H.Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol.300, p.1269
- [0027] [비특허 문헌 6]
- [0028] K.Nomura, H.Ohta, A.Takagi, T.Kamiya, M.Hirano, and H.Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol.432, p.488

## 발명의 내용

### 해결하려는 과제

- [0029] 본 발명의 일 형태는, 박막 트랜지스터의 오프 전류의 증가, 또는 임계값의 마이너스 시프트를 예방하는 것을 과제의 하나로 한다.
- [0030] 또한, 본 발명의 일 형태는, 박막 트랜지스터의 소스 전극층 및 드레인 전극층과, 산화물 반도체층의 접합을 오픈 접합으로 하는 것을 과제의 하나로 한다.
- [0031] 또한, 본 발명의 일 형태는, 박막 트랜지스터의 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트가 예방된 고성능의 박막 트랜지스터를 효율 좋게 제작하는 것을 과제의 하나로 한다.
- [0032] 또한, 본 발명의 일 형태는, 박막 트랜지스터의 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트가 예방되어, 또는 박막 트랜지스터의 소스 전극층 및 드레인 전극층과, 산화물 반도체층의 접합이 오픈 접합인 고성능의 박막 트랜지스터를 효율 좋게 제작하는 것을 과제의 하나로 한다.
- [0033] 또한, 본 발명의 일 형태는, 고품질, 또는 고신뢰성의 반도체 장치를 제공하는 것을 과제의 하나로 한다.

### 과제의 해결 수단

- [0034] 본 발명의 일 형태는, 산화물 반도체층 위에 버퍼층이 형성되어, 상기 버퍼층 위에 소스 전극층 및 드레인 전극층이 형성된 역 스택거형의 박막 트랜지스터이다. 또한, 상기 버퍼층은, 산화물 반도체층의 양단부 위에 형성된 한 쌍의 도전층과, 산화물 반도체층의 중앙부 위에 형성되어, 한 쌍의 도전층과 같은 금속 원소를 갖고, 또한, 한 쌍의 도전층보다도 산소 농도가 높은, 상기 한 쌍의 도전층에 끼운 절연체 또는 반도체인 금속 산화물층을 갖는다.

- [0035] 또한, 상기 구성에 더하여, 상기 버퍼층이 산화물 반도체층의 양단부 위에 형성된 한 쌍의 산소 농도가 저하된 산화물 반도체층과, 상기 한 쌍의 산소 농도가 저하된 산화물 반도체층 위에 형성된 한 쌍의 고농도로 산소를 함유하는 도전층을 갖는 박막 트랜지스터도 본 발명의 일 형태이다.
- [0036] 또한, 본 명세서에 있어서, 절연체란 그 전기 저항율이  $10^6(\Omega \cdot m)$  이상인 물질을 가리키며, 반도체란 그 전기 저항율이  $10^{-3}(\Omega \cdot m)$  이상,  $10^6(\Omega \cdot m)$  미만인 물질을 가리키며, 도전체란 그 전기 저항율이  $10^{-3}(\Omega \cdot m)$  미만인 물질을 가리키는 것으로 한다.
- [0037] 또한, 본 발명의 일 형태는, 금속 산화물층이 산화물 반도체층과 동일 공정에 있어서 형성된 도전층에 대해, 산화 처리를 행함으로써 형성되는 박막 트랜지스터의 제작 방법이다. 또한, 상기 산화 처리는, 소스 전극층 및 드레인 전극층의 형성에 사용되는 레지스트를 마스크로서 전용한다. 따라서, 상기 도전층의 양단부는, 상기 산화 처리로는 산화되지 않고, 잔존된다. 결과적으로, 상기 산화 처리에 의하여, 한 쌍의 도전층과, 상기 한 쌍의 도전층에 끼워진 금속 산화물층이 형성된다.
- [0038] 또한, 본 발명의 일 형태는, 금속 산화물층이, 산화물 반도체층과 동일 공정으로 형성된 도전층에 대해, 산화 처리를 행함으로써 형성되고, 이어서, 한 쌍의 고농도로 산소를 함유하는 도전층 및 한 쌍의 산소 농도가 저하된 산화물 반도체층이, 열처리에 의하여 산소가 확산되는 것으로써 형성되는 박막 트랜지스터의 제작 방법이다.
- [0039] 또한, 본 발명의 일 형태는, 금속 산화물층, 한 쌍의 고농도로 산소를 함유하는 도전층, 및 한 쌍의 산소 농도가 저하된 산화물 반도체층이, 열 산화 처리를 행함으로써 형성되는 박막 트랜지스터의 제작 방법이다.
- [0040] 또한, 본 발명의 일 형태는, 금속 산화물층, 한 쌍의 고농도로 산소를 함유하는 도전층, 및 한 쌍의 산소 농도가 저하된 산화물 반도체층이, 산화 처리 및 열 산화 처리를 행함으로써 형성되는 박막 트랜지스터의 제작 방법이다.
- [0041] 또한, 본 발명의 일 형태는, 상기 박막 트랜지스터와, 상기 박막 트랜지스터 위에 형성된 층간 절연층을 갖는 반도체 장치이다.

### 발명의 효과

- [0042] 본 발명의 일 형태는 역 스택거형의 박막 트랜지스터에 있어서, 산화물 반도체층의 중앙부 위에, 절연체 또는 반도체인 금속 산화물층을 갖는다. 상기 금속 산화물층은, 산화물 반도체층으로 불순물(수소 또는 물 등)의 침입을 억제하는 보호층으로서 기능한다. 따라서, 박막 트랜지스터의 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트를 예방할 수 있다.
- [0043] 또한, 본 발명의 일 형태는, 역 스택거형의 박막 트랜지스터에 있어서, 산화물 반도체층의 양단부와 상기 산화물 반도체층의 양단부 위에 형성된 한 쌍의 도전층 사이에, 한 쌍의 고농도로 산소를 함유하는 도전층 및 한 쌍의 산소 농도가 저하된 산화물 반도체층을 갖는다. 한 쌍의 산소 농도가 저하된 산화물 반도체층은, 산화물 반도체층과 비교하여 저항이 낮다. 따라서, 소스 전극층 및 드레인 전극층과, 산화물 반도체층의 접합을 옴믹 접합으로 할 수 있다.
- [0044] 또한, 본 발명의 일 형태는, 상기 금속 산화물층이, 산화물 반도체층과 동일 공정으로 형성되는 도전층을 기초하여 형성된다. 따라서, 효율 좋게 고성능의 박막 트랜지스터를 형성할 수 있다.
- [0045] 또한, 본 발명의 일 형태는, 상기 금속 산화물층이 산화물 반도체층과 동일 공정으로 형성되는 도전층을 기초하여 형성되고, 또는 상기 한 쌍의 산소 농도가 저하된 산화물 반도체층이, 상기 도전층에 산소가 확산되는 것으로서 형성된다. 따라서, 효율 좋게 고성능의 박막 트랜지스터를 형성할 수 있다.
- [0046] 또한, 본 발명의 일 형태는, 반도체 장치가 갖는 박막 트랜지스터로서, 산화물 반도체층에 불순물(수소 또는 물 등)의 침입을 억제하는 보호층을 갖는 박막 트랜지스터를 적용한다. 따라서, 박막 트랜지스터 위에 형성된 층간 절연층을, 목적에 따라 각종 재료, 제작 방법으로부터 선택할 수 있다. 즉, 고품질, 또는 고신뢰성의 반도체 장치를 제공할 수 있다.

### 도면의 간단한 설명

- [0047] 도 1a 및 도 1b는 실시형태 1에서 설명하는 박막 트랜지스터의 단면도.  
도 2a 내지 도 2d는 실시형태 2에서 설명하는 박막 트랜지스터의 제작 공정을 도시하는 단면도.

도 3a 내지 도 3d는 실시형태 2에서 설명하는 박막 트랜지스터의 제작 공정을 도시하는 단면도.

도 4는 실시형태 3에서 설명하는 액정 표시 장치의 화소를 도시하는 상면도.

도 5는 실시형태 3에서 설명하는 액정 표시 장치의 화소를 도시하는 단면도.

도 6은 실시형태 3에서 설명하는 액정 표시 장치의 화소를 도시하는 등가 회로도.

도 7은 실시형태 4에서 설명하는 발광 표시 장치의 화소를 도시하는 상면도.

도 8은 실시형태 4에서 설명하는 발광 표시 장치의 화소를 도시하는 단면도.

도 9는 실시형태 4에서 설명하는 발광 표시 장치의 화소를 도시하는 등가 회로도.

도 10은 실시형태 5에서 설명하는 전자 페이퍼의 단면도.

도 11a 내지 도 11c는 실시예 1에서 설명하는 계산에 의하여 구한 상태 밀도도.

도 12a 내지 도 12c는 실시예 1에서 설명하는 계산에 의하여 구한 상태 밀도도.

도 13a 및 도 13b는 실시예 1에서 설명하는 계산에 의하여 구한 상태 밀도도.

도 14a 및 도 14b는 실시예 1에서 설명하는 계산에 의하여 구한 티타늄막과 In-Ga-Zn-O계 산화물 반도체층의 접합 계면에 있어서의 열처리 전후의 원자 배치를 도시하는 도면.

도 15는 실시예 1에서 설명하는 계산에 의하여 구한 티타늄막과 In-Ga-Zn-O계 산화물 반도체층의 접합 계면에 있어서의 열처리 전후의 티타늄 농도 및 산소 농도를 도시하는 도면.

도 16a 및 도 16b는 실시예 1에서 설명하는 계산에 의하여 구한 티탄산화물층과 In-Ga-Zn-O계 산화물 반도체층의 접합 계면에 있어서의 열처리 전후의 원자 배치를 도시하는 도면.

도 17은 실시예 1에서 설명하는 계산에 의하여 구한 티탄산화물층과 In-Ga-Zn-O계 산화물 반도체층의 접합 계면에 있어서의 열처리 전후의 티타늄 농도 및 산소 농도를 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0048] 이하에서는, 본 실시형태에 대해서 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정되어 해석되는 것이 아니다.

[0049] 또한, 각 실시형태의 도면 등에 있어서 도시하는 각 구성의 크기, 층의 두께, 또는 영역은, 명료화를 위해서 과장되어 표기하는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다. 또한, 본 명세서에 있어서 사용하는 "제 1", "제 2", "제 3" 등의 서수는, 구성 요소의 혼동을 피하기 위해서 붙인 것이고 수치적으로 한정하는 것이 아님을 부기한다.

[0050] (실시형태 1)

[0051] 본 실시형태에서는, 본 발명의 일 형태의 박막 트랜지스터의 구조에 대해서, 도 1a 및 도 1b를 사용하여 설명한다. 이어서, 상기 박막 트랜지스터가 갖는 특성에 대해서 설명한다.

[0052] 도 1a는, 기판(100) 위에 형성된 박막 트랜지스터(150)의 단면도를 도시한다. 박막 트랜지스터(150)는, 기판(100) 위에 형성된 게이트 전극층(101)과, 게이트 전극층(101) 위에 형성된 게이트 절연층(102)과, 게이트 절연층(102) 위에 형성된 산화물 반도체층(103)과, 산화물 반도체층(103) 위에 형성된 도전체인 한 쌍의 도전층(104a, 104b), 및 절연체 또는 반도체인 금속 산화물층(105)을 갖는 버퍼층(106)과, 도전층(104a)(한 쌍의 도전층(104a, 104b)의 한 쪽) 위에 형성된 소스 전극층(107a)과, 도전층(104b)(한 쌍의 도전층(104a, 104b)의 다른 쪽) 위에 형성된 드레인 전극층(107b)을 갖는다. 또한, 한 쌍의 도전층(104a, 104b)은, 산화물 반도체층(103)의 양단부 위에 형성되고, 금속 산화물층(105)은, 산화물 반도체층(103)의 중앙부 위에 형성된다.

[0053] 바꾸어 말하면, 도 1a의 박막 트랜지스터(150)는, 산화물 반도체층(103)과 소스 전극층(107a) 및 드레인 전극층(107b) 사이에, 한 쌍의 도전층(104a, 104b) 및 금속 산화물층(105)이 형성된 버퍼층(106)을 갖는 역 스택거형의 박막 트랜지스터이다.



- [0054] 도 1b는, 기판 위에 형성된 박막 트랜지스터(151)의 단면도를 도시한다. 박막 트랜지스터(151)는, 도 1a에 도시한 박막 트랜지스터(150)의 구성에 더하여, 산화물 반도체층(103)의 양단부에 형성된 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b)과, 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b) 위에 형성된 한 쌍의 고농도로 산소를 함유하는 도전층(109a, 109b)을 갖는다.
- [0055] 바꾸어 말하면, 도 1b의 박막 트랜지스터(151)는, 산화물 반도체층(103)과 소스 전극층(107a) 및 드레인 전극층(107b) 사이에, 한 쌍의 도전층(104a, 104b), 금속 산화물층(105), 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b), 및 한 쌍의 고농도로 산소를 함유하는 도전층(109a, 109b)이 형성된 버퍼층(110)을 갖는 역 스택형의 박막 트랜지스터이다.
- [0056] 기판(100)으로서는, 바륨 보로실리케이트 유리나, 알루미늄 보로실리케이트 유리 등의 유리 기판 등을 사용할 수 있다.
- [0057] 게이트 전극층(101)으로서는, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물을 적용할 수 있다. 또한, 이들의 재료의 적층 구조를 적용할 수도 있다.
- [0058] 게이트 절연층(102)으로서는, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 산화탄탈 등의 절연체를 적용할 수 있다. 또한, 이들의 절연체로 이루어지는 적층 구조를 적용하여도 좋다. 또한, 산화질화실리콘이란 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이고, 농도 범위로서 산소가 55at.% 내지 65at.%, 질소가 1at.% 내지 20at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.% 범위에 있어서, 합계 100at.%가 되도록 각 원소를 임의의 농도로 포함하는 것을 가리킨다. 또한, 질화산화실리콘이란, 그 조성으로서 산소보다도 질소의 함유량이 많은 것이고, 농도 범위로서 산소가 15at.% 내지 30at.%, 질소가 20at.% 내지 30at.%, 실리콘이 25at.% 내지 35at.%, 수소가 15at.% 내지 25at.%의 범위에 있어서, 합계 100at.%가 되도록 각 원소를 임의의 농도로 포함하는 것을 가리킨다.
- [0059] 산화물 반도체층(103)으로서는, In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, In-Sn-O계 산화물 반도체, Ga-Zn-O계 산화물 반도체, 또는, Zn-O계 산화물 반도체 등의 산화물 반도체를 적용할 수 있다. 또한, 이들의 산화물 반도체에 질소(N), 실리콘(Si)을 첨가한 산화물 반도체를 적용할 수도 있다. 또한, 이들의 재료의 적층 구조를 적용할 수도 있다.
- [0060] 한 쌍의 도전층(104a, 104b)으로서는, 티타늄(Ti), 구리(Cu), 아연(Zn), 알루미늄(Al) 등을 적용할 수 있다. 또한, 상술한 금속 원소를 갖는 합금을 적용할 수도 있다. 또한, 이들의 재료의 적층 구조를 적용할 수도 있다.
- [0061] 금속 산화물(105)로서는, 한 쌍의 도전층(104a, 104b)과 같은 재료를 적용할 수 있다. 다만, 금속 산화물층(105)은, 한 쌍의 도전층(104a, 104b)보다도 산소 농도가 높다. 즉, 금속 산화물층(105)은, 한 쌍의 도전층(104a, 104b)과 같은 금속 원소를 갖고, 또한 도전층(104a, 104b)보다도 산소 농도가 높다.
- [0062] 소스 전극층(107a) 및 드레인 전극층(107b)으로서는, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물을 적용할 수 있다. 또한, 이들의 재료의 적층 구조를 적용할 수 있다.
- [0063] 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b)으로서는, 산화물 반도체층(103)과 같은 재료를 적용할 수 있다. 다만, 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b)은, 산화물 반도체층(103)보다도 산소 농도가 낮다. 즉, 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b)은, 산화물 반도체층(103)과 같은 금속 원소를 갖고, 또한, 산화물 반도체층(103)보다도 산소 농도가 낮다.
- [0064] 한 쌍의 고농도로 산소를 함유하는 도전층(109a, 109b)으로서는, 한 쌍의 도전층(104a, 104b) 및 금속 산화물층(105)과 같은 재료를 적용할 수 있다. 다만, 한 쌍의 고농도로 산소를 함유하는 도전층(109a, 109b)은, 한 쌍의 도전층(104a, 104b)보다도 산소 농도가 높고, 금속 산화물층(105)보다도 산소 농도가 낮다. 즉, 한 쌍의 고농도로 산소를 함유하는 도전층(109a, 109b)은, 한 쌍의 도전층(104a, 104b) 및 금속 산화물층(105)과 같은 금속 원소를 갖고, 또한, 도전층(104a, 104b)보다도 산소 농도가 높고, 금속 산화물층(105)보다도 산소 농도가 낮다.
- [0065] 도 1a에 도시한 박막 트랜지스터(150)는, 소스 전극층(107a) 및 드레인 전극층(107b)과 산화물 반도체층(103)



사이에 버퍼층(106)이 형성된다. 버퍼층(106)은, 산화물 반도체층(103)의 중앙부 위에, 절연체 또는 반도체인 금속 산화물층(105)을 갖는다. 금속 산화물층(105)은, 산화물 반도체층(103)의 불순물(수소 또는 물 등)에의 침입을 억제하는 보호층으로서 기능한다. 따라서, 박막 트랜지스터(150)의 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트를 예방할 수 있다.

[0066] 도 1b에 도시한 박막 트랜지스터(151)의 버퍼층(110)은, 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트를 예방하는 금속 산화물층(105)과 함께, 산화물 반도체층(103)의 양단부 위에, 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b)을 갖는다. 한 쌍의 산소 농도가 저하된 산화물 반도체층(108a, 108b)은, 산화물 반도체층(103)과 비교하여 저항이 낮다. 따라서, 소스 전극층(107a) 및 드레인 전극층(107b)과 산화물 반도체층(103)의 접합을 옴믹 접합으로 할 수 있다.

[0067] (실시형태 2)

[0068] 본 실시형태에서는, 실시형태 1에서 설명한 박막 트랜지스터의 제작 방법의 일례에 대해서 도 2a 내지 도 2d 및 도 3a 내지 도 3d를 사용하여 설명한다.

[0069] 또한, 본 실시형태에 있어서, "막"이란, 기판 전체면에 형성된 것이고, 후에 포토리소그래피 공정에 의하여 원하는 형상으로 가공되는 것이, 가공 전의 상태인 것을 가리킨다. 그리고, "층"이란, "막"으로부터 포토리소그래피 공정 등에 의하여 원하는 형상으로 가공, 형성된 것, 및 기판 전체면에 형성하는 것을 목적으로 한 것을 가리킨다.

[0070] 기판(200) 위에 제 1 도전막(201)을 형성한다. 제 1 도전막(201)의 형성에는, 스퍼터링법, 진공 증착법, 펄스 레이저 퇴적법, 이온 플레이팅(plating)법, 유기 금속 기상 성장법 등에 대표되는 박막 퇴적법을 사용할 수 있다. 이어서, 제 1 도전막(201) 위에 제 1 레지스트(202)를 형성한다. 여기까지의 공정을 마친 단계의 단면도가 도 2a에 상당한다.

[0071] 이어서, 제 2 레지스트(202)를 마스크서, 제 1 도전막(201)을 선택적으로 에칭함으로써 게이트 전극층(203)을 형성한다. 또한, 기판(200) 및 제 1 도전막(201)(게이트 전극층(203))의 재료는, 실시형태 1에서 예를 든 재료를 사용할 수 있기 때문에, 여기서는 상술의 설명을 원용한다. 또한, 제 1 레지스트(202)는, 게이트 전극층(203) 형성 후에 제거한다. 여기까지의 공정을 마친 단계의 단면도가 도 2b에 상당한다.

[0072] 이어서, 기판(200) 및 게이트 전극층(203) 위에 게이트 절연층(204)을 형성한다. 게이트 절연층(204)의 형성에는, 스퍼터링법, 진공 증착법, 펄스 레이저 퇴적법, 이온 플레이팅법, 유기 금속 기상 성장법, 플라즈마CVD법 등에 대표되는 박막 퇴적법을 사용할 수 있다.

[0073] 이어서, 산화물 반도체막(205)을 형성한다. 산화물 반도체막(205)의 형성에는, 스퍼터링법, 진공 증착법, 펄스 레이저 퇴적법, 이온 플레이팅법, 유기 금속 기상 성장법 등에 대표되는 박막 퇴적법을 사용할 수 있다. In-Ga-Zn-O계 산화물 반도체를 스퍼터링법으로서 형성하는 경우,  $\text{In}_2\text{O}_3$ ,  $\text{Ga}_2\text{O}_3$ ,  $\text{ZnO}$ 를 소결한 타깃을 사용하는 것이 바람직하다. 스퍼터 가스에는 아르곤에 대표되는 희 가스를 사용한다. 스퍼터링법에 의한 성막 조건의 하나는,  $\text{In}_2\text{O}_3$ :  $\text{Ga}_2\text{O}_3$ :  $\text{ZnO}$ =1: 1: 1을 혼합, 소결한 타깃을 사용하여, 압력 0.4Pa, 직류(DC) 전원 500W, 아르곤 가스 유량 30sccm, 산소 가스 유량을 15sccm로 하는 것이다. 또한, 산화물 반도체막(205) 성막 후에, 100℃ 내지 600℃, 대표적으로는 200℃ 내지 400℃의 열처리를 행하는 것이 바람직하다. 상기 열처리에 의하여 산화물 반도체의 원자 레벨의 재배치가 행해진다. 상기 열처리(광 어닐링 등도 포함함)는, 산화물 반도체막(205) 중에 있어서의 캐리어의 이동을 저해하는 변형을 해방할 수 있는 관점에서 중요하다.

[0074] 이어서, 산화물 반도체막(205) 위에 제 2 도전막(206)을 형성한다. 제 2 도전막(206)의 형성에는, 스퍼터링법, 진공 증착법, 펄스 레이저 퇴적법, 이온 플레이팅법, 유기 금속 기상 성장법 등에 대표되는 박막 퇴적법을 사용한다. 제 2 도전막(206)의 재료로서는 티타늄(Ti), 구리(Cu), 아연(Zn), 알루미늄(Al) 등을 사용할 수 있다. 또한, 상술한 금속 원소를 갖는 합금을 사용할 수도 있다. 또한, 이들의 재료의 적층 구조를 사용할 수도 있다. 이어서, 제 2 도전막(206) 위에 제 2 레지스트(207)를 형성한다. 여기까지의 공정을 마친 단계의 단면도가 도 2c에 상당한다.

[0075] 이어서, 제 2 레지스트(207)를 마스크로서, 산화물 반도체막(205) 및 제 2 도전막(206)을 선택적으로 에칭함으로써 산화물 반도체층(208) 및 도전층(209)을 형성한다. 또한, 게이트 절연층(204) 및 산화물 반도체막(205)(산화물 반도체층(208))의 재료는, 실시형태 1에서 예를 든 재료를 사용할 수 있기 때문에, 여기서는 상술의 설명을 원용한다. 또한, 제 2 레지스트(207)는, 산화물 반도체층(208) 및 도전층(209)을 형성 후에 제거한다.

여기까지의 공정을 마친 단면도가 도 2d에 상당한다.

[0076] 이어서, 게이트 절연층(204) 및 도전층(209) 위에 제 3의 도전막(210)을 형성한다. 제 3 도전막(210)의 형성에는, 스퍼터링법, 진공 증착법, 펄스 레이저 퇴적법, 이온 플레이팅법, 유기 금속 기상 성장법 등에 대표되는 박막 퇴적법을 사용할 수 있다. 이어서, 제 3 도전막(210) 위에 제 3의 레지스트(211a, 211b)를 형성한다. 여기까지의 공정을 마친 단면도가 도 3a에 상당한다.

[0077] 이어서, 제 3 레지스트(211a, 211b)를 마스크로서 제 3 도전막(210)을 선택적으로 에칭함으로써 소스 전극층(212a) 및 드레인 전극층(212b)을 형성한다. 또한, 상기 에칭 공정에 있어서, 소스 전극층(212a) 및 드레인 전극층(212b)과 중첩하지 않는 영역(노출부)의 도전층(209)도 일부 에칭되어, 소스 전극층(212a) 및 드레인 전극층(212b)과 중첩하지 않는 영역(노출부)에 오목부를 갖는 도전층(231)이 형성된다. 또한, 제 3 도전막(210)(소스 전극층(212a) 및 드레인 전극층(212b)의 재료는, 실시형태 1에서 예를 든 재료를 사용할 수 있기 때문에, 여기서는 상술의 설명을 원용한다. 여기까지의 공정을 마친 단계의 단면도가 도 3b에 상당한다.

[0078] 이어서, 제 3 레지스트(211a, 211b)를 마스크로서 산화 처리를 행한다. 상기 산화 처리로서는, 산화 분위기하에서의 열 산화 처리, 플라즈마 산화 처리, 산소 이온 주입 등을 사용할 수 있다. 또한, 산화 분위기하에서의 산화 처리를 행한 후에, 플라즈마 산화 처리를 행하는 등, 복수의 처리를 조합할 수도 있다. 또한, 열 산화 처리를 행하는 산화 분위기로서는, 전조 산소 분위기, 산소 및 희 가스의 혼합 분위기, 대기 분위기 등을 적용할 수 있다. 상기 산화 처리에 의하여, 산화물 반도체층(208) 위에 형성된 도전층(213)의 중앙부(노출부)가 산화되어, 절연체 또는 반도체인 금속 산화물층(214)이 형성된다. 또한, 금속 산화물층(214)의 형성에 따라, 한 쌍의 도전층(215a, 215b)이 산화물 반도체층(208)의 양단부 위에 형성된다. 구체적으로는, 소스 전극층(212a) 및 드레인 전극층(212b)과 중첩하는 영역(비노출부)의 도전층(213)은, 소스 전극층(212a) 및 드레인 전극층(212b) 및 제 3 레지스트(212a, 212b)에 의하여, 산화로부터 보호된다. 결과적으로, 한 쌍의 도전층(215a, 215b)이 잔존된다. 또한, 상기 산화 처리에 의하여 산화되는 영역의 체적은 증대한다. 즉, 금속 산화물층(214)의 체적은, 산화되기 전의 도전층(213)의 중앙부의 체적보다도 크다. 여기까지의 공정을 마친 단면도가 도 3c에 상당한다. 또한, 여기까지의 공정을 마친 단계에서 도 1a에 도시하는 박막 트랜지스터(150)가 완성된다.

[0079] 또한, 본 실시형태의 박막 트랜지스터는, 도 1a, 도 3c에 도시한 구성에 한정되지 않는다. 구체적으로는, 도 1a, 도 3c에서는, 상기 산화 처리에 의하여, 소스 전극층(212a) 및 드레인 전극층(212b)과 중첩하지 않는 영역(중앙부)의 도전층(213)만이 산화되어, 금속 산화물층(214)이 형성된 박막 트랜지스터를 도시하지만, 그 이외의 영역이 산화된 박막 트랜지스터도 본 실시형태의 박막 트랜지스터에는 포함된다. 예를 들어, 상기 산화 처리에 의하여, 제 3 레지스트(211a, 211b)로 덮이지 않는 소스 전극층(212a) 및 드레인 전극층(212b)의 측부가 산화된 박막 트랜지스터도 본 실시형태의 박막 트랜지스터에 포함된다. 또한, 소스 전극층(212a) 및 드레인 전극층(212b)의 측부가 산화되는 경우, 상기 산화를 측부 표면 영역에 고정시킴으로써, 소스 전극층(212a) 및 드레인 전극층(212b)을 전극으로서 기능시킬 수 있다. 마찬가지로, 상기 산화 처리에 의하여, 소스 전극층(212a) 및 드레인 전극층(212b)과 중첩하는 영역(비노출부)의 도전층(213)의 일부가 내부 산화된 박막 트랜지스터도 본 실시형태의 박막 트랜지스터에 포함된다.

[0080] 또한, 도 1a, 도 3c에서는, 상기 산화 처리에 의하여 형성된, 금속 산화물층(214)의 막 두께가 한 쌍의 도전층(215a, 215b)의 막 두께보다도 두꺼운 박막 트랜지스터를 도시하지만, 금속 산화물층(214)의 막 두께가 한 쌍의 도전층(215a, 215b)의 막 두께보다도 얇은 박막 트랜지스터도 본 실시형태의 박막 트랜지스터에 포함된다. 또한, 금속 산화물층(214)은, 오목부를 갖는 도전층(213)에 대해서 산화 처리를 행함으로써 형성된다. 또한, 상기 오목부는, 소스 전극층(212a) 및 드레인 전극층(212b)을 형성하는 에칭 공정시에, 형성된다. 즉, 소스 전극층(212a) 및 드레인 전극층(212b)을 형성하는 에칭 공정의 조건을 제어함으로써, 금속 산화물층(214)의 막 두께를 제어할 수 있다. 구체적으로는, 소스 전극층(212a) 및 드레인 전극층(212b)의 형성시의 오버 에칭 시간을 길게 함으로써, 상기 오목부를 깊게 할 수 있다. 따라서, 금속 산화물층(214)의 막 두께를 한 쌍의 도전층(215a, 215b)의 막 두께보다 얇게 할 수 있다.

[0081] 도 1b에 도시한 박막 트랜지스터(151)를 제작하는 경우는, 이어서, 100℃ 내지 600℃, 대표적으로는 200℃ 내지 400℃의 열처리를 행한다. 상기 열처리에 의하여, 산화물 반도체층(208) 중의 산소가 한 쌍의 도전층(215a, 215b)으로 확산된다. 또한, 상기 산소의 한 쌍의 도전층(215a, 215b)의 확산과, 금속 산화물층(214)의 확산을 비교한 경우, 한 쌍의 도전층(215a, 215b)으로 확산하는 산소량이 더 많다. 따라서, 산화물 반도체층(208)의 양단부 위에 한 쌍의 산소 농도가 저하된 산화물 반도체층(216a, 216b)이 형성되고, 한 쌍의 산소 농도가 저하된 산화물 반도체층(216a, 216b) 위에 한 쌍의 고농도로 산소를 함유하는 도전층(217a, 217b)이 형성된다. 그

후, 제 3 레지스트(211a, 212b)를 제거한다. 여기까지의 공정을 마친 단면도가 도 3d에 상당한다.

- [0082] 여기서, 도 1b에 도시한 박막 트랜지스터(151)를 제작하는 경우에 행하는 열처리를 산화 처리 후에 행하는 제작 공정을 나타냈지만, 상기 열처리의 타이밍은, 제 2 도전막(206) 형성 후라면, 어느 타이밍이라도 행하는 것이 가능하다. 또한, 상기 열처리는, 상술한 산화물 반도체층(208)의 원자 레벨의 재배치를 위한 열처리를 겸할 수 있다.
- [0083] 또한, 형성되는 박막 트랜지스터의 특성이라는 관점에서 보면, 산화 처리 후에 열처리를 행하는 것이 바람직하다. 산화 처리를 행하기 전(금속 산화물층(214) 형성하기 전)에 열처리를 행하면, 산화물 반도체층(208)의 상방 양단부만이 아니라, 상부 전체에 산소 농도가 저하된 산화물 반도체층이 형성되고, 형성되는 박막 트랜지스터의 오프 전류가 증가하기 때문이다.
- [0084] 또한, 제작 공정이라는 관점에서 보면, 상술한 산화 처리로서, 한 쌍의 산소 농도가 저하된 산화물 반도체층(216a, 216b), 및 한 쌍의 고농도로 산소를 함유하는 도전층(217a, 217b)이 형성되는 온도에서의 산화 분위기하에서의 열 산화 처리를 행하는 것이 바람직하다. 금속 산화물층(214), 산소 농도가 저하된 산화물 반도체층(216a, 216b), 및 고농도로 산소를 함유하는 도전층(217a, 217b)을 동일 공정으로 형성할 수 있기 때문이다. 상기 산화 처리 및 상기 열처리를 겸하는 처리 조건의 하나는, 건조 산소 분위기하에서 350℃, 1시간의 열 산화 처리이다.
- [0085] 또한, 형성되는 박막 트랜지스터의 신뢰성이라는 관점에서 보면, 열 산화 처리와 산화 처리를 조합하여 행하는 것이 바람직하다. 금속 산화물층(214)의 막 두께를 두껍게 함으로써, 산화물 반도체층(208)으로 불순물(수소 또는 물 등)의 침입을 억제하는 보호층으로서의 기능을 향상시킬 수 있기 때문이다.
- [0086] 박막 트랜지스터(150)는, 산화물 반도체층(208)과 동일 공정으로 형성되는 도전층(209)(도전층(213))을 기초하여, 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트를 예방하는 기능을 갖는 금속 산화물층(214)이 형성되기 때문에, 효율 좋게 고성능의 박막 트랜지스터를 형성할 수 있다. 마찬가지로, 박막 트랜지스터(151)는, 산화물 반도체층(208)과 동일 공정으로 형성되는 도전층(209)(도전층(213))을 기초하여, 오프 전류의 증가, 또는 임계값 전압의 마이너스 시프트를 예방하는 기능을 갖는 금속 산화물층(214)이 형성되어, 또는 산화물 반도체층(208)과, 소스 전극층(212a) 및 드레인 전극층(212b)을 오믹 접합으로 하는 기능을 갖는 한 쌍의 산소 농도가 저하된 산화물 반도체층(216a, 216b)이, 한 쌍의 도전층(215a, 215b)으로 산소가 확산됨으로써 형성되기 때문에, 효율 좋게 고성능의 박막 트랜지스터를 형성할 수 있다.
- [0087] (실시형태 3)
- [0088] 본 실시형태에서는, 실시형태 1에서 설명한 박막 트랜지스터를 사용한 반도체 장치의 일례를 나타낸다. 구체적으로는, 상기 박막 트랜지스터를 액티브 매트릭스 기판의 화소부에 형성되는 박막 트랜지스터에 적용한 액정 표시 장치에 대해서 도 4 내지 도 6에 도시한다. 이어서, 상기 액정 표시 장치에 대해서 설명한다.
- [0089] 또한, 반도체 장치 내에 있어서, 박막 트랜지스터의 소스 및 드레인, 동작 조건 등에 의하여 서로 바꾸기 때문에, 어느 것이 소스 또는 드레인인지를 특정하는 것이 어렵다. 그래서, 본 실시형태 이후에 있어서는, 소스 전극층 및 드레인 전극층의 한쪽을 제 1 전극층, 소스 전극층 및 드레인 전극층의 다른 쪽을 제 2 전극층이라고 표기하여, 구별하도록 한다.
- [0090] 도 4는, 액티브 매트릭스 기판의 1화소를 도시하는 상면도이다. 본 실시형태의 액정 표시 장치의 화소는, 3개의 부화소에 의하여 구성된다. 각각 부화소에는, 박막 트랜지스터(300) 및 액정층에 전압을 인가하는 화소 전극(301)이 형성된다. 실시형태 1에서 나타난 박막 트랜지스터는, 도 4 중의 박막 트랜지스터(300)에 적용할 수 있다. 화소부에는, 상술한 화소가 복수 형성된다. 또한, 복수의 게이트 배선(302), 복수의 소스 배선(303), 복수의 용량 배선(304)이 형성된다.
- [0091] 도 5는, 도 4의 A-B선에 대응하는 단면도이다. 도 5에 포함되는 박막 트랜지스터(450)는, 도 1a에 도시한 박막 트랜지스터이다. 즉, 박막 트랜지스터(450)는, 기판(400) 위에 형성된 게이트 전극층(401)과, 게이트 전극층(401) 위에 형성된 게이트 절연층(402)과, 게이트 절연층(402) 위에 형성된 산화물 반도체층(403)과, 산화물 반도체층(403) 위에 형성된 한 쌍의 도전층(404a, 404b) 및 금속 산화물층(405)을 갖는 버퍼층(406)과, 도전층(404a) 위에 형성된 제 1 전극층(407a)과, 도전층(404b) 위에 형성된 제 2 전극층(407b)을 갖는 박막 트랜지스터이다.
- [0092] 기판(400) 내지 제 1 전극층(407a) 및 제 2 전극층(407b)에 적용 가능한 재료 및 제작 방법은, 실시형태 1에서

설명한 재료 및 실시형태 2에서 설명한 제작 방법을 사용할 수 있기 때문에, 여기서는 상술의 설명을 원용한다.

[0093] 또한, 부화소는 용량 소자(451)를 갖는다. 용량 소자(451)는, 박막 트랜지스터(450)의 게이트 전극층(401)과 동일 재료인 용량 배선(408)과, 게이트 절연층(402)과, 부화소에 연재하는 박막 트랜지스터(450)의 제 2 전극층(407b)에 의하여 구성된다.

[0094] 박막 트랜지스터(450) 및 용량 소자(451) 위에는, 층간 절연층(409)이 형성된다. 도 5에 도시하는 박막 트랜지스터(450)에는, 산화물 반도체층(403)으로 불순물(수소 또는 물 등)의 침입을 억제하는 금속 산화물층(405)이 형성되기 때문에, 층간 절연층(409)으로서 각종 재료, 제작 방법을 적용할 수 있다. 예를 들어, 층간 절연층(409)으로서, 플라즈마 CVD법이나 스퍼터링법을 사용하여, 산화실리콘층, 산화질화실리콘층, 질화실리콘층, 또는 질화산화실리콘층 등을 형성할 수 있다. 또한, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 또는 에폭시 등의 유기 재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지 등을 사용하여, 스핀 코팅법 등의 도포법에 의하여 형성할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 유기기(예를 들어 알킬기, 방향족 탄화수소)나 플루오르기를 사용하여도 좋다. 유기기는, 플루오르기를 가져도 좋다. 또한, 층간 절연층(409)에 형성된 콘택트 홀(410)에 있어서, 박막 트랜지스터(450)의 제 2 전극층(407b)이 화소 전극(411)과 전기적으로 접속된다.

[0095] 도 6은, 도 4의 부화소에 대응하는 등가 회로도이다. 박막 트랜지스터(500)의 게이트 전극은 게이트 배선(501)에 전기적으로 접속되고, 제 1 전극은 소스 배선(502)에 전기적으로 접속된다. 용량 소자(503)의 한쪽의 전극은 박막 트랜지스터(500)의 제 2 전극에 전기적으로 접속되고, 다른 전극은 용량 배선(504)에 전기적으로 접속된다. 화소 전극을 통하여 전압이 인가되는 액정층(505)은, 박막 트랜지스터(500)의 제 2 전극 및 용량 소자(503)의 한쪽 전극에 전기적으로 접속된다.

[0096] 액정 표시 장치는, 액티브 매트릭스 기관과, 표면에 대향 전극이 형성된 대향 기관에 의하여 협지된 액정층을 갖는다. 액정층을 구성하는 액정 분자는, 액티브 매트릭스 기관의 화소 전극 및 대향 기관의 대향 전극 사이에 인가되는 전압에 의하여 배향이 제어된다. 액정 표시 장치는, 상기 액정층이 배향함으로써, 백 라이트로부터의 광을 투과 또는 차광함으로써, 화상의 표시를 행한다. 액정 표시 장치에 있어서, 액티브 매트릭스 기관의 화소부의 박막 트랜지스터는, 액정층에 인가되는 전압을 제어하는 스위칭 소자이다.

[0097] 본 실시형태의 액정 표시 장치는, 산화물 반도체층(403) 위에 금속 산화물층(405)이 형성된 박막 트랜지스터(450)를 액티브 매트릭스 기관의 화소부의 박막 트랜지스터로서 사용한다. 금속 산화물층(405)은, 산화물 반도체층(403)으로 불순물(수소 또는 물 등)의 침입을 억제하는 보호층으로서 기능한다. 따라서, 목적에 따라, 층간 절연막(409)의 재료, 제작 방법을 선택할 수 있다. 결과적으로, 고품질, 또는 고신뢰성의 액정 표시 장치를 제공할 수 있다. 또한 여기서는 도 1a에 도시한 박막 트랜지스터를 적용한 액정 표시 장치에 대해서 나타냈지만, 도 1b에 도시한 박막 트랜지스터를 적용한 경우도 같은 효과를 나타낸다.

[0098] (실시형태 4)

[0099] 본 실시형태에서는, 실시형태 1에서 설명한 박막 트랜지스터를 사용한 반도체 장치의 일례를 나타낸다. 구체적으로는, 상기 박막 트랜지스터를 액티브 매트릭스 기관의 화소부에 형성되는 박막 트랜지스터에 적용한 발광 표시 장치에 대해서 도 7 내지 도 9에 도시한다. 이어서, 본 실시형태의 발광 표시 장치에 대해서 설명한다. 또한, 본 실시형태의 발광 표시 장치가 갖는 표시 소자로서 여기서는 일렉트로 루미네선스를 활용하는 발광 소자를 사용하여 나타낸다. 일렉트로 루미네선스를 활용하는 발광 소자는, 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별되고, 일반적으로 전자는 유기 EL소자, 후자는 무기 EL소자라고 불린다.

[0100] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 함유한 층에 주입되어 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때 발광한다. 이러한 메커니즘에 의하여, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0101] 무기 EL 소자는 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 활용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 또한 그것을 전극으로 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이를 활용하는 국재(局在)형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.



- [0102] 도 7은, 액티브 매트릭스 기판의 1화소에 도시하는 상면도이다. 본 실시형태의 발광 표시 장치의 화소는, 3개의 부화소에 의하여 구성된다. 각각 부화소에는, 박막 트랜지스터(600, 601), 발광 소자에 전압을 인가하는 화소 전극(602)이 형성된다(편의상 화소 전극(602)의 일부는 도시하지 않음). 실시형태 1에서 나타낸 박막 트랜지스터는, 도 6 중의 박막 트랜지스터(600, 601)에 적용할 수 있다. 화소부에는, 상술한 화소가 복수 형성된다. 또한, 복수의 게이트 배선(603), 복수의 소스 배선(604), 복수의 전원선(605)이 형성된다. 또한, 전원선(605) 위에는, 고전원 전위 VDD가 설정된다.
- [0103] 도 8은, 도 7의 C-D선, E-F선에 대응하는 단면도이다. 박막 트랜지스터(750, 751)는, 도 1a에 도시한 박막 트랜지스터이다. 즉, 박막 트랜지스터(750, 751)는, 기판(700) 위에 형성된 게이트 전극층(701)과, 게이트 전극층(701) 위에 형성된 게이트 절연층(702)과, 게이트 절연층(702) 위에 형성된 산화물 반도체층(703)과, 산화물 반도체층(703) 위에 형성된, 도전층(704a, 704b) 및 금속 산화물층(705)을 갖는 버퍼층(706)과, 도전층(704a) 위에 형성된 제 1 전극층(707a)과, 도전층(704b) 위에 형성된 제 2 전극층(707b)을 갖는 박막 트랜지스터이다.
- [0104] 기판(700) 내지 제 1 전극층(707a) 및 제 2 전극층(707b)에 적용 가능한 재료 및 제작 방법은, 실시형태 1에서 설명한 재료 및 실시형태 2에서 설명한 제작 방법을 사용할 수 있기 때문에 여기서는 상술한 설명을 원용한다.
- [0105] 또한, 부화소는 용량 소자(752)를 갖는다. 용량 소자(752)는, 박막 트랜지스터(750, 751)의 게이트 전극층(701)과 동일 재료인 용량 배선(708)과, 게이트 절연층(702)과, 부화소에 연재하는 박막 트랜지스터(751)의 제 1 전극층(707a)에 의하여 구성된다.
- [0106] 박막 트랜지스터(750, 751) 및 용량 소자(752) 위에는, 층간 절연층(709)이 형성된다. 도 8에 도시하는 박막 트랜지스터(750, 751)에는, 산화물 반도체층(703)으로 불순물(수소 또는 물 등)의 침입을 억제하는 금속 산화물층(705)이 형성되기 때문에, 층간 절연층(709)으로서 각종 재료, 제작 방법을 적용할 수 있다. 예를 들어, 층간 절연층(709)으로서, 플라즈마 CVD법이나 스퍼터링법을 사용하여, 산화실리콘층, 산화질화실리콘층, 질화실리콘층, 또는 질화산화실리콘층 등을 형성할 수 있다. 또한, 폴리이미드, 폴리이미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 또는 에폭시 등의 유기 재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지 등을 사용하여, 스핀 코팅법 등의 도포법에 의하여 형성할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 유기기(예를 들어 알킬기, 방향족 탄화수소)나 플루오르기를 사용하여도 좋다. 유기기는, 플루오르기를 가져도 좋다. 또한, 층간 절연층(709)에는, 복수의 콘택트 홀(710a, 710b, 710c)이 형성된다. 박막 트랜지스터(751)의 제 2 전극층(707b)는, 콘택트 홀(710c)에 있어서, 화소 전극(711)과 전기적으로 접속된다.
- [0107] 도 9는, 도 7의 부화소에 대응하는 등가 회로도이다. 박막 트랜지스터(800)의 게이트 전극은 게이트 배선(801)에 전기적으로 접속되고, 제 1 전극은 소스 배선(802)에 전기적으로 접속된다. 용량 소자(803)의 한쪽의 전극은 박막 트랜지스터(800)의 제 2 전극에 전기적으로 접속되고, 다른 전극은 전원선(804)에 전기적으로 접속된다. 박막 트랜지스터(805)의 게이트 전극은 박막 트랜지스터(800)의 제 2 전극에 전기적으로 접속되고, 제 1 전극은 전원선(804) 및 용량 소자(803)의 다른 측의 전원에 접속된다. 화소 전극을 통하여 전압이 인가되는 유기 EL소자(806)는, 박막 트랜지스터(805)의 제 2 전극에 전기적으로 접속된다.
- [0108] 발광 표시 장치는, 액티브 매트릭스 기판의 화소 전극 위에 형성된 유기 EL소자와, 상기 유기 EL소자 위에 형성된 공통 전극을 갖는다. 또한, 공통 전극에는 저전원 전위 VSS가 설정된다. 상기 유기 EL소자는, 박막 트랜지스터를 통하여 화소 전극에 주어지는 고전원 전위 VDD와, 공통 전극에 주어지는 저전원 전위 VSS의 전위 차분의 전압이 인가되었을 때 전류가 흘러, 발광한다. 발광 표시 장치에 있어서, 액티브 매트릭스 기판의 화소부의 박막 트랜지스터는, 유기 EL소자에 흐르는 전류를 제어하는 스위칭 소자이다.
- [0109] 본 실시형태의 발광 표시 장치는, 산화물 반도체층(703) 위에 금속 산화물층(705)이 형성된 박막 트랜지스터(750, 751)를 액티브 매트릭스 기판의 화소부의 박막 트랜지스터로서 사용한다. 금속 산화물층(705)은, 산화물 반도체층(703)으로 불순물(수소 또는 물 등)의 침입을 억제하는 보호층으로서 기능한다. 따라서, 목적에 따라, 층간 절연층(709)의 재료, 제작 방법을 선택할 수 있다. 결과적으로, 고품질, 또는 고신뢰성의 발광 표시 장치를 제공할 수 있다. 또한 여기서는 도 1a에 도시한 박막 트랜지스터를 적용한 발광 표시 장치에 대해서 나타냈지만, 도 1b에 도시한 박막 트랜지스터를 적용한 경우도 같은 효과를 나타낸다.
- [0110] (실시형태 5)
- [0111] 본 실시형태에서는, 실시형태 1에서 설명한 박막 트랜지스터를 사용한 반도체 장치의 일례를 나타낸다. 구체적으로는, 상기 박막 트랜지스터를 액티브 매트릭스 기판에 형성되는 박막 트랜지스터에 적용한 전자 페이퍼에 대

해서 도 10에 도시한다. 이어서, 본 실시형태의 전자 페이퍼에 대해서 설명한다.

- [0112] 도 10은, 액티브 매트릭스형의 전자 페이퍼의 단면도이다. 제 1 기관(액티브 매트릭스 기관)(900) 위에 형성된 박막 트랜지스터(950)는, 도 1a에 도시한 박막 트랜지스터이다. 즉, 박막 트랜지스터(950)는, 제 1 기관(900) 위에 형성된 게이트 전극층(901)과, 게이트 전극층(901) 위에 형성된 게이트 절연층(902)과, 게이트 절연층(902) 위에 형성된 산화물 반도체층(903)과, 산화물 반도체층(903) 위에 형성된, 한 쌍의 도전층(904a, 904b) 및 금속 산화물층(905)을 갖는 버퍼층(906)과, 도전층(904a) 위에 형성된 제 1 전극층(907a)과, 도전층(904a) 위에 형성된 제 2 전극층(907b)을 갖는 박막 트랜지스터이다.
- [0113] 기관(900) 내지 제 1 전극층(907a) 및 제 2 전극층(907b)에 적용 가능한 재료 및 제작 방법은, 실시형태 1에서 설명한 재료 및 실시형태 2에서 설명한 제작 방법을 사용할 수 있기 때문에, 여기서는 상술한 설명을 원용한다.
- [0114] 박막 트랜지스터(950) 위에는, 층간 절연층(908)이 형성된다. 도 10에 도시하는 박막 트랜지스터(950)에는, 산화물 반도체층(903)의 불순물(수소 또는 물 등)의 침입을 억제하는 금속 산화물층(905)이 형성되기 때문에, 층간 절연층(908)으로서 각종 재료, 제작 방법을 적용할 수 있다. 예를 들어, 층간 절연층(908)으로서, 플라즈마 CVD법이나 스퍼터링법을 사용하여, 산화실리콘층, 산화질화실리콘층, 질화실리콘층, 또는 질화산화실리콘층 등을 형성할 수 있다. 또한, 폴리이미드, 폴리이미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 또는 에폭시 등의 유기 재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지 등을 사용하여, 스핀 코팅법 등의 도포법에 의하여 형성할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 유기기(예를 들어 알킬기, 방향족 탄화수소)나 플루오르기를 사용하여도 좋다. 유기기는, 플루오르기를 가져도 좋다. 또한, 층간 절연층(908)에는 콘택트 홀(909)이 형성된다. 박막 트랜지스터(950)의 제 2 전극층(907b)는, 콘택트 홀(909)에 있어서, 화소 전극(910)과 전기적으로 접속된다.
- [0115] 화소 전극(910)과 제 2 기관(911) 위에 형성된 공통 전극(912) 사이에는, 흑색 영역(913a) 및 백색 영역(913b)을 갖고, 주위에 액체로 채워져 있는 캐비티(914)를 포함하는 트위스트 볼(915)이 형성된다. 또한, 트위스트 볼(915)의 주위는 수지 등의 충전재(916)로 충전된다.
- [0116] 본 실시형태의 전자 페이퍼는, 트위스트 볼 표시방식을 사용한다. 상기 전자 페이퍼는, 백색과 흑색으로 나누어 칠해진 트위스트 볼을 화소 전극 및 공통 전극 사이에 갖는다. 트위스트 볼은, 제 1 기관의 화소 전극 및 제 2 기관의 공통 전극 사이에 인가되는 전압에 의하여 방향이 제어됨으로써, 표시를 행한다. 전자 페이퍼에 있어서, 액티브 매트릭스 기관의 박막 트랜지스터는, 트위스트 볼에 인가되는 전압을 제어하는 스위칭 소자이다.
- [0117] 본 실시형태의 발광 표시 장치는, 산화물 반도체층(903) 위에 금속 산화물층(905)이 형성된 박막 트랜지스터(950)를 액티브 매트릭스 기관의 박막 트랜지스터로서 사용한다. 금속 산화물층(905)은, 산화물 반도체층(903)으로 불순물(수소 또는 물 등)의 침입을 억제하는 보호층으로서 기능한다. 따라서, 목적에 따라, 층간 절연층(908)의 재료, 제작 방법을 선택할 수 있다. 결과적으로, 고품질, 또는 고신뢰성의 전자 페이퍼를 제공할 수 있다. 또한, 여기서는 도 1a에 도시한 박막 트랜지스터를 적용한 전자 페이퍼에 대해서 나타냈지만, 도 1b에 도시한 박막 트랜지스터를 적용한 경우도 같은 효과를 나타낸다.

## 실시예 1

- [0118] 여기서는, 산소 함유량의 차이에 의한 티타늄 및 티탄산화물의 전자 형상의 변화, 산화물 반도체층의 산소 결손에 따른 전자 상태의 변화, 열처리를 하는 데에 있어서의 티타늄층 및 산화물 반도체층의 접합 계면 근방에 있어서의 산소의 거동, 및 열처리를 하는 데에 있어서의 티탄산화물층 및 산화물 반도체층의 접합 계면 근방에 있어서의 산소의 거동에 관한 계산 결과를 나타낸다. 이어서, 버퍼층의 구성 재료에 티타늄을 적용한 실시형태 1의 박막 트랜지스터에 대해서 검증한다.
- [0119] 우선, 산소 함유량의 차이에 의한 티타늄 및 티탄산화물의 전자 상태의 변화를 검증한다. 여기서는, 티타늄 및 복수의 티탄산화물의 결정 구조의 에너지 상태 밀도를 밀도 범함수(密度汎函數) 이론(Density Functional Theory: DFT)에 의거하는 평면파-의사포텐셜법(plane wave-pseudopotential method)을 사용한 제 1 원리 계산에 의한 구조 최적화에 의하여 구한 결과에 대해서 나타낸다. 구체적으로는, Ti, TiO(NaCl형), Ti<sub>2</sub>O<sub>3</sub>(Al<sub>2</sub>O<sub>3</sub>형), TiO<sub>2</sub>(Anatase형), TiO<sub>2</sub>(Rutile형), 및 TiO<sub>2</sub>(Brookite형)의 구조를 최적화한 후의 상태 밀도도를 나타낸다. 또한, 계산 프로그램으로서는 CASTEP를, 교환상관 범함수로서는 GGA-PBE를 사용하였다.

- [0120] 도 11a 내지 도 11c는, 각각 Ti, TiO(NaCl형), Ti<sub>2</sub>O<sub>3</sub>(Al<sub>2</sub>O<sub>3</sub>형)의 상태 밀도도이다. 11a 내지 도 11c에는 밴드 갭이 없다. 즉, Ti, TiO(NaCl형), Ti<sub>2</sub>O<sub>3</sub>(Al<sub>2</sub>O<sub>3</sub>형)는 유도체이다.
- [0121] 도 12a 내지 도 12c는 각각 TiO<sub>2</sub>(Anatase형), TiO<sub>2</sub>(Rutile형), TiO<sub>2</sub>(Brookite형)의 상태 밀도도이다. 도 12a 내지 도 12c의 페르미 준위(0eV)는, 가전자대의 상단에 존재하여, 밴드 갭이 있다. 즉, TiO<sub>2</sub>(Anatase형), TiO<sub>2</sub>(Rutile형), 및 TiO<sub>2</sub>(Brookite형)는, 절연체 또는 반도체이다.
- [0122] 도 11a 내지 도 11c, 도 12a 내지 도 12c에 의거하여, 티타늄은, 어느 양 이하의 산소를 함유하여도 도전체인 것, 어느 양 이상의 산소를 함유하면 절연체화 또는 반도체화하는 것을 알 수 있다.
- [0123] 이어서, 산화물 반도체층의 산소 결손에 따른 전자 상태의 변화를 검증한다. 여기서는, 산화물 반도체층으로서 In-Ga-Zn-O계의 산화물 반도체 재료(In: Ga: Zn: O=1: 1: 1: 4)를 사용하는 경우에 대해서 계산을 행한다.
- [0124] 우선, 고전 분자 동역학(Classical Molecular Dynamics) 계산에 의한 melt-quench법을 사용하여 In-Ga-Zn-O계의 산화물 반도체의 비정질 구조를 작성하였다. 또한, 여기서 작성한 비정질 구조는, 총 원자수가 84개, 밀도가 5.9g/cm<sup>3</sup>의 구조이다. 또한, 원자간 포텐셜은 금속-산소 사이 및 산소-산소 사이에 대해서는 Born-Mayer-Huggins형의 포텐셜을, 금속-금속 사이에 대해서는 Lennard-Jones형의 포텐셜을 사용하여, NVT 앙상블로 계산을 행하였다. 계산 프로그램으로서는, Materials Explorer를 사용하였다.
- [0125] 그 후, 상기 계산에 의하여 얻어진 구조에 대해서, 밀도 범함수(密度汎函數) 이론(Density Functional Theory: DFT)에 의거하는 평면파-의사포텐셜법을 사용한 제 1 원리 분자 동역학법(First Principle Molecular Dynamics: 이하, 제 1 원리 MD라고 함)에 의한 어닐링을 실온(298K)으로 행한 후에 구조의 최적화를 행하여, 상태 밀도를 구했다. 또한, 랜덤으로 산소 원자를 하나 제거한 구조(산소 결손 구조)에 대해서도 제 1 원리 MD와 구조 최적화를 행하여, 상태 밀도를 계산을 행하였다. 또한, 계산 프로그램으로서는 CASTEP를, 교환상관 범함수로서는 GGA-PBE를 사용하여, 제 1 원리 MD는 NVT 앙상블에 대해서 행하였다.
- [0126] 도 13a 및 도 13b는, 상기 계산에 의하여 얻어진 In-Ga-Zn-O계 산화물 반도체의 상태 밀도도이다. 도 13a는, 산소 결손이 없는 구조의 상태 밀도도이고, 도 13b는, 산소 결손 구조의 상태 밀도도이다. 도 13a에 있어서, 페르미 준위(0eV)는 가전자대의 상단에 존재하여, 밴드 갭이 있는 것에 대해, 도 13b에 있어서는, 페르미 준위(0eV)는 전도대에 숨어 들어가 있다. 즉, 산소 결손 구조는, 산소 결손이 없는 구조와 비교하여, 보다 저항이 낮은 구조인 것을 알 수 있다.
- [0127] 이어서, 열처리에 있어서의 티타늄층 및 산화물 반도체층의 접합 계면 근방에 있어서의 산소의 거동에 대해서 검증한다. 여기서는, 상술한 제 1 원리 계산에 의하여 얻어진 In-Ga-Zn-O계의 산화물 반도체의 비정질 구조 위에 티타늄을 적층하여, 상기 구조에 대해서 구조의 최적화를 행한 후에, NVT 앙상블로 제 1 원리 MD 계산을 행하였다. 계산 프로그램으로서는 CASTEP를, 교환상관 범함수로서는 GGA-PBE를 사용하였다. 또한, 온도 조건은 350℃(623K)로 하였다.
- [0128] 도 14a 및 도 14b에 제 1 원리 MD 전후의 구조를 도시한다. 도 14a는, 제 1 원리 MD 전의 구조이고, 도 14b는, 제 1 원리 MD 후의 구조이다. 또한, 도 15에 제 1 원리 MD 전후에 있어서의, 티타늄 및 산소의 c축 방향의 밀도를 도시한다. 도 15는, 도 14a 및 도 14b의 각 원자에 가우스 분포형의 밀도를 할당하고, 모든 원자의 합으로 구해진 밀도 분포이다. 또한, 도 15의 가로 축은 원자 밀도, 세로 축은 c축을 도시한다. 도 15 중의 곡선은 각각, 제 1 원리 MD 전의 티타늄 밀도(Ti\_before), 제 1 원리 MD 후의 티타늄 밀도(Ti\_after), 제 1 원리 MD 전의 산소 밀도(O\_before), 제 1 원리 MD 후의 산소 밀도(O\_after)를 나타낸다. 도 15에 의거하여 O\_after가 O\_before보다도 c축의 플러스 방향에 있고, 제 1 원리 MD 전후에서 티타늄 중에 함유되는 산소 농도가 증가하는 것을 알 수 있다. 즉, 350℃(623K)의 열처리에 의하여, 산화물 반도체층 중의 산소가 티타늄층으로 확산되는 것을 알 수 있다.
- [0129] 이어서, 열처리에 있어서의 티타늄 산화물(여기서는, TiO<sub>2</sub>(Rutile형)을 사용했음)층 및 산화물 반도체층의 접합 계면 근방에 있어서의 산소의 거동에 대해서 검증한다. 여기서는 상술한 제 1 원리 계산에 의하여 얻어진 In-Ga-Zn-O계의 산화물 반도체의 비정질 구조 위에 TiO<sub>2</sub>(Rutile형)를 적층하여, 상기 구조에 대해서 구조의 최적화를 행한 후에, NVT 앙상블로 제 1 원리 MD 계산을 행하였다. 계산 프로그램으로서는 CASTEP를, 교환상관 범함수로서는 GGA-PBE를 사용하였다. 또한, 온도 조건은 700℃(973K)로 하였다.



[0130] 도 16a 및 도 16b에 제 1 원리 MD 전후의 구조를 도시한다. 도 16a는, 제 1 원리 MD 전의 구조이고, 도 16b는, 제 1 원리 MD 후의 구조이다. 또한, 도 17에 제 1 원리 MD 전후에 있어서의, 티타늄 및 탄소의 c축 방향의 밀도를 도시한다. 도 17은, 도 16a 및 도 16b의 각 원자에 가우스 분포형의 밀도를 할당하고, 모든 원자의 합으로 구해진 밀도 분포이다. 또한, 도 17의 가로 축은 원자 밀도, 세로 축은 c축을 나타낸다. 도 17 중의 곡선은 각각, 제 1 원리 MD 전의 티타늄 밀도(Ti\_before), 제 1 원리 MD 후의 티타늄 밀도(Ti\_after), 제 1 원리 MD 전의 산소 밀도(O\_before), 제 1 원리 MD 후의 산소 밀도(O\_after)를 도시한다. 도 17에는, 도 15에서 나타내는 바와 같은 O\_after와 O\_before 사이에 큰 차이는 없다. 즉, 700℃(973K)의 열처리를 행하여도, 산화물 반도체층과 TiO<sub>2</sub>(Rutile형)층 사이에서의 산소의 확산은, 350℃에서의 산화물 반도체층과 티타늄층 사이의 확산보다 활발하지 않다는 것을 알 수 있다.

[0131] 본 실시예에서 행한 계산 결과에 대해서 이하에 나타낸다.

[0132] 도 11a 내지 도 11c 및 도 12a 내지 도 12c에 의거하여, 복수의 티탄산화물은 각각 전자 상태가 상이하고, 산소 농도가 높아지면 절연체화, 또는 반도체화하는 것을 알았다. 구체적으로는,  $\text{TiO}(\text{NaCl}$ 형),  $\text{Ti}_2\text{O}_3(\text{Al}_2\text{O}_3)$ 형은 도 전체이고,  $\text{TiO}_2$ (Anatase형),  $\text{TiO}_2$ (Rutile형),  $\text{TiO}_2$ (Brookite형)는 절연체 또는 반도체인 것을 알았다. 즉, 티탄산화물은, 산화 함유량이 많으면 절연체화 또는 반도체화하고, 그 전자 상태는, 산소의 비율에 따라 변화하는 것을 알았다.

[0133] 도 13a 및 도 13b에 의거하여, In-Ga-Zn-O계 산화물 반도체는, 산소 결함 구조가 됨으로써, 전자 상태가 변화하여, 저저항화하는 것을 알았다. 또한, 도 13a 및 도 13b에서는, 총 원자수 84(In: Ga: Zn: O=1: 1: 1: 4)를 갖는 비정질 구조와, 상기 구조로부터 산소 원자를 하나 제거한 구조의 전자 상태를 비교한다. 바꾸어 말하면, 산소 농도가 57.1at.%(산소 원자수 48/모든 원자수 84)의 구조와, 산소 농도가 약 56.6at.%(산소 원자수 47/모든 원자수 83)의 구조를 비교한다. 따라서, In-Ga-Zn-O계 산화물 반도체는, 상술한 티타늄과 비교하여, 산소 농도의 변화가 전자 상태에 주는 영향이 큰 재료라고 말할 수 있다.

[0134] 도 14a 및 도 14b 및 도 15에 의거하여, 티타늄층 및 In-Ga-Zn-O계 산화물 반도체층의 적층에 대해, 350℃의 열처리를 행하면, In-Ga-Zn-O계 산화물 반도체층 중의 산소가 티타늄층으로 확산하는 것을 알았다. 바꾸어 말하면, 열처리에 의하여, 열처리 전의 티타늄층보다도 고농도로 산소를 함유하는 티타늄층과, 열처리 전의 산화물 반도체층보다도 산소 농도가 저하된 산화물 반도체층이 형성되는 것을 알았다. 또한, 상술한 티타늄 및 In-Ga-Zn-O계 산화물 반도체의 산소 농도의 변화가, 각각의 전자 상태에 주는 영향을 감안하면, 고농도로 산소를 함유하는 티타늄층은, 티타늄층과 비교하여, 저항이 그다지 증가하지 않는 것에 대해, 산소 농도가 저하된 산화물 반도체층은, 산화물 반도체층과 비교하여, 저항이 저하된다고 생각된다.

[0135] 도 16a 및 도 16b 및 도 17에 의거하여,  $\text{TiO}_2$ (Rutile형)층 및 In-Ga-Zn-O계 산화물 반도체층의 적층에 대해서, 700℃라는 고온에서의 열처리를 행하여도, 350℃에서의 산화물 반도체층과 티타늄층에 있어서의 확산보다도, 확산이 일어나기 어렵다는 것을 알았다. 바꾸어 말하면, 열처리를 행하여도, 산화물 반도체층과 티타늄층의 적층보다도 산소 농도가 저하된 산화물 반도체층이 형성되기 어렵다는 것을 알았다.

[0136] 이어서, 실시형태 1의 박막 트랜지스터의 버퍼층에 티타늄을 적용한 경우에 대해서 검증한다. 티타늄층에 산화처리를 행하여, 절연체 또는 반도체인  $\text{TiO}_2$ (Anatase형),  $\text{TiO}_2$ (Rutile형),  $\text{TiO}_2$ (Brookite형)라는 티타늄 산화물을 형성함으로써, 버퍼층의 금속 산화물로서 적용할 수 있다. 또한, 350℃의 열처리를 행함으로써, 산화물 반도체층으로부터의 산소가 티타늄층에 확산되어, 고농도로 산소를 함유하는 티타늄층 및 산소 농도가 저하된 산화물 반도체층이 형성된다. 따라서, 산화물 반도체층을 효과적으로 저저항화하고, 버퍼층을 사이에 둔 소스 전극층 및 드레인 전극층과, 산화물 반도체층의 접합을 옴믹 접합으로 할 수 있다. 더하여, 산화물 반도체층과 금속 산화물층의 계면에 있어서는, 산화물 반도체층과 도전층의 계면과 비교하여, 산소의 확산이 일어나기 어렵다. 따라서, 상기 계면에 있어서, 저저항의 산소 농도가 저하된 산화물 반도체층이 형성되기 어렵고, 박막 트랜지스터의 오프 전류의 증가를 억제할 수 있다.

[0137] 이상으로 티타늄은, 실시형태 1의 박막 트랜지스터의 버퍼층에 적용하는 재료로서 바람직한 재료라는 것을 알았다.

## 부호의 설명

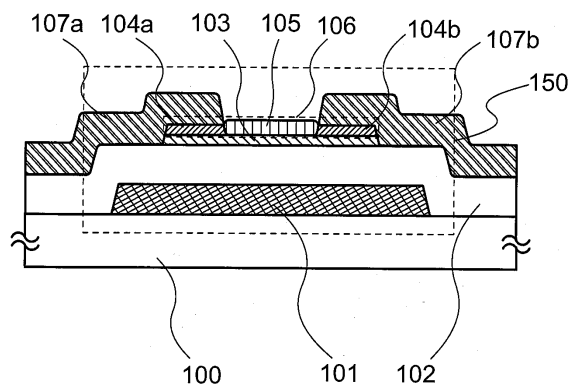
[0138]            100: 기판                                 101: 게이트 전극층

- |                           |               |
|---------------------------|---------------|
| 102: 게이트 절연층              | 103: 산화물 반도체층 |
| 104a: 도전층                 | 104b: 도전층     |
| 105: 금속 산화물층              | 106: 버퍼층      |
| 107a: 소스 전극층              | 107b: 드레인 전극층 |
| 108a: 산소 농도가 저하된 산화물 반도체층 |               |
| 108b: 산소 농도가 저하된 산화물 반도체층 |               |
| 109a: 고농도로 산소를 함유하는 도전층   |               |
| 109b: 고농도로 산소를 함유하는 도전층   |               |
| 110: 버퍼층                  | 150: 박막 트랜지스터 |
| 151: 박막 트랜지스터             |               |

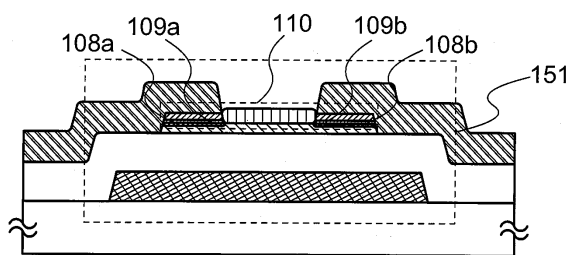
## 도면

### 도면1

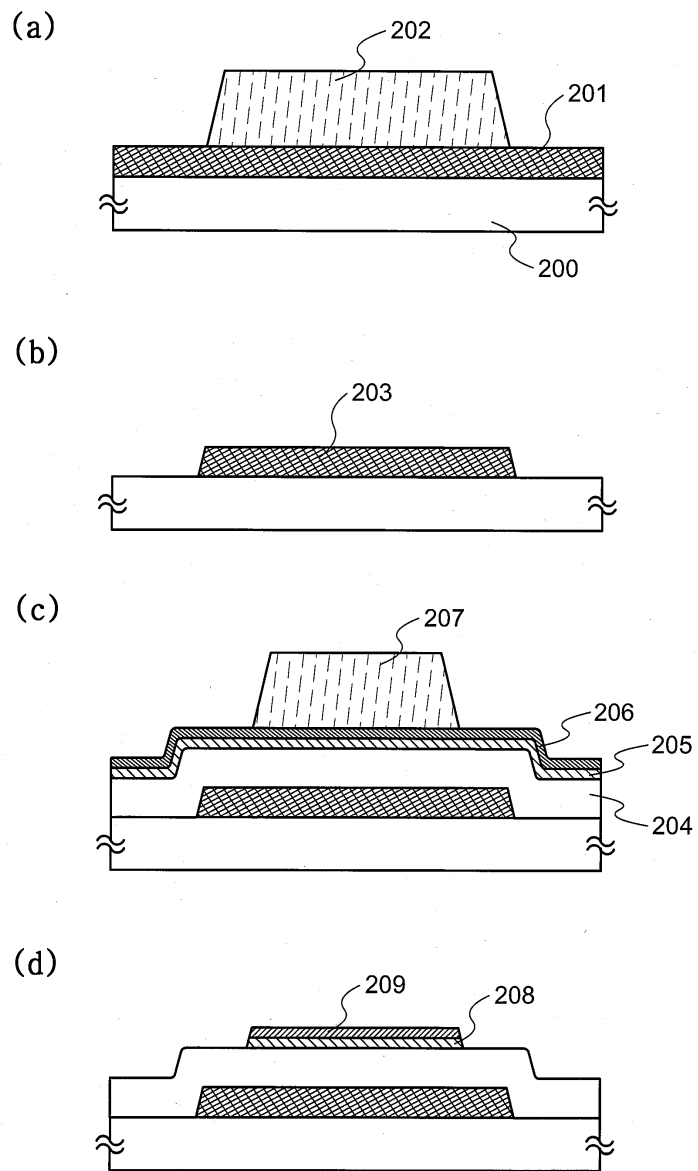
(a)



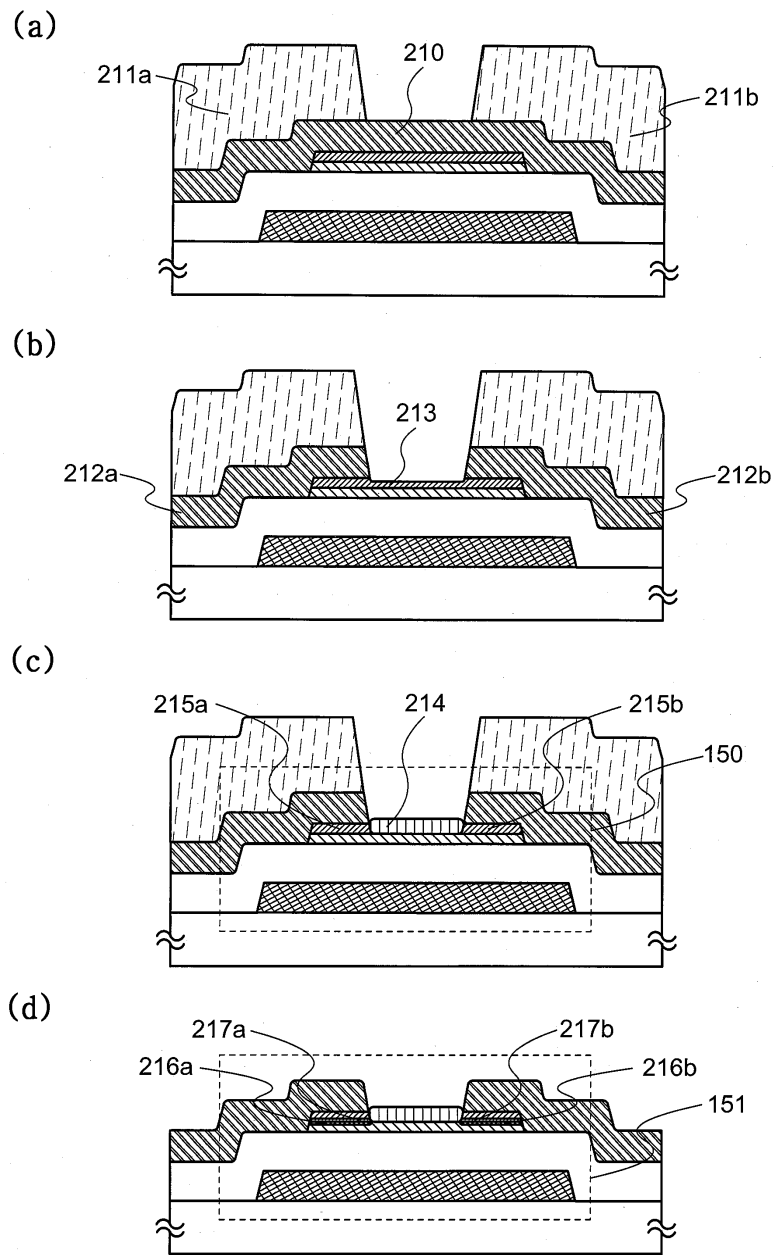
(b)



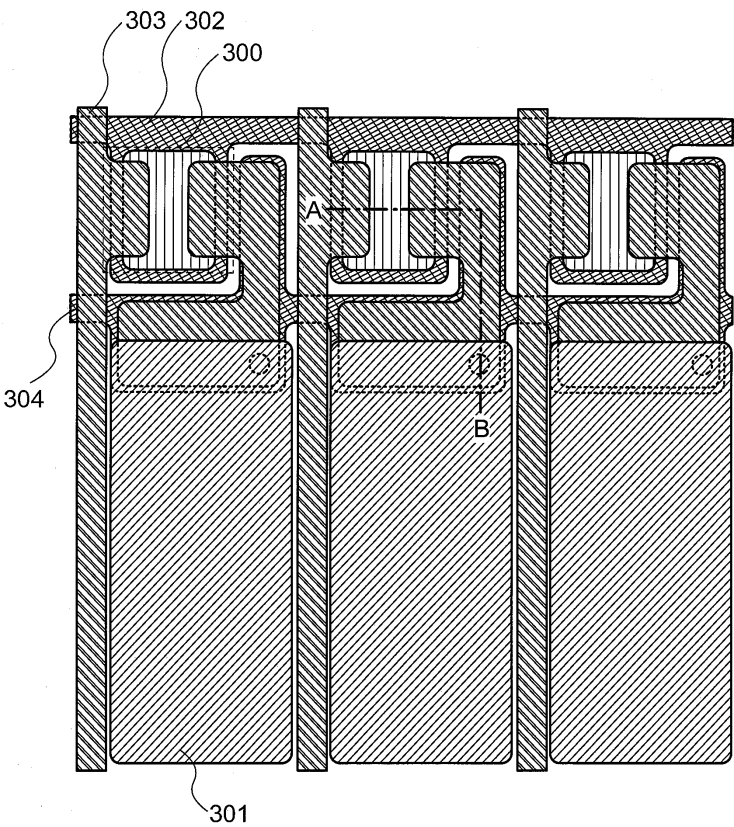
도면2



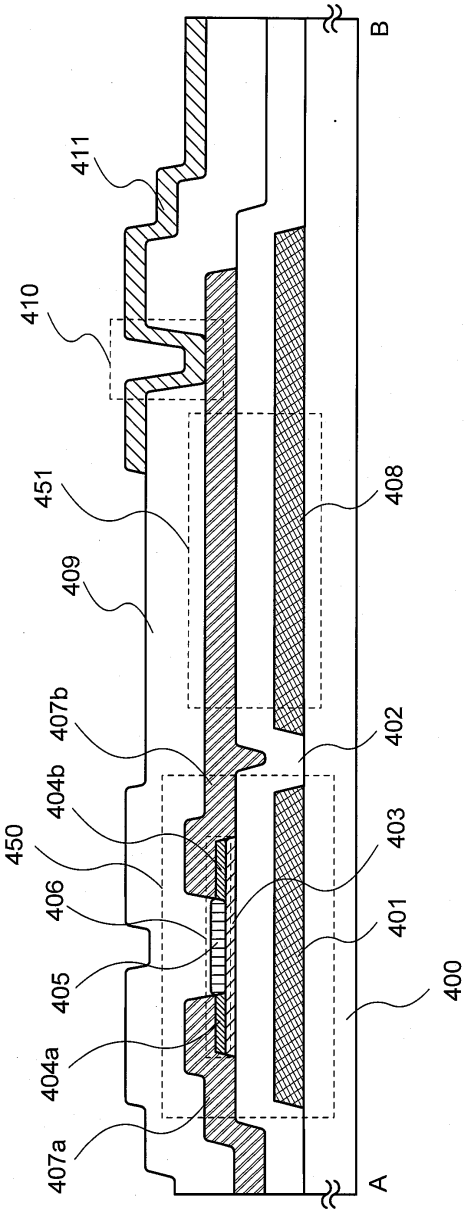
도면3



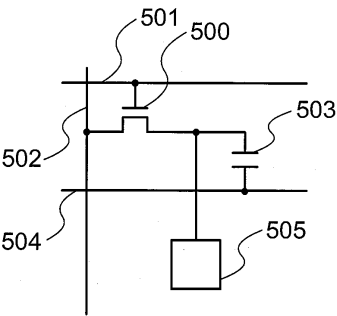
도면4



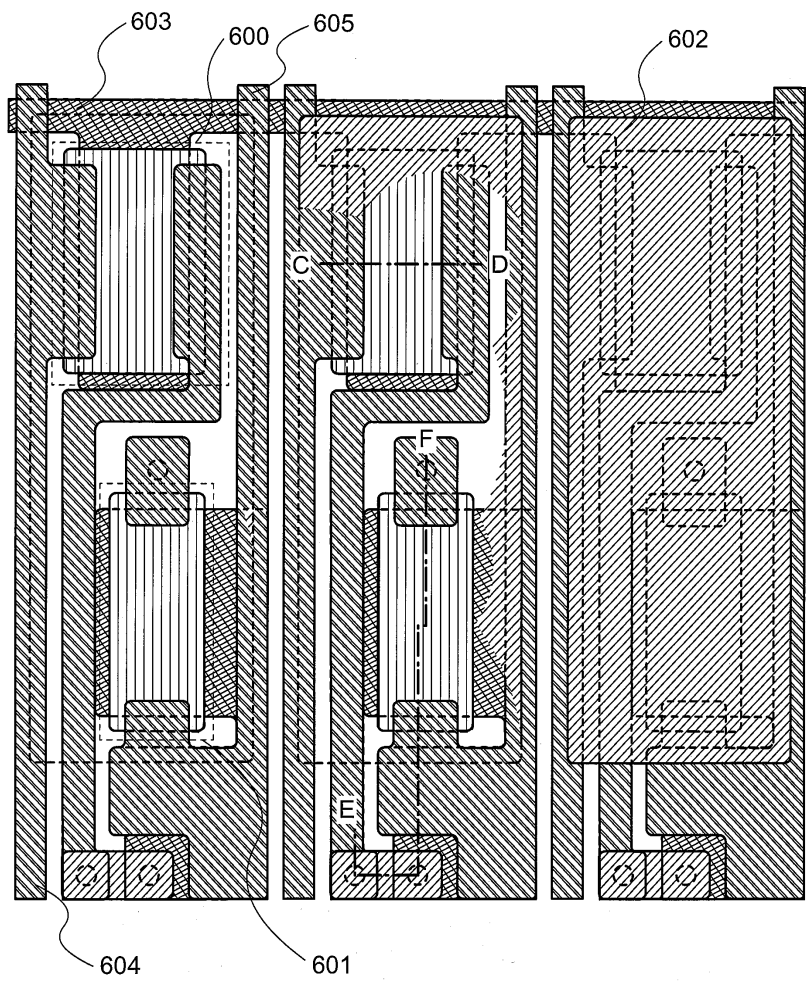
도면5



도면6

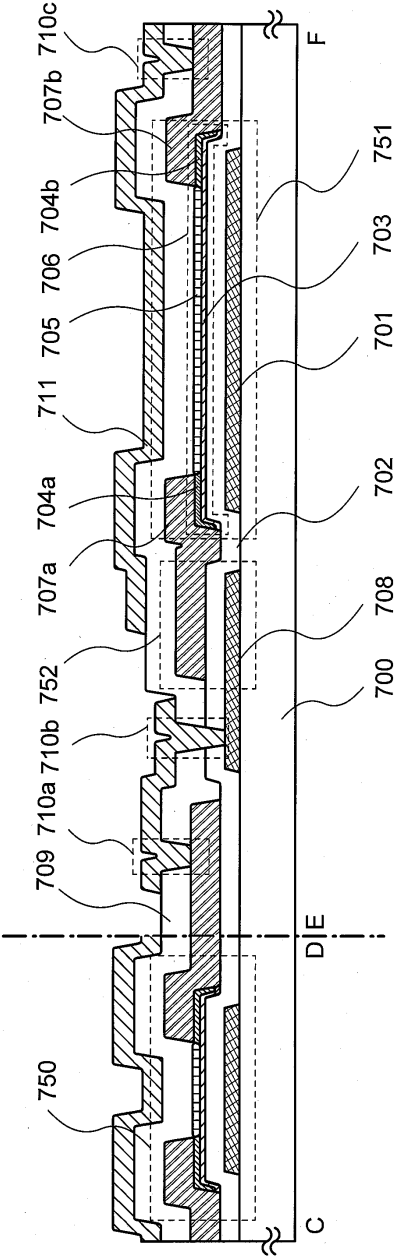


도면7

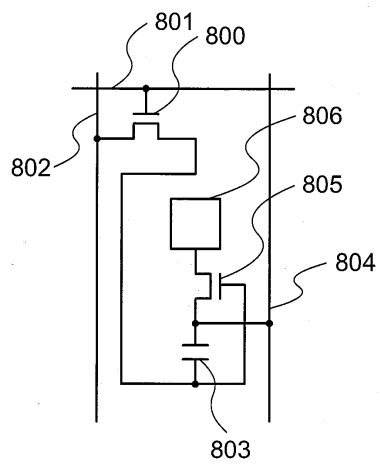




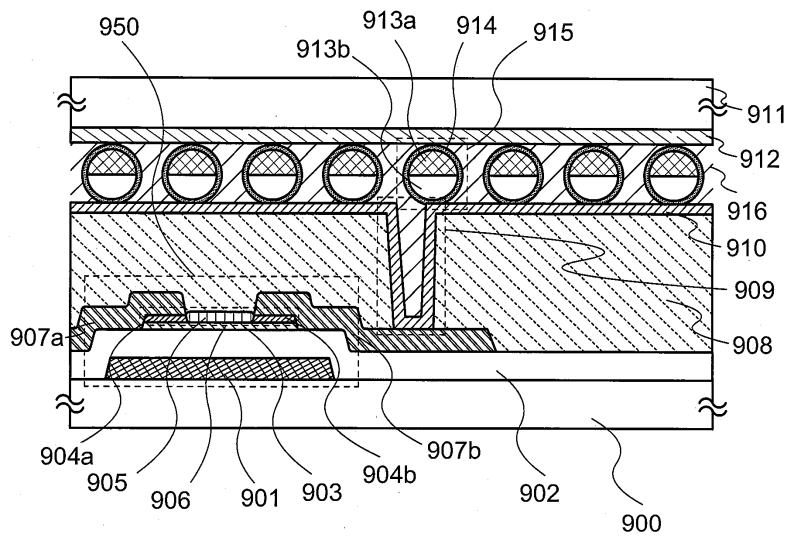
도면8



도면9

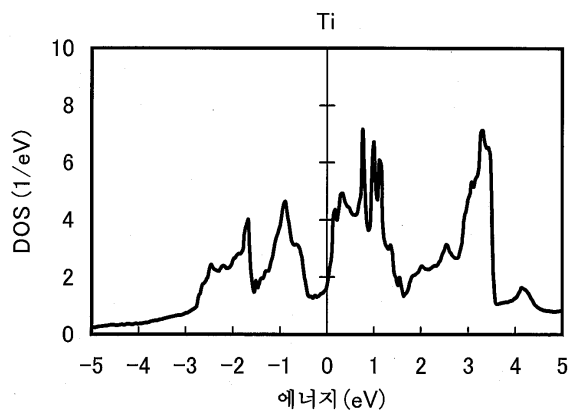


도면10

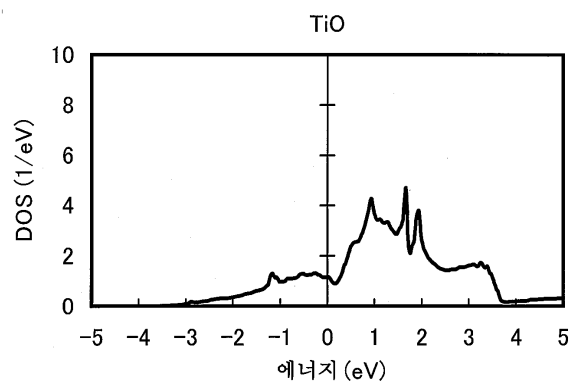


도면11

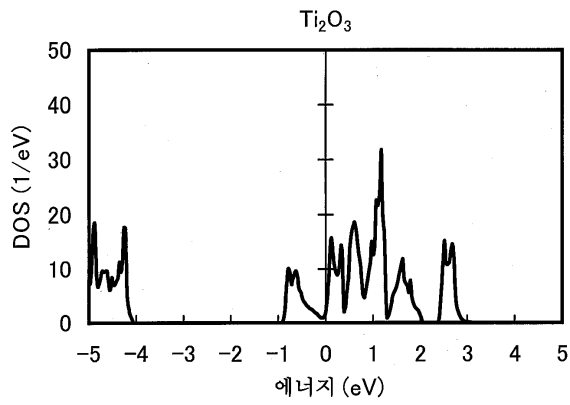
(a)



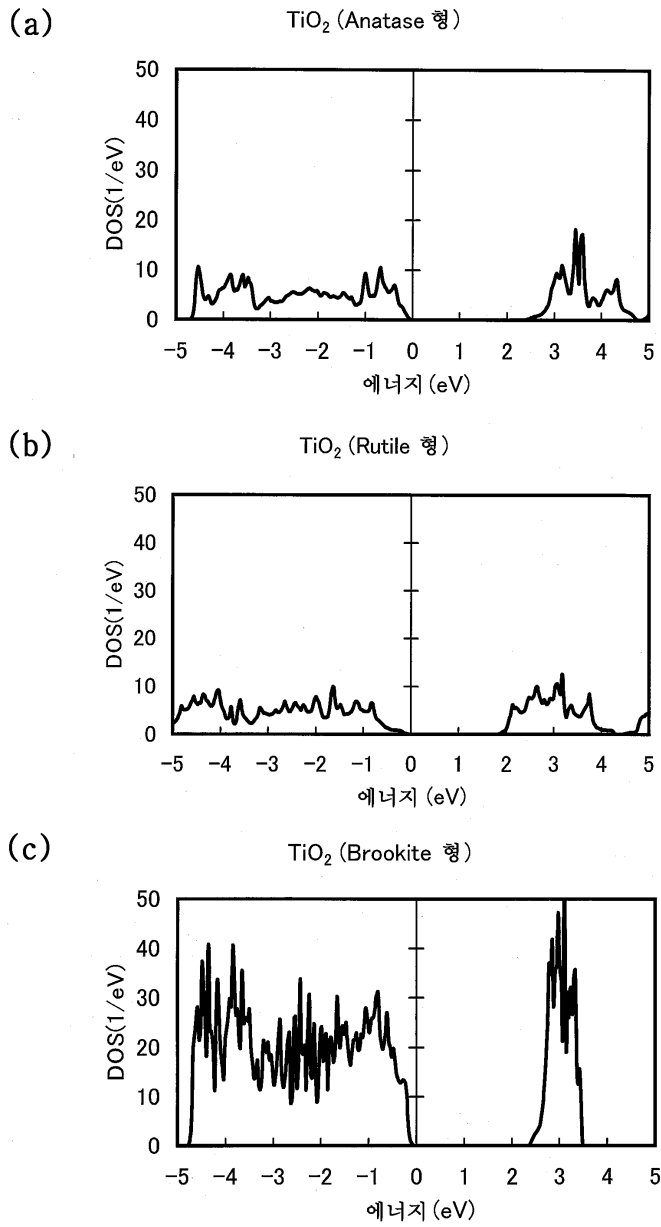
(b)



(c)

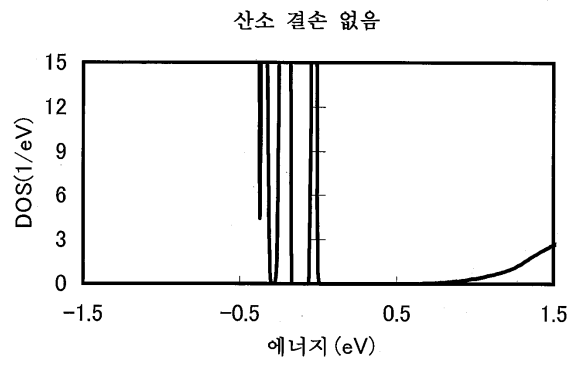


도면12

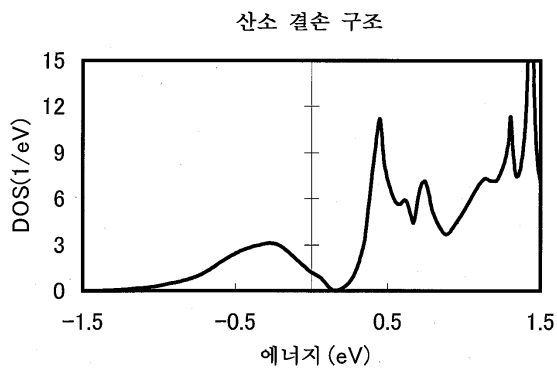


도면13

(a)

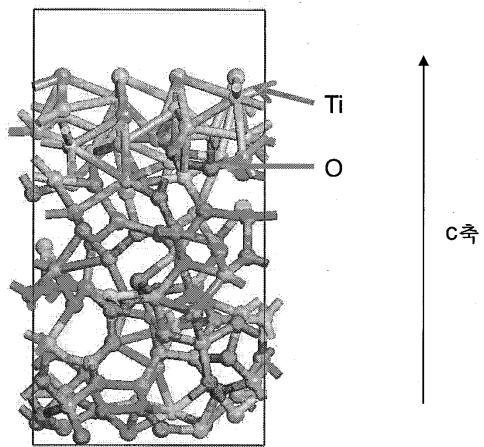


(b)

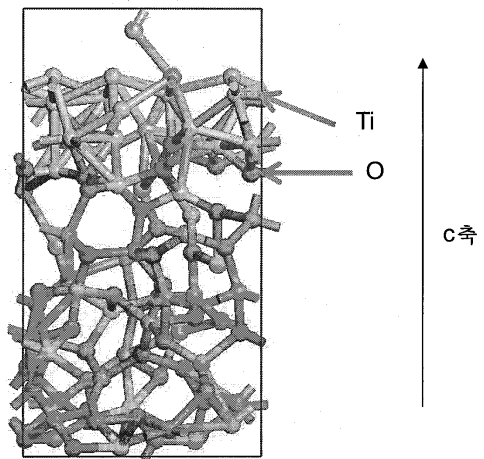


도면14

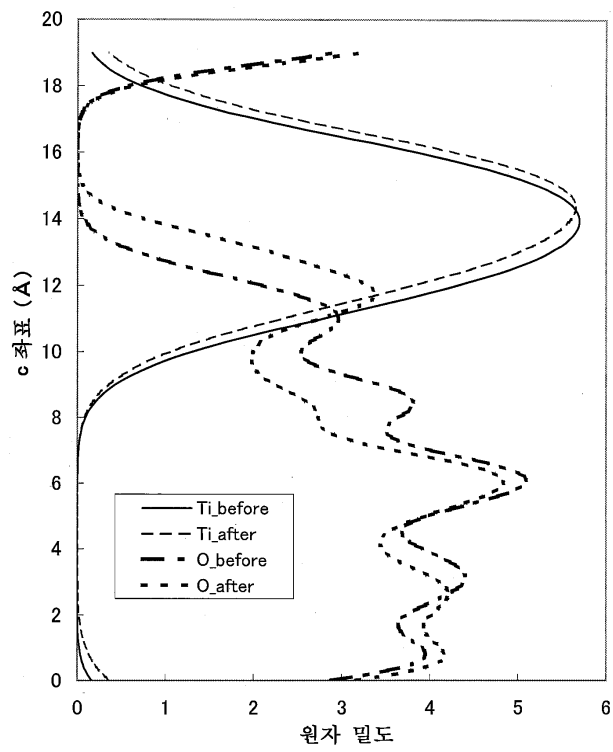
(a)



(b)



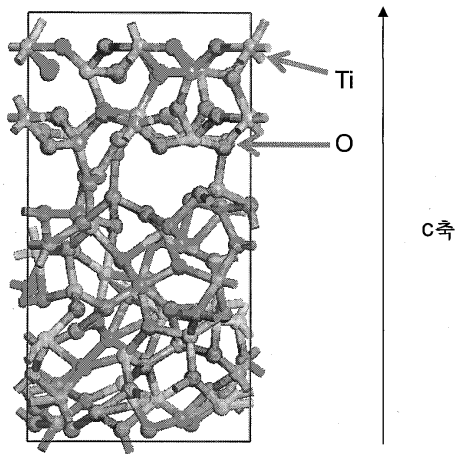
도면15



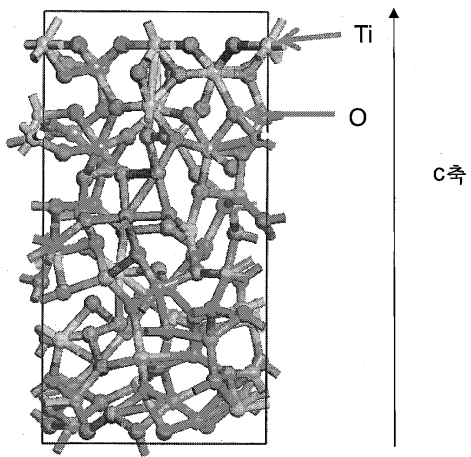


도면16

(a)



(b)



도면17

