(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3887005号
(P3887005)
(45)発行日　平成19年2月28日(2007.2.28)　(24)登録日　平成18年12月1日(2006.12.1)

(51)Int.Cl.　F I
G06F 9/38 (2006.01)　G06F 9/38 370B

請求項の数 2 (全 18 頁)

(21)出願番号　特願2005-513026(P2005-513026)
(86)(22)出願日　平成16年8月6日(2004.8.6)
(86)国際出願番号　PCT/JP2004/011661
(87)国際公開番号　WO2005/015386
(87)国際公開日　平成17年2月17日(2005.2.17)
審査請求日　平成18年2月6日(2006.2.6)
(31)優先権主張番号　特願2003-289410(P2003-289410)
(32)優先日　平成15年8月7日(2003.8.7)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100081813
弁理士　早瀬　憲一
(72)発明者　平野　雄久
大阪府箕面市粟生間谷東６－７－９
(72)発明者　中井　勝博
兵庫県三田市けやき台４－４３－４
(72)発明者　手塚　智明
大阪府大阪市東淀川区下新庄２－１２－２１－３０１
(72)発明者　向　浩志
京都府京都市伏見区紙子屋町５４１

最終頁に続く

(54)【発明の名称】プロセッサ集積回路

(57)【特許請求の範囲】

【請求項１】

２種類以上の演算器からなる演算器群と、

複数のメモリ領域を有し、該複数のメモリ領域に少なくとも１つの前記演算器を動作させるための１つまたは２つ以上のプログラムを格納する第１の記憶部と、

少なくとも１つの前記演算器が演算処理を行う際に使用する複数のメモリ領域を有する第２の記憶部と、

前記演算器群のうちの演算処理を行う演算器と、当該演算器が使用するプログラムが格納された前記第１の記憶部のメモリ領域とをそれぞれ接続する第１の接続切替部と、

前記演算器群のうちの演算処理を行う演算器と、前記第２の記憶部のメモリ領域とをそれぞれ接続する第２の接続切替部とを備え、

複数の前記演算器を用いて並列演算処理を行う際には、前記第１の記憶部は、各演算器がそれぞれ実行する複数個のプログラムを同時に格納し、

並列演算処理実行時に、前記第１の接続切替部が、各演算器と前記第１の記憶部の各メモリ領域との接続を制御することにより、並列演算処理を行う各演算器と前記複数個のプログラムが格納された各メモリ領域とを接続し、

前記第２の接続切替部が、各演算器と前記第２の記憶部の各メモリ領域との接続を制御することにより、並列演算処理を行う各演算器と前記演算処理を行う際に使用する各メモリ領域とを接続し、

各演算器による並列演算処理を前記第１及び第２の記憶部を共用して行う、

ことを特徴とするプロセッサ集積回路。
【請求項２】
請求項１に記載のプロセッサ集積回路において、
前記並列演算処理を行う各演算器は、同一の制御信号でデータの入出力を開始させるものであり、
該入出力データの処理単位の比を、前記各演算器のプログラム周期の比として使用し、各演算器の同期をとる、
ことを特徴とするプロセッサ集積回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、プロセッサ集積回路に関するものであり、特に、プログラムにより動作するプロセッサを用いたプロセッサ集積回路に関するものである。
【背景技術】
【０００２】
近年、マルチメディアが一般家庭に普及し始め、画像・音声処理を行うプロセッサの高速化要求が高まっている。プロセッサの高速化を図るため、一般にパイプライン数を増やしてプロセッサ動作クロック周波数を上げる技術が用いられる。
【０００３】
ところが、プロセッサ動作クロック周波数を上げる際に、パイプラインを増やす等、プロセッサのハードウェアに変更を加えると、これまでのプログラムが正しく動作しなくなる。このため、従来のプロセッサシステムとしては、特開２０００－２９６９６号公報（第１３頁、図１０、図１１、図１２）に示すように、パイプライン数が異なるプロセッサ向けに開発されたプログラムを、より段数の多いパイプライン処理で実行できるようにするために、ハードウェアＮＯＰ（Ｎｏｎ　Ｏｐｅｒａｔｉｏｎ）を挿入するものがあった。あるいは、特開２００２－３２２１８号公報（第６頁、図１、図２、図３）に示すように、異なるアーキテクチャのプロセッサを複数用いて、プログラムの互換性の確保と高速化との両立を図るものがあった。
【０００４】
図１１は、オーディオ製品の構成図を示すものである。
まず図１１を用いて、ＣＤ上の音楽データを圧縮し、記録メディアに圧縮記録する録音動作について説明する。
図において、オーディオ製品はデータの圧縮処理を行うオーディオプロセッサＬＳＩ９００と、オーディオプロセッサＬＳＩ９００を制御する制御マイコン９０１と、ＣＤからデータの読み取り動作を行うＣＤコントローラ９０２と、圧縮データを格納する記録メディア９０３とから構成される。
【０００５】
ＣＤコントローラ９０２はＣＤから音楽データを読み取り、タイミング信号Ｓ６２０１とともに、オーディオデータ信号Ｓ６２０２をプロセッサＬＳＩ９００に出力する。
【０００６】
プロセッサＬＳＩ９００は、後述するデジタルシグナルプロセッサ（以下、ＤＳＰとする）で、オーディオデータ信号Ｓ６２０２を圧縮し、記録メディア９０３に記録する。
【０００７】
図１２は、従来のプロセッサ集積回路９００の内部構成を示す図である。
図１２において、低速演算器９１０は５０ＭＨｚまでの動作が可能なものであり、高速演算器９２０は１００ＭＨｚ動作を可能にしたものである。高速演算器９２０は、低速演算器９１０からパイプライン処理段数を増やすことで、１００ＭＨｚ動作を可能にしたものであり、低速演算器９１０と高速演算器９２０とでプログラムの互換はないものである。
【０００８】

低速演算器９１０は、プログラムメモリ９１１とデータメモリ９１２とに接続され、プログラムメモリ９１１に格納された専用プログラムによって圧縮記録処理を行う。処理結果は、データメモリ９１２に格納される。このように、演算器９１０とプログラムメモリ９１１とデータメモリ９１２とを合わせて、低速ＤＳＰ９１９とする。

【０００９】

低速ＤＳＰ９１９とプロセッサＬＳＩ９００外部とは、全てＤＭＡコントローラ９１５を介して接続される。ＤＭＡコントローラ９１５は、制御マイコン９０１等からの内部バスアクセス要求、タイミング信号Ｓ６２０１によるＣＤコントローラ９０２からのオーディオデータの書き込み要求、記録メディア９０３からのデータ読み出し要求Ｓ６３００を調停し低速演算器９１０を介してＤＭＡ（Ｄｉｒｅｃｔ　Ｍｅｍｏｒｙ　Ａｃｃｅｓｓ）を行う。

【００１０】

高速ＤＳＰ９２９も同様に、高速演算器９２０とプログラムメモリ９２１とデータメモリ９２２とで構成され、ＤＭＡコントローラ９２５を介してＬＳＩ外部と接続される。また、ＤＭＡコントローラ９２５も、ＤＭＡコントローラ９１５と同じＬＳＩ外部からのアクセス要求を調停する。

【００１１】

図１３は、従来の低速ＤＳＰ９１９のＤＭＡタイミング図、及び従来の高速ＤＳＰ９２９のＤＭＡタイミング図である。

図１３に示すように、低速ＤＳＰ９１９はＤＭＡリクエストの後１クロックで、ＤＭＡリード信号Ｓ９１００を出力するのに対し、高速ＤＳＰ９２９は、ＤＭＡリクエストの後３クロックで、ＤＭＡリード信号Ｓ９２００を出力する。すなわち、低速ＤＳＰ９１９のＤＭＡのレイテンシは１クロック、高速ＤＳＰ９２９は、３クロックである。

【００１２】

したがって、低速ＤＳＰ用ＤＭＡコントローラ９１５は、ＤＭＡリクエスト発行後、次のクロックでデータを取り込むのに対し、高速ＤＳＰ用ＤＭＡコントローラ９２５は、ＤＭＡリクエスト発行後、３クロック目でデータを取り込むように動作する。

【００１３】

このように構成されたプロセッサＬＳＩ９００を用いて、目的とする処理の内容に応じて２つの異なるＤＳＰを切り替えて使用する。

【００１４】

例えば、１倍速録音処理には、クロック周波数は５０ＭＨｚが必要であるとする。１倍速録音を行う場合、低速ＤＳＰ９１９を用いて圧縮記録処理を行う。ところが、２倍速録音を行う場合、クロック周波数は１００ＭＨｚが必要になる。しかし、低速ＤＳＰ９１９では、１００ＭＨｚでの動作はできない。このため、高速ＤＳＰ９２９で圧縮記録処理を行い、出力セレクタ９９０を切り替え、高速ＤＳＰ９２９の出力を記録メディア９０３に記録する。

【００１５】

しかしながら、プロセッサ集積回路におけるプログラムの互換性と高速化とを両立させる場合、前記特開２０００－２９６９６号公報に示すようなハードウェアＮＯＰを挿入するの構成では、ハードウェアによるＮＯＰ命令（遅延用命令）が追加されることでロジック回路やプログラムステップ数が増し、消費電力が増加するという課題を有していた。

【００１６】

また、前記特開２００２－３２２１８号公報に示すような複数のプロセッサを用いる構成あるいは、図１２に記載の従来の構成では、複数のプロセッサを用いるので、回路規模、特にメモリ量が増加するという課題を有していた。また、２つ以上の異なるアーキテクチャのプロセッサを使用するため、プロセッサ周辺の制御回路が少なくとも２種類必要となりハードウェアの設計工数、特にＤＭＡコントローラの設計工数が増加するという課題も有していた。

【００１７】

本発明は、前記従来の課題を解決するもので、ハードウェア、ソフトウェアの規模、設計工数や、消費電力を増加させることなく、プログラムの互換性の確保と高速化を両立できるプロセッサ集積回路を提供することを目的とする。

【特許文献１】特開２０００－２９６９６号公報（第１３頁、図１０、図１１、図１２）

【特許文献２】特開２００２－３２２１８号公報（第６頁、図１、図２、図３）

【発明の開示】

【００１８】

前記従来の課題を解決するために、本発明の請求項１に係るプロセッサ集積回路は、２種類以上の演算器からなる演算器群と、複数のメモリ領域を有し、該複数のメモリ領域に少なくとも１つの前記演算器を動作させるための１つまたは２つ以上のプログラムを格納する第１の記憶部と、少なくとも１つの前記演算器が演算処理を行う際に使用する複数のメモリ領域を有する第２の記憶部と、前記演算器群のうちの演算処理を行う演算器と、当該演算器が使用するプログラムが格納された前記第１の記憶部のメモリ領域とをそれぞれ接続する第１の接続切替部と、前記演算器群のうちの演算処理を行う演算器と、前記第２の記憶部のメモリ領域とをそれぞれ接続する第２の接続切替部とを備え、複数の前記演算器を用いて並列演算処理を行う際には、前記第１の記憶部は、各演算器がそれぞれ実行する複数個のプログラムを同時に格納し、並列演算処理実行時に、前記第１の接続切替部が、各演算器と前記第１の記憶部の各メモリ領域との接続を制御することにより、並列演算処理を行う各演算器と前記複数個のプログラムが格納された各メモリ領域とを接続し、前記第２の接続切替部が、各演算器と前記第２の記憶部の各メモリ領域との接続を制御することにより、並列演算処理を行う各演算器と前記演算処理を行う際に使用する各メモリ領域とを接続し、各演算器による並列演算処理を前記第１及び第２の記憶部を共用して行うものである。

【００１９】

本発明によれば、メモリを削減することができ、回路規模、消費電力の増加無く、プログラムの互換性の確保と高速化とを両立できるプロセッサ集積回路を提供することができるとともに、複数の演算器による並列演算処理を行なう場合、回路規模の増加なく、さらに高性能のプロセッサ集積回路を提供することができる効果がある。

また、プログラムのダウンロードの手順を１回で済ますことができる効果がある。

【００２０】

また、本発明の請求項２に係るプロセッサ集積回路は、請求項１に記載のプロセッサ集積回路において、前記並列演算処理を行う各演算器は、同一の制御信号でデータの入出力を開始させるものであり、該入出力データの処理単位の比を、前記各演算器のプログラム周期の比として使用し、各演算器の同期をとるものである。

【００２１】

本発明によれば、各プロセッサ間のハンドシェーク処理を不要にでき、プログラム設計工数を削減できる効果がある。

【発明を実施するための最良の形態】

【００３２】

以下本発明の実施の形態について、図面を参照しながら説明する。

（実施の形態１）

図１は、本発明の実施の形態１におけるプロセッサ集積回路１００の内部構成を示す図である。

図において、プロセッサ集積回路１００は、演算器群である５０ＭＨｚまでの動作が可能な低速演算器１１０及び１００ＭＨｚまでの動作が可能な高速演算器１２０と、低速演算器１１０または高速演算器１２０を動作させるためのプログラムを格納する第１の記憶部であるプログラムメモリ１３１と、低速演算器１１０または高速演算器１２０が演算処理の際に使用するメモリ領域であるデータメモリ（第２の記憶部）１３２と、演算処理を行う低速演算器１１０または高速演算器１２０とプログラムメモリとを接続する第１の接続切替部である演算器セレクタ１４１と、演算処理を行う低速演算器１１０または高速演

算器１２０とデータメモリ１３２とを接続する第２の接続切替部である演算器セレクタ１４２と、低速演算器１１０を低速ＤＳＰ（Ｄｉｇｉｔａｌ ｓｉｇｎａｌ Ｐｒｏｃｅｓｓｏｒ）１１９として用いたとき、該低速ＤＳＰに対するアクセスを調停し、ＤＭＡ（Ｄｉｒｅｃｔ Ｍｅｍｏｒｙ Ａｃｃｅｓｓ）を行うＤＭＡ調停回路である低速ＤＳＰ用ＤＭＡコントローラ１１５と、高速演算器１２０を高速ＤＳＰ１２９として用いたとき、該高速ＤＳＰに対するアクセスを調停し、ＤＭＡを行うＤＭＡ調停回路である高速ＤＳＰ用ＤＭＡコントローラ１２５とから構成される。

【００３３】

低速ＤＳＰ１１９は、低速演算器１１０と、第１の記憶部であるプログラムメモリ１３１と、第２の記憶部であるデータメモリ１３２とから構成され、高速ＤＳＰ１２９は、高速演算器１２０と、第１の記憶部であるプログラムメモリ１３１と、第２の記憶部であるデータメモリ１３２とから構成される。本実施の形態１に係るプロセッサ集積回路１００は、演算器群を、使用実績のあるプログラムで動作する演算器である低速演算器１１０と、該低速演算器１１０より処理能力の高い演算器である高速演算器１２０とからなるものとし、低速演算器１１０は、高速演算器１２０より消費電力が小さいものとする。

【００３４】

このように、本発明の実施の形態１に係るプロセッサ集積回路は処理能力及び消費電力の異なる低速演算器１１０及び高速演算器１２０による演算処理を、プログラムメモリ１３１、及びデータメモリ１３２を共用して行うものである。

【００３５】

低速ＤＳＰ１１９として使用するとき、低速演算器１１０が、演算器セレクタ１４１、１４２により、プログラムメモリ１３１とデータメモリ１３２とに接続され、プログラムメモリ１３１に格納された専用プログラムによって圧縮記録処理を行い、処理結果は、データメモリ１３２に格納される。また、高速ＤＳＰ１２９として使用するときも同様に、高速演算器１２０が、演算器セレクタ１４１、１４２により、プログラムメモリ１３１とデータメモリ１３２とに接続され、プログラムメモリ１３１に格納された専用プログラムによって圧縮記録処理を行い、処理結果は、データメモリ１３２に格納される。

【００３６】

また、第１の接続切替部である演算器セレクタ１４１は、プログラムメモリ１３１の接続先を、プログラムメモリ１３１に格納したプログラムに対応して、低速演算器１１０あるいは高速演算器１２０に切り替える。また、第２の接続切替部である演算器セレクタ１４２は、データメモリ１３２の接続先を、プログラムメモリ１３１に格納されたプログラムで動作する低速演算器１１０あるいは高速演算器１２０に切り替える。

【００３７】

すなわち、低速ＤＳＰ１１９と高速ＤＳＰ１２９は、図１２における従来のＤＳＰ９１９、９２９からメモリと演算器を切離し、メモリ部を共用した点で、従来のＤＳＰ９１９、９２９と異なっている。

【００３８】

また、低速ＤＳＰ１１９とプロセッサ集積回路１００外部とは、全てＤＭＡコントローラ１１５を介して接続される。ＤＭＡコントローラ１１５は、制御マイコン（図示せず）からの内部バスアクセス要求、タイミング信号Ｓ１２０１によるＣＤコントローラ（図示せず）からのオーディオデータの書き込み要求、記録メディア（図示せず）からのデータ読み出し要求Ｓ１３００を調停し、低速演算器１１０を介してＤＭＡを行う。

【００３９】

高速ＤＳＰ１２９も同様に、ＤＭＡコントローラ１２５を介してＬＳＩ外部と接続される。また、ＤＭＡコントローラ１２５も、ＤＭＡコントローラ１１５と同じＬＳＩ外部からのアクセス要求を調停する。

【００４０】

以上のような本発明の実施の形態１に係るプロセッサ集積回路は、低速演算器１１０及び高速演算器１２０による演算処理をプログラムメモリ１３１及びデータメモリ１３２を

共用して行う構成とし、低速ＤＳＰ１１９として使用するときは、プログラムメモリ１３１に低速演算器１１０のプログラムを格納し、演算器セレクタ１４１、１４２を低速演算器側に切り替えることで、使用実績のあるプログラムと全く同じプログラムにて該演算器と同一の動作をさせることができ、また、低速ＤＳＰ１１９より処理能力の高い高速ＤＳＰ１２９として使用するときは、プログラムメモリ１３１に高速演算器のプログラムを格納し、演算器セレクタ１４１、１４２を高速演算器側に切り替えることで、高速の動作をさせることができるので、メモリを半減することができ、回路規模、消費電力の増加無く、プログラムの互換性の確保と高速化とを両立できるプロセッサ集積回路を提供することができる。

【００４１】

また、昨今のＡＶ機器ではＭＰＥＧなどデータ圧縮技術が多用され、大規模なメモリが搭載されているため、コストの大部分はランダムロジックではなくメモリが占めているが、この構成により、コストの大部分を占めているデータメモリとプログラムメモリが削減でき、低コストのプロセッサ集積回路を実現することができる。

【００４２】

なお、本発明の実施の形態１に係るプロセッサ集積回路において、低速および高速の２種類の演算器群を用いたがこれに限ることはなく、少なくとも１つがアーキテクチャの異なるｎ（ｎは２以上の自然数）個の演算器群を用いても本発明は有効である。また、ｎ個の演算器を同じ種類の演算器群としても良い。

【００４３】

また、実施の形態１において、低速演算器用のプログラムとして、使用実績のあるプログラムを用いたが、これに限るものではなく、新たなプログラムを低速演算器用のプログラムとして用いても良い。

【００４４】

（実施の形態２）

図２は、本発明の実施の形態２におけるプロセッサ集積回路２００の内部構成を示す図である。

図１と同じ動作をする構成要素については同じ符号を用い、説明を省略する。

図２において、本実施の形態２に係るプロセッサ集積回路の第１の記憶部は、４つのメモリ領域であるプログラムメモリ１３１１、１３１２、１３１３、１３１４を有しており、実施の形態１における第１の記憶部であるプログラムメモリ１３１を、４つのモジュールに分割したものである。また、第２の記憶部は、４つのメモリ領域であるデータメモリ１３２１、１３２２、１３２３、１３２４を有しており、実施の形態１における第２の記憶部であるデータメモリ１３２を、４つのモジュールに分割したものである。

【００４５】

第１の接続切替部である演算器セレクタ１４１１、１４１２、１４１３、１４１４は、演算処理を行う演算器との接続を前記分割したプログラムメモリの４つの各モジュール毎に切り替えられるように各モジュール毎に個別に設けたもので、実施の形態１における第１の接続切替部である演算器セレクタ１４１に対応するものである。第２の接続切替部である演算器セレクタ１４２１、１４２２、１４２３、１４２４も、同様に、演算処理を行う演算器との接続をデータメモリの４つの各モジュール毎に切り替えられるように各モジュール毎に個別に設けたもので、実施の形態１における第２の接続切替部である演算器セレクタ１４２に対応する。

【００４６】

かかる構成によれば、プログラムメモリ１３１１、１３１２、１３１３、１３１４あるいは、データメモリ１３２１、１３２２、１３２３、１３２４の全てを連動して切り替えることで、実施の形態１と同様の動作が可能であるが、さらに、プログラムメモリ１３１１、１３１２とデータメモリ１３２１、１３２２とを低速演算器１１０に接続し、プログラムメモリ１３１３、１３１４、データメモリ１３２３、１３２４を高速演算器１２０に接続することで、低速ＤＳＰ２１９と高速ＤＳＰ２２９との２つのプロセッサとして、並

列演算処理ができる。

【００４７】

例えば、背景技術で説明した圧縮記録プログラムを「音声圧縮処理」と「記録判断処理」の２つのプログラムに分割し、音声圧縮プログラムは、高速演算器１２０用に変更する。このとき、各プログラムは「記録判断処理」のプログラムが低速ＤＳＰ２１９に相当するプログラムメモリ１３１１、１３１２にダウンロードされ、「音声圧縮処理」のプログラムが高速ＤＳＰ２２９に相当するプログラムメモリ１３１３、１３１４に個別にダウンロードされる。なお、個別にダウンロードする代わりに、例えば、プログラムメモリ１３１１、１３１２、１３１３、１３１４に「記録判断処理」及び「音声圧縮処理」のプログラムを同時にまとめてダウンロードし、並列演算処理の実行時に、演算器セレクタ１４１１、１４１２、１４１３、１４１４を用いて、「記録判断処理」のプログラムが格納された各プログラムメモリと低速演算器１１０とを接続し、「音声圧縮処理」のプログラムが格納された各プログラムメモリと高速演算器１２０とを接続するようにしてもよい。これにより、プログラムのダウンロードの手順を１度に済ますことができる。

【００４８】

このように、プログラムメモリ１３１１、１３１２には、電子透かし検出による「記録判断処理」のプログラムを格納する。低速ＤＳＰ１１９は、「記録判断処理」のプログラムに従い、データメモリ１３２１、１３２２を用いて、入力されたオーディオデータに電子透かしとして埋め込まれた「記録しても良いか否か」の情報検出を行う。

【００４９】

そして、プログラムメモリ１３１３、１３１４には、「音声圧縮処理」のプログラムを格納する。高速ＤＳＰ２２９は、「音声圧縮処理」のプログラムにしたがい、データメモリ１３２３、１３２４を用いて、入力されたオーディオデータの圧縮を行う。高速ＤＳＰ２２９は、低速ＤＳＰ２１９で検出した情報を読み出し、記録してもよければ圧縮プログラムによって圧縮されたデータを記録メディア（図示せず）へ記録する。　このように、５０ＭＨｚで動作する低速ＤＳＰ２１９と１００ＭＨｚで動作する高速ＤＳＰ２２９とを並列演算処理することで、１５０ＭＨｚ相当の処理能力が得られ、録音機能が３倍速まで対応できる。

【００５０】

次に、図３を用いて本実施の形態２における２つのＤＳＰの周辺回路について説明する。

図３は、図２における低速ＤＳＰ２１９、及び高速ＤＳＰ２２９の周辺回路を含むプロセッサ集積回路３００を示す図であり、図１、図２と同じ構成要素については同じ符号を用い、説明を省略する。

図において、プロセッサ集積回路３００には、クロックゲート３６５、３６６、３６７、３６８が備えられ、それぞれ制御マイコン（図示せず）からのクロックＯＮ／ＯＦＦ制御回路３６１の設定により、低速ＤＳＰ用ＤＭＡコントローラ１１５、低速ＤＳＰ２１９、高速ＤＳＰ用ＤＭＡコントローラ１２５、高速ＤＳＰ２２９に供給するクロックをＯＮ／ＯＦＦする。

【００５１】

かかる構成によれば、低速演算器１１０のみを使用する場合には、高速ＤＳＰ２２９及び高速ＤＳＰ用ＤＭＡコントローラ１２５のクロックを停止する。逆に高速演算器１２０のみを使用する場合には、低速ＤＳＰ２１９及び低速ＤＳＰ用ＤＭＡコントローラ１１５のクロックを停止する。これにより、低速演算器１１０を使用する従来のプログラムを動作させる場合には、消費電力が増加しない。また、低速演算器１１０と高速演算器１２０との両方を使用する並列演算処理の場合には、全てのクロックをＯＮにする。

【００５２】

なお、本実施の形態２においては、クロックを停止するためのクロックゲートを用いてクロックを停止させたが、クロックを停止させる代わりに電源を遮断してもよい。また、図１、図１０のプロセッサ集積回路においても同様の構成をとることにより、同様の効果

を得ることができるのはいうまでもない。

【００５３】

また、図３においてタイミング信号ゲート３７５、３７６は、起動制御回路３７０からの起動信号Ｓ２７００により制御され、それぞれ制御マイコン（図示せず）からの設定により、ＣＤコントローラ（図示せず）から出力されるタイミング信号Ｓ１２０１を制御する。

【００５４】

このとき、低速ＤＳＰ用ＤＭＡコントローラ１１５、高速ＤＳＰ用ＤＭＡコントローラ１２５は、タイミング信号ゲート３７５、３７６で制御された同一の制御信号であるタイミング信号Ｓ１２０１の両エッジにて、オーディオデータ信号Ｓ１２０２を取り込み、ＤＳＰ内のデータメモリに対し、それぞれＤＭＡライト・アクセスを行う。

【００５５】

そして、図２で説明したように、録音機能が「音声圧縮処理」と電子透かし検出による「記録判断処理」とに分割されており、データメモリに取り込まれた入力オーディオデータが低速ＤＳＰ２１９と高速ＤＳＰ２２９で並列演算処理される。低速ＤＳＰ２１９は、フレーム周期を４サンプルとし、フレームごとにオーディオデータに含まれる電子透かし情報を検出し、検出した情報をデータメモリ１３２１に出力する。高速ＤＳＰ２２９は、フレーム周期を８サンプルとし、フレームごとにデータメモリ上のオーディオデータを圧縮する。このように、本実施の形態２に係るプロセッサ集積回路は、低速ＤＳＰ２１９及び高速ＤＳＰの処理単位の比を「１対２」サンプルとすることにより、高速ＤＳＰ及び低速ＤＳＰのプログラム周期の比を「１対２」として各ＤＳＰの同期をとる。

【００５６】

次に、図３における起動制御回路３７０にてタイミング制御された低速ＤＳＰ２１９及び高速ＤＳＰ２２９の動作について、図４を用いて説明する。

図４は本発明の実施の形態２に係るプロセッサ集積回路における、低速ＤＳＰ２１９及び高速ＤＳＰ２２９の同期関係を示したタイミング図である。

制御マイコン（図示せず）は、両ＤＳＰが動作開始できる状態であることを確認して、時刻Ｔａ１において、起動制御回路３７０を用いてタイミング信号ゲート３７５、３７６を解除する。低速ＤＳＰ２１９と高速ＤＳＰ２２９とはともに同一の制御信号により時刻Ｔａ１からオーディオデータ信号Ｓ１２０２をＤＭＡコントローラにてデータメモリに取り込みはじめる。

【００５７】

まず、Ｔｂ１において、低速ＤＳＰ２１９は、フレーム０に含まれている電子透かし情報の検出処理を開始し、時刻Ｔｂ２からデータメモリ１３２１上の古い記録判断情報を更新しはじめ、時刻Ｔｃ１で情報Ｄ１の更新を完了する。以後、低速ＤＳＰ２１９は、４サンプル周期で前記動作を繰り返す。

【００５８】

時刻Ｔｃ１において、高速ＤＳＰ２２９は、低速ＤＳＰ２１９で検出された記録判断情報Ｄ１を読み出す。記録判断情報Ｄ１が記録可であれば、高速ＤＳＰ２２９はフレームＡのオーディオデータの圧縮処理を開始し、時刻Ｔｄ１までに処理を完了する。以後、高速ＤＳＰ２２９は、８サンプル周期で前記動作を繰り返す。

【００５９】

ここで着目する点は、時刻Ｔｂ２からＴｃ１までは、低速ＤＳＰ２１９が出力する記録判断情報は更新中の期間であり、情報が確定していない点である。

【００６０】

本実施の形態２では、タイミング信号ゲート３７５、３７６を同時に解除することにより、高速ＤＳＰ２２９のフレーム開始（時刻Ｔｃ１、Ｔｄ１）は、低速ＤＳＰ２１９のフレーム開始と同期するので、高速ＤＳＰ２２９は各フレームの先頭（時刻Ｔｃ１、Ｔｄ１）では、更新中のデータを読み出すことはない。

【００６１】

このように、低速ＤＳＰ及び高速ＤＳＰの入出力データの処理単位の比である「１対２」サンプルを、２つのＤＳＰのプログラム周期の比として、該２つのプロセッサの同期をとるのでハンドシェーク処理などプログラム処理の負担を増やさず、確定した「記録判断情報」を読み出すことができる。

【００６２】

なお、本実施の形態２では、各ＤＳＰのデータの処理単位を「１対２」としたが、これに限りはなく、「１対Ｎ」サンプルを、各ＤＳＰのプログラム周期の比として使用しても本発明は有効である。

【００６３】

次に、図５～図７を用いて、ＤＭＡコントローラを設計工数を削減するプロセッサ集積回路の例を説明する。

図５は図３で説明したプロセッサ集積回路に２分周回路５０１を備えた図である。

図において、２分周回路５０１は、入力されたクロックＳ１８０２の、１／２の周波数のクロックＳ２８０１を低速ＤＳＰ用ＤＭＡコントローラ１１５、低速ＤＳＰ２１９、高速ＤＳＰ用ＤＭＡコントローラ１２５に供給する。一方、高速ＤＳＰ２２９には、分周前のクロックＳ１８０２が供給される。高速ＤＳＰ用ＤＭＡコントローラ１２５に供給するクロックと高速ＤＳＰ２２９に供給するクロック周波数の比「１：２」というのが従来のプロセッサ集積回路９００とは、異なっている。

【００６４】

また、図６は低速ＤＳＰ２１９及び高速ＤＳＰ２２９のＤＭＡアクセスを示したタイミング図であり、図７は、ＤＭＡリクエストが連続したときの、低速ＤＳＰ２１９と高速ＤＳＰ２２９のパイプライン動作を示したタイミング図である。

【００６５】

低速ＤＳＰ２１９及び高速ＤＳＰ２２９は、図１３で説明したように、内部パイプライン段数が異なっているため、低速ＤＳＰ２１９のＤＭＡのレイテンシは１クロック、高速ＤＳＰ２２９のＤＭＡのレイテンシは３クロックである。図６に示す低速ＤＳＰ２１９のＤＭＡは、図１３に示した低速ＤＳＰのＤＭＡと全く同一のため説明を割愛する。

【００６６】

図６に示す高速ＤＳＰ２２９のＤＭＡは、高速ＤＳＰ用ＤＭＡリクエスト信号Ｓ１２５０が、高速ＤＳＰ２２９のクロックＳ１８０２の２クロック幅となる点で、図１３に示した高速ＤＳＰのＤＭＡと異なっている。高速ＤＳＰ２２９のＤＭＡは、ＤＭＡコントローラ１２５からＤＭＡリクエスト信号が出力される。また、図７における高速ＤＳＰのＤＭＡパイプラインに示すように、高速演算器１２０が、ＤＭＡリクエスト信号の立ち上がりエッジにてＤＭＡの受付を開始し、１クロックおきにＤＭＡを受け付ける点も従来と異なっている。そして、ＤＭＡを受け付けた３クロック後にＤＳＰ内のデータメモリからデータが読み出される。

【００６７】

このような構成にすることにより、低速ＤＳＰ及び高速ＤＳＰのクロック周波数比を１：２に固定し、高速ＤＳＰのＤＭＡコントローラを、クロックＳ１８０２の１／２の周波数のクロックＳ２８０１で駆動させることで、図６に示すように、データの読み出しタイミングは、低速ＤＳＰ２１９、高速ＤＳＰ２２９とも同一の時刻Ｔｒとなる。さらに、図７に示すように高速ＤＳＰ２２９のＤＭＡリクエスト受付を１クロックおきに有効とすることで、ＤＭＡコントローラ１１５とＤＭＡコントローラ１２５とを、完全に共通の回路とすることができる。

【００６８】

なお、本実施の形態２では、ＤＭＡのレイテンシが「１クロック：３クロック」の低速及び高速のＤＳＰにおいて、ＤＳＰのクロック周波数比を「１：２」としたが、一般的に拡張する場合、第１のプロセッサと第２のプロセッサのクロック周波数比が、「第１プロセッサのＤＭＡレイテンシ＋１：第２プロセッサのＤＭＡレイテンシ＋１」となり、演算処理を行う演算器は、ＤＭＡ受付を「（ＤＭＡのレイテンシ＋１）／２」回中の「（ＤＭ

Ａのレイテンシー１）／２」回無視するとよい。

【００６９】

以上のような本発明の実施の形態２に係るプロセッサ集積回路は、複数のメモリ領域であるプログラムメモリ１３１１、１３１２、１３１３、１３１４と、複数のメモリ領域であるデータメモリ１３２１、１３２２、１３２３、１３２４と、各メモリ領域との接続を低速演算器または高速演算器に切り替えるセレクタを備えたので、メモリを半減することができ、回路規模、消費電力の増加無く、プログラムの互換性の確保と高速化とを両立できるプロセッサ集積回路を提供することができ、また、該メモリ領域と低速及び高速演算器との組み合わせにより、低速ＤＳＰ及び高速ＤＳＰとして並列演算処理を行うことができ、さらにプロセッサ集積回路の高速化を図ることができる。

【００７０】

また、低速ＤＳＰを４サンプル周期、高速ＤＳＰを８サンプル周期とし、高速ＤＳＰのフレーム開始及び低速ＤＳＰのフレーム開始を同期させたので、低速プロセッサ及び高速プロセッサ間のハンドシェーク処理を不要にすることができる。

【００７１】

また、高速ＤＳＰ用ＤＭＡコントローラ１２５と高速ＤＳＰ２２９とのクロック周波数比を「１：２」とし、低速ＤＳＰ２２９と高速ＤＳＰ２１９とのデータ読み出しタイミングを同一にし、さらに、高速ＤＳＰ２２９のＤＭＡリクエスト受付を１クロックおきに有効としたので、ＤＭＡコントローラ１１５及びＤＭＡコントローラ１２５を完全に共通の回路とすることができ、ＤＭＡコントローラの設計工数の増加を防ぐことができる。

【００７２】

なお、本実施の形態２に係るプロセッサ集積回路では高速演算器と低速演算器とを１つずつ用いた演算器群で構成した例を説明したが、これに限ることはなく、少なくとも１つがアーキテクチャの異なるｎ（ｎは２以上の自然数）個の演算器群を用いても本発明は有効であり、また、ｎ個の演算器群を同じ演算器としてもよい。

【００７３】

例えば、図８に示すように、低速演算器及び高速演算器を、Ｌチャンネル、Ｒチャンネルのそれぞれ２つずつの低速演算器１１０Ａ、１１０Ｂ及び高速演算器１２０Ａ、１２０Ｂの計４つとし、低速ＤＳＰ２１９Ａ、２１９Ｂ及び高速ＤＳＰ２２９Ａ、２２９Ｂの４つのＤＳＰとすることで４並列演算処理を行うことができる。このとき、「音声圧縮処理」と「記録判断処理」の２つのプログラムをそれぞれＬチャンネルの処理とＲチャンネルの処理に分割することにより、メモリを増加させずにさらに処理を３００ＭＨｚ相当の処理能力を得ることができ、６倍速となる。

【００７４】

（実施の形態３）

一般に「ムーアの法則」として知られているように、半導体プロセスは年々微細化が進み、ＬＳＩの価格は低下していく。このため、ＡＶ機器ではモデルチェンジ毎に、ＬＳＩのプロセスを進めて、コスト削減を行っている。

【００７５】

図９は、本発明における実施の形態２のプロセッサ集積回路５００を用いたオーディオ新製品の開発フロー図である。

図において、動作実績のあるプログラムで動作する低速ＤＳＰのみを内蔵した既存のプロセッサ集積回路８００は、０．１８ミクロンピッチのプロセスで設計されている。

【００７６】

また、プロセッサ集積回路５００は、実施の形態２で説明したプロセッサ集積回路であり、０．１５ミクロンピッチのプロセスで設計されている。なお、本実施の形態３において、プロセッサ集積回路５００の演算器群は、プロセッサ集積回路８００を動作させるためのプログラムで動作する第ｋの演算器である低速演算器１１０と第ｋの演算器より処理能力の高い第ｘの演算器である高速演算器１２０とからなるものとする。

【００７７】

プロセッサ集積回路８００を使用した既存のオーディオ製品１０は、低速ＤＳＰ用プログラムＰ１０を使用し、オーディオの１倍速録音を行うポータブルモデルである。なお、既存の製品１０の構成は、図１１に示す製品の従来のプロセッサＬＳＩ９００がプロセッサ集積回路８００となっているものであり、本実施の形態３においてこの製品を後述する４つの新製品の開発ベースとなる製品とする。

【００７８】

次に、プロセッサ集積回路５００を使用した新製品１１、１２、１３、１４について説明する。

図１０は、図９のフロー図における第１、２、３、４の新製品ごとに、低速ＤＳＰ２１９と高速ＤＳＰ２２９の使用モード、電源電圧、動作周波数をまとめた図である。以下、図９、図１０を用いて説明する。

【００７９】

第１製品開発工程で開発する製品である第１の新製品１１は、１倍速で録音ができる第２世代のポータブルモデルで、既存製品におけるプロセッサ集積回路８００の代わりに、本発明のプロセッサ集積回路５００を置き換えることで、コスト削減を行った製品である。このとき、図２で説明した、複数のメモリ領域を有する第１の記憶部であるプログラムメモリ１３１１、１３１２、１３１３、１３１４のすべてを、第１の切替部である演算器セレクタ１４１１、１４１２、１４１３、１４１４の切り替えにより低速演算器１１０と接続させ、複数のメモリ領域を有する第２の記憶部であるデータメモリ１３２１、１３２２、１３２３、１３２４のすべてを、第２の切替部である演算器セレクタ１４２１、１４２２、１４２３、１４２４の切り替えにより低速演算器１１０と接続させることで、既存のオーディオ製品１０で使用された、低速ＤＳＰ用プログラムＰ１０がそのまま動作する。

【００８０】

第２製品開発工程で開発する製品である第２の新製品１２は、２倍速で録音ができる据置きモデルである（フロー０）。

まず、プログラム変更工程（第１のプログラム変更工程）では、第１の新製品１１におけるプロセッサ集積回路のプログラムメモリ１３１１、１３１２、１３１３、１３１４に格納されている低速ＤＳＰ用プログラムＰ１０を、高速演算器１２０を動作させる高速ＤＳＰ用プログラムＰ１２とする。第１の接続工程では、図２における第１の記憶部であるプログラムメモリ１３１１、１３１２、１３１３、１３１４のすべてを、第１の切替部である演算器セレクタ１４１１、１４１２、１４１３、１４１４の切り替えにより高速演算器１２０と接続させ、第２の接続工程では、図２における第２の記憶部であるデータメモリ１３２１、１３２２、１３２３、１３２４のすべてを、第２の切替部である演算器セレクタ１４２１、１４２２、１４２３、１４２４の切り替えにより高速演算器１２０と接続させる。そして、高速ＤＳＰ用プログラムを実行させることにより、既存のオーディオ製品１０、または第１の新製品１１の２倍の処理能力が得られる。

【００８１】

このように第１の新製品１１と第２の新製品１２ともに同じプロセッサ集積回路５００を使用することで、低速ＤＳＰ用プログラムＰ１０を高速ＤＳＰ用プログラムＰ１２に変更する工程を第１の新製品１１の量産化工程と同時に行うことができ、プログラム変更に要する期間を隠蔽することができる。また、新たに第２の新製品１２用のＬＳＩを開発する必要も無い。

【００８２】

第３製品開発工程で開発する製品である第３の新製品１３は、１倍速で録音ができる第３世代の低消費電力ポータブルモデルである（フロー１）。

本実施の形態３において、第３の新製品１３は、前記第２の新製品と同じプログラムＰ１２を用い、さらに、前記第１の接続工程及び第２の接続工程により、図２におけるプログラムメモリ１３１１、１３１２、１３１３、１３１４、及びデータメモリ１３２１、１３２２、１３２３、１３２４と、高速演算器１２０とが前記第２の新製品と同様、接続さ

れている。

【００８３】

ＬＳＩの消費電力は、クロック周波数に比例し、電源電圧の２乗に比例する。また、電源電圧を下げると、ＬＳＩ内部の配線遅延が増加し通常ＬＳＩが動作しなくなるが、クロック周波数を下げれば動作させることができる。そこで、電力削減工程では、第３の新製品１３に使用する高速ＤＳＰ３２９に供給するクロック周波数を第２の新製品１２におけるプロセッサ集積回路の１／２にすることで電源電圧を下げることができる。

【００８４】

これにより、ＤＳＰのクロック周波数は第１の新製品１１と同じであるが、ＬＳＩ２００の電圧を１．５Ｖから１．２Ｖにすることで、第１の新製品１１より３６％消費電力を下げている。また、第２の新製品１２と同じ高速ＤＳＰ用プログラムＰ１２を使用することができ、プログラムを変更する必要はない。

【００８５】

第４製品開発工程で開発する製品である第４の新製品１４は、３倍速で録音ができる据置きモデルである（フロー２）。

まず、第２のプログラム変更工程では、第２の新製品におけるプロセッサ集積回路のプログラムメモリ１３１１、１３１２、１３１３、１３１４に格納されている高速ＤＳＰ用プログラムＰ１２を、低速演算器１１０及び高速演算器１２０を並列演算処理させるデュアルＤＳＰ用プログラムＰ１４とする。なお、本実施の形態３において、デュアルＤＳＰプログラムＰ１４は、図２で説明したように、低速ＤＳＰ用プログラムＰ１０から変更させたプログラムとし、低速ＤＳＰ用プログラムＰ１０で行う処理を「音声圧縮処理」と「記録判断処理」の２つのプログラムに分割したものとする。

【００８６】

そして、第３の接続工程では、図２に示すように、プログラムメモリ１３１１、１３１２と低速演算器１１０との接続、プログラムメモリ１３１３、１３１４と高速演算器１２０との接続を、演算器セレクタ１４１１、１４１２、１４１３、１４１４の切り替えにより行い、さらに、第４の接続工程では、データメモリ１３２１、１３２２と低速演算器１１０との接続、データメモリ１３２３、１３２４と高速演算器１２０との接続を、演算器セレクタ１４２１、１４２２、１４２３、１４２４の切り替えにより行う。このような接続を行い、デュアルＤＳＰ用プログラムＰ１４を実行させることにより、低速ＤＳＰ２１９と高速ＤＳＰ２２９とのデュアルプロセッサとして低速演算器及び高速演算器を並列演算処理させることができ、既存のオーディオ製品１０、または第１の新製品１１の３倍の処理能力が得られる。

【００８７】

このように、第２の新製品１２及び第４の新製品１４ともに同じプロセッサ集積回路５００を使用することで、高速ＤＳＰ用プロセッサＰ１２をデュアルＤＳＰ用プログラムＰ１４に変更する工程は第２の新製品の量産化工程と同時に行うことができ、プログラム変更に要する期間を隠蔽することができる。また、新たに第４の新製品１４用のＬＳＩを開発する必要も無い。

【００８８】

なお、本実施の形態３は、請求項１２に示すように、第２の新製品１２から第４の新製品１４を開発する例を説明したが、請求の範囲１１項に示すように、第１の新製品１１から直ちに第４の新製品１４を開発するようにしてもよい。すなわち、第１の新製品から第４の新製品を開発する場合、本実施の形態３における第２のプログラム変更工程であるプログラム変更工程で、プログラムメモリに格納されている低速ＤＳＰ用プログラムＰ１０をデュアルＤＳＰ用プログラムＰ１４に変更し、本実施の形態３における第３の接続工程及び第４の接続工程である第１の接続工程及び第２の接続工程で、各演算器とプログラムメモリ及びデータメモリとを接続して、デュアルＤＳＰ用プログラムＰ１４を実行させるとよい。これにより、第１の新製品１１及び第４の新製品１４ともに同じプロセッサ集積回路５００を使用することで、低速ＤＳＰ用プロセッサＰ１０をデュアルＤＳＰ用プログ

ラムＰ１４に変更する工程は第１の新製品の量産化工程と同時に行うことができ、プログラム変更に要する期間を隠蔽することができる。

【００８９】

また、第２の新製品１２と同一のプログラムを使用する第３の新製品１３から第４の新製品１４を開発できることはいうまでもない。これにより、第３の新製品１３及び第４の新製品１４ともに同じプロセッサ集積回路５００を使用することで、高速ＤＳＰ用プロセッサＰ１２をデュアルＤＳＰ用プログラムＰ１４に変更する工程は第３の新製品１３の量産化工程と同時に行うことができ、プログラム変更に要する期間を隠蔽することができる。

【００９０】

また、本実施の形態３では、第４の新製品に用いるデュアルＤＳＰ用プログラムＰ１４を、低速ＤＳＰ用プログラムＰ１０から変更させたプログラムとしたが、高速ＤＳＰ用プログラムＰ１２から変更させたプログラムとしてもよい。

【００９１】

以上のような、本発明の実施の形態３に記載のプロセッサ集積回路は、第１、第２、第３、第４の製品開発でそれぞれ専用ＬＳＩを要することなく、同一のＬＳＩで低消費電力または高性能な製品の開発を進めることができる。

【００９２】

なお、本発明の実施の形態３に係る製品開発方法では、図２に示した低速及び高速の演算器群で構成されたプロセッサ集積回路を用いて製品開発する例を説明したが、ｎ（ｎは２以上の自然数）個の演算器群で構成されたプロセッサ集積回路を用いても良く、例えば、各ＤＳＰを図８のように低速ＤＳＰ及び高速ＤＳＰそれぞれ２つずつの構成としたプロセッサ集積回路を用いた場合、第４の新製品を６倍速で録音できる据え置きモデルとすることができる。

【００９３】

また、本実施の形態３では、実施の形態２に係るプロセッサ集積回路５００を使用した例を説明したが、第１、第２、第３の製品については、実施の形態１のプロセッサ集積回路１００を使用しても同様の効果が得られるのはいうまでもない。

【００９４】

また、本実施の形態３では、既存の製品１０をベースとして製品開発を行う例を示したが、これに限るものではなく、例えば、第１の新製品をベースとして製品開発を行っても良い。

【００９５】

また、本実施の形態３における第２の新製品１３、第４の新製品１４は、高性能化により録音スピードを上げているが、音質補正・音場処理を追加する、オーディオ再生に変更するなど、機能向上や機能変更をすることも可能である。

【産業上の利用可能性】

【００９６】

本発明にかかるプロセッサ集積回路は、１チップＬＳＩ上に構成されたプロセッサで、プログラムの互換性を維持しながらオーディオ製品性能を向上させていくのに有用である。また映像処理の用途にも応用できる。

【図面の簡単な説明】

【００９７】

【図１】本発明の実施の形態１に係るプロセッサ集積回路の構成図。

【図２】本発明の実施の形態２に係るプロセッサ集積回路の構成図。

【図３】図２に示す低速ＤＳＰ及び高速ＤＳＰの周辺回路を含むプロセッサ集積回路の構成図。

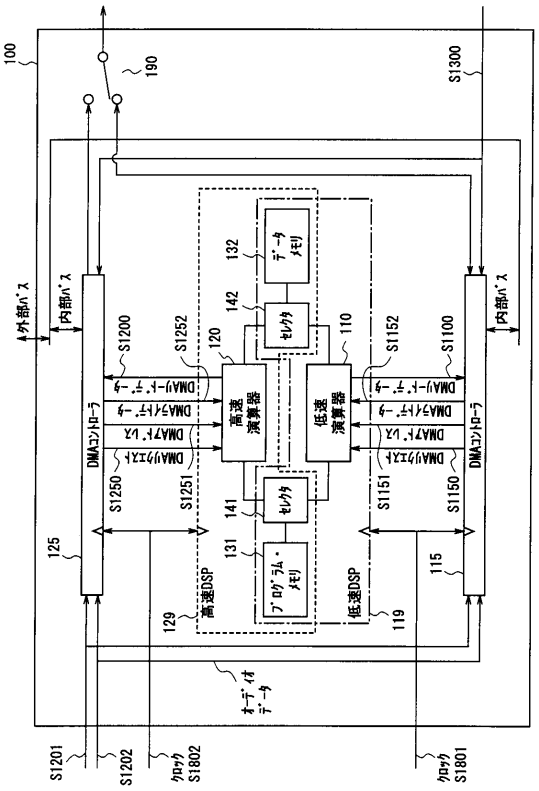
【図４】本発明の実施の形態２における、低速ＤＳＰと高速ＤＳＰの動作タイミング図。

【図５】図３に示すプロセッサ集積回路に分周回路を備えた図。

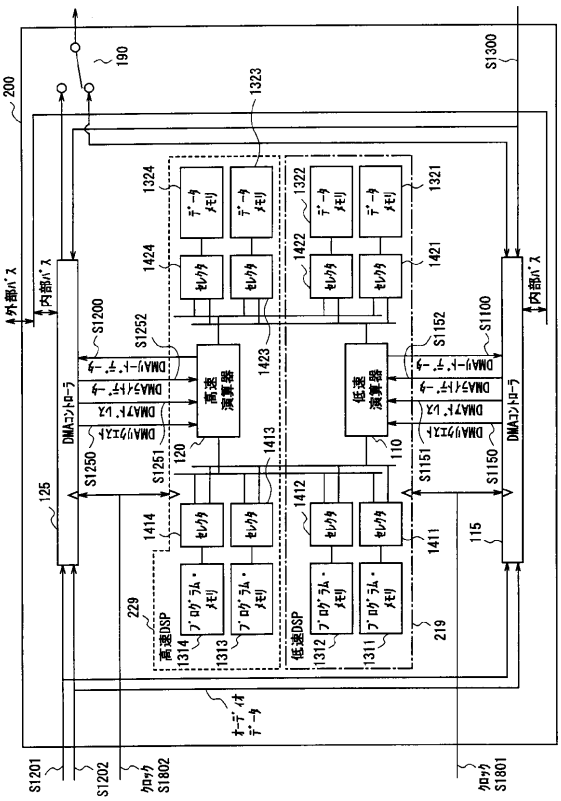
【図６】本発明の実施の形態２における、低速ＤＳＰ及び高速ＤＳＰのＤＭＡタイミング

図。
【図７】本発明の実施の形態２における、低速ＤＳＰ及び高速ＤＳＰのＤＭＡパイプラインのタイミング図。
【図８】図２のプロセッサ集積回路において低速ＤＳＰ及び高速ＤＳＰをそれぞれ２つずつ備えた例を示す図。
【図９】本発明の実施の形態３における、オーディオ製品開発フロー図。
【図１０】本発明の実施の形態３における、ＤＳＰの各製品における動作モードを示す図。
【図１１】オーディオ製品の構成図。
【図１２】従来のプロセッサ集積回路の構成図。
【図１３】従来の低速ＤＳＰ及び高速ＤＳＰのＤＭＡタイミング図。

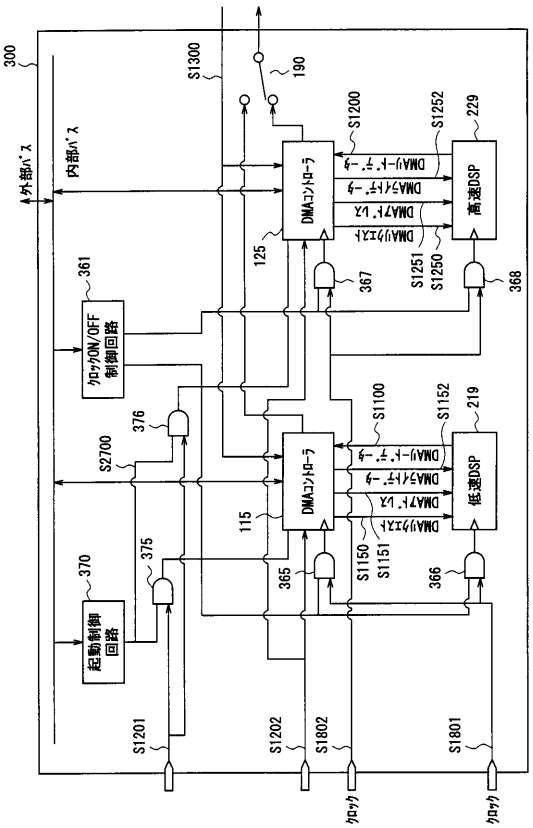
【図１】



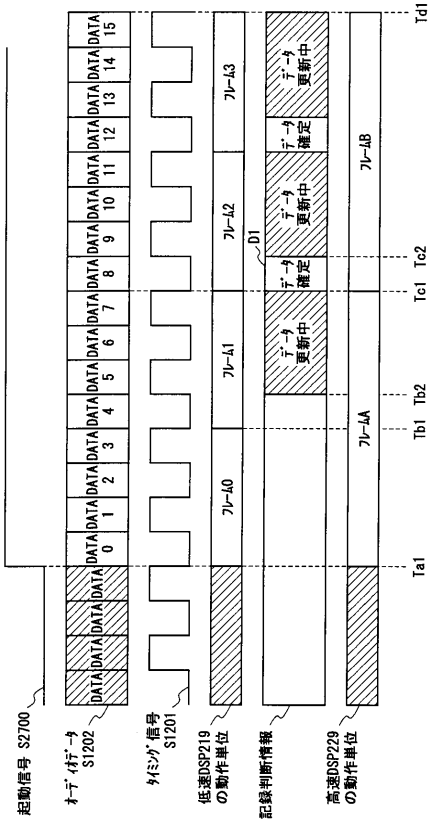
【図２】



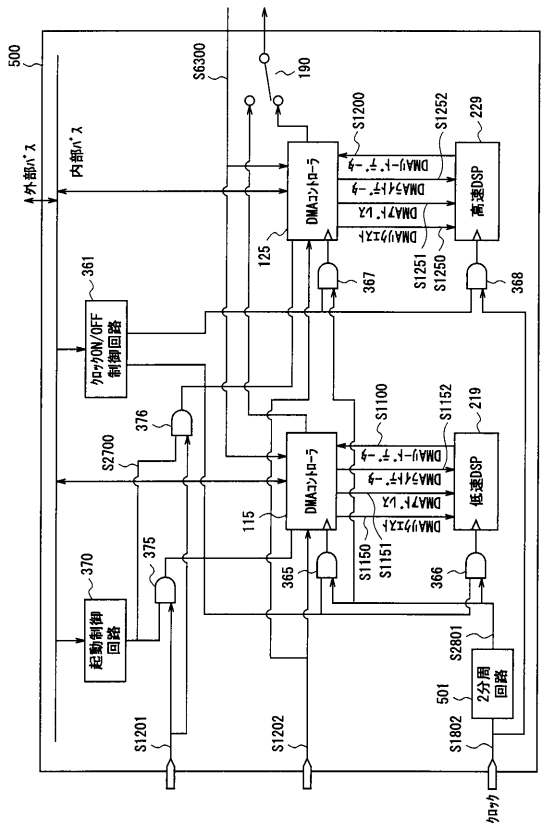
【図３】


300
外部バス
内部バス
S1300
190
S1200
S1252
229
高速DSP
DMAコントローラ
DMAリクエスト
DMAアドレス
DMAデータ
DMAリクエストアドレス
125
367
S1251
S1250
368
361
クロックON/OFF制御回路
376
S2700
S1100
S1152
219
低速DSP
115
375
365
S1150
S1151
366
370
起動制御回路
S1201
S1202
S1802
S1801
クロック
クロック

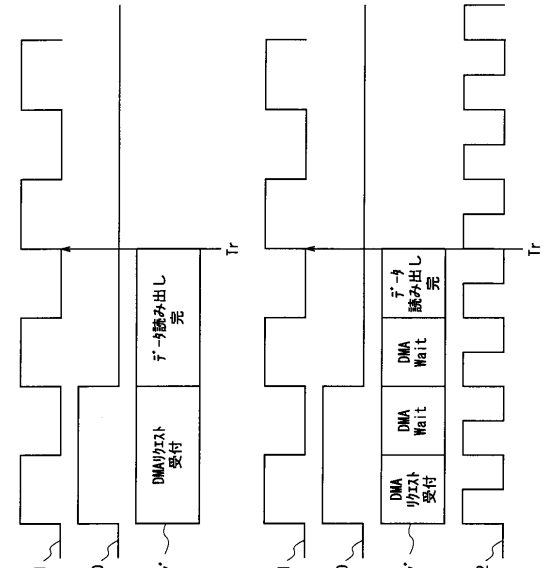
【図４】


Td1
Tc2
Tc1
Tb2
Tb1
Ta1
DATA 0
DATA 1
DATA 2
DATA 3
DATA 4
DATA 5
DATA 6
DATA 7
DATA 8
DATA 9
DATA 10
DATA 11
DATA 12
DATA 13
DATA 14
DATA 15
フレームA
フレームB
フレーム0
フレーム1
フレーム2
フレーム3
D1
データ更新中
データ確定
起動信号 S2700
オーディオデータ S1202
タイミング信号 S1201
低速DSP219の動作単位
記録判断情報
高速DSP229の動作単位

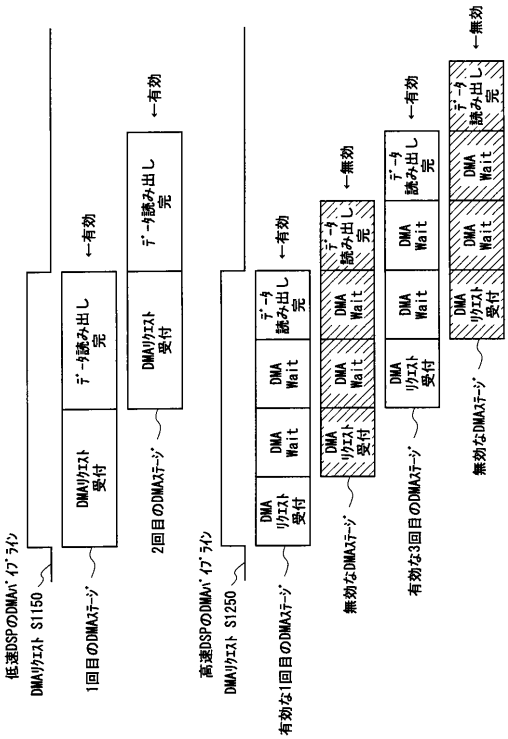
【図５】


500
外部バス
内部バス
S6300
190
S1200
S1252
229
高速DSP
DMAコントローラ
DMAリクエスト
DMAアドレス
DMAデータ
DMAリクエストアドレス
125
367
S1251
S1250
368
361
クロックON/OFF制御回路
376
S2700
S1100
S1152
219
低速DSP
115
375
365
S1150
S1151
366
370
起動制御回路
S2801
501
2分周回路
S1201
S1202
S1802
クロック

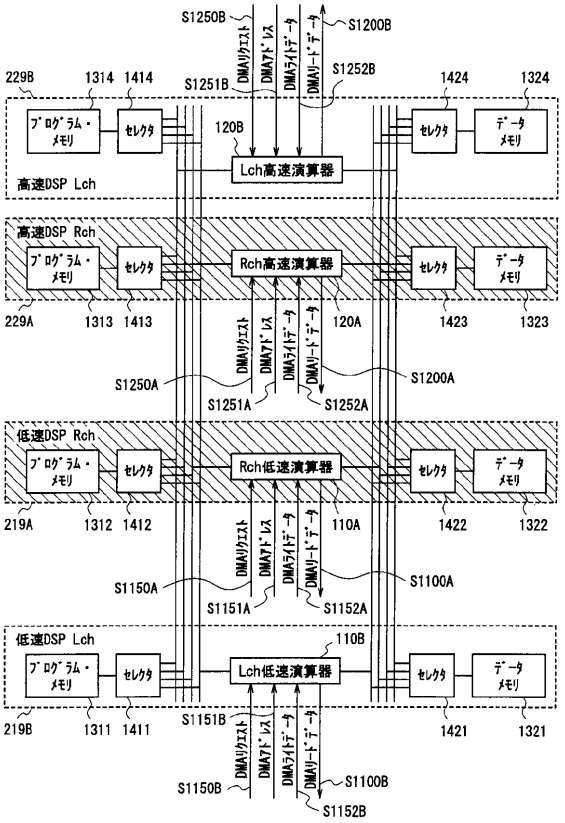
【図６】


低速DSPのDMA
クロック S2801
DMAリクエスト S1150
低速DSP219のDMAデータ
データ読み出し完
DMAリクエスト受付
Tr
高速DSPのDMA
クロック S2801
DMAリクエスト S1250
低速DSP229のDMAデータ
DMA Wait
DMA Wait
DMA リクエスト受付
データ読み出し完
クロック S1802
Tr

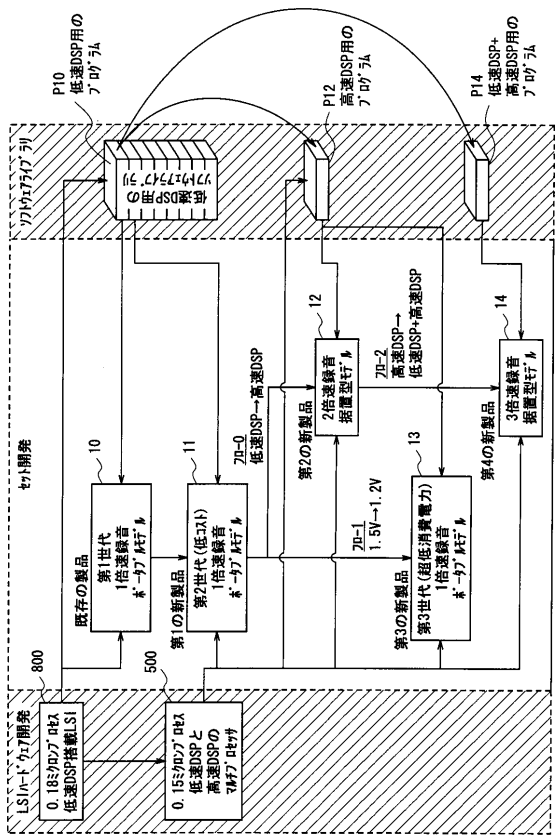
【図７】



【図８】



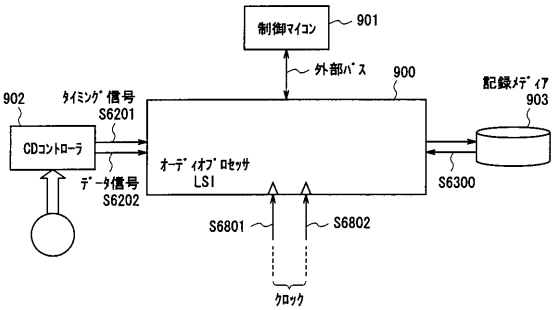
【図９】



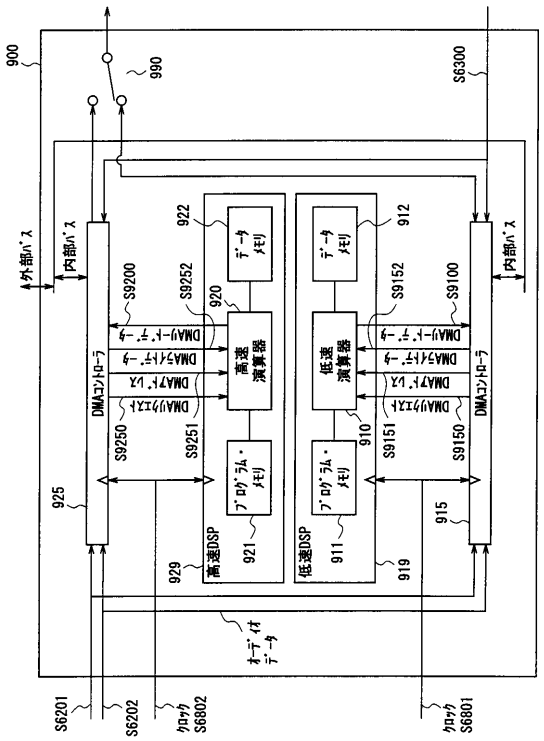
【図１０】

			低速DSP	高速DSP
実施の形態1 実施の形態2	第1の新製品 11	1倍速録音(低コスト) ボータブルモデル	1.5V	0V
			50MHz	0MHz
	第2の新製品 12	2倍速録音 据置モデル	0V	1.5V
			0MHz	100MHz
	第3の新製品 13	1倍速録音(超低消費電力) ボータブルモデル	0V	1.2V
			0MHz	50MHz
実施の形態2	第4の新製品 14	3倍速録音 据置モデル	1.5V	1.5V
			50MHz	100MHz

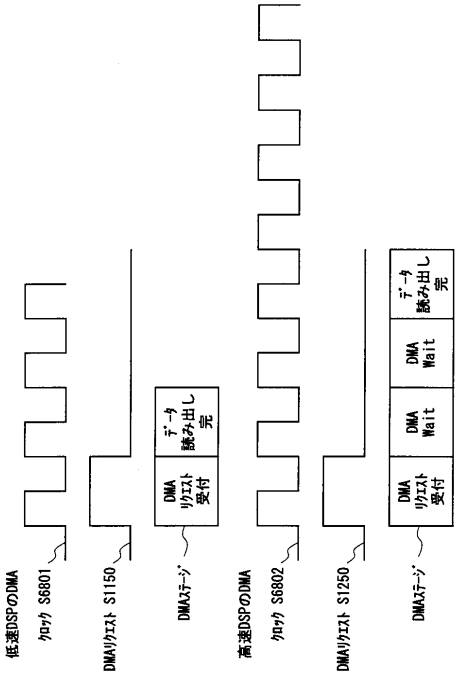
【図１１】



【図１２】


900
990
S6300
外部ﾊﾞｽ
内部ﾊﾞｽ
DMAｺﾝﾄﾛｰﾗ
S9200
S9252
920
922
ﾃﾞｰﾀﾒﾓﾘ
DMAﾚｼﾞｽﾀ
DMAｱﾄﾞﾚｽ
DMAｶｳﾝﾄ
DMAﾓｰﾄﾞ
高速演算器
S9250
S9251
ﾌﾟﾛｸﾞﾗﾑ・ﾒﾓﾘ
高速DSP
921
929
925
S9152
S9100
912
910
911
低速演算器
低速DSP
S9151
S9150
919
915
ｵｰﾄﾞｲﾝﾃﾞｰﾀ
S6201
S6202
ｸﾛｯｸ S6802
ｸﾛｯｸ S6801

【図１３】


低速DSPのDMA
ｸﾛｯｸ S6801
DMAﾘｸｴｽﾄ S1150
DMA
ﾘｸｴｽﾄ
受付
ﾃﾞｰﾀ
読み出し
完
DMAﾃﾞｰﾀ
高速DSPのDMA
ｸﾛｯｸ S6802
DMAﾘｸｴｽﾄ S1250
DMA
ﾘｸｴｽﾄ
受付
DMA
Wait
DMA
Wait
ﾃﾞｰﾀ
読み出し
完
DMAﾃﾞｰﾀ

フロントページの続き

審査官　間野　裕一

(56)参考文献　特開平０４－３６３７０４（ＪＰ，Ａ）
特開平０５－３２４４５５（ＪＰ，Ａ）
特開２００２－２１５５９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G06F 9/38