



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월28일

(11) 등록번호 10-1563904

(24) 등록일자 2015년10월22일

(51) 국제특허분류(Int. Cl.)

H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 29/861 (2006.01)

(21) 출원번호 10-2011-7009563

(22) 출원일자(국제) 2009년09월01일
심사청구일자 2014년09월01일

(85) 번역문제출일자 2011년04월27일

(65) 공개번호 10-2011-0069829

(43) 공개일자 2011년06월23일

(86) 국제출원번호 PCT/JP2009/065549

(87) 국제공개번호 WO 2010/035626

국제공개일자 2010년04월01일

(30) 우선권주장

JP-P-2008-251131 2008년09월29일 일본(JP)

(56) 선행기술조사문헌

JP2008181494 A*

KR1020070052533 A*

US06608995 B1

US06744291 B2

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

마츠모토 치카코

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
다카하시 야스유키일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

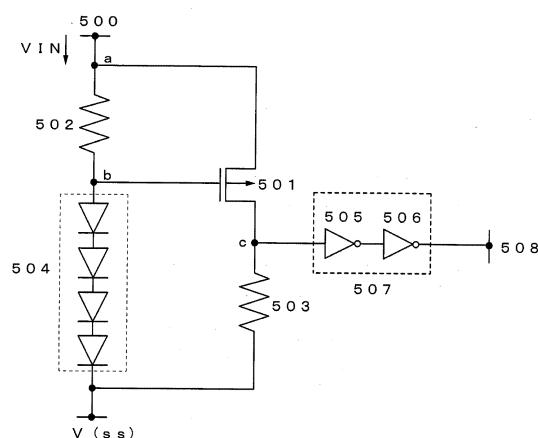
전체 청구항 수 : 총 8 항

심사관 : 김진우

(54) 발명의 명칭 반도체 장치

(57) 요 약

반도체 장치의 사양들 내의 전압이 얻어지는지 여부를 반도체 장치에서 용이하게 검출하기 위한 것이다. 반도체 장치는 반도체 장치의 내부 회로의 출력 전압을 검출하고 출력 전압이 반도체 장치의 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 판정하는 검출 회로를 포함한다. 출력 전압이 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 판정하기 위한 신호가 검출 회로로부터 디지털 회로로 송신되고, 디지털 회로는 신호에 따라 회로 동작을 수행하거나 정지한다.

대 표 도

명세서

청구범위

청구항 1

안테나;

상기 안테나로부터 전력을 수신하는 메모리 회로;

상기 메모리 회로에 입력된 전압을 검출하는 검출 회로; 및

상기 검출 회로로부터의 출력 신호에 따라 상기 메모리 회로의 동작을 제어하는 제어 회로를 포함하고,

상기 검출 회로는,

입력 단자;

상기 검출 회로로부터 상기 출력 신호를 출력하기 위한 출력 단자;

기준 전압 단자;

제 1 저항으로서, 상기 제 1 저항의 한 단자는 상기 입력 단자에 전기적으로 접속되는, 상기 제 1 저항;

트랜지스터로서, 상기 트랜지스터의 소스 및 드레인 중 하나는 상기 입력 단자에 전기적으로 접속되고, 상기 트랜지스터의 게이트는 상기 제 1 저항의 다른 단자에 전기적으로 접속되는, 상기 트랜지스터;

직렬로 접속된 복수의 다이오드들을 갖는 다이오드부로서, 상기 다이오드부의 한 단자는 상기 제 1 저항의 상기 다른 단자에 전기적으로 접속되고, 상기 다이오드부의 다른 단자는 상기 기준 전압 단자에 전기적으로 접속되는, 상기 다이오드부;

제 2 저항으로서, 상기 제 2 저항의 한 단자는 상기 기준 전압 단자에 전기적으로 접속되고, 상기 제 2 저항의 다른 단자는 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되는, 상기 제 2 저항; 및

버퍼 회로를 포함하고,

상기 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 하나와 상기 제 2 저항의 상기 다른 단자는 상기 버퍼 회로를 통해 상기 출력 단자에 전기적으로 접속되고,

상기 다이오드부는 상기 복수의 다이오드들 중 하나 이상의 다이오드의 애노드가 상기 기준 전압 단자에 전기적으로 접속되는 접속부를 포함하고,

직렬 접속된 상기 다이오드들의 수는 상기 접속부를 전기적으로 절단함으로써 증가되는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

안테나;

상기 안테나로부터의 신호를 정류하는 정류 회로;

상기 정류 회로의 출력 전압을 공급반도록 상기 정류 회로에 전기적으로 접속된 메모리 회로;

상기 정류 회로의 상기 출력 전압을 검출하는 검출 회로; 및

상기 검출 회로로부터의 출력 신호에 따라 상기 메모리 회로의 동작을 제어하는 제어 회로를 포함하고,

상기 검출 회로는,

입력 단자;

상기 검출 회로로부터 상기 출력 신호를 출력하기 위한 출력 단자;

기준 전압 단자;

제 1 저항으로서, 상기 제 1 저항의 한 단자는 상기 입력 단자에 전기적으로 접속되는, 상기 제 1 저항;

트랜지스터로서, 상기 트랜지스터의 소스 및 드레인 중 하나는 상기 입력 단자에 전기적으로 접속되고, 상기 트랜지스터의 게이트는 상기 제 1 저항의 다른 단자에 전기적으로 접속되는, 상기 트랜지스터;

직렬로 접속된 복수의 다이오드들을 갖는 다이오드부로서, 상기 다이오드부의 한 단자는 상기 제 1 저항의 상기 다른 단자에 전기적으로 접속되고, 상기 다이오드부의 다른 단자는 상기 기준 전압 단자에 전기적으로 접속되는, 상기 다이오드부;

제 2 저항으로서, 상기 제 2 저항의 한 단자는 상기 기준 전압 단자에 전기적으로 접속되고, 상기 제 2 저항의 다른 단자는 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되는, 상기 제 2 저항; 및

버퍼 회로를 포함하고,

상기 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 하나와 상기 제 2 저항의 상기 다른 단자는 상기 버퍼 회로를 통해 상기 출력 단자에 전기적으로 접속되고,

상기 다이오드부는 상기 복수의 다이오드들 중 하나 이상의 다이오드의 애노드가 상기 기준 전압 단자에 전기적으로 접속되는 접속부를 포함하고,

직렬 접속된 상기 다이오드들의 수는 상기 접속부를 전기적으로 절단함으로써 증가되는, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

안테나;

상기 안테나로부터의 신호를 정류하는 정류 회로;

상기 정류 회로로부터의 전압을 조절하는 전압 레귤레이터 회로(voltage regulator circuit);

상기 전압 레귤레이터 회로의 출력 전압을 공급반도록 상기 전압 레귤레이터 회로에 전기적으로 접속된 메모리 회로;

상기 전압 레귤레이터 회로의 상기 출력 전압을 검출하는 검출 회로; 및

상기 검출 회로로부터의 출력 신호에 따라 상기 메모리 회로의 동작을 제어하는 제어 회로를 포함하고,

상기 검출 회로는,

입력 단자;

상기 검출 회로로부터 상기 출력 신호를 출력하기 위한 출력 단자;

기준 전압 단자;

제 1 저항으로서, 상기 제 1 저항의 한 단자는 상기 입력 단자에 전기적으로 접속되는, 상기 제 1 저항;

트랜지스터로서, 상기 트랜지스터의 소스 및 드레인 중 하나는 상기 입력 단자에 전기적으로 접속되고, 상기 트랜지스터의 게이트는 상기 제 1 저항의 다른 단자에 전기적으로 접속되는, 상기 트랜지스터;

직렬로 접속된 복수의 다이오드들을 갖는 다이오드부로서, 상기 다이오드부의 한 단자는 상기 제 1 저항의 상기 다른 단자에 전기적으로 접속되고, 상기 다이오드부의 다른 단자는 상기 기준 전압 단자에 전기적으로 접속되는, 상기 다이오드부;

제 2 저항으로서, 상기 제 2 저항의 한 단자는 상기 기준 전압 단자에 전기적으로 접속되고, 상기 제 2 저항의 다른 단자는 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되는, 상기 제 2 저항; 및

버퍼 회로를 포함하고,

상기 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 하나와 상기 제 2 저항의 상기 다른 단자는 상기 버퍼 회로를 통해 상기 출력 단자에 전기적으로 접속되고,

상기 다이오드부는 상기 복수의 다이오드들 중 하나 이상의 다이오드의 애노드가 상기 기준 전압 단자에 전기적으로 접속되는 접속부를 포함하고,

직렬 접속된 상기 다이오드들의 수는 상기 접속부를 전기적으로 절단함으로써 증가되는, 반도체 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

입력 단자;

출력 단자;

기준 전압 단자;

제 1 저항으로서, 상기 제 1 저항의 한 단자는 상기 입력 단자에 전기적으로 접속되는, 상기 제 1 저항;

트랜지스터로서, 상기 트랜지스터의 소스 및 드레인 중 하나는 상기 입력 단자에 전기적으로 접속되고, 상기 트랜지스터의 게이트는 상기 제 1 저항의 다른 단자에 전기적으로 접속되는, 상기 트랜지스터;

직렬로 접속된 복수의 다이오드들을 갖는 다이오드부로서, 상기 다이오드부의 한 단자는 상기 제 1 저항의 상기 다른 단자에 전기적으로 접속되고, 상기 다이오드부의 다른 단자는 상기 기준 전압 단자에 전기적으로 접속되는, 상기 다이오드부;

제 2 저항으로서, 상기 제 2 저항의 한 단자는 상기 기준 전압 단자에 전기적으로 접속되고, 상기 제 2 저항의 다른 단자는 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되는, 상기 제 2 저항; 및

버퍼 회로를 포함하고,

상기 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 하나와 상기 제 2 저항의 상기 다른 단자는 상기 버퍼 회로를 통해 상기 출력 단자에 전기적으로 접속되고,

상기 다이오드부는 상기 복수의 다이오드들 중 하나 이상의 다이오드의 애노드가 상기 기준 전압 단자에 전기적으로 접속되는 접속부를 포함하고,

직렬 접속된 상기 다이오드들의 수는 상기 접속부를 전기적으로 절단함으로써 증가되는, 반도체 장치.

청구항 20

제 1 항, 제 7 항, 제 13 항, 및 제 19 항 중 어느 한 항에 있어서, 상기 복수의 다이오드들은 다이오드-접속된 N-형 트랜지스터들인, 반도체 장치.

청구항 21

제 1 항, 제 7 항, 제 13 항, 및 제 19 항 중 어느 한 항에 있어서, 상기 복수의 다이오드들은 다이오드-접속된 P-형 트랜지스터들인, 반도체 장치.

청구항 22

삭제

청구항 23

제 1 항, 제 7 항, 제 13 항, 및 제 19 항 중 어느 한 항에 있어서, 상기 접속부의 전기적 절단은 레이저 광 조사에 의해 수행되는, 반도체 장치.

청구항 24

제 1 항, 제 7 항, 제 13 항, 및 제 19 항 중 어느 한 항에 있어서,

상기 다이오드부는 상기 복수의 다이오드들 중 하나 이상의 다이오드의 애노드가 상기 기준 전압 단자에 전기적으로 접속되지 않은 절단부를 포함하고;

직렬 접속된 상기 다이오드들의 수는 상기 절단부를 전기적으로 접속함으로써 감소되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 기술 분야는 반도체 장치 및 이를 구동하는 방법에 관한 것이다. 특히, 기술 분야는 무선 통신을 통해 비접촉 방식으로 정보를 송수신하는 것이 가능한 반도체 장치에 관한 것이다.

배경기술

[0002] 근년, 개체 식별 정보(ID)가 그 이력과 같은 대상물에 대한 정보를 인식하기 위해 각각의 대상물에 할당되어 있는 개체 식별 기술들이 주목되고 있다. 특히, 전파들을 사용하여 무선 통신을 통해 비접촉 방식으로 데이터를 송수신하는 것이 가능한 반도체 장치들이 개발되어 왔다. 이러한 반도체 장치들은 RFID 태그들이라 칭하고(또한 종종 무선 태그들, IC 태그들, IC 칩들, 무선 칩들, 비접촉 신호 처리 디바이스들 또는 반도체 접착 회로 칩들이라 칭함), 제품을 관리 등을 위해 사용되도록 시장에 도입되고 있다(예를 들어, 특히 문현 1 참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 출원 공개 제 2007-5778호

발명의 내용

해결하려는 과제

[0004] 특허 문헌 1에 개시된 종래의 반도체 장치는 이하의 문제점을 갖는다. 결합부가 회로 내에 존재하고 반도체 장치의 사양들 내의 전압(이하, 또한 사양 전압이라 칭함)이 얻어질 수 없는 경우에, 결합부가 프로브 등으로 검출되는데, 이는 많은 시간 및 노력을 필요로 한다.

[0005] 더욱이, 판독기/기록기와 반도체 장치 사이의 먼 거리에서 통신이 수행되는 경우에, 미약한 신호가 송신되고 사양 전압이 얻어질 수 없기 때문에, 반도체 장치가 정상적으로 동작하지 않는 문제점이 발생한다.

[0006] 상기 문제점들에 비추어, 본 발명의 목적은 반도체 장치의 사양들 내의 전압이 얻어지는지 여부를 반도체 장치 내에서 용이하게 검출하는 것이다.

과제의 해결 수단

[0007] 반도체 장치의 일 실시 형태는 내부 회로의 출력 전압을 검출하고 출력 전압이 반도체 장치의 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 판정하는 검출 회로를 포함한다.

[0008] 출력 전압이 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 판정하기 위한 신호(이하, 또한 판정 신호라 칭함)가 검출 회로로부터 디지털 회로로 송신되고, 디지털 회로는 신호에 따라 회로 동작을 제어한다.

[0009] 반도체 장치의 다른 실시 형태는 전압을 검출하고 판정 신호를 출력하는 검출 회로를 포함한다. 검출 회로는 전압이 입력되는 입력부, 기준 전압이 입력되는 배선, 입력부와 배선 사이에 직렬로 접속된 복수의 다이오드들을 갖는 다이오드부, 및 판정 신호가 출력되는 출력부를 포함한다. 다이오드들의 수는 가변적이다.

[0010] 반도체 장치의 다른 실시 형태는 전압을 검출하고 판정 신호를 출력하는 검출 회로와, 판정 신호에 따라 메모리 회로의 동작을 제어하기 위한 디지털 회로를 포함한다. 검출 회로는 전압이 입력되는 입력부, 기준 전압이 입력되는 배선, 입력부와 배선 사이에 직렬로 접속된 복수의 다이오드들을 갖는 다이오드부, 및 판정 신호가 출력되는 출력부를 포함한다. 검출 회로의 검출 범위는 복수의 다이오드들의 수에 의해 제어되고, 다이오드들의 수는 가변적이다.

[0011] 반도체 장치의 다른 실시 형태는 전압을 검출하고 판정 신호를 출력하는 검출 회로를 포함한다. 검출 회로는 전압이 입력되는 입력부, 기준 전압이 입력되는 배선, 트랜지스터, 제 1 저항 및 제 2 저항, 직렬로 접속된 복수의 다이오드들을 갖는 다이오드부, 버퍼 회로, 및 판정 신호가 출력되는 출력부를 포함한다. 입력부는 제 1 저항의 한 단자 및 트랜지스터의 소스에 전기적으로 접속된다. 제 1 저항의 다른 단자는 트랜지스터의 게이트 및 다이오드부의 애노드에 전기적으로 접속된다. 다이오드부의 캐소드가 배선 및 제 2 저항의 한 단자에 전기적으로 접속된다. 트랜지스터의 드레인 및 제 2 저항의 다른 단자는 버퍼 회로를 통해 출력부에 전기적으로 접속된다.

속된다. 다이오드들의 수는 가변적이다.

[0012] 반도체 장치의 다른 실시 형태는 전압을 검출하고 판정 신호를 출력하는 검출 회로와, 판정 신호에 따라 메모리 회로의 동작을 제어하기 위한 디지털 회로를 포함한다. 검출 회로는 전압이 입력되는 입력부, 기준 전압이 입력되는 배선, 트랜지스터, 직렬로 접속된 복수의 다이오드들을 갖는 다이오드부, 제 1 저항 및 제 2 저항, 버퍼 회로, 및 판정 신호가 출력되는 출력부를 포함한다. 입력부는 제 1 저항의 한 단자 및 트랜지스터의 소스에 전기적으로 접속된다. 제 1 저항의 다른 단자는 트랜지스터의 게이트 및 다이오드부의 애노드에 전기적으로 접속된다. 다이오드부의 캐소드는 배선 및 제 2 저항의 한 단자에 전기적으로 접속된다. 트랜지스터의 드레인 및 제 2 저항의 다른 단자는 버퍼 회로를 통해 출력부에 전기적으로 접속된다. 검출 회로의 검출 범위는 복수의 다이오드들의 수에 의해 제어되고, 다이오드들의 수는 가변적이다.

[0013] 반도체 장치의 다른 실시 형태는 전압을 검출하고 판정 신호를 출력하는 검출 회로와, 판정 신호에 따라 메모리 회로의 동작을 제어하기 위한 디지털 회로를 포함한다. 검출 회로는 전압이 입력되는 입력부, 기준 전압이 입력되는 배선, 병렬로 접속된 복수의 트랜지스터들을 갖는 트랜지스터부, 직렬로 접속된 복수의 다이오드들을 갖는 다이오드부, 제 1 저항 및 제 2 저항, 버퍼 회로, 및 판정 신호가 출력되는 출력부를 포함한다. 입력부는 제 1 저항의 한 단자 및 트랜지스터부의 소스에 전기적으로 접속된다. 제 1 저항의 다른 단자는 트랜지스터부의 게이트 및 다이오드부의 애노드에 전기적으로 접속된다. 다이오드부의 캐소드는 배선 및 제 2 저항의 한 단자에 전기적으로 접속된다. 트랜지스터부의 드레인 및 제 2 저항의 다른 단자는 버퍼 회로를 통해 출력부에 전기적으로 접속된다. 검출 회로의 검출 범위는 복수의 트랜지스터들의 수 및 복수의 다이오드들의 수에 의해 제어되고, 트랜지스터들의 수 및 다이오드들의 수는 가변적이다.

[0014] 다이오드부는 복수의 다이오드들 중 하나 이상의 애노드가 기준 전압이 입력되는 배선에 전기적으로 접속되는 접속부를 포함할 수 있다. 직렬로 접속된 다이오드들의 수는 접속부를 전기적으로 절단함으로써 증가될 수 있다. 다른 한편으로, 직렬로 접속된 다이오드들의 수는 기준 전압이 입력되는 배선에 복수의 다이오드들 중 하나 이상의 애노드를 전기적으로 접속함으로써 감소될 수 있다. 즉, 다이오드부에서, 직렬로 접속된 다이오드들의 수는 가변적이다. 또한, 트랜지스터부에서, 트랜지스터들의 수는 다이오드부와 유사한 구성이 채용되면 가변적이다.

[0015] 반도체 장치에서, 전압은 신호 전압 또는 전원 전압이다. 신호 전압은 정류 회로에 의해 생성되고, 전원 전압은 정전압 회로에 의해 생성된다.

[0016] 본 명세서에서, 출력 전압이 반도체 장치의 사양들 내에 있는지 또는 사양들 외에 있는지를 판정하기 위한 전압은 또한 판정 전압이라 칭한다. 검출 회로에 의해 검출된 범위는 판정 전압에 의해 판정된다.

발명의 효과

[0017] 반도체 장치 내로의 검출 회로의 통합은 신뢰성의 향상, 전력 소비의 저감, 수율의 간단한 추정, 비용의 감소 등을 초래한다.

도면의 간단한 설명

[0018] 도 1은 반도체 장치의 개념을 도시하는 도면.

도 2는 반도체 장치를 도시하는 도면.

도 3은 반도체 장치를 도시하는 도면.

도 4는 반도체 장치를 도시하는 도면.

도 5는 반도체 장치를 도시하는 도면.

도 6은 반도체 장치를 도시하는 도면.

도 7은 반도체 장치를 도시하는 도면.

도 8은 반도체 장치를 도시하는 도면.

도 9는 반도체 장치를 도시하는 도면.

도 10은 반도체 장치를 도시하는 도면.

도 11a 내지 도 11g는 반도체 장치의 용례들을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명의 실시 형태들이 도면들을 참조하여 상세히 설명될 것이다.
- [0020] 본 발명은 이하의 설명에 한정되는 것은 아니고, 모드들 및 상세들은 본 발명의 사상 및 범주로부터 벗어나지 않고 다양한 방식들로 수정될 수 있다는 것이 당 기술 분야의 숙련자들에게 명백하다는 것을 주목하라.
- [0021] 따라서, 본 발명은 이하에 제공된 실시 형태들의 설명에 한정되는 것으로서 해석되어서는 안된다.
- [0022] 이하에 설명된 본 발명의 구성들에서, 유사한 부분들 또는 유사한 기능을 갖는 부분들은 유사한 도면 부호들로 나타내고, 그 설명은 생략된다.
- [0023] (실시 형태 1)
- [0024] 이 실시 형태에서, 출력 전압이 반도체 장치의 사양 내에 있는지 사양 외에 있는지 여부를 검출하는 기능을 갖는 반도체 장치의 구성의 예가 도 1 및 도 2를 참조하여 설명될 것이다.
- [0025] 먼저, 반도체 장치가 도 2를 참조하여 간략하게 설명된다. 도 2에서, 반도체 장치(200)는 무선 통신을 수행하는 RFID 태그이고, 안테나 회로(201), 아날로그 회로(100), 디지털 회로(202) 및 메모리 회로(203)를 포함한다.
- [0026] 안테나 회로(201)는 판독기/기록기(210)로부터 전파들을 수신한다. 아날로그 회로(100)는 안테나 회로(201)에 의해 수신된 신호로부터 전원 전압 및 신호 전압을 생성하고, 이어서 전압들을 출력한다. 디지털 회로(202)는 선택 회로(스위치 회로)를 포함하여 다른 회로부들을 제어한다. 다음, 데이터가 디지털 회로(202)로부터의 신호에 따라 메모리 회로(203)로/로부터 기록되고/판독된다. 메모리 회로(203)로의 데이터의 기록은 신호 전압이 승압 회로에 의해 승압된 후에 수행될 수 있다.
- [0027] 이 때, 반도체 장치(200)는 반도체 장치(200)의 사양들 내의 출력 전압(미리 결정된 범위 이내의 전압)이 아날로그 회로(100)로부터 얻어지면 정상적으로 동작한다.
- [0028] 그러나, 통신이 판독기/기록기(210)와 반도체 장치(200) 사이의 먼 거리에서 수행될 때 또는 결함부가 반도체 장치(200) 내에 존재할 때와 같은 몇몇 경우들에 반도체 장치(200)의 사양들 외의 출력 전압(미리 결정된 범위 외의 전압)이 얻어진다. 이러한 경우에, 반도체 장치(200)가 정상적으로 동작하는 것이 곤란하다.
- [0029] 따라서, 이 실시 형태에서, 아날로그 회로(100)는 아날로그 회로(100)의 출력 전압이 반도체 장치(200)의 사양들 내에 있는지 사양들 외에 있는지 여부를 판정하는 기능을 가져, 사양들 내의 출력 전압이 얻어질 수 있고 반도체 장치(200)가 정상으로 동작할 수 있게 된다. 이러한 아날로그 회로(100)의 구성이 이하에 설명될 것이다.
- [0030] 도 1은 아날로그 회로(100) 내의 출력 전압을 검출하는 기능의 개념을 도시하는 도면이다. 도 1에서, 검출 회로(102)가 아날로그 회로(100) 내에 제공되고, 아날로그 회로(100)의 출력 전압(101)을 검출하는 기능을 갖는다.
- [0031] 먼저, 출력 전압(101)이 검출 회로(102)에 입력된다. 검출 회로(102)는 출력 전압(101)을 검출하고, 출력 전압(101)이 반도체 장치(200)의 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 판정한다.
- [0032] 출력 전압(101)이 미리 결정된 범위 내에 있는 전압인 경우에, 출력 전압(101)은 사양들 내에 있는 것으로서 판정된다(단계 103). 다음에, 판정 신호 HIGH(1)이 검출 회로(102)로부터 출력되어(단계 104), 반도체 장치(200)를 동작시킨다(단계 105).
- [0033] 다른 한편으로, 출력 전압(101)이 미리 결정된 범위 외의 전압인 경우에, 출력 전압(101)은 사양들 외에 있는 것으로서 판정된다(단계 106). 다음에, 판정 신호 LOW(0)가 검출 회로(102)로부터 출력되어(단계 107), 반도체 장치(200)의 동작을 정지시킨다(단계 108). 반도체 장치(200)의 동작을 정지시키는 것에 추가하여, 에러 코드가 출력될 수 있다.
- [0034] 검출 회로(102)의 구성은, 출력 전압이 사양들 내에 있을 때 신호 LOW(0)가 출력되고 출력 전압이 사양들 외에 있을 때 신호 HIGH(1)이 출력되도록 변경될 수도 있다는 것을 주목하라.
- [0035] 이 실시 형태의 반도체 장치에서, 아날로그 회로는 출력 전압을 검출하는 기능을 갖고, 이에 의해 반도체 장치가 정상적으로 동작할 수 있다.

[0036] 게다가, 미약한 신호 또는 불량에 기인하는 반도체 장치의 오동작을 방지하는 것이 가능하여, 신뢰성의 향상 및 전력 소비의 저감을 초래한다.

[0037] 반도체 장치(200)는 전술된 구성에 한정되는 것은 아니라, 중앙 처리 유닛(이하, CPU라 칭함), 센서 소자, 인터페이스 회로 등을 포함할 수 있다.

[0038] 반도체 장치(200)는 전원(축전부)을 내장하는 능동형과, 외부로부터 전파들(또는 전자기파들)의 전력을 이용하여 동작하는 수동형으로 넓게 분류된다. 더욱이, 외부로부터 전파들(또는 전자기파들)의 전력을 이용하여 전원(축전부)을 충전하는 반능동형이라 칭하는 반도체 장치가 또한 존재한다. 이 실시 형태에서, 반도체 장치(200)는 판독기/기록기(210)로부터 전자기파들을 수신하는 수동형이고, 전자기파들의 전력을 공급받음으로써 동작하지만, 본 발명은 이에 한정되는 것은 아니다. 즉, 반도체 장치(200)는 능동형 또는 반능동형일 수 있다.

[0039] 게다가, 본 발명에 사용될 수 있는 안테나의 형상에 어떠한 특정한 한정도 없다. 따라서, 반도체 장치(200) 내에 포함된 안테나 회로(201)는 전자기 결합 방식, 전자기 유도 방식 또는 전파 방식과 같은 다양한 신호 송신 방식들을 채택할 수 있다. 송신 방식은 반도체 장치의 용례를 고려하여 실시자에 의해 적절하게 선택될 수 있고, 최적의 길이 및 형상을 갖는 안테나가 송신 방식에 따라 제공될 수 있다.

[0040] 전자기 결합 방식 또는 전자기 유도 방식(예를 들어, 13.56 MHz 대역)이 신호 송신 방식으로서 사용되면, 자기장 밀도의 변화에 의해 발생된 전자기 유도가 이용된다. 따라서, 안테나로서 기능하는 도전막이 고리형(예를 들어, 루프 안테나) 또는 나선형(예를 들어, 나선형 안테나)으로 형성된다.

[0041] 전파 방식들의 일종인 마이크로파 방식(예를 들어, UHF 대역(860 MHz 내지 960 MHz 대역) 또는 2.45 GHz 대역)이 송신 방식으로서 사용되면, 안테나로서 기능하는 도전막의 길이 또는 형상은 신호 송신을 위해 사용된 전파들의 파장을 고려하여 적절하게 결정될 수 있다. 예를 들어, 안테나로서 기능하는 도전막은 선형 형상(예를 들어, 다이폴 안테나) 또는 평탄한 형상(예를 들어, 패치 안테나)으로 형성될 수 있다. 안테나로서 기능하는 도전막의 형상은 선형 형상에 한정되는 것은 아니라, 전자기파들의 파장을 고려하여 곡선, 미엔더형 또는 이들의 조합일 수도 있다.

[0042] 메모리 회로(203)는 적어도 반도체 장치(200)에 고유한 데이터(개체 식별 정보(ID))를 기억한다. 메모리 회로(203)는 디지털 회로(202)로부터의 신호에 따라 데이터를 기록/판독하는 제어 회로 및 메모리 소자를 갖는 회로를 포함한다. 메모리 회로(203)는 유기 메모리, DRAM, SRAM, FeRAM(ferroelectric random access memory), 마스크 ROM, PROM(programmable read only memory), EPROM(electrically programmable read only memory), EEPROM(electrically erasable programmable read only memory) 및 플래시 메모리로부터 선택된 하나 이상의 종류의 메모리들을 포함한다. 기억된 데이터의 내용이 반도체 장치(200)에 고유한 데이터(개체 식별 정보(ID)와 같은)이면, 전원이 없이 데이터를 유지할 수 있는 비휘발성 메모리가 사용될 수 있다. 반도체 장치(200)가 프로세스를 수행할 때 데이터가 일시적으로 기억되면, 휘발성 메모리가 사용될 수 있다. 특히 반도체 장치(200)가 배터리를 포함하지 않는, 즉 소위 수동형인 경우에는, 비휘발성 메모리가 사용될 수 있다. 더욱이, 재기록 불가능 메모리가 보안을 고려하여 반도체 장치(200)에 고유한 데이터를 기억하는데 사용될 수 있다.

[0043] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.

[0044] (실시 형태 2)

[0045] 이 실시 형태에서는, 메모리 회로(203)로의 기록 전압이 반도체 장치의 사양들 내에 있는지(미리 결정된 범위 내의 전압) 또는 사양들 외에 있는지(미리 결정된 범위 외의 전압)의 여부를 검출하기 위한 구성을 갖는 반도체 장치의 예에 대한 설명이 이루어질 것이다.

[0046] 도 2에서, 반도체 장치의 사양들 내의 기록 전압이 메모리 회로(203)에 입력될 때, 메모리 회로(203)로의 기록 동작이 정상적으로 수행될 수 있다. 그러나, 통신이 판독기/기록기(210)와 반도체 장치(200) 사이의 먼 거리에서 수행될 때 또는 결합부가 반도체 장치(200) 내에 존재할 때와 같은 몇몇 경우에 사양들 외의 기록 전압이 얻어진다. 이러한 경우에, 메모리 회로(203)는 정상적으로 동작할 수 없고, 메모리 회로(203)로의 기록 동작이 정상적으로 수행되는 것이 곤란하다.

[0047] 이 실시 형태의 반도체 장치에서, 아날로그 회로(100)는 메모리 회로(203)로의 기록 전압이 반도체 장치의 사양들 내에 있는지 여부를 검출하는 기능을 갖는다. 사양들 내의 기록 전압이 얻어지는 경우에, 메모리 회로(203)로의 기록 동작이 수행된다.

[0048] 도 3은 아날로그 회로(100)의 구성을 도시한다. 아날로그 회로(100)는 정류 회로(301), 검출 회로(102) 및 정

전압 회로(302)를 포함한다. 검출 회로(102)는 메모리 회로(203)로의 기록 전압이 반도체 장치의 사양들 내에 있는지 여부를 검출하고 메모리 회로(203)로의 기록 동작이 수행되는지 여부를 판정하는 기능을 갖는다.

[0049] 도 3에 도시된 회로의 동작이 이하에 설명될 것이다.

[0050] 먼저, 안테나 회로(201)에 의해 생성된 AC 신호가 정류 회로(301)에 입력된다. 정류 회로(301)는 입력 전압을 정류하고 평활화하여 신호 전압(VIN)(전압의 명칭은 VIN에 한정되는 것은 아님)을 생성하고, 생성된 신호를 검출 회로(102), 정전압 회로(302) 및 메모리 회로(203)에 송신한다. 정류 회로(301)는 단지 입력 전압만을 정류 할 수 있다는 것을 주목하라. 정전압 회로(302)는 신호 전압(VIN)에 따라 전원 전압을 생성한다. 신호 전압(VIN)에 기초하는 기록 전압이 메모리 회로(203)에 입력된다. 기록 전압은 승압 회로에 의해 신호 전압(VIN)을 승압함으로써 얻어진 전압일 수 있다.

[0051] 정류 회로(301)는 다이오드, 캐패시터 등을 포함한다. 정전압 회로(302)는 레귤레이터(regulator) 등이다. 정류 회로(301) 및 정전압 회로(302)는 임의의 공지된 회로 구성을 이용할 수 있다.

[0052] 검출 회로(102)는 비교기 회로 등을 포함하고, 신호 전압(VIN)을 모니터링한다. 신호 전압(VIN)이 모니터링의 결과로서 반도체 장치의 사양들 내에 있는 것으로 판명되면, HIGH(1) 신호가 VIN_DETECT(신호의 명칭은 VIN_DETECT에 한정되는 것은 아님)로서 출력된다. 다른 한편으로, 신호 전압(VIN)이 반도체 장치의 사양들 외에 있는 것으로 판명되면, LOW(0) 신호가 VIN_DETECT로서 출력된다.

[0053] 검출 회로(102)로부터의 출력 신호(VIN_DETECT)는 디지털 회로(202) 내의 선택 회로(스위치 회로)에 입력된다. 디지털 회로(202)는 출력 신호(VIN_DETECT)에 따라 선택 회로(스위치 회로)를 제어한다.

[0054] 출력 신호(VIN_DETECT)가 HIGH(1)인 경우에, 디지털 회로(202)는 선택 회로(스위치 회로)를 통해 메모리 회로(203)에 기록 전압을 공급하여, 메모리 회로(203)로의 기록 동작이 수행되게 된다. 다른 한편으로, 출력 신호(VIN_DETECT)가 LOW(0)인 경우에, 선택 회로(스위치 회로)는 기록 전압이 메모리 회로(203)에 공급되지 않도록 제어되어, 이에 의해 기록 동작이 정지된다. 즉, 회로 동작은 신호 전압(VIN)이 반도체 장치의 사양들 외에 있으면 정지될 수 있다.

[0055] 전술된 바와 같이, 검출 회로(102)에 의해 신호 전압(VIN)을 검출함으로써, 기록 동작은 신호 전압(VIN)이 반도체 장치의 사양들 외에 있는 경우에 정지될 수 있다. 따라서, 기록 동작의 신뢰성이 향상될 수 있다.

[0056] 더욱이, 신호 전압(VIN)이 반도체 장치의 사양들 외에 있는 경우에 기록 동작이 정지될 때, 기록 전압은 메모리 회로(203)에 공급되지 않아, 전력 소비의 저감을 초래한다.

[0057] 신호 전압(VIN)이 사양들 내에 있을 때 신호 LOW(0)가 출력 신호(VIN_DETECT)로서 출력될 수 있고, 신호 전압(VIN)이 사양들 외에 있을 때 신호 HIGH(1)이 출력 신호(VIN_DETECT)로서 출력될 수 있다는 것을 주목하라.

[0058] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.

[0059] (실시 형태 3)

[0060] 이 실시 형태에서는, 전원 전압이 반도체 장치의 사양들 내에 있는지(미리 결정된 범위 내의 전압) 또는 사양들 외에 있는지(미리 결정된 범위 외의 전압)의 여부를 검출하기 위한 구성을 갖는 반도체 장치의 예에 대한 설명이 이루어질 것이다.

[0061] 도 2에서, 메모리 회로(203)는 아날로그 회로(100)에 의해 생성된 전원 전압이 반도체 장치의 사양들 내에 있는 경우에 정상적으로 동작할 수 있다. 그러나, 통신이 판독기/기록기(210)와 반도체 장치(200) 사이의 먼 거리에서 수행될 때 또는 결합부가 반도체 장치(200) 내에 존재할 때와 같은 몇몇 경우에 사양들 외의 전원 전압이 얻어진다. 이러한 경우에, 요구 전원 전압이 메모리 회로(203)에 공급되지 않고, 메모리 회로(203)가 정상적으로 동작하는 것이 곤란하다.

[0062] 전원 전압은 메모리 회로(203)에만 공급되는 것이 아니라, 다른 회로들이 포함되는 경우 각각의 회로에 대한 전원으로서 공급될 수 있다는 것을 주목하라.

[0063] 이 실시 형태의 반도체 장치에서, 아날로그 회로(100)는 전원 전압이 반도체 장치의 사양들 내에 있는지 여부를 검출하는 기능을 갖는다. 사양들 내의 전원 전압이 얻어지는 경우에, 전원이 메모리 회로(203)에 공급된다.

[0064] 도 4는 전원 전압을 검출하는 기능을 갖는 아날로그 회로(100)의 구성을 도시한다. 아날로그 회로(100)는 정류 회로(301), 정전압 회로(302) 및 검출 회로(102)를 포함하고, 검출 회로(102)가 제공되어 있는 위치를 제외하고

는 실시 형태 2와 유사하다. 검출 회로(102)는 전원 전압이 반도체 장치의 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 검출하고 전원이 메모리 회로(203)에 공급되는지 여부를 판정하는 기능을 갖는다.

[0065] 도 4에 도시된 회로의 동작이 이하에 설명될 것이다.

[0066] 정전압 회로(302)는 정류 회로(301)로부터의 신호 전압(VIN)에 따라 전원 전압(VDD)을 생성하고(전압들의 명칭들은 VIN 및 VDD에 한정되는 것은 아님), 검출 회로(102)에 전원 전압을 출력한다. 검출 회로(102)는 전원 전압(VDD)을 모니터링하고, 전원 전압이 반도체 장치의 사양들 내에 있으면 신호(VDD_DETECT)(신호의 명칭은 VDD_DETECT에 한정되는 것은 아님)로서 HIGH(1) 신호를 출력한다. 다른 한편으로, 전원 전압(VDD)이 반도체 장치의 사양들 외에 있으면, LOW(0)이 VDD_DETECT로서 출력된다.

[0067] 검출 회로(102)로부터의 출력 신호(VDD_DETECT)는 디지털 회로(202) 내의 선택 회로(스위치 회로)에 입력된다. 디지털 회로(202)는 출력 신호(VDD_DETECT)에 따라 선택 회로(스위치 회로)를 제어한다.

[0068] 출력 신호(VDD_DETECT)가 HIGH(1)인 경우에, 디지털 회로(202)는 선택 회로(스위치 회로)를 통해 메모리 회로(203)에 기록 전압을 공급하여, 메모리 회로(203)로의 기록 동작이 수행되게 된다. 다른 한편으로, 출력 신호(VDD_DETECT)가 LOW(0)인 경우에, 선택 회로(스위치 회로)는 기록 동작을 정지하도록 제어된다. 즉, 회로 동작은 전원 전압(VDD)이 반도체 장치의 사양들 외에 있으면 정지될 수 있다.

[0069] 전술된 바와 같이, 검출 회로(102)에 의해 전원 전압(VDD)을 검출함으로써, 반도체 장치(200)의 동작은 전원 전압(VDD)이 반도체 장치의 사양들 외에 있는 경우에 정지될 수 있다. 따라서, 반도체 장치(200)의 신뢰성이 향상될 수 있다.

[0070] 게다가, 회로 동작은 전원 전압(VDD)이 사양들 외에 있는 경우에 정지되고, 이는 전력 소비의 저감을 초래한다.

[0071] 전원 전압(VDD)이 사양들 내에 있을 때 신호 LOW(0)가 출력 신호(VDD_DETECT)로서 출력될 수 있고, 전원 전압(VDD)이 사양들 외에 있을 때 신호 HIGH(1)이 출력 신호(VDD_DETECT)로서 출력될 수 있다는 것을 주목하라.

[0072] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.

[0073] (실시 형태 4)

[0074] 신호 전압(VIN)을 검출하기 위한 회로 및 전원 전압(VDD)을 검출하기 위한 회로가 각각 실시 형태 2 및 실시 형태 3에 설명되었다. 그러나, 본 발명이 적용될 수 있는 반도체 장치는 이러한 회로 구성에 한정되는 것은 아니다.

[0075] 본 발명의 반도체 장치는 신호 전압(VIN)을 검출하기 위한 회로 및 전원 전압(VDD)을 검출하기 위한 회로의 양자 모두를 포함하는 구성을 가질 수 있고, 또는 신호 전압(VIN) 및 전원 전압(VDD)이 하나의 회로에 의해 검출되는 구성을 가질 수도 있다.

[0076] 아날로그 회로(100)는 정류 회로(301) 및 정전압 회로(302)에 추가하여, 리미터 회로, 복조 회로 또는 변조 회로와 같은 회로부를 가질 수 있다. 이들 회로들로부터의 출력 전압이 검출 회로에 의해 검출될 수 있다.

[0077] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.

[0078] (실시 형태 5)

[0079] 이 실시 형태에서, 실시 형태 1 내지 실시 형태 4에 설명된 검출 회로들의 구성의 예가 구체적으로 설명될 것이다. 회로 구성은 이 실시 형태에 나타낸 것에 한정되는 것은 아니라, 유사한 기능을 갖는 다른 구성들이 적절하게 사용될 수 있다.

[0080] 도 5는 입력부(500), P-형 트랜지스터(또한 트랜지스터부라 칭함)(501), 제 1 저항(502), 제 2 저항(503), 다이오드부(504), 제 1 인버터(505) 및 제 2 인버터(506)를 갖는 베퍼 회로(507), 및 출력부(508)를 포함하는 검출 회로의 구체적인 구성을 도시한다.

[0081] 입력부(500)는 도 3에서 정류 회로(301)에, 도 4에서 정전압 회로(302)에 접속된다.

[0082] 출력부(508)는 도 3 및 도 4에서 디지털 회로(202)에 접속된다.

[0083] 다이오드부(504)는 하나 또는 복수의 다이오드들을 포함할 수 있다. 복수의 다이오드들이 다이오드부(504) 내에 포함되는 경우에, 이들은 바람직하게는 직렬로 접속되어 전류가 일 방향으로 흐르게 된다. 즉, 다이오드부(504)의 한 단자는 애노드이고, 다른 단자는 캐소드이다. 다이오드들의 수는 반도체 장치(200)의 사양 전압에

따라 결정될 수 있다는 것을 주목하라.

[0084] 신호 전압(VIN)이 입력되는 배선인 입력부(500)는 제 1 저항(502)의 한 단자 및 P-형 트랜지스터(501)의 소스에 전기적으로 접속된다. 제 1 저항(502)의 다른 단자는 다이오드부(504)의 애노드 및 P-형 트랜지스터(501)의 게이트에 전기적으로 접속된다. 다이오드부(504)의 캐소드는 기준 전위(Vss)에 있는 배선 및 제 2 저항(503)의 한 단자에 전기적으로 접속된다. 제 1 인버터(505)의 입력 단자는 P-형 트랜지스터(501)의 드레인 및 제 2 저항(503)의 다른 단자에 전기적으로 접속된다. 제 2 인버터(506)의 입력 단자는 제 1 인버터(505)의 출력 단자에 전기적으로 접속되고, 제 2 인버터(506)의 출력 단자는 출력부(508)에 전기적으로 접속된다. 기준 전위(Vss)는 입력부의 전위보다 낮은 임의의 전위일 수 있고, 접지 전위일 수 있다는 것을 주목하라. 기준 전위(Vss)가 접지 전위인 경우에, 반도체 장치(200) 내의 다른 접지 전위가 공급될 수 있다.

[0085] 다이오드부(504)로는, PN 다이오드, PIN 다이오드, 쇼트키 다이오드(Schottky diode), 다이오드-접속된 N-형 트랜지스터, 또는 다이오드-접속된 P-형 트랜지스터가 사용될 수 있다.

[0086] 도 6은 다이오드-접속된 N-형 트랜지스터들이 도 5의 다이오드부(504)에 사용되는 예를 도시하고, 도 7은 다이오드-접속된 P-형 트랜지스터들이 도 5의 다이오드부(504)에 사용되는 예를 도시한다. 도 5 내지 도 7에 도시된 회로들은 유사한 방식으로 동작한다.

[0087] 신호 전압(VIN)이 입력되는 경우의 회로의 동작 원리가 도 5를 참조하여 설명될 것이다.

[0088] 먼저, 신호 전압(VIN)이 입력부(500)로부터 입력된다. 다이오드부(504)의 2개의 단자들 사이의 전위차가 다이오드부(504)의 전압 강하의 값 이상이면, 전류는 다이오드부(504)를 통해 그리고 또한 제 1 저항(502)을 통해 흐른다. 따라서, 노드 b에서의 전위는 노드 a에서의 전위보다 낮다. 노드 a와 노드 b 사이의 전위차, 즉 P-형 트랜지스터(501)의 게이트와 소스 사이의 전위차(Vgs)가 P-형 트랜지스터(501)의 임계 전압 이상일 때, P-형 트랜지스터(501)가 펀온되어 전류가 흐르고, 따라서 노드 c에서의 전위가 VIN이 된다. 따라서, HIGH(1) 신호가 출력부(508)로부터 버퍼 회로(507)를 통해 신호(VIN_DETECT)로서 출력된다.

[0089] 다른 한편으로, 신호 전압(VIN)이 너무 작아 다이오드부(504)의 2개의 단자들 사이의 전위차가 다이오드부(504)의 전압 강하의 값 미만이 되면, 다이오드부(504)를 통해 거의 전류가 흐르지 않고, 따라서 노드 a와 노드 b 사이의 전위차가 P-형 트랜지스터(501)의 임계 전압 미만이 된다. 따라서, P-형 트랜지스터(501)가 펀오프되어 전류가 노드 c로 흐르지 않고, 따라서 노드 c는 항상 기준 전위(Vss)에 있게 된다. 따라서, LOW(0) 신호가 출력부(508)로부터 버퍼 회로(507)를 통해 신호(VIN_DETECT)로서 출력된다.

[0090] 제 1 저항(502)은 노드 a로부터 노드 b로의 전압 강하를 발생시키기 위해 제공된다. 제 2 저항(503)은 노드 c로부터 기준 전위로의 전압 강하를 발생시키기 위해 제공된다. 제 1 저항 및 제 2 저항은 저항 소자들에 한정되는 것은 아니라, 양 단자들 사이의 전위차를 갖는 다른 소자들일 수도 있다는 것을 주목하라.

[0091] 전술된 검출 회로의 동작은 신호 전압(VIN)이 반도체 장치의 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 판정하는 것을 가능하게 한다.

[0092] 유사한 기능을 갖는 회로가 전원 전압(VDD)이 반도체 장치의 사양들 내에 있는지 또는 사양들 외에 있는지 여부를 판정하는 것을 또한 가능하게 한다.

[0093] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.

[0094] (실시 형태 6)

[0095] 이 실시 형태는 그 회로 구성이 사양 전압에 따라 변경되어 있는 실시 형태 1 내지 실시 형태 5에 설명된 검출 회로들의 예를 나타낸다.

[0096] 도 8은 도 6에 도시된 회로의 레이아웃이다. 도 8은 입력부(500), P-형 트랜지스터(501), 제 1 저항(502), 제 2 저항(503), 다이오드-접속된 N-형 트랜지스터들을 갖는 다이오드부(504), 버퍼 회로(507) 및 출력부(508)를 포함하는 회로를 도시한다. 도 8의 도면 부호들은 도 6의 것들에 대응한다. 여기서, 다이오드부(504)는 도 7에 도시된 바와 같이 다이오드-접속된 P-형 트랜지스터들을 가질 수 있다.

[0097] 도 8에는, 반도체층(801), 게이트 배선으로서 기능하는 제 1 도전층(802), 및 소스 배선 및 드레인 배선(소스 배선 및 드레인 배선과 동일한 층을 사용하여 형성된 다른 배선들을 포함함)으로서 기능하는 제 2 도전층(803)이 도시되어 있고, 다른 절연층, 배선 등은 간략화를 위해 생략되어 있다.

- [0098] 반도체층(801)은 실리콘 또는 게르마늄과 같은 반도체, ZnO 또는 InGaZnO와 같은 산화물 반도체, 유기 반도체 등으로 제조될 수 있다. 반도체층(801)으로는, 비정질 반도체, 결정성 반도체, 단결정 반도체, 미결정 반도체 등이 사용될 수 있고, 도전성을 부여하는 원소가 이러한 반도체에 첨가될 수 있다. 원소로서, 인, 비소 등이 N-형 도전성을 부여하는데 사용될 수 있고, 봉소, 알루미늄 등이 P-형 도전성을 부여하는데 사용될 수 있다.
- [0099] 제 1 도전층(802)은 텅스텐, 탄탈, 티타늄, 알루미늄, 이러한 원소의 질화물, 이들의 조합 등으로 제조될 수 있다.
- [0100] 제 2 도전층(803)은 알루미늄 또는 알루미늄 합금으로 제조된다. 게다가, 몰리브덴, 크롬, 티타늄 등의 금속막이 제 2 도전층(803)의 상부층 및 하부층 상에 배리어 금속으로서 형성될 수 있다.
- [0101] 트랜지스터로서, MOS 트랜지스터, 박막 트랜지스터 등이 사용될 수 있다. 박막 트랜지스터의 구조에는 특정한 제한은 없고, 톱 게이트 구조, 보텀 게이트 구조 등이 사용될 수 있다.
- [0102] 도 9는 도 8의 다이오드부(504)의 확대도이다. 다이오드부(504)는 파선부(905) 및 파선부(906)를 포함한다. 입력부(907)가 노드 b에 전기적으로 접속되고, 신호 전압(VIN)이 입력부(907)에 입력된다. 기준 전압이 입력부(904)에 입력된다.
- [0103] 파선부(905)에서, 4개의 다이오드-접속된 N-형 트랜지스터들이 직렬로 접속된다. 트랜지스터들의 수는 4개에 한정되는 것은 아니다.
- [0104] 파선부(906)는 파선부(905)와 유사하게 4개의 N-형 트랜지스터들을 포함하지만, 파선부(906) 내의 모든 배선들은 기준 전위에 있다. 신호 전압(VIN)이 이 상태에서 입력될 때, 입력부(907)와 입력부(904) 사이의 전압 강하가 파선부(905)의 회로에서 발생한다.
- [0105] 이 때, 파선부(908)의 배선의 접속부가 전기적으로 절단되어, 이에 의해 5개의 다이오드-접속된 트랜지스터들이 직렬로 접속된다. 신호 전압(VIN)이 이 상태에서 입력될 때, 입력부(907)와 입력부(904) 사이의 전압 강하는 4개의 트랜지스터들이 접속되는 경우에 비교하여 증가한다.
- [0106] 유사하게, 파선부(909 내지 911)의 배선들의 접속부들이 적절하게 절단되어, 입력부(907)와 입력부(904) 사이의 전압 강하의 값이 변경될 수 있게 된다.
- [0107] 입력부(907)와 입력부(904) 사이의 전압 강하가 증가함에 따라, 더 적은 양의 전류가 입력부(907)와 입력부(904) 사이에 흐른다. 따라서, HIGH(1) 신호가 신호(VIN_DETECT)로서 출력되게 하기 위해(회로 동작이 수행됨), 더 큰 신호 전압(VIN)이 입력될 필요가 있다. 즉, 검출 범위는 더 엄격하게 검출하기 위해 변경된다.
- [0108] 배선들은 레이저 광 조사에 의해 전기적으로 절단될 수 있는데, 이는 반도체 장치의 제조 공정 중에 또는 제조 공정 후에 수행된다. 클래스 기판 또는 플라스틱 기판과 같은 사용된 기판의 종류에 무관하게, 전기적 절단은 레이저 광의 초점을 조정함으로써 높은 정확도로 수행될 수 있다. 전기적 절단은 제조 공정 중이면 에칭 등에 의해 성취될 수 있다. 대안적으로, 스위치 소자가 배선들 사이에 제공되어 배선들이 전기적으로 전달될 수 있게 한다.
- [0109] 더욱이, 직렬 접속된 다이오드들의 수는 파선부(905) 내의 제 1 도전층(802) 또는 제 2 도전층(803)을 사용하여 형성된 배선이 기준 전위에 있는 배선에 접속될 때 감소될 수 있다. 배선들은 추가로 제공된 도전층에 의해 서로 전기적으로 접속될 수도 있다.
- [0110] 전술된 바와 같이, 검출 회로의 검출 범위는 다이오드들의 수가 가변적인 레이아웃을 채용함으로써 변경될 수 있다. 달리 말하면, 그 검출 범위가 반도체 장치의 사양 전압에 따라 변경될 수 있는 검출 회로를 제조하는 것이 가능하다.
- [0111] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.
- [0112] (실시 형태 7)
- [0113] 이 실시 형태는 그 회로 구성이 사양 전압에 따라 변경되는 실시 형태 1 내지 실시 형태 5에 설명된 검출 회로들의 예를 나타낸다.
- [0114] 도 10은 도 8에 도시된 검출 회로의 레이아웃에서 P-형 트랜지스터(501)(트랜지스터부)의 확대도이다.
- [0115] 도 10에서, 파선부(1001)는 P-형 트랜지스터가 제 1 도전층(802) 및 제 2 도전층(803)을 사용하여 형성된 배선

들을 통해 회로에 전기적으로 접속되는 부분이다.

[0116] 파선부(1002)에서, 2개의 P-형 트랜지스터들이 전기적 부유 상태에 있다.

[0117] 파선부(1001) 내의 P-형 트랜지스터가 작은 전류 공급 능력을 가지면, 이는 파선부(1002) 내의 P-형 트랜지스터에 병렬로 접속된다. P-형 트랜지스터들이 서로 병렬로 접속될 때, 채널폭(채널 형성 영역에서 캐리어들의 이동 방향에 수직인 방향에서의 길이)은 더 커지게 될 수 있고, 이는 트랜지스터의 전류 공급 능력의 증가를 초래한다.

[0118] P-형 트랜지스터들은 추가로 제공된 도전층에 의해 서로 병렬로 접속될 수 있다.

[0119] 다른 한편으로, 3개의 P-형 트랜지스터들이 병렬로 접속되는 레이아웃을 채용하는 경우에, 트랜지스터들의 수는 배선을 전기적으로 절단함으로써 감소될 수 있다. 배선의 전기적 절단은 실시 형태 6에 나타낸 방법에 의해 성취될 수 있다.

[0120] 전술된 바와 같이, 검출 회로의 검출 범위는 트랜지스터들의 채널폭이 가변적인 레이아웃을 채용함으로써 변경될 수 있다. 달리 말하면, 그 검출 범위가 반도체 장치의 사양 전압에 따라 변경될 수 있는 검출 회로를 제조하는 것이 가능하다.

[0121] 더욱이, 도 8의 제 1 저항(502) 또는 제 2 저항(503)은 이 실시 형태 또는 실시 형태 6에 나타낸 구조를 채용할 수 있어, 저항값이 변경될 수 있게 된다. 검출 회로의 검출 범위는 또한 제 1 저항(502) 또는 제 2 저항(503)의 저항을 변경함으로써 변경될 수 있다.

[0122] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.

[0123] (실시 형태 8)

[0124] 이 실시 형태에서, 반도체 장치의 용례들이 설명될 것이다.

[0125] 반도체 장치의 적용 범위는 매우 광범위하고, 이력과 같은 제품에 대한 정보가 비접촉 방식으로 인식되고 생산, 관리 등에 이용되게 하기 위해 임의의 제품에 적용될 수 있다. 예를 들어, 반도체 장치는 지폐들, 동전들, 유가 증권들, 증서들, 무기명 채권들, 포장 용기들, 서적들, 기록 매체, 개인 소지품들, 차량들, 식품들, 의류들, 건강 용품들, 생활 용품들, 약품들 및 전자 기기들에 내장될 수 있다. 이러한 제품들의 예는 도 11a 내지 도 11g를 참조하여 설명될 것이다.

[0126] 지폐들 및 주화들은 시장에서 유통되는 화폐이고, 특정 지역에서 화폐와 동일한 방식으로 사용될 수 있는 것(현금 바우처), 기념 주화 등을 포함한다. 유가 증권들은 수표들, 증권들, 약속 어음들 등을 칭한다(도 11a 참조). 증서들은 운전 면허증들, 거주자 증명서들 등을 칭한다(도 11b 참조). 개인 소지품들은 가방들, 안경 등을 칭한다(도 11c 참조). 무기명 채권들은 인지들(stamps), 쌀 쿠션들(rice coupons), 다양한 상품권들 등을 칭한다. 포장 용기들은 도시락 용기용 포장지 등, 플라스틱 병들 등을 칭한다(도 11d 참조). 서적들은 경표지 책들(hardbacks), 종이표지책들(paperbacks) 등을 칭한다(도 11e 참조). 기록 매체는 DVD 소프트웨어, 비디오 테이프들 등을 칭한다(도 11f 참조). 차량은 자전거들과 같은 바퀴가 달린 차량들, 선박들 등을 칭한다(도 11g 참조).

[0127] 도 11a 내지 도 11g에 도시된 제품들은 무선 통신을 수행하는 반도체 장치들(1100 내지 1106)을 각각 구비할 수 있다.

[0128] 식품들은 음식들, 음료들 등을 칭한다. 의류들은 의복들, 신발들 등을 칭한다. 건강 용품들은 의료 기구들, 건강 기구들 등을 칭한다. 생활 용품들은 가구, 조명 기구들 등을 칭한다. 약품들은 의약품, 농약들 등을 칭한다. 전자 기기들은 액정 디스플레이 디바이스들, EL 디스플레이 디바이스들, 텔레비전 세트들(텔레비전 수신기들, 박형 텔레비전 수신기들), 휴대폰들 등을 칭한다. 이러한 제품들은 본 명세서에 설명된 반도체 장치를 구비할 수 있다.

[0129] 이러한 반도체 장치는 제품의 표면에 부착되거나 제품 내에 임베딩됨으로써 제공될 수 있다. 예를 들어, 서적의 경우에, 반도체 장치는 종이 내에 임베딩될 수 있고, 유기 수지로 제조된 패키지의 경우에 반도체 장치는 유기 수지 내에 임베딩될 수 있다.

[0130] 이와 같이 포장 용기들, 기록 매체, 개인 소지품들, 식품들, 의류들, 생활 용품들, 전자 기기들 등 내에 반도체 장치를 제공함으로써, 검사 시스템, 대여점 등에서 사용되는 시스템 등의 효율이 향상될 수 있다. 게다가, 차

량들 내에 반도체 장치를 제공함으로써, 위조 또는 도난이 방지될 수 있다. 더욱이, 반도체 장치가 동물들과 같은 생물들 내에 이식될 때, 각각의 생물이 용이하게 식별될 수 있다. 예를 들어, 가축과 같은 생물 내에 또는 생물에 센서를 갖는 반도체 장치를 이식하거나 부착함으로써, 현재 체온과 같은 건강 상태 뿐만 아니라 생년 월일, 성별, 품종 등이 용이하게 관리될 수 있다.

[0131] 이 실시 형태는 본 명세서에 설명된 다른 실시 형태들과 적절하게 조합하여 구현될 수 있다.

[0132] 본 출원은 2008년 9월 29일자로 일본 특허청에 출원된 일본 특허 출원 제 2008-251131호에 기초하고, 이 출원의 전체 내용은 본 명세서에 참조로서 포함되어 있다.

부호의 설명

[0133] 100: 아날로그 회로

101: 출력 전압

102: 검출 회로

103 내지 108: 단계

200: 반도체 장치

201: 안테나 회로

202: 디지털 회로

203: 메모리 회로

210: 판독기/기록기

301: 정류 회로

302: 정전압 회로

500: 입력부

501: P-형 트랜지스터

502: 제 1 저항

503: 제 2 저항

504: 다이오드부

505: 제 1 인버터

506: 제 2 인버터

507: 베퍼 회로

508: 출력부

801: 반도체층

802: 제 1 도전층

803: 제 2 도전층

904: 입력부

905: 파선부

906: 파선부

907: 입력부

908: 파선부

909: 파선부

910: 파선부

911: 파선부

1001: 파선부

1002: 파선부

1100: 반도체 장치

1101: 반도체 장치

1102: 반도체 장치

1103: 반도체 장치

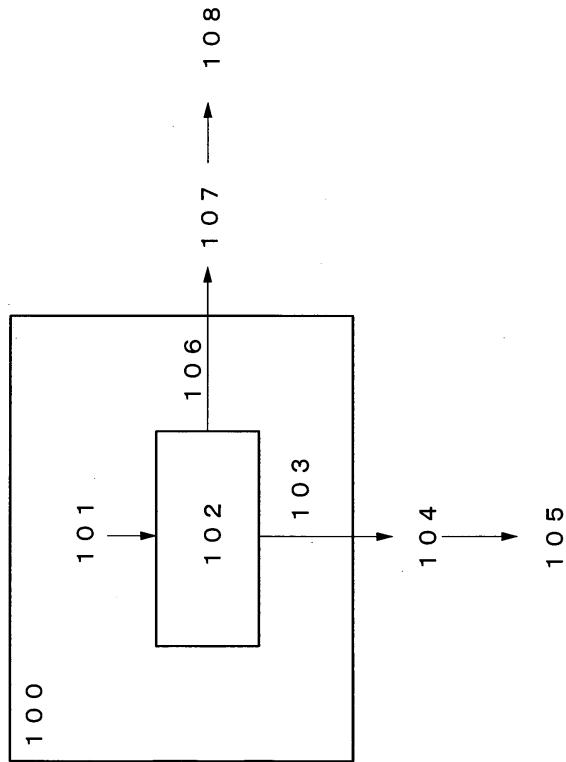
1104: 반도체 장치

1105: 반도체 장치

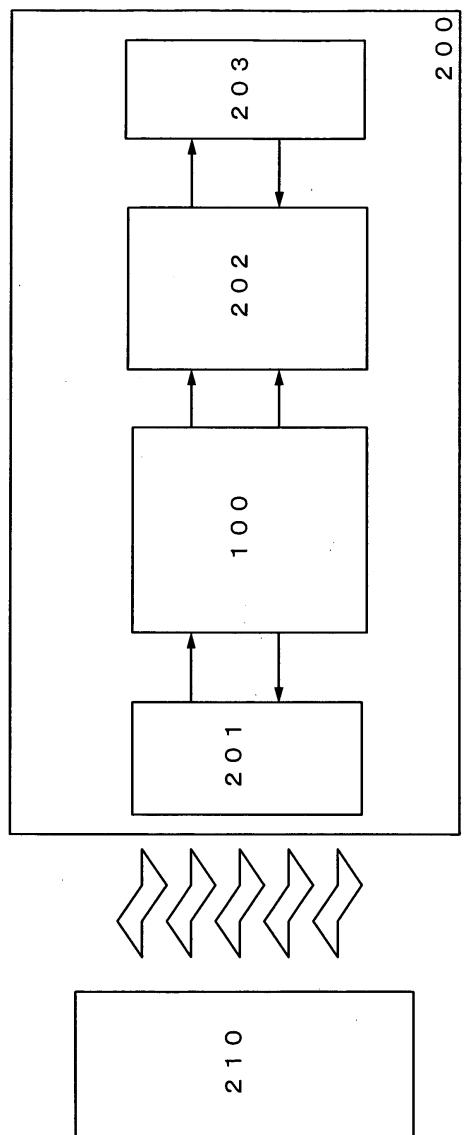
1106: 반도체 장치

도면

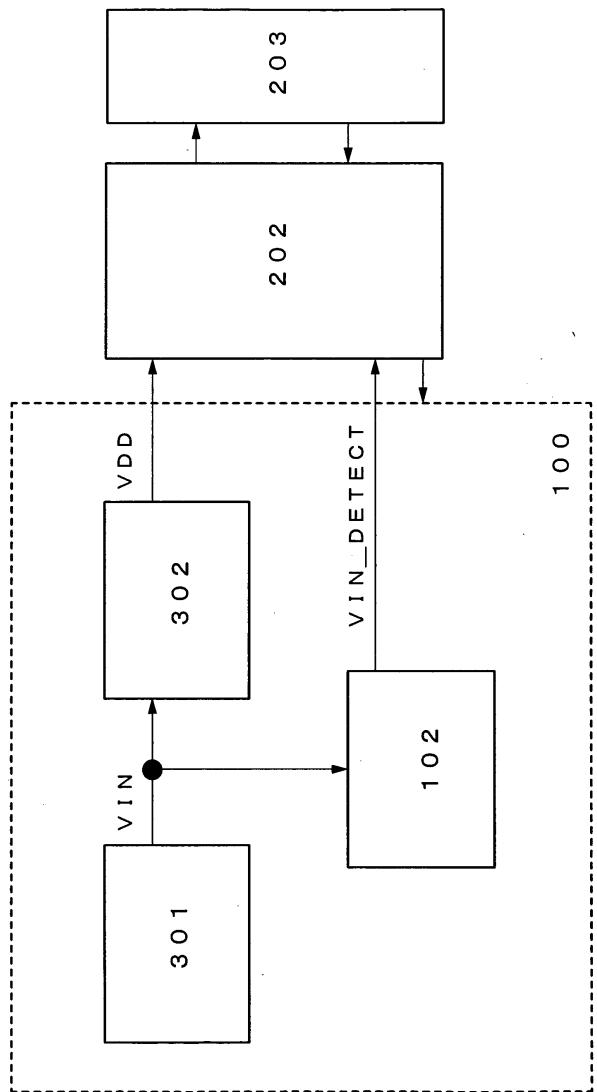
도면1



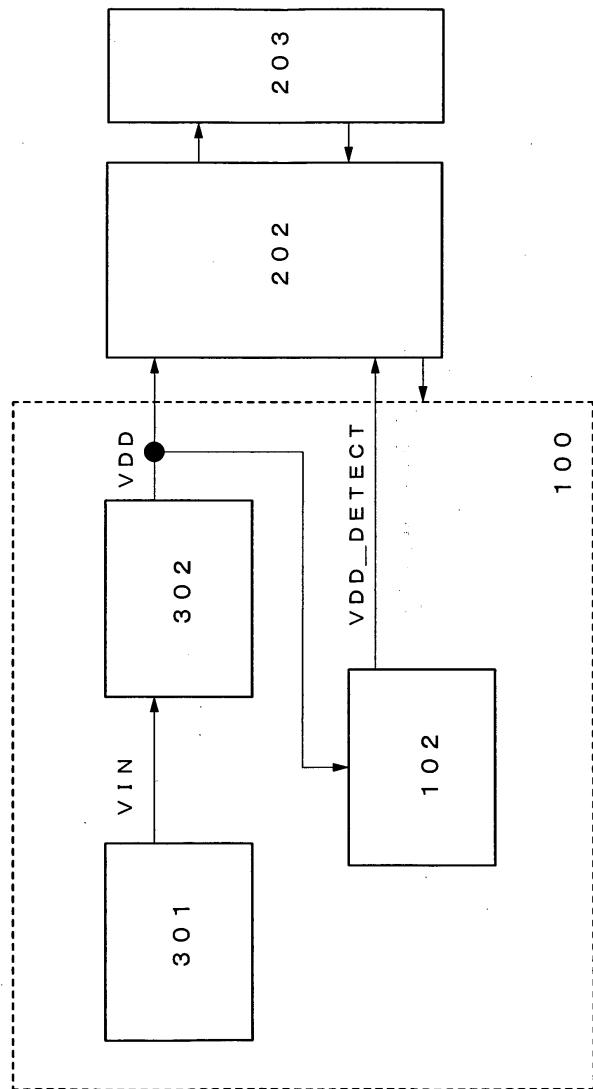
도면2



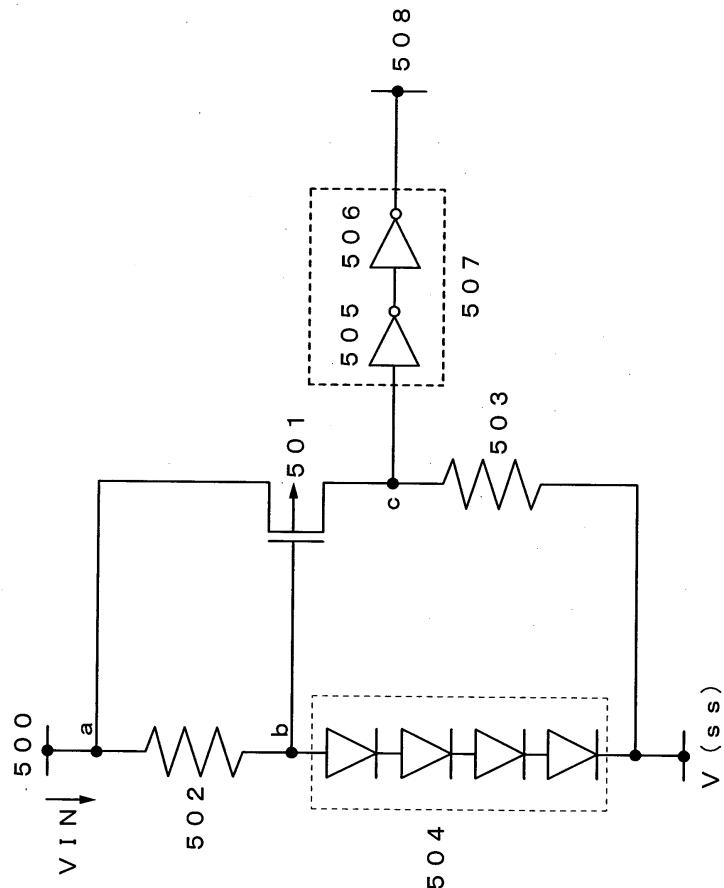
도면3



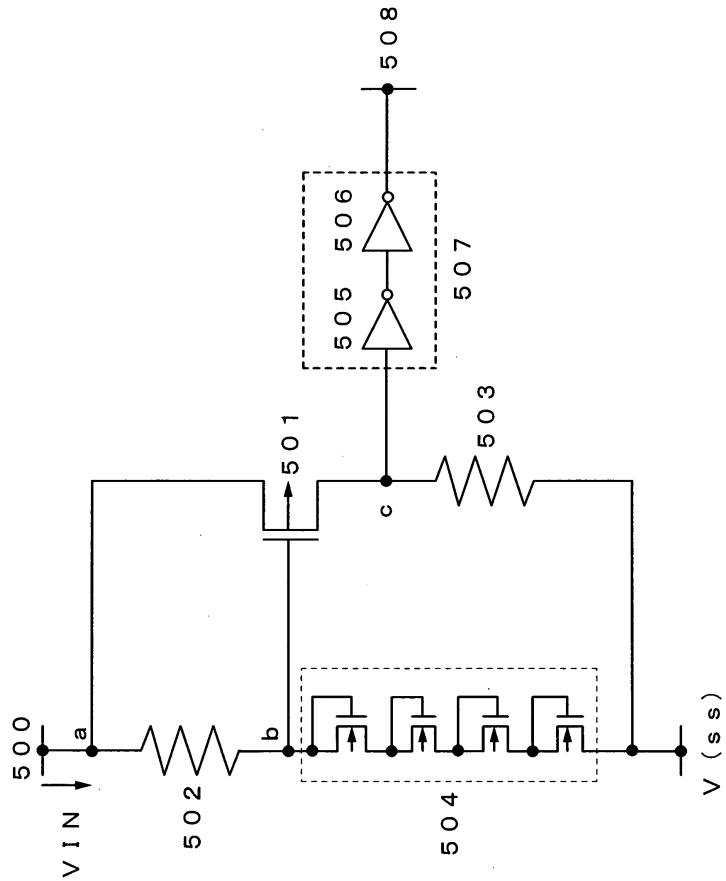
도면4



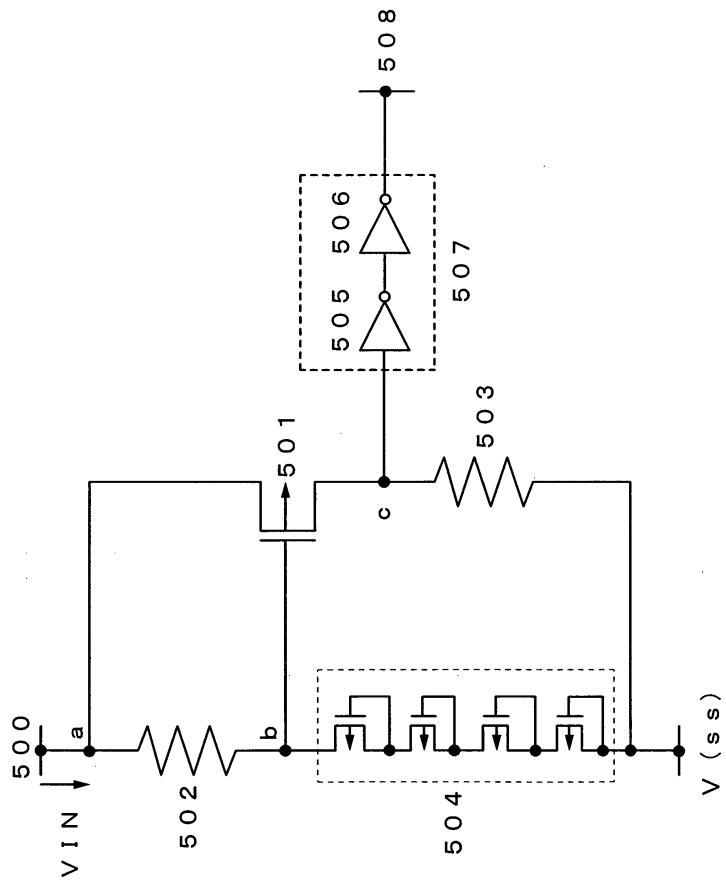
도면5



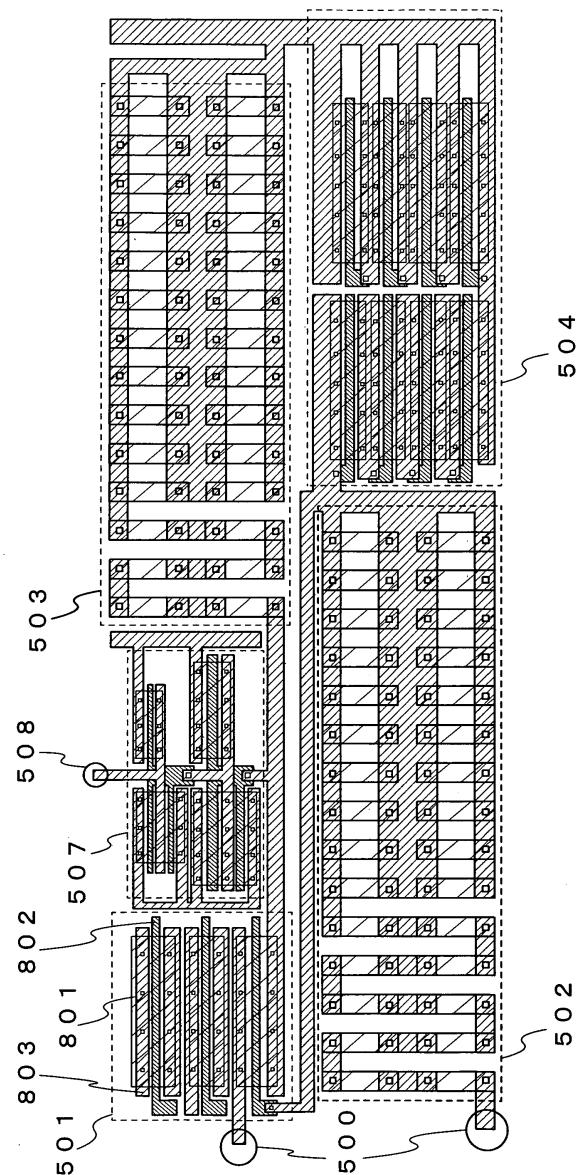
도면6



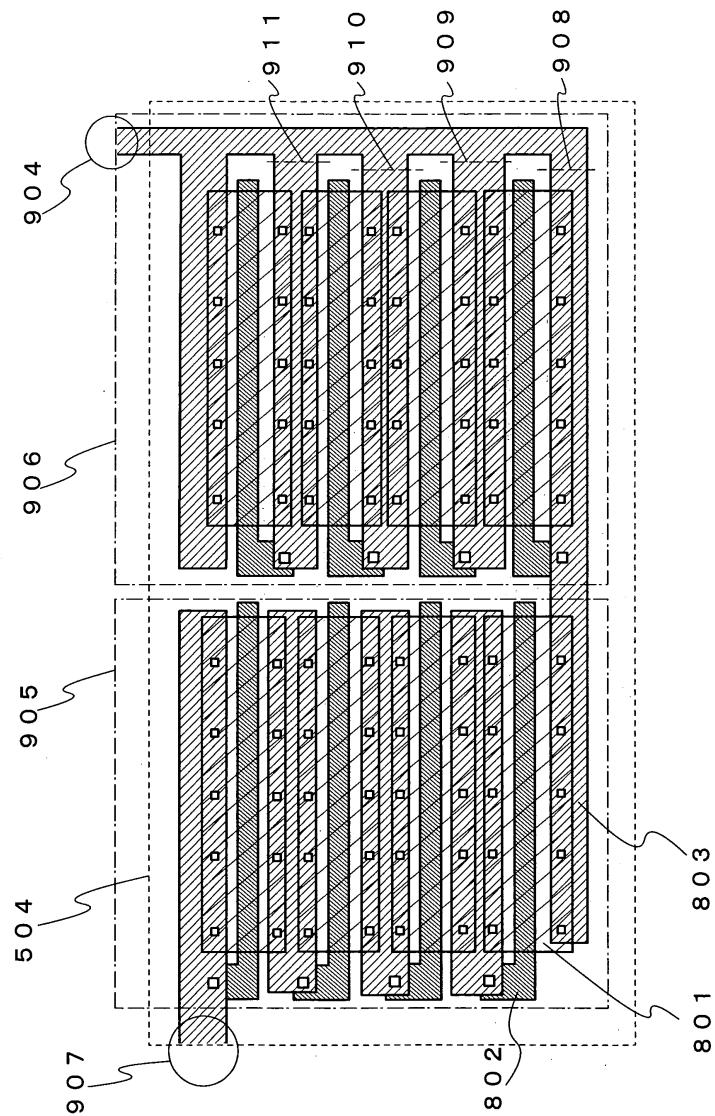
도면7



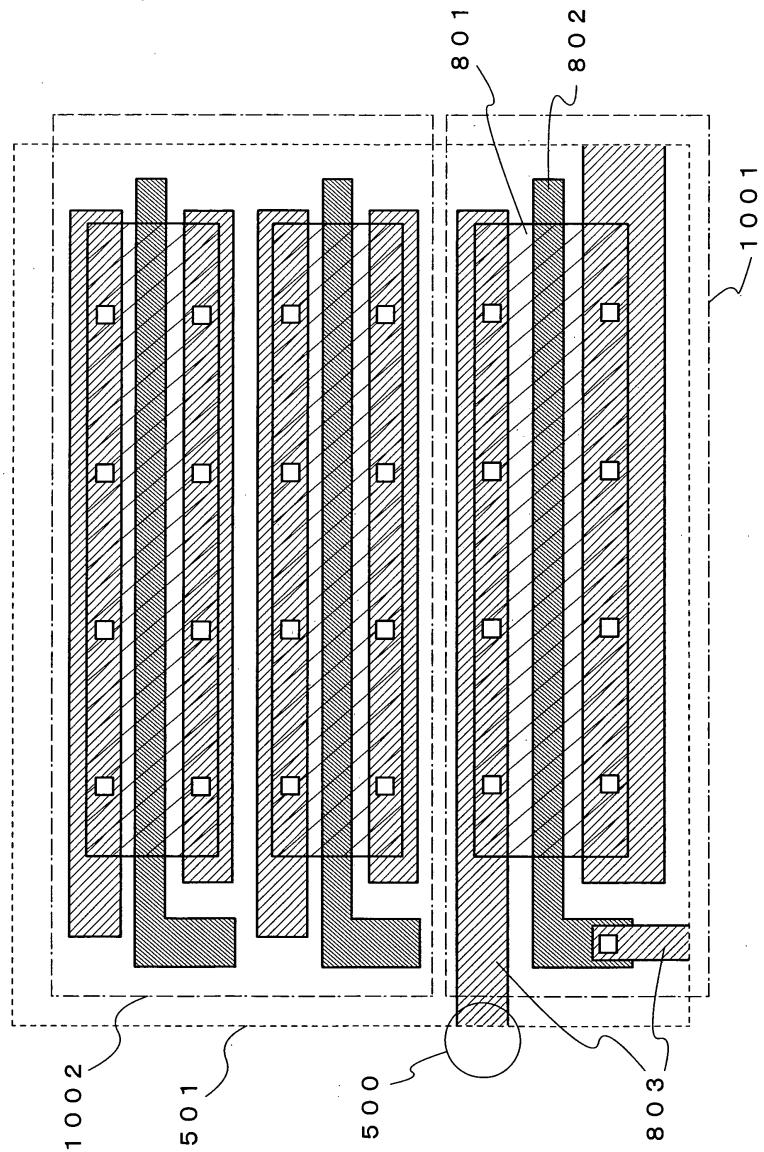
도면8



도면9



도면10



도면11

