

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6568735号
(P6568735)

(45) 発行日 令和1年8月28日 (2019.8.28)

(24) 登録日 令和1年8月9日 (2019.8.9)

(51) Int. Cl.	F I
H O 1 L 21/8234 (2006.01)	H O 1 L 27/088 C
H O 1 L 27/088 (2006.01)	H O 3 K 17/687 F
H O 3 K 17/687 (2006.01)	H O 1 L 29/06 3 O 1 F
H O 1 L 29/06 (2006.01)	H O 1 L 29/78 6 2 1
H O 1 L 21/336 (2006.01)	H O 1 L 27/088 3 3 1 A
請求項の数 11 (全 13 頁) 最終頁に続く	

(21) 出願番号	特願2015-142562 (P2015-142562)	(73) 特許権者	509186579
(22) 出願日	平成27年7月17日 (2015.7.17)		日立オートモティブシステムズ株式会社
(65) 公開番号	特開2017-27999 (P2017-27999A)		茨城県ひたちなか市高場2520番地
(43) 公開日	平成29年2月2日 (2017.2.2)	(74) 代理人	100098660
審査請求日	平成29年11月20日 (2017.11.20)		弁理士 戸田 裕二
		(72) 発明者	和田 真一郎
			東京都千代田区丸の内一丁目6番6号 株
			式会社 日立製作所内
		(72) 発明者	大島 隆文
			茨城県ひたちなか市高場2520番地 日
			立オートモティブシステムズ株式会社内
		(72) 発明者	池ヶ谷 克己
			茨城県ひたちなか市高場2520番地 日
			立オートモティブシステムズ株式会社内
		最終頁に続く	

(54) 【発明の名称】 スイッチ素子及び負荷駆動装置

(57) 【特許請求の範囲】

【請求項1】

複数の制御用電極と、
 アクティブ素子領域と、
 非アクティブ素子領域と、を備え、
 前記非アクティブ素子領域は、前記制御用電極の配列方向に対して平行な方向および前記制御用電極の配列方向に対して垂直な方向に、前記アクティブ素子領域を囲むようにそれぞれ設けられ、

前記制御用電極の配列方向に対して垂直な方向に設けられた非アクティブ素子領域は、前記アクティブ素子領域に対して、前記制御用電極下で隣り合って形成され、

前記非アクティブ素子領域のソース領域には、前記アクティブ素子領域のソースを形成する領域の不純物層とは逆の極性をもつ不純物層が形成されていることを特徴とするスイッチ素子。

【請求項2】

請求項1記載のスイッチ素子において、
 前記スイッチ素子は半導体基板を備え、
 前記制御用電極は前記半導体基板上に実装されることを特徴とするスイッチ素子。

【請求項3】

請求項2記載のスイッチ素子において、
 前記スイッチ素子は前記半導体基板上に設けられた絶縁用トレンチを備え、

10

20

前記アクティブ素子領域と前記非アクティブ素子領域とは、前記絶縁用トレンチに囲まれるように設けられ、

前記非アクティブ素子領域は、前記絶縁用トレンチと前記アクティブ素子領域との間に設けられていることを特徴とするスイッチ素子。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載のスイッチ素子において、

前記スイッチ素子は、電流駆動用スイッチ素子と並列に接続され、前記電流駆動用スイッチ素子による負荷に対する通電電流を検出するための電流検出用スイッチ素子であるスイッチ素子。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載のスイッチ素子において、

前記制御用電極はドレインドリフト領域まで延長したフィールドプレート領域を備えるスイッチ素子。

【請求項 6】

請求項 3 記載のスイッチ素子において、

前記半導体基板は S O I 基板であって、前記絶縁用トレンチの深さは S i 活性層の厚さに等しく、

前記アクティブ素子領域と前記絶縁用トレンチとの距離が、少なくとも前記絶縁用トレンチの深さより大きくなるように、前記非アクティブ素子領域が形成されていることを特徴とするスイッチ素子。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載のスイッチ素子において、

前記非アクティブ素子領域は、
前記制御用電極の配列方向に対して平行に配置された第 1 の非アクティブ素子領域と、
前記制御用電極の配列方向に対して垂直に配置された第 2 の非アクティブ素子領域とを備え、

前記第 2 の非アクティブ素子領域の制御用電極は、前記アクティブ素子領域のソースと電氣的に接続されていることを特徴とするスイッチ素子。

【請求項 8】

請求項 1 乃至 6 のいずれかに記載のスイッチ素子において、

前記非アクティブ素子領域は、
前記制御用電極の配列方向に対して平行に配置された第 1 の非アクティブ素子領域と、
前記制御用電極の配列方向に対して垂直に配置された第 2 の非アクティブ素子領域を備え、

前記第 2 の非アクティブ素子領域のドレインは、前記アクティブ素子領域のソースと電氣的に接続されていることを特徴とするスイッチ素子。

【請求項 9】

請求項 4 記載のスイッチ素子において、

前記電流検出用スイッチ素子の制御用電極間の間隔は、前記電流駆動用スイッチ素子の制御用電極の間隔に等しいことを特徴とするスイッチ素子。

【請求項 10】

請求項 9 記載のスイッチ素子において、

前記電流検出用スイッチ素子の制御用電極幅は、前記電流駆動用スイッチ素子の制御用電極幅に比べて $1/100$ 以下であることを特徴とするスイッチ素子。

【請求項 11】

電流駆動用スイッチ素子と、前記電流駆動用スイッチ素子に並列に接続されて前記電流駆動用スイッチ素子の通電電流を検出するための電流検出用スイッチ素子と、を有する負荷駆動装置において、

少なくとも前記電流検出用スイッチ素子は、複数の制御用電極と、
アクティブ素子領域と、

10

20

30

40

50

非アクティブ素子領域と、を備え、

前記非アクティブ素子領域は、前記制御用電極の配列方向に対して平行な方向および前記制御用電極の配列方向に対して垂直な方向に、前記アクティブ素子領域を囲むようにそれぞれ設けられ、

前記制御用電極の配列方向に対して垂直な方向に設けられた非アクティブ素子領域は、前記アクティブ素子領域に対して、前記制御用電極下で隣り合って形成され、

前記非アクティブ素子領域のソース領域には、前記アクティブ素子領域のソースを形成する領域の不純物層とは逆の極性をもつ不純物層が形成されていることを特徴とすることを特徴とする負荷駆動装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、電流検出用MOSFETなどのスイッチ素子、およびそれを用いた負荷駆動装置に関し、特にモータ、ソレノイドなどの電動アクチュエータを高い精度で制御するのに適した電流検出用MOSFETおよびそれを用いた負荷駆動装置に関する。

【背景技術】

【0002】

従来、アクティブ素子領域と、非アクティブ素子領域とを設けたスイッチ素子が知られている（例えば、特許文献1）。このスイッチ素子では、結晶欠陥でのリーク等による特性劣化を考慮して、非アクティブ素子領域のダミーゲートのピッチを設定することが記載されており、アクティブ素子領域の制御用電極は、非アクティブ素子領域には到達しないように設けられている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-149869号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記従来のスイッチ素子では、ゲート電極は少なくともアクティブ領域と非アクティブ領域で分離されているため、直線状のゲート電極をもつ横型MOSトランジスタにおいては分離部領域でオフ耐圧が低下してしまうおそれがある。

30

【0005】

そこで、本発明は、素子のオフ耐圧を低下させることなく、オン抵抗の特性変化を抑制することができるスイッチ素子及び負荷駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、制御用電極と、アクティブ素子領域と、非アクティブ素子領域と、を備え、前記アクティブ素子領域と前記非アクティブ素子領域とが前記制御用電極上で隣り合って形成されていることを特徴とする。

40

【発明の効果】

【0007】

本発明によれば、スイッチ素子のオフ耐圧を低下させることなく、オン抵抗の特性変化を抑制することができる。

【図面の簡単な説明】

【0008】

【図1】（a）は、本発明の実施例1にかかる電流検出用MOSFETの平面レイアウト図であり、（b）は、（a）のA1-A1'で示す領域における縦断面図であり、（c）は、（a）のA2-A2'で示す領域における縦断面図である。

【図2】本発明の実施例1にかかる電流検出用MOSFETと図3に示す比較例の構造の

50

MOSFETのオン抵抗増大の時間的な変化量を示す図である。

【図3】比較例の構造のMOSFETの平面レイアウト図である。

【図4】本発明の実施例1にかかる電流検出用MOSFETのオン抵抗増大の時間的な変化量について、非アクティブMOSFET領域の幅(Wy)依存性を示す図である。

【図5】(a)本発明の実施例2にかかる電流検出用MOSFETの平面レイアウト図であり、(b)は、(a)A1-A1'で示す領域における縦断面図であり、(c)は、(a)A2-A2'で示す領域における縦断面図である。

【図6】本発明の実施例3にかかる負荷制御及び電流制御装置における電流検出用MOSFETと電流駆動MOSFETの平面レイアウト図である。

【図7】本発明の実施例3にかかる負荷制御装置における回路図である。

10

【図8】ゲート幅比が1:2000でサイズが大きく異なる従来の電流検出用MOSFETと電流駆動用MOSFETのオン抵抗の時間的な変化量を示す図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施の形態に係る電流検出用MOSFETとそれを用いた負荷制御装置について説明する。なお、本実施例ではNMOSFETを用いた場合を説明しているが、PMOSFETであってもよい。また、IGBTなどのバイポーラトランジスタであってもよい。

【実施例1】

【0010】

20

本発明の実施形態による電流検出用MOSFETの構造について図1を用いて説明する。図1(a)は実施例1による電流検出用MOSFETの平面レイアウト図である。また、図1(b)は図1(a)のA1-A1'で示す領域における縦断面図、図1(c)は図1(a)のA2-A2'で示す領域における縦断面図をそれぞれ示している。

【0011】

SOI層3を持つ半導体基板4上に絶縁膜を埋め込んだ絶縁用トレンチ5が形成され、埋め込み絶縁膜6上にフィールドプレート11aを有する複数のゲート電極層11bを持つMOSFETが形成される。MOSFETは、ゲート電極層11aに電圧を与えた時に、半導体基板4上に電流が流れるアクティブMOSFET領域1と、絶縁用トレンチ5とアクティブMOSFET領域1との間に半導体基板4上に電流が流れない非アクティブMOSFET領域2aが連続して形成されている。なお、非アクティブMOSFET領域2aは、ソース領域にソース13とは逆の極性となる不純物層を形成してソースを設けないことで形成されている。

30

【0012】

非アクティブMOSFET領域2aは、ゲート電極11aとドレイン12aに電圧を与えても、ソース13がなくキャリアとなる電子の注入がないためドレイン電流が流れない。

【0013】

一方、ゲート電極11aとソース13間の電圧が0となって、アクティブMOSFET領域1がオフ状態となった場合、非アクティブMOSFET領域2aの耐圧はアクティブMOSFET領域1のオフ耐圧と等しくなり、MOSFETのオフ耐圧は変ることがない。これは、ゲートフィールドプレート11a及びドレインドリフト9bがアクティブMOSFET領域1と非アクティブMOSFET領域2aに跨って連続して配置されているため、オフ耐圧を決めるドレインドリフト9b内の電界分布を両者で一致させることができるためである。

40

【0014】

さらに、絶縁用トレンチ5とアクティブMOSFET領域1との間のゲート電極層11b、及びドレイン12bはソース13と配線層16bを介して電氣的に接続されていて、半導体基板4上に電流が流れない非アクティブMOSFET領域2bが形成されている。

【0015】

50

ここで、発明者が本実施例の構造で測定した、ホットキャリア現象によるオン抵抗増大の時間的な変化量を図2に示す。比較例の構造は、図3に示すように、非アクティブMOSFET領域のない構造である。オン抵抗の増大割合量は比較例の構造では大きく、本実施例の構造では小さい。一方、図には記載されていないがアクティブMOSFET領域におけるゲート幅は互いに等しく、初期のオン抵抗値は互いに等しく、オフ耐圧も互いに等しい。

【0016】

また、発明者が非アクティブ領域の効果を検証するために、オン抵抗の変化量についてY方向の非アクティブ領域2aの幅(Wy)に対する依存性を測定した結果を図4に示す。ここでX方向の非アクティブ領域2bの幅(Wx)は12 μ mと一定としている。非アクティブ領域2の幅が増大すると共に、オン抵抗の変化量が減少し、幅が15 μ mと30 μ mの構造では差が見られず変化量は飽和する傾向があることがわかった。

10

【0017】

また、図には示していないが、X方向の非アクティブ領域2bの幅(Wx)の依存性もY方向の非アクティブ領域2aの幅(Wy)と同様に、幅の増大と共にオン抵抗の変化量は減少し、飽和する傾向があることがわかった。

【0018】

以上の結果を踏まえ、非アクティブ領域2aの幅は少なくとも絶縁用トレンチからの応力の影響が小さくなる絶縁用トレンチ深さ以上の距離をとることで、本発明における効果が奏される。

20

【0019】

また、例えば特開2010-258226号公報に記載されているように、ホットキャリア現象によるオン抵抗の変化は、STIエッジ部の酸化層とSi基板4との界面における電子トラップに起因することから、絶縁用トレンチ5に近接したMOSFETのSTIエッジ部は絶縁用トレンチ5から離れた領域にあるMOSFETのSTIエッジ部に比べて、酸化膜とSi基板4との界面における電子トラップの量が多くなっていると考えられる。

【0020】

ここで、電流検出用MOSFETは、電流駆動用MOSFETに比べてサイズが小さいため、絶縁用トレンチ近傍にあるMOSFET領域の占める割合が相対的に大きい。この結果、電流検出用MOSFETのオン抵抗の変化量が電流駆動用MOSFETに比べて大きくなっていると考えられる。

30

【0021】

本実施例によれば、電流検出用MOSFETにおいて、オン抵抗の変化量が大きい絶縁用トレンチ5に近接したMOSFET領域をドレイン電流が流れない非アクティブ領域2a、2bとして、絶縁用トレンチ5から離れたMOSFET領域をドレイン電流が流れるアクティブ領域1とする。これにより、ホットキャリア現象によるオン抵抗の変化量を低減でき、電流駆動用MOSFETと同程度とすることができる。この結果、電流センス比の時間変動を抑え、電流検出の精度を向上することができる。

【0022】

40

以上のとおり、本実施例のMOSFETは、半導体基板と、前記半導体基板上に設けられた絶縁用トレンチと、前記半導体基板上に、前記絶縁用トレンチに囲まれるように設けられ、埋め込み絶縁膜上に位置するゲート電極を有したMOSFET領域とを備え、前記ゲート電極はドレインドリフト領域まで延長したフィールドプレート領域を備え、前記MOSFET領域は、ドレイン電流が流れるアクティブMOSFET領域と、前記絶縁用トレンチと前記アクティブMOSFET領域との間に設けられたドレイン電流が流れない非アクティブMOSFET領域とが前記ゲート電極を跨いで連続して形成されている。

【0023】

かかる構成により、ホットキャリア現象によるMOSFETのオン抵抗の時間的な増大

50

量を低減することができる。さらに、ドレインドリフト領域の電界を緩和するフィールドプレート領域をアクティブMOSFET領域と非アクティブMOSFET領域に跨って連続して形成することにより、MOSFETのオフ耐圧を維持することができる。

【0024】

また、本実施例のMOSFETは、電流駆動用MOSFETと並列に接続され、前記電流駆動用MOSFETの通電電流を検出するための電流検出用MOSFETにおいて、前記半導体基板上に設けられた絶縁用トレンチと、前記絶縁用トレンチに囲まれるように設けられ、埋め込み絶縁膜上に位置するゲート電極とドレインドリフト領域までゲート電極を延長したフィールドプレート領域を有したMOSFET領域を備え、前記MOSFET領域は、ドレイン電流が流れるアクティブMOSFET領域と、前記絶縁用トレンチと前記アクティブMOSFET領域との間に設けられたドレイン電流が流れない非アクティブMOSFET領域を備えるようにしたものである。

10

【0025】

かかる構成により、電流センス比の時間変動を抑え、電流検出用MOSFETによる電流検出の精度を向上できるものとなる。

好ましくは、前記非アクティブMOSFET領域は、前記複数のゲート電極の配列方向に対して平行な方向と前記複数のゲート電極の配列方向に対して垂直な方向とにそれぞれ設けるようにして、前記非アクティブMOSFET領域のソース領域にはソースを形成する不純物層とは逆の極性をもつ不純物層が形成されているものである。

20

【0026】

かかる構成により、非アクティブMOSFET領域の構造をアクティブMOSFET領域のソース領域以外は同じ構造とすることができ、オフ耐圧などの特性を維持することができる。

【0027】

また、好ましくは、前記半導体基板はSOI基板であって、前記絶縁用トレンチの深さはSi活性層の厚さに等しく、前記アクティブMOSFET領域と前記絶縁用トレンチとの距離が、少なくとも前記絶縁用トレンチの深さより大きくなるように、前記非アクティブMOSFET領域が形成されているようにしたものである。

【0028】

かかる構成により、アクティブMOSFET領域において、絶縁用トレンチからSi基板への応力等の影響を低減できて、ホットキャリア現象によるMOSFETのオン抵抗の時間的な変化を抑えられるので、電流センス比の時間変動を抑え、電流検出用MOSFETによる電流検出の精度を向上できるものとなる。

30

【0029】

また、好ましくは、前記非アクティブMOSFET領域は、前記複数のゲート電極の配列の方向に対して平行に配置された第1の非アクティブMOSFET領域と、前記複数のゲート電極の配列の方向に対して垂直に配置された第2の非アクティブMOSFET領域を備え、前記第2の非アクティブMOSFET領域のゲート電極は、前記アクティブMOSFET領域のソースと電氣的に接続するようにしたものである。

また、好ましくは、前記非アクティブMOSFET領域は、前記複数のゲート電極の配列の方向に対して平行に配置された第1の非アクティブMOSFET領域と、前記複数のゲート電極の配列の方向に対して垂直に配置された第2の非アクティブMOSFET領域を備え、前記第2の非アクティブMOSFET領域にはゲート電極が無く、前記第2の非アクティブMOSFET領域のドレインと前記アクティブMOSFET領域のソースが電氣的に接続するようにしたものである。

40

【0030】

かかる構成により、電流検出用MOSFETのオフ耐圧性能を低下させることなく、さらにアクティブMOSFET領域の電流性能を変えることなく、電流センス比の変動を抑えることができ、その結果、電流検出用MOSFETによる電流検出の精度を向上できる。

50

【0031】

また、本実施例のMOSFETは、電流駆動用MOSFETと、前記電流駆動用MOSFETに並列に接続されて前記電流駆動用MOSFETの通電電流を検出するための電流検出用MOSFETを有する負荷制御及び電流制御装置において、前記電流検出用MOSFETは、前記半導体基板上に設けられた絶縁用トレンチと、前記半導体基板上に、前記絶縁用トレンチに囲まれるように設けられ、埋め込み絶縁膜上に位置するゲート電極を有したMOSFET領域を備え、前記ゲート電極はドレインドリフト領域まで延長したフィールドプレート領域を備え、前記MOSFET領域は、アクティブMOSFET領域と、前記絶縁用トレンチと前記アクティブMOSFET領域との間に設けられた非アクティブMOSFET領域とが前記ゲート電極を跨いで連続して形成されていて、前記電流検出用MOSFETのゲート電極間の間隔は、前記駆動用MOSFETのゲート電極の間隔に等しくなるようにしたものである。

10

【0032】

かかる構成により、電流駆動用MOSFETと電流検出用MOSFETのホットキャリアによるオン抵抗の増大量差を抑えられ、電流センス比の時間的変動を抑えることができるので、負荷制御装置の電流制御の精度を向上できる。

また、好ましくは、前記電流検出用MOSFETのゲート幅は、前記駆動用MOSFETのゲート幅に比べて $1/100$ 以下となるようにしたものである。

【0033】

かかる構成により、電流検出用MOSFETに流れる検出電流は、電流駆動用MOSFETに流れる駆動電流に対して十分小さくできるので、負荷制御装置の損失を低減することができる。

20

【0034】

以下、上記スイッチ素子の構造を電流検出用MOSFETに適用することに関する意義を説明する。

【0035】

近年、車載搭載部品の電子制御化が進むに従って、モータ、ソレノイドなどの電動アクチュエーターが多く用いられるようになってきている。電動アクチュエーターの制御を高精度化するためには、電動アクチュエーターの駆動電流値を高精度に制御することが必要となる。このため、電動アクチュエーターの駆動電流値を精度良く検出することが求められる。

30

【0036】

駆動電流値を精度良く検出する方法の中で、抵抗素子を用いる方法と比べて、比較的損失が少なく高効率に行う方法として、駆動電流を出力する電流駆動用MOSFETに、電流検出を行う電流検出用MOSFETを並列に接続する方法がある（例えば、特開2006-203415号公報参照）。電流駆動用MOSFETに対して、電流検出用MOSFETのゲート幅を $1/100$ から $1/1000$ 程度とすることで、電流検出用MOSFETに流れる電流は、電流駆動用MOSFETに流れる駆動電流に対して $1/100$ から $1/1000$ 程度とできるため、低損失な電流検出ができる。

【0037】

40

ここで、MOSFETはオン動作時における電流のインパクトイオン化による酸化膜中への電子トラップ現象（ホットキャリア現象）によって、電気特性の劣化が生じる。特に、 $0.25\mu\text{m}$ 世代以下の微細プロセスを用いたLDMOSFETの場合、厚い酸化膜としてSTI（Shallow Trench Isolation）を多用しているが、STIのコーナー部にはオン動作時における電流集中が発生して、オン抵抗は時間と共に増大する（例えば、特開2010-258226号公報）。

【0038】

一方、電流検出用MOSFETによる電流検出の精度は、電流駆動用MOSFETと電流検出用MOSFETの電流比（センス比：分子を電流検出用MOSFETの電流値、分母を電流駆動用MOSFETの電流値とする）の精度に依存する。このため、前述したホ

50

ットキャリア現象による、MOSFETのオン抵抗の増大は、電流駆動用MOSFETと電流検出用MOSFETのそれぞれの電流変化の割合が同じである限りにおいて、電流センス比は変わらないために問題とならない。

【0039】

しかしながら、半導体基板上に形成した絶縁分離を目的としたトレンチで囲われた複数のゲートをもつMOSFETでは、MOSFETのゲート幅、すなわちサイズが異なった、電流駆動用MOSFETと電流検出用MOSFETで、ホットキャリア現象によるオン抵抗の増大割合量が異なる現象が今回見出された(図8)。オン抵抗が増大する割合量はサイズの大きい電流駆動用MOSFETに比べサイズの小さい電流検出用MOSFETで大きいため、電流センス比は動作時間と共に低下する。このため、電流検出の電流検出用MOSFETを用いた負荷制御及び電流制御装置において電流検出の精度が低下するという問題もある。

10

【0040】

その点、上記のスイッチ素子であれば、ホットキャリア現象によるオン抵抗の時間的な変化量を低減することができる電流検出用のMOSFETを得ることができる。また、電流センス比の時間変動を抑え、電流検出用MOSFETによる駆動電流量の検出精度を向上できる電流検出用MOSFETを提得することができる。

【実施例2】

【0041】

次に実施例2による電流検出用MOSFETの構造について図5を用いて説明する。図5(a)は本実施例による電流検出用MOSFETの平面レイアウト図である。また、図5(b)は図5(a)のA1-A1'で示す領域における縦断面図、図5(c)は図5(a)のA2-A2'で示す領域における縦断面図をそれぞれ示している。

20

【0042】

SOI層3を持つ半導体基板4上に絶縁膜を埋め込んだ絶縁用トレンチ5が形成され、埋め込み絶縁膜6上にフィールドプレートを有する複数のゲート電極層11aを持つMOSFETが形成される。MOSFETは、ゲート電極層11aに電圧を与えた時に、半導体基板4上に電流が流れるアクティブMOSFET領域1と、絶縁用トレンチ5とアクティブMOSFET領域1との間に半導体基板4上に電流が流れない非アクティブMOSFET領域2aが連続して形成されている。なお、非アクティブMOSFET領域2aは、ソース領域にソースとは逆の極性の不純物層を形成してソースを設けないことで形成されている。

30

【0043】

さらに、絶縁用トレンチ5とアクティブMOSFET領域1との間に位置するドレイン12bはソース13と配線層16bを介して電氣的に接続されていて、半導体基板4上に電流が流れない非アクティブMOSFET領域2bが形成されている。図1に示した記載の実施例1の構造と異なる点は、ゲート電極層11bが無いことであるが、ドレイン12bとソース13間には電圧がかからないために、非アクティブ領域2bのオフ耐圧を確保するためのフィールドプレートとなるゲート電極層11bが無くてもよい。

【0044】

40

これにより、図1に示した実施例1と同様に、電流駆動用MOSFETのオン抵抗の変化量を低減でき、電流駆動用MOSFETと同程度とすることができる。この結果、電流センス比の時間変動を抑え、電流検出の精度を向上することができる。

【実施例3】

【0045】

実施例3を図6と図7に基づいて説明する。図6は図7に示す電磁負荷として例えばリアソレノイドを用いた負荷制御装置34における、電流検出用MOSFET20と電流駆動用MOSFET21の平面レイアウト図を示す。電流検出用MOSFET20と電流駆動用MOSFET21はいずれも絶縁用トレンチ5で囲われていて、複数のゲート電極を持つと共に、電流検出用MOSFET20のゲート電極層11a、11bの間隔は、電

50

流駆動用MOSFET 21のゲート電極層11の間隔と電流駆動用MOSFET 21に等しい。これにより、単位ゲート長あたりのMOSFETの電流特性及びオフ耐圧は電流検出用MOSFET 20と電流駆動用MOSFET 21とで等しくなっている。

【0046】

電流検出用MOSFET 20は図1に示したように、絶縁用トレンチ5に近接したMOSFET領域を非アクティブ領域2a、2bとして、非アクティブ領域2a、2bに囲われた絶縁用トレンチ5から離れたMOSFET領域をアクティブ領域1とする。非アクティブ領域2bのゲート電極11b、及びドレイン12bはソース13と配線層16bにより電氣的に接続されている。また、アクティブ領域1と非アクティブ領域2aのゲート電極11aは電流駆動用MOSFET 21のゲート電極11と配線層18により電氣的に接続されている。さらに、アクティブ領域1と非アクティブ領域2aのドレイン12aは電流駆動用MOSFET 21のドレイン12と電氣的に接続されている。

10

【0047】

また、各MOSFETのソース13は図7に示すようにオペアンプに入力されて互いに仮想ショート状態になっているため、電流検出用MOSFET 27と電流駆動用MOSFET 26の各端子電圧は常に同じとなる。この結果、電流検出用MOSFET 27に流れる検出電流と、電流駆動用MOSFET 26に流れる駆動電流は、互いのゲート幅に比例する。図6において電流検出用MOSFET 20のゲート幅は電流駆動用MOSFET 21のゲート幅に対して、 $1/100 \sim 1/5000$ と小さく、電流検出用MOSFET 20に流れる検出電流は十分小さいため、低損失な電流制御が可能である。また、電流検出用MOSFET 20のサイズは、電流駆動用MOSFET 21のサイズに比べて十分小さく、電流検出用MOSFET 20に非アクティブ領域2a、2bを設けることによる、チップサイズ増大の影響は小さい。また、各実施例における先の説明の通り、電流検出用MOSFET 27のオン抵抗の変化量を低減でき、電流駆動用MOSFET 26のオン抵抗の変化量とほぼ等しくでき、電流センス比の変動を抑えることができ、負荷制御装置における電流制御を向上することができる。

20

【0048】

また、図7において、ハイサイド電流検出回路22の電流検出用MOSFET 25においても先に述べたローサイド電流検出回路23の電流検出用MOSFET 27と同様な効果が奏される。

30

【0049】

上記実施形態では、制御用電極としてのゲートとソースとドレインとを有するMOSFETを例に説明したが、これに限定されるものではなく、本発明は、例えば制御用電極としてのベースとコレクタとエミッタとを有するバイポーラトランジスタなど、他のスイッチ素子にも適用することができる。

【符号の説明】

【0050】

- 1 アクティブMOSFET領域
- 2a 非アクティブMOSFET領域 (y方向)
- 2b 非アクティブMOSFET領域 (x方向)
- 3 SOI層
- 4 Si基板
- 5 絶縁用トレンチ
- 6 STI (Shallow Trench Isolation)
- 7 ドレインを除くSTIが形成されないMOSFET領域
- 8 Body領域
- 9a アクティブMOSFET領域と非アクティブMOSFET領域 (2a) のドレインドリフト層
- 9b 非アクティブMOSFET領域 (2b) のドレインドリフト層
- 10 ゲート酸化膜

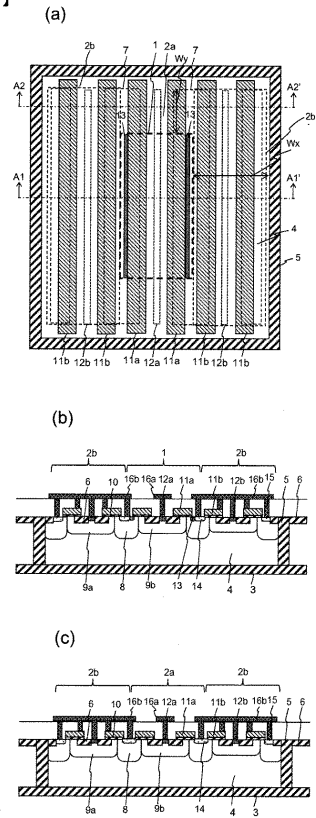
40

50

1 1 a	アクティブMOSFET領域と非アクティブMOSFET領域（2 a）のゲート電極層	
1 1 b	非アクティブMOSFET領域（2 b）のゲート電極層	
1 2 a	アクティブMOSFET領域と非アクティブMOSFET領域（2 a）のドレイン	
1 2 b	非アクティブMOSFET領域（2 b）のドレイン	
1 3	ソース	
1 4	Body接続用の不純物拡散層	
1 5	配線層接続コンタクト	
1 6 a	ドレイン配線層	10
1 6 b	非アクティブMOSFET領域（2 b）とソースを接続する配線層	
1 7	電流駆動用MOSFETのドレインを接続する配線層	
1 8	電流駆動用MOSFETのゲートと電流検出用MOSFETのゲートを接続する配線層	
1 9	電流駆動用MOSFETのドレインと電流検出用MOSFETのドレインを接続する配線層	
2 0	電流検出用MOSFET	
2 1	電流駆動用MOSFET	
2 2	ハイサイド電流検出回路	
2 3	ローサイド電流検出回路	20
2 4	ハイサイド電流駆動用NMOSFET	
2 5	ハイサイド電流検出用NMOSFET	
2 6	ローサイド電流駆動用NMOSFET	
2 7	ローサイド電流検出用NMOSFET	
2 8	抵抗素子	
2 9	電磁負荷	
3 0	昇圧回路	
3 1	電源	
3 2	ハイサイドプリドライバ	
3 3	ローサイドプリドライバ	30
3 4	負荷制御装置	

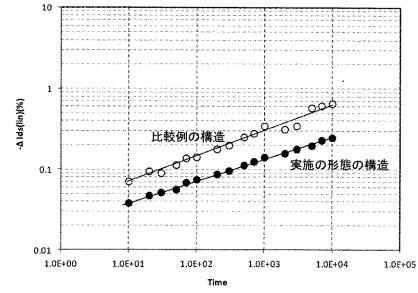
【図 1】

【図1】



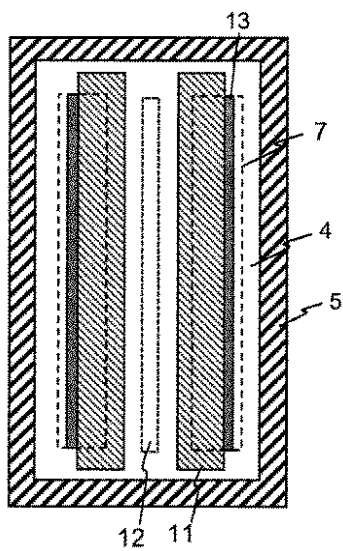
【図 2】

【図2】



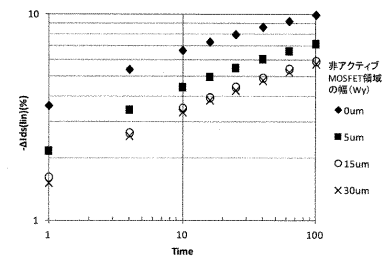
【図 3】

【図3】



【図 4】

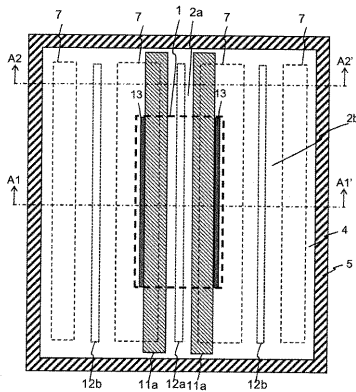
【図4】



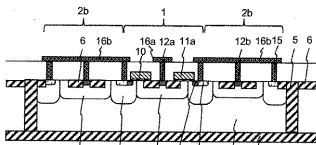
【図5】

【図5】

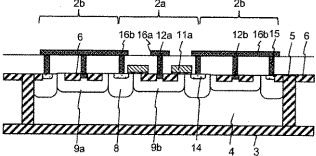
(a)



(b)

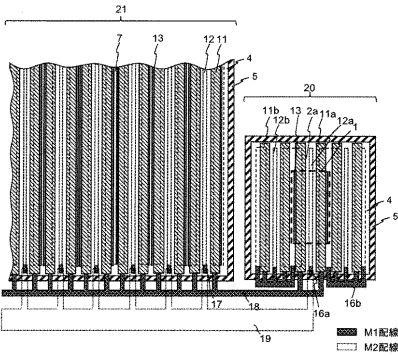


(c)



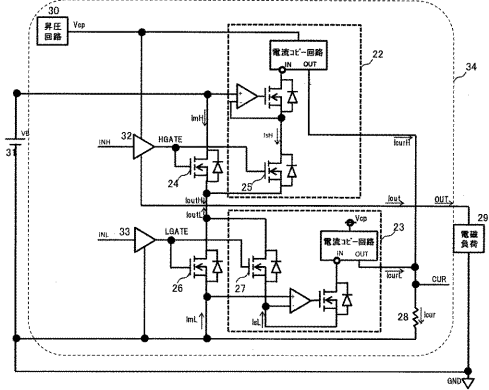
【図6】

【図6】



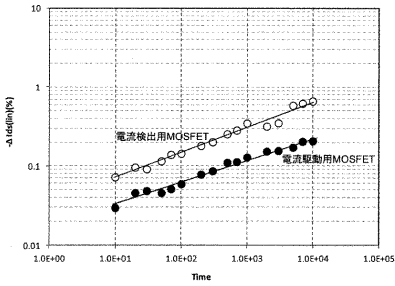
【図7】

【図7】



【図8】

【図8】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>3 3 1 E</i>
<i>H 0 1 L</i>	<i>21/822</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 1 7 K</i>
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i>	<i>A</i>
<i>H 0 1 L</i>	<i>21/762</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/76</i>	<i>D</i>

審査官 辻 勇貴

- (56)参考文献 特開2013-069778 (JP, A)
 特開平10-256541 (JP, A)
 特開2012-156205 (JP, A)
 特開2006-286990 (JP, A)
 特開2010-040896 (JP, A)
 特開2008-091547 (JP, A)
 特開2014-187082 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L *2 1 / 3 3 6*
H 0 1 L *2 1 / 7 6 2*
H 0 1 L *2 1 / 8 2 2*
H 0 1 L *2 1 / 8 2 3 4*
H 0 1 L *2 7 / 0 4*
H 0 1 L *2 7 / 0 8 8*
H 0 1 L *2 9 / 0 6*
H 0 1 L *2 9 / 7 8 6*
H 0 3 K *1 7 / 6 8 7*