



**ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

**(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ**

(21)(22) Заявка: 2013123648/08, 25.04.2011

(24) Дата начала отсчета срока действия патента:  
25.04.2011

Приоритет(ы):

(30) Конвенционный приоритет:  
08.11.2010 CN 201010535369.4

(43) Дата публикации заявки: 20.12.2014 Бюл. № 35

(45) Опубликовано: 27.06.2015 Бюл. № 18

(56) Список документов, цитированных в отчете о поиске: US 7206928 B2, 17.04.2007. US 2007/0174602 A1, 26.07.2007. US 2004/0186930 A1, 23.09.2004. US 2005/0228281 A1, 13.10.2005. RU 2182375 C2, 10.05.2002

(85) Дата начала рассмотрения заявки РСТ на национальной фазе: 10.06.2013

(86) Заявка РСТ:  
CN 2011/073251 (25.04.2011)

(87) Публикация заявки РСТ:  
WO 2012/062087 (18.05.2012)

Адрес для переписки:  
191036, Санкт-Петербург, а/я 24, "НЕВИНПАТ"

(72) Автор(ы):

**ЦЗЯН Цзяньпин (CN)**

(73) Патентообладатель(и):

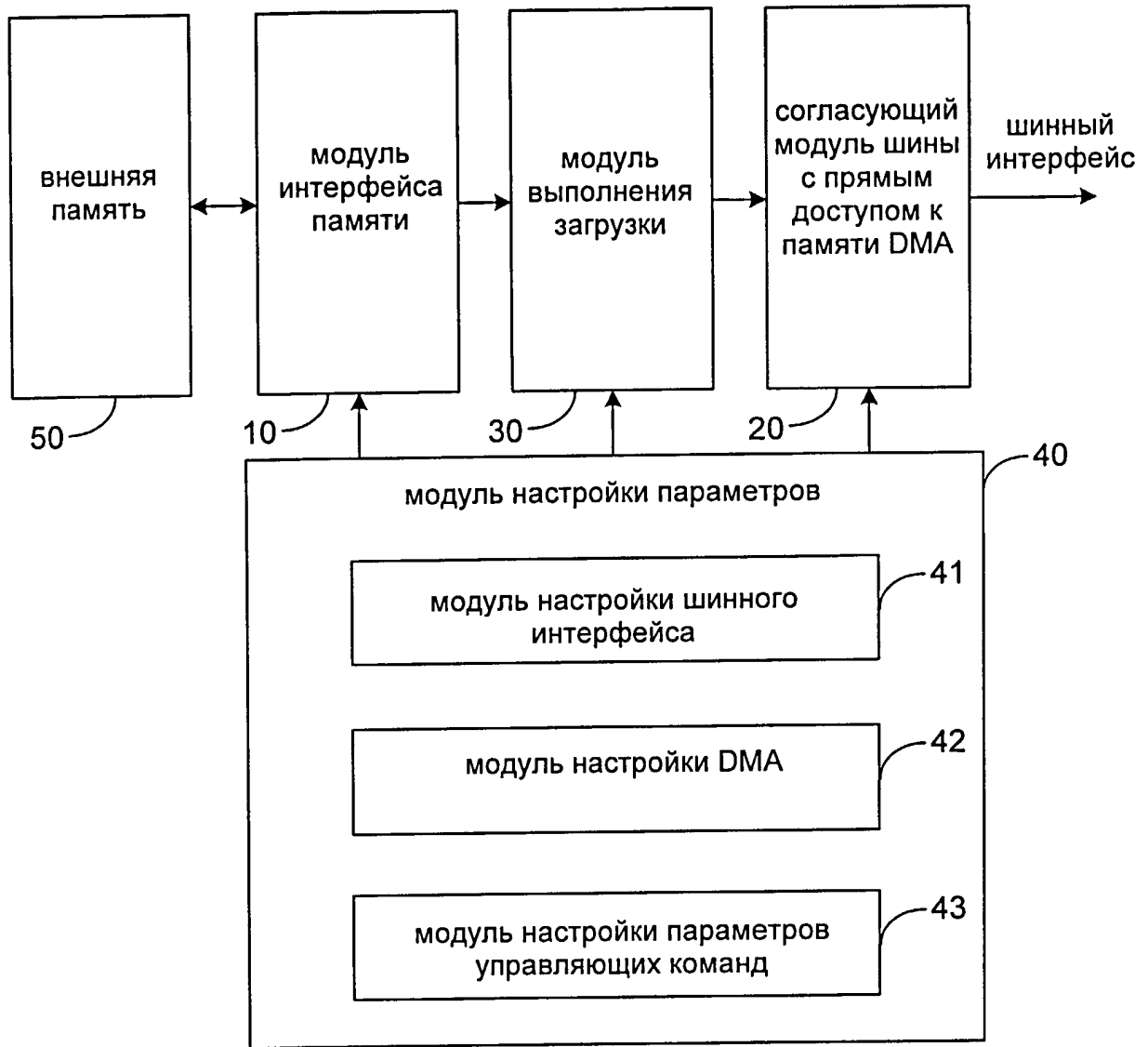
**ЗетТиИ Корпорейшн (CN)**

**(54) УСТРОЙСТВО ДЛЯ ЗАГРУЗКИ ИНТЕГРАЛЬНОЙ СХЕМЫ SoC И ИНТЕГРАЛЬНАЯ СХЕМА ТИПА SoC**

(57) Реферат:

Изобретение относится к вычислительной технике. Технический результат заключается в повышении эффективности загрузки и производительности интегральной схемы типа SoC. Устройство для загрузки интегральной схемы типа SoC содержит модуль интерфейса памяти, снабженный интерфейсом шины памяти и сконфигурированный для соединения с внешней памятью; согласующий модуль шины с прямым доступом к памяти (DMA), снабженный интерфейсом шины DMA и сконфигурированный для передачи данных во внешнюю память в место для хранения, которое соответствует

назначенному адресу; модуль выполнения загрузки, сконфигурированный для отправки команд считывания и записи данных во внешнюю память через модуль интерфейса памяти и для преобразования данных, передаваемых внешней памятью, в данные, согласованные с согласующим модулем шины DMA; и модуль настройки параметров, сконфигурированный для настройки управляющих команд для отправки команд считывания и записи данных во внешнюю память; при этом модуль настройки параметров содержит модуль настройки шинного интерфейса и модуль настройки DMA. 2 н. и 4 з.п. ф-лы, 2 ил.



Фиг. 2



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: 2013123648/08, 25.04.2011

(24) Effective date for property rights:  
25.04.2011

Priority:

(30) Convention priority:  
08.11.2010 CN 201010535369.4

(43) Application published: 20.12.2014 Bull. № 35

(45) Date of publication: 27.06.2015 Bull. № 18

(85) Commencement of national phase: 10.06.2013

(86) PCT application:  
CN 2011/073251 (25.04.2011)

(87) PCT publication:  
WO 2012/062087 (18.05.2012)

Mail address:  
191036, Sankt-Peterburg, a/ja 24, "NEVINPAT"

(72) Inventor(s):  
**JIANG Jianping (CN)**

(73) Proprietor(s):  
**ZTE Corporation (CN)**

(54) **SOC-TYPE IC LOADER AND SOC-TYPE IC**

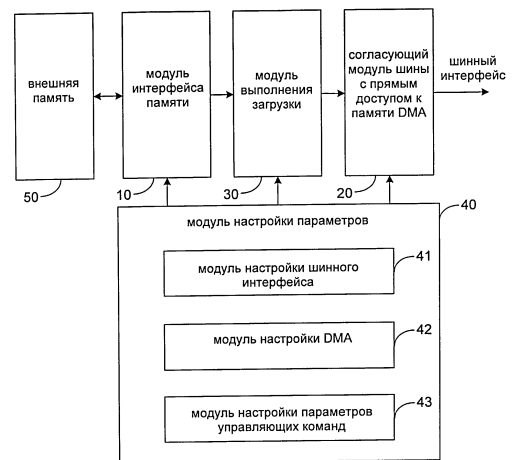
(57) Abstract:

FIELD: physics, computation hardware.

SUBSTANCE: invention relates to computer engineering. Proposed device comprises memory interface module incorporating memory bus interface and configured for connection with external memory. Bus matching module with direct access to memory (DMA) provided with DMA bus interface is configured for data transfer to external memory assigned address. Loading execution module is configured to read-write data to external memory via memory interface module and to transform data transmitted by external memory into data matched with DMAS bus matching module. Parameter turning module tunes the control instructions for transmission of aforesaid read/write instructions. Note here that parameter tuning module incorporates the bus interface and DMA tuning modules.

EFFECT: higher efficiency of loading and operation

of SOC IC.  
6 cl, 2 dwg



Фиг. 2

RU 2 554 569 C 2

RU 2 554 569 C 2

## ОБЛАСТЬ ТЕХНИКИ

Изобретение относится к области техники беспроводной связи, а более точно к устройству для загрузки интегральной схемы «системы на кристалле» (SoC) и к интегральной схеме типа SoC.

### 5 ПРЕДШЕСТВУЮЩИЙ УРОВЕНЬ ТЕХНИКИ

Интегральная схема типа SoC, которая обычно содержит процессор, имеет принцип работы, отличный от специализированной интегральной схемы (ASIC). В процессе работы интегральная схема типа SoC должна поддерживаться программным обеспечением, которое компилируется в двоичный файл компилятором, а затем  
10 передается во внешнее запоминающее устройство этой интегральной схемы типа SoC. В большинстве случаев запоминающее устройство представляет собой интегральную схему флэш-памяти. Интегральная схема типа SoC связана с интегральной схемой флэш-памяти через интерфейс. Двоичный файл интегральной схемы флэш-памяти будет автоматически передан в память процессора после включения этой интегральной схемы  
15 флэш-памяти. Памятью процессора является внутреннее пространство памяти процессора, или же ею может быть флэш-память. Этот процесс осуществляется автоматически посредством модуля загрузки перед перезапуском и разблокировкой процессора. Как производительность интегральной схемы типа SoC, так и производительность системы сильно зависят от эффективности передачи данных  
20 внешнего запоминающего устройства в память интегральной схемы типа SoC устройством для загрузки. Благодаря повышению эффективности загрузки в ходе служебного процесса на уровне кристалла будет ускорен процесс отладки программного обеспечения, тем самым значительно повышена эффективность работы. Процесс загрузки программного обеспечения встроенной системы будет ускорен за счет  
25 повышения эффективности загрузки в ходе служебного процесса на уровне системы; в особенности для встроенной системы, снабженной операционной системой, такое ускорение процесса загрузки повысит производительность системы. Таким образом, возможность ускорить загрузку интегральной схемы типа SoC имеет большое значение как относительно служебных процессов на уровне кристалла, так и для служебных  
30 процессов на уровне системы.

Существующие устройства для выполнения загрузки интегральной схемы типа SoC включают, в основном, два следующих типа: первый, относящиеся к которому  
35 устройства обладают фиксированными параметрами интерфейса шины, так что дальность передачи и адреса передачи таких устройств не могут быть сконфигурированы, и эти устройства не могут гибко использоваться в различных средах  
обработки данных; второй, относящиеся к которому устройства для загрузки не обладают интерфейсом с прямым доступом к памяти (DMA), поэтому эффективность  
40 передачи таких устройств для загрузки является низкой, адреса передачи не могут быть сконфигурированы, и эти устройства для загрузки не могут гибко использоваться в различных средах обработки данных. Два указанных выше способа реализуют процесс загрузки интегральной схемы типа SoC в отношении аппаратных средств, однако эти способы не позволяют решить задачу повышения эффективности загрузки. В крупномасштабной встроенной системе производительность системы напрямую зависит от эффективности загрузки.

### 45 КРАТКОЕ ОПИСАНИЕ ИЗОБРЕТЕНИЯ

Главной целью изобретения является создание устройства для загрузки интегральной схемы типа SoC и интегральной схемы типа SoC для того, чтобы улучшить эффективность загрузки интегральной схемы типа SoC и повысить производительность

интегральной схемы типа SoC.

Настоящее изобретение предоставляет устройство для загрузки интегральной схемы типа SoC; и это устройство для загрузки содержит модуль интерфейса памяти, согласующий модуль шины DMA, модуль выполнения загрузки и модуль настройки

5 параметров, где

модуль интерфейса памяти снабжен интерфейсом шины памяти и сконфигурирован для соединения с внешней памятью;

10 согласующий модуль шины DMA снабжен интерфейсом шины DMA и сконфигурирован для передачи данных во внешнюю память в место для хранения, которое соответствует назначенному адресу;

модуль выполнения загрузки связан с модулем интерфейса памяти и согласующим модулем шины DMA соответственно и сконфигурирован для отправки команд считывания и записи данных во внешнюю память через модуль интерфейса памяти и для преобразования данных, передаваемых внешней памятью в данные, согласованные

15 с согласующим модулем шины DMA, и

модуль настройки параметров сконфигурирован для настройки параметров для согласующего модуля шины DMA, модуля интерфейса памяти и модуля выполнения загрузки.

Предпочтительно модуль настройки параметров может содержать модуль настройки

20 шинного интерфейса и модуль настройки DMA, где

модуль настройки шинного интерфейса сконфигурирован для настройки параметров модуля интерфейса памяти и согласующего модуля шины DMA, где эти параметры включают битовую ширину шины данных, параметр битовой ширины шины адреса, тип пакетной передачи и длину передаваемого пакета;

25 модуль настройки DMA сконфигурирован для настройки параметров согласующего модуля шины DMA, где эти параметры включают назначенный для передачи адрес и длину передачи данных, и

30 модуль настройки параметров управляющих команд сконфигурирован для настройки управляющих команд для отправки команд считывания и записи данных во внешнюю память.

Предпочтительно модуль настройки шинного интерфейса может быть дополнительно сконфигурирован для такой настройки типа пакетной передачи, чтобы им был 8-разрядный режим, 16-разрядный режим, 32-разрядный режим и 64-разрядный режим.

35 Предпочтительно модуль настройки шинного интерфейса может быть дополнительно сконфигурирован для такой настройки длины передаваемого пакета, чтобы она составляла от 1 до 16 бит.

Предпочтительно согласующий модуль шины DMA может содержать расширенную шинную архитектуру для микроконтроллеров (AMBA) 2.0, AMBA3.0 или основную шину интерфейса протокола открытого ядра (OCP).

40 Настоящее изобретение предоставляет интегральную схему типа SoC; эта интегральная схема типа SoC снабжена устройством для загрузки, где устройство для загрузки содержит модуль интерфейса памяти, согласующий модуль шины DMA, модуль выполнения загрузки и модуль настройки параметров, где

45 модуль интерфейса памяти снабжен интерфейсом шины памяти и сконфигурирован для соединения с внешней памятью;

согласующий модуль шины DMA снабжен интерфейсом шины DMA и сконфигурирован для передачи данных во внешнюю память в место для хранения, которое соответствует назначенному адресу;

модуль выполнения загрузки связан с модулем интерфейса памяти и согласующим модулем шины DMA соответственно и сконфигурирован для отправки команд считывания и записи данных во внешнюю память через модуль интерфейса памяти и для преобразования данных, передаваемых внешней памятью в данные, согласованные с согласующим модулем шины DMA, и

модуль настройки параметров сконфигурирован для настройки параметров для согласующего модуля шины DMA, модуля интерфейса памяти и модуля выполнения загрузки.

Предпочтительно, интегральная схема типа SoC может дополнительно содержать любое из вышеописанных устройств для загрузки.

Устройство для загрузки интегральной схемы типа SoC или интегральная схема типа SoC в соответствии с настоящим изобретением могут повысить эффективность загрузки и повысить производительность системы, где интегральная схема типа SoC установлена наладкой согласующего модуля шины DMA и модуля настройки параметров.

#### КРАТКОЕ ОПИСАНИЕ ГРАФИЧЕСКИХ МАТЕРИАЛОВ

На фиг.1 изображена блок-схема устройства для загрузки интегральной схемы типа SoC в соответствии с одним вариантом осуществления настоящего изобретения, и

на фиг.2 изображена блок-схема устройства для загрузки интегральной схемы SoC в соответствии с вариантом осуществления настоящего изобретения.

#### ПОДРОБНОЕ ОПИСАНИЕ

Следует понимать, что описанные здесь варианты осуществления используются только для объяснения настоящего изобретения и не используются для ограничения объема изобретения.

На фиг.1 изображена структура устройства для загрузки интегральной схемы типа SoC в соответствии с одним вариантом осуществления настоящего изобретения. Это устройство для загрузки содержит: модуль 10 интерфейса памяти, согласующий модуль 20 шины DMA, модуль 30 выполнения загрузки и модуль 40 настройки параметров, где

модуль 10 интерфейса памяти снабжен интерфейсом шины памяти и сконфигурирован для соединения с внешней памятью 50; внешняя память 50 может быть флэш-памятью. Модуль 10 интерфейса памяти осуществляет функцию связи интегральной схемы типа SoC и внешней интегральной схемы флэш-памяти и, в основном, содержит шину данных, шину адреса, сигнал индикации данных и т.д.;

согласующий модуль 20 шины DMA снабжен интерфейсом шины DMA и сконфигурирован для передачи данных во внешнюю память в место для хранения, которое соответствует назначенному адресу; DMA, который является способом передачи данных между памятью и периферийным устройством, отличается от способа передачи с прерыванием и не занимает время центрального процессора (CPU). Таким способом данные можно считывать и записывать без команд, выполняемых процессором, и без внутреннего регистра процессора; вместо этого для достижения высокой эффективности передачи данные записываются периферийным устройством в память или считываются из памяти непосредственно через шину данных системы. Когда передача данных выполняется DMA, цикл шины генерируется самим устройством или контроллером DMA. Устройство DMA, которое само генерирует цикл шины, называется ведущим устройством, в то время как устройство DMA, которое зависит от контроллера DMA для генерирования цикла передачи данных, называется подчиненным устройством. Настоящее изобретение относится преимущественно к ведущему устройству.

Согласующий модуль 20 шины DMA может передавать данные от внешней флэш-памяти

в место для хранения в процессоре, которое соответствует назначенному адресу. Рабочие режимы шины данных и шины адреса согласующего модуля 20 шины DMA могут быть сконфигурированы;

5 модуль 30 выполнения загрузки связан с модулем 10 интерфейса памяти и согласующим модулем 20 шины DMA соответственно и конфигурируется для отправки команд считывания и записи данных во внешнюю память 50 через модуль 10 интерфейса памяти и для преобразования данных, передаваемых внешней памятью 50 в данные, согласованные с согласующим модулем 20 шины DMA, и

10 модуль 40 настройки параметров сконфигурирован для настройки параметров для модуля 10 интерфейса памяти, согласующего модуля 20 шины DMA, и модуля 30 выполнения загрузки. В варианте осуществления модуль 40 настройки параметров может с помощью кодов настраивать параметры модуля 10 интерфейса памяти, согласующего модуля 20 шины DMA, и модуля 30 выполнения загрузки.

15 В варианте осуществления устройства для загрузки в соответствии с настоящим изобретением эффективность передачи может быть повышена путем наладки модуля 10 интерфейса памяти, согласующего модуля 20 шины DMA, модуля 30 выполнения загрузки и модуля 40 настройки параметров, и параметры могут быть гибко настроены для каждой части; повышается эффективность загрузки и улучшается

20 производительность системы, в которой установлена интегральная схема типа SoC. Согласно фиг.2 в варианте осуществления модуль 40 настройки параметров может содержать:

модуль 41 настройки шинного интерфейса, который сконфигурирован для настройки параметров модуля 10 интерфейса памяти и согласующего модуля 20 шины DMA; эти настраиваемые параметры включают битовую ширину шины данных, параметр битовой 25 ширины шины адреса, тип пакетной передачи и длину передаваемого пакета; в варианте осуществления модуль 41 настройки шинного интерфейса может настраивать флэш-интерфейсные параметры, и эти флэш-интерфейсные параметры включают битовую ширину шины данных и битовую ширину шины адреса, которые могут быть настроены с возможностью режимов 8, 16, 32, 64 и т.д., соответственно, указывая, что шиной 30 данных или адреса является шина шириной 8 бит, 16 бит, 32 бит и 64 бита соответственно. Кроме того, модуль 41 настройки шинного интерфейса может также осуществлять настройку параметров интерфейса шины DMA. Эти параметры интерфейса шины DMA включают битовую ширину шины данных и битовую ширину шины адреса, которые могут быть настроены с возможностью режимов 8, 16, 32, 64 и т.д.

35 соответственно, указывая, что шиной данных или адреса является шина шириной 8 бит, 16 бит, 32 бит и 64 бита соответственно. Кроме того, модуль 41 настройки шинного интерфейса может также настраивать тип пакетной передачи, длину передаваемого пакета и т.д. Тип пакетной передачи может быть настроен таким образом, чтобы им был 8-разрядный режим, 16-разрядный режим, 16-разрядный режим и 32-разрядный 40 режим, а длина передаваемого пакета может быть настроена таким образом, чтобы она составляла от 1 до 16 бит;

модуль 42 настройки DMA, который сконфигурирован для настройки параметров согласующего модуля 20 шины DMA. Настроенные параметры включают назначенный для передачи адрес и длину передаваемых данных;

45 модуль 43 настройки параметров управляющих команд, который сконфигурирован для настройки управляющих команд для отправки команд считывания и записи данных во внешнюю память 50. В варианте осуществления модуль 43 настройки параметров управляющих команд может настроить по меньшей мере 10 управляющих команд для

управления внешней памяти 50 (например, внешней флэш-памятью). Эти 10 управляющих команд могут быть заданы свободно.

В приведенных выше вариантах осуществления согласующим модулем 20 шины DMA могут являться любые шины. Эти шины содержат расширенную шинную архитектуру для микроконтроллеров (AMBA) 2.0, AMBA3.0 или интерфейсы основной шины протокола открытого ядра (OCP) и т.д.

Настоящее изобретение дополнительно предоставляет интегральную схему типа SoC, содержащую устройство для загрузки, упомянутое выше. Как показано на фиг.1, это устройство для загрузки содержит: модуль 10 интерфейса памяти, согласующий модуль 20 шины DMA, модуль 30 выполнения загрузки и модуль 40 настройки параметров, где

модуль 10 интерфейса памяти снабжен интерфейсом шины памяти и сконфигурирован для соединения с внешней памятью 50; эта внешняя память 50 может быть флэш-памятью. Модуль 10 интерфейса памяти осуществляет функцию связи между интегральной схемой типа SoC и внешней интегральной схемой флэш-памяти и, в основном, содержит шину данных, шину адреса, сигнал индикации данных и т.д.;

согласующий модуль 20 шины DMA снабжен интерфейсом шины DMA и сконфигурирован для передачи данных во внешнюю память в место для хранения, которое соответствует назначенному адресу; DMA, который является способом передачи данных между памятью и периферийным устройством, отличается от способа передачи с прерыванием и не занимает время CPU. Таким способом данные можно считывать и записывать без команд, выполняемых процессором, и без внутреннего регистра процессора; вместо этого для достижения высокой эффективности передачи данные записываются периферийным устройством в память или считываются из памяти непосредственно через шину данных системы. Когда передача данных выполняется посредством DMA, цикл шины генерируется самим устройством или контроллером DMA. Устройство DMA, которое само генерирует цикл шины, называется ведущим устройством, в то время как устройство DMA, которое зависит от контроллера DMA для генерирования цикла передачи данных, называется подчиненным устройством. Настоящее изобретение относится преимущественно к ведущему устройству.

Согласующий модуль 20 шины DMA может передавать данные от внешней флэш-памяти в место для хранения в процессоре, которое соответствует назначенному адресу. Рабочие режимы шины данных и шины адреса этого согласующего модуля 20 шины DMA могут быть сконфигурированы;

модуль 30 выполнения загрузки связан с модулем 10 интерфейса памяти и согласующим модулем 20 шины DMA соответственно и сконфигурирован для отправки команд считывания и записи данных во внешнюю память 50 через модуль 10 интерфейса памяти, и для преобразования данных, передаваемых внешней памятью 50 в данные, согласованные с согласующим модулем 20 шины DMA, и

модуль 40 настройки параметров сконфигурирован для настройки параметров для модуля 10 интерфейса памяти, согласующего модуля 20 шины DMA, и модуля 30 выполнения загрузки. В варианте осуществления модуль 40 настройки параметров может с помощью кодов настраивать параметры модуля 10 интерфейса памяти, согласующего модуля 20 шины DMA и модуля 30 выполнения загрузки.

Кроме того, интегральная схема типа SoC в соответствии с настоящим изобретением дополнительно содержит устройство для загрузки, подобное показанному на фиг.2.

В вариантах осуществления в соответствии с настоящим изобретением эффективность передачи может быть повышена путем наладки устройства для загрузки в интегральной

схеме типа SoC, а параметры могут быть гибко настроены для каждой части; повышается эффективность загрузки и улучшается производительность системы, в которой расположена интегральная схема типа SoC.

5  
10  
15  
20  
25  
30  
35  
40  
45

Описанное выше представляет собой только предпочтительные варианты осуществления изобретения, но не предназначено для ограничения объема патентных притязаний настоящего изобретения. Любые эквивалентные изменения структуры или последовательности операций, которые сделаны на основе описания и графических материалов настоящего изобретения или любое прямое либо косвенное применение в других смежных областях техники также подпадают под действие патентной охраны изобретения.

#### Формула изобретения

1. Устройство для загрузки интегральной схемы типа SoC, содержащее модуль интерфейса памяти, согласующий модуль шины с прямым доступом к памяти (DMA), модуль выполнения загрузки и модуль настройки параметров, где
- 15 модуль интерфейса памяти снабжен интерфейсом шины памяти и сконфигурирован для соединения с внешней памятью;
- 20 согласующий модуль шины DMA снабжен интерфейсом шины DMA и сконфигурирован для передачи данных во внешнюю память в место для хранения, которое соответствует назначенному адресу;
- 25 модуль выполнения загрузки связан с модулем интерфейса памяти и согласующим модулем шины DMA соответственно и сконфигурирован для отправки команд считывания и записи данных во внешнюю память через модуль интерфейса памяти и для преобразования данных, передаваемых внешней памятью в данные, согласованные с согласующим модулем шины DMA, и
- 30 модуль настройки параметров сконфигурирован для настройки параметров для согласующего модуля шины DMA, модуля интерфейса памяти и модуля выполнения загрузки;
- 35 при этом модуль настройки параметров содержит модуль настройки шинного интерфейса и модуль настройки DMA, где
- 40 модуль настройки шинного интерфейса сконфигурирован для настройки параметров модуля интерфейса памяти и согласующего модуля шины DMA, где эти параметры включают битовую ширину шины данных, параметр битовой ширины шины адреса, тип пакетной передачи и длину передаваемого пакета;
- 45 модуль настройки DMA сконфигурирован для настройки параметров согласующего модуля шины DMA, где параметры включают назначенный для передачи адрес и длину передаваемых данных, и
- модуль настройки параметров управляющих команд сконфигурирован для настройки управляющих команд для отправки команд считывания и записи данных во внешнюю память.
2. Устройство для загрузки по п. 1, отличающееся тем, что модуль настройки шинного интерфейса дополнительно сконфигурирован для такой настройки типа пакетной передачи, чтобы им был 8-разрядный режим, 16-разрядный режим, 32-разрядный режим и 64-разрядный режим.
3. Устройство для загрузки по п. 1, отличающееся тем, что модуль настройки шинного интерфейса дополнительно сконфигурирован для такой настройки длины передаваемого пакета, чтобы она составляла от 1 до 16 бит.
4. Устройство для загрузки по любому из пп. 1-3, отличающееся тем, что согласующий

модуль шины DMA содержит расширенную шинную архитектуру для микроконтроллеров (AMBA) 2.0, AMBA 3.0 или основную шину интерфейса протокола открытого ядра (OCP).

5 5. Интегральная схема типа «системы на кристалле» («SoC»), снабженная устройством для загрузки, отличающаяся тем, что устройство для загрузки содержит модуль интерфейса памяти, согласующий модуль шины DMA, модуль выполнения загрузки и модуль настройки параметров, где

модуль интерфейса памяти снабжен интерфейсом шины памяти и сконфигурирован для соединения с внешней памятью;

10 согласующий модуль шины DMA снабжен интерфейсом шины DMA и сконфигурирован для передачи данных во внешнюю память в место для хранения, которое соответствует назначенному адресу;

модуль выполнения загрузки связан с модулем интерфейса памяти и согласующим модулем шины DMA соответственно и сконфигурирован для отправки команд считывания и записи данных во внешнюю память через модуль интерфейса памяти и для преобразования данных, передаваемых внешней памятью в данные, согласованные с согласующим модулем шины DMA, и

15 модуль настройки параметров сконфигурирован для настройки параметров для согласующего модуля шины DMA, модуля интерфейса памяти и модуля выполнения загрузки;

при этом модуль настройки параметров содержит модуль настройки шинного интерфейса и модуль настройки DMA, где

20 модуль настройки шинного интерфейса сконфигурирован для настройки параметров модуля интерфейса памяти и согласующего модуля шины DMA, где эти параметры включают битовую ширину шины данных, параметр битовой ширины шины адреса, тип пакетной передачи и длину передаваемого пакета;

модуль настройки DMA сконфигурирован для настройки параметров согласующего модуля шины DMA, где параметры включают назначенный для передачи адрес и длину передаваемых данных, и

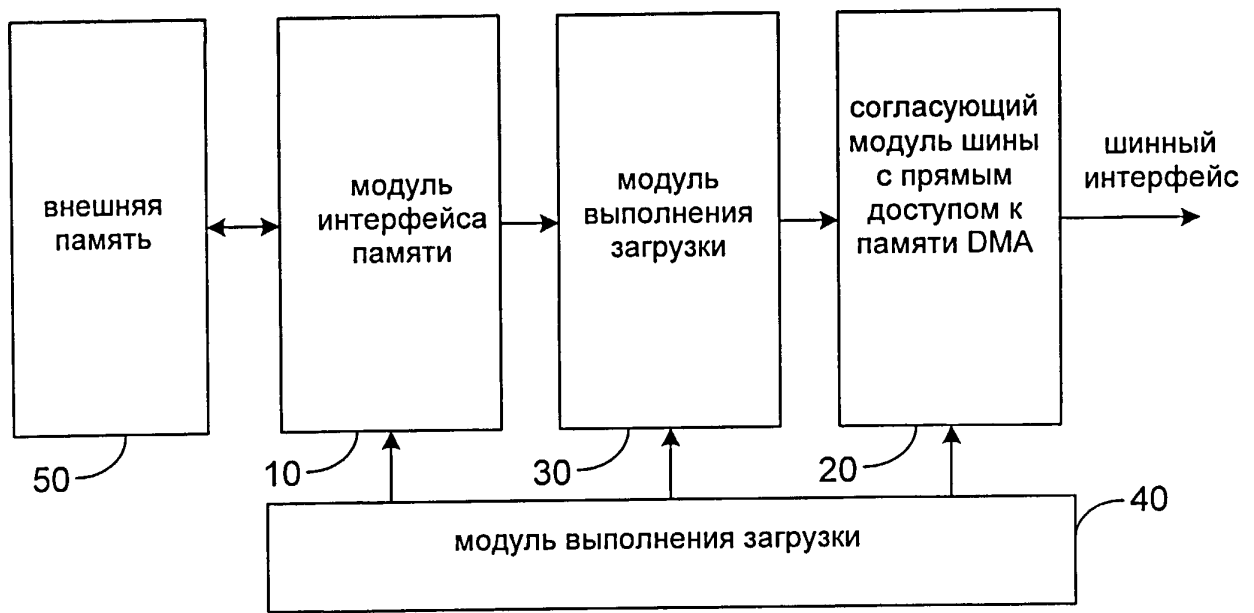
30 модуль настройки параметров управляющих команд сконфигурирован для настройки управляющих команд для отправки команд считывания и записи данных во внешнюю память.

6. Интегральная схема типа SoC по п. 5, отличающаяся тем, что интегральная схема типа SoC дополнительно содержит устройство для загрузки по любому из пп. 2-4.

35

40

45



Фиг. 1