

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0058583  
H01L 21/28 (2006.01) (43) 공개일자 2006년05월30일

(21) 출원번호 10-2004-0097670  
(22) 출원일자 2004년11월25일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 박진호  
서울특별시 광진구 구의3동 현대2차아파트 205동2001호  
정성희  
서울특별시 서초구 우면동 코오롱아파트 102동203호  
최길현  
경기도 용인시 구성면 보정리 행원마을 동아솔레시아아파트 104동101호  
이상우  
서울특별시 동작구 사당3동 영아아파트 2동105호

(74) 대리인 박영우

심사청구 : 없음

(54) 도전성 구조물, 이의 제조 방법, 이를 포함하는 반도체장치 및 그 제조 방법

요약

향상된 면저항 특성 우수한 표면 상태를 갖는 도전성 구조물이 개시된다. 제1 온도 및 제1 압력 하에서 제1 평균 그레인 사이즈를 갖는 제1 핵형성층을 형성하고, 제2 온도 및 제2 압력 하에서 상기 제1 핵형성층 상에 상기 제1 평균 그레인 사이즈 보다 큰 제2 평균 그레인 사이즈를 제2 핵형성층을 형성한다. 제3 온도 및 제3 압력 하에서 상기 제2 핵형성층 상에 벌크 도전층을 형성하여 도전성 구조물을 완성한다. 서로 상이한 평균 사이즈의 그레인들을 포함하는 제1 및 제2 핵형성층을 이용하여 도전성 구조물을 형성함으로써, 도전성 구조물의 표면 균일도를 현저하게 개선하는 동시에 도전성 구조물의 면저항을 크게 저하시킬 수 있다. 따라서, 이러한 도전성 구조물을 포함하는 반도체 장치의 전기적인 특성도 크게 향상시킬 수 있다.

대표도

도 2b

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래의 콘택 플러그의 제조 방법을 설명하기 위한 단면도들이다.

도 2a 및 도 2b는 본 발명에 따른 도전성 구조물의 제조 방법을 설명하기 위한 개념도들이다.

도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 도전성 구조물의 제조 방법을 설명하기 위한 단면도들이다.

도 4a는 종래의 텅스텐 배선의 전자 현미경 단면 사진이다.

도 4b는 본 발명에 따른 도전성 구조물의 전자 현미경 단면 사진이다.

도 5a 내지 도 5e는 본 발명의 다른 실시예에 따른 도전성 구조물의 제조 방법을 설명하기 위한 단면도들이다.

도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 도전성 구조물을 포함하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

65, 110, 160 : 제1 핵생성층 70, 115, 165 : 제2 핵생성층

75, 120, 170 : 벌크 도전층 80, 140 : 도전성 구조물

100, 150, 250 : 기판 105 : 절연막

125, 185 : 제1 핵생성층 패턴 130, 190 : 제2 핵생성층 패턴

135, 195 : 벌크 도전층 패턴 155 : 게이트 절연막

175 : 하드 마스크층 180 : 게이트 절연막 패턴

200 : 제1 도전성 구조물 205, 305 : 마스크

210 : 스페이서 215 : 제3 핵생성층

220 : 제4 핵생성층 225 : 제2 벌크 도전층

230 : 제3 핵생성층 패턴 235 : 제4 핵생성층 패턴

240 : 제2 벌크 도전층 패턴 245 : 제2 도전성 구조물

255 : 층간 절연막 260 : 패드

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 도전성 구조물, 이의 제조 방법, 이를 포함하는 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 서로 상이한 그레인 사이즈(grain size)를 갖는 핵생성층들을 적용하여 낮은 면저항 및 우수한 표면 균일도를 갖는 텅스텐을 포함하는 도전성 구조물 및 이를 제조하는 방법에 관한 것이다. 또한, 본 발명은 이러한 도전성 구조물을 포함하여 크게 향상된 전기적 특성을 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 메모리 장치의 집적도 측면에서 보다 빠른 속도를 요구하면서 로딩 캐패시턴스를 줄이기 위해서 비트 라인의 두께를 얇게 하려고 하고 있으나, 비트 라인의 텅스텐막의 두께가 낮아질수록 텅스텐막의 면저항 값이 올라가는 특성 때문에 쉽게 텅스텐막의 두께를 낮출 수가 없는 실정이다. 종래의 약 400 내지 415℃의 온도에서 화학 기상 증착 공정을 이용할

경우 텅스텐막이 1000Å의 두께를 가질 때, 약 15 내지 18ohm-cm의 비저항을 가지게 된다. 한편, B<sub>2</sub>H<sub>6</sub>를 이용하여 텅스텐 핵생성층 형성 공정을 진행할 경우 비록 텅스텐막의 비저항값을 낮추는 장점을 가지고 있으나 마지막 위에 있는 텅스텐막의 그레인들이 불균일하게 성장되어 결국 텅스텐막을 포함하는 금속 배선의 표면 균일도가 저하되는 결과를 초래하게 된다. 이 경우, 비트 라인을 형성하기 위해 식각 공정을 그대로 진행할 경우 표면 균일도가 좋지 못한 텅스텐막이 식각 공정에 영향을 미쳐 식각 프로파일이 심하게 열화되어 비트 라인이 제대로 형성되지 않는 문제점을 초래하게 된다.

도 1a 내지 도 1c는 국내 공개 특허 제2001-008839호에 개시된 텅스텐 플러그의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.

도 1a를 참조하면, 도전 영역(10)을 갖는 반도체 기판(5) 상에 층간 절연막(15)을 형성한 다음, 층간 절연막(15)을 부분적으로 식각하여 층간 절연막(15)에 도전 영역(10)을 노출시키는 콘택홀을 형성한다.

상기 콘택홀을 통하여 노출된 도전 영역(10), 콘택홀의 내벽 및 층간 절연막(15) 상에 티타늄막(20) 및 티타늄 질화막(25)을 순차적으로 형성함으로써, 장벽 금속층(30)을 형성한다.

도 1b를 참조하면, 장벽 금속층(30) 상에 비정질 실리콘을 사용하여 불소(F) 흡착 억제층(35)을 형성한 후, 불소 흡착 억제층(35) 상에 제1 핵 생성층(40) 및 제2 핵 생성층(45)을 순차적으로 형성한다. 여기서, 제1 핵 생성층(40)은 반응 챔버 내에 불화 텅스텐(WF<sub>6</sub>) 가스 및 실란(SiH<sub>4</sub>) 가스를 약 8 내지 약 12sccm 정도의 유량으로 도입하고, 수소(H<sub>2</sub>) 가스를 약 900 내지 1000sccm 정도의 유량으로 도입하여 형성한다. 이 경우, 제1 핵 생성층(40)은 약 400 내지 약 450°C 정도의 온도 및 약 30Torr 정도의 압력 하에서 약 450 내지 약 550Å 정도의 두께를 갖도록 형성된다. 한편, 제2 핵 생성층(45)은 반응 챔버 내에 불화 텅스텐 가스를 약 30 내지 35sccm 정도의 유량으로 도입하고, 실란 가스를 약 10 내지 약 15sccm 정도의 유량으로 도입하며, 수소 가스를 약 900 내지 1100sccm 정도의 유량으로 도입하여 형성한다. 이 때, 제2 핵 생성층(45)은 약 400 내지 약 450°C 정도의 온도 및 약 30Torr 정도의 압력 하에서 약 900 내지 약 1000Å 정도의 두께를 갖도록 형성된다.

도 1c를 참조하면, 상기 콘택홀을 매립하면서 제2 핵 생성층(45) 상에 제1 텅스텐층(50)을 형성한다. 제1 텅스텐층(50)은 불화 텅스텐 가스를 약 120 내지 130sccm 정도의 유량으로 도입하고, 수소 가스를 약 3900 내지 약 4100sccm 정도의 유량으로 도입하여 형성된다. 이 경우, 제1 텅스텐층(50)은 약 420 내지 430°C 정도의 온도 및 약 80 내지 100Torr 정도의 압력 하에서 상기 콘택홀을 충분히 매립하도록 형성된다.

이어서, 상기 제1 텅스텐층(50) 상에 제2 텅스텐층(55)을 형성한다. 제2 텅스텐층(55)은 불화 텅스텐 가스를 약 50 내지 700sccm 정도의 유량으로 도입하고, 수소 가스를 약 3900 내지 약 4100sccm 정도의 유량으로 도입하여 형성된다. 이 때, 제2 텅스텐층(55)은 약 420 내지 430°C 정도의 온도 및 약 80 내지 100Torr 정도의 압력 하에서 상기 콘택홀을 충분히 매립하도록 형성된다.

다음에, 제2 텅스텐층(55), 제1 텅스텐층(50), 제2 핵 생성층(45), 제1 핵 생성층(40), 불소 흡착 억제층(35) 및 장벽 금속층(30)을 순차적으로 에치 백하여 상기 콘택홀에 매립되는 콘택 플러그를 형성한다.

그러나, 전술한 종래의 텅스텐 콘택 플러그의 제조 방법에 있어서, 장치의 집적도 측면에서 보다 빠른 속도 요구하면서 금속 배선의 두께를 작게 하여 갈려고 하고 있으나 텅스텐층의 두께가 낮아질수록 텅스텐층의 면저항 값이 올라가는 특성 때문에 쉽게 텅스텐층의 두께를 낮출 수가 없는 실정이다. 이를 고려하여, B<sub>2</sub>H<sub>6</sub>를 이용한 핵생성층 형성 단계에서 그레인 사이즈를 크게 하고, 벌크 텅스텐층 형성 공정에서 그레인 사이즈를 크게 하여 텅스텐층의 비저항 값을 낮추는 결과를 보이고 있으나, 이러한 공정으로는 핵생성층 형성 공정을 진행할 경우 텅스텐층의 그레인들이 불균일하게 성장되어 결국 벌크 텅스텐층을 포함하는 금속 배선의 표면 균일도가 저하되는 결과를 초래하게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 낮은 면저항 및 우수한 표면 균일도를 갖는 도전성 구조물을 제공하는 것이다.

본 발명의 제2 목적은 낮은 면저항 및 우수한 표면 균일도를 갖는 도전성 구조물의 제조 방법을 제공하는 것이다.

본 발명의 제3 목적은 낮은 면저항 및 우수한 표면 균일도를 갖는 도전성 구조물을 구비하여 향상된 전기적 특성을 갖는 반도체 장치를 제공하는 것이다.

본 발명의 제4 목적은 낮은 면저항 및 우수한 표면 균일도를 갖는 도전성 구조물을 구비하여 향상된 전기적 특성을 갖는 반도체 장치의 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따르면, 제1 평균 그레인 사이즈를 갖는 제1 핵형성층, 상기 제1 핵형성층 상에 형성되며, 상기 제1 평균 그레인 사이즈보다 큰 제2 평균 그레인 사이즈를 갖는 제2 핵형성층 및 상기 제2 핵형성층 상에 형성되는 벌크 도전층을 포함하는 도전성 구조물이 제공된다.

상술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따르면, 제1 온도 및 제1 압력 하에서 제1 평균 그레인 사이즈를 갖는 제1 핵형성층을 형성하는 단계, 제2 온도 및 제2 압력 하에서 상기 제1 핵형성층 상에 상기 제1 평균 그레인 사이즈보다 큰 제2 평균 그레인 사이즈를 갖는 제2 핵형성층을 형성하는 단계, 및 제3 온도 및 제3 압력 하에서 상기 제2 핵형성층 상에 벌크 도전층을 형성하는 단계를 포함하는 도전성 구조물의 제조 방법이 제공된다.

상술한 본 발명의 제3 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따르면, 반도체 기판 및 상기 반도체 기판 상에 형성되며, 제1 평균 그레인 사이즈를 갖는 제1 핵형성층 패턴, 상기 제1 핵형성층 패턴 상에 형성되며, 상기 제1 평균 그레인 사이즈보다 큰 제2 평균 그레인 사이즈를 갖는 제2 핵형성층 패턴 및 상기 제2 핵형성층 패턴 상에 형성되는 벌크 도전층 패턴을 포함하는 도전성 구조물을 구비하는 반도체 장치가 제공된다.

상술한 본 발명의 제4 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따르면, 반도체 기판 상에 제1 온도 및 제1 압력 하에서 제1 평균 그레인 사이즈를 갖는 제1 핵형성층을 형성하는 단계, 제2 온도 및 제2 압력 하에서 상기 제1 핵형성층 상에 상기 제1 평균 그레인 사이즈보다 큰 제2 평균 그레인 사이즈를 갖는 제2 핵형성층을 형성하는 단계, 제3 온도 및 제3 압력 하에서 상기 제2 핵형성층 상에 벌크 도전층을 형성하는 단계, 및 상기 벌크 도전층, 상기 제2 핵형성층 및 상기 제1 핵형성층을 부분적으로 식각하여 상기 반도체 기판 상에 제1 핵형성층 패턴, 제2 핵형성층 패턴 및 벌크 도전층 패턴을 포함하는 도전성 구조물을 형성하는 단계를 구비하는 반도체 장치의 제조 방법이 제공된다.

전술한 바와 같이 본 발명에 따르면, 서로 상이한 평균 사이즈의 그레인들을 포함하는 제1 및 제2 핵형성층을 이용하여 도전성 구조물을 형성함으로써, 도전성 구조물의 표면 균일도를 현저하게 개선하는 동시에 도전성 구조물의 면저항을 크게 저하시킬 수 있다. 따라서, 이러한 도전성 구조물을 포함하는 반도체 장치의 전기적인 특성도 크게 향상시킬 수 있다.

### 도전성 구조물 및 그 제조 방법

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들에 따른 도전성구조물 및 그 제조 방법을 상세하게 설명하지만 본 발명이 하기의 실시예들에 의하여 제한되거나 한정되는 것은 아니다.

도 2a 및 도 2b는 본 발명에 따른 도전성 구조물의 제조 방법을 설명하기 위한 개념도들을 도시한 것이다.

도 2a를 참조하면, 반도체 기판, 도전막, 절연막 또는 도전 영역 등의 대상체 상에 도전성 물질을 사용하여 제1 핵형성층(nucleation layer)(60)을 형성한다. 예를 들면, 제1 핵형성층(60)은 텅스텐(W)으로 이루어진다. 제1 핵형성층(60)은 원자층 적층(ALD) 공정이나 사이클릭 화학 기상 증착(cyclic CVD) 공정, PNL(Pulsed Nucleation Layer) 공정, 또는 PDL(Pulsed Deposition Layer) 공정 등과 같이 원자층 적층 공정을 베이스로 이용하는 공정을 사용하여 형성한다.

제1 핵형성층(60)은 상대적으로 저온인 제1 온도 및 제1 압력 하에서 제1 두께를 갖도록 형성된다. 예를 들면, 제1 핵형성층(60)은 약 250 내지 약 350°C 정도의 온도 및 약 30 내지 약 100Torr 정도의 압력 하에서 약 100Å 이하의 두께를 갖도록 형성된다. 여기서, 제1 핵형성층(60)은 제1 평균 사이즈를 갖는 제1 그레인들을 포함한다.

제1 핵형성층(60) 상에는 제2 핵형성층(65)이 형성된다. 전술한 바와 같이, 제2 핵형성층(65)은 원자층 적층 공정이나 사이클릭 화학 기상 증착 공정, PNL 공정, 또는 PDL 공정 등과 같이 원자층 적층 공정을 베이스로 이용하는 공정을 사용하여 형성한다. 제2 핵형성층(65)은 상대적으로 고온인 제2 온도 및 제2 압력 하에서 제2 두께를 갖도록 형성된다. 예를 들면, 제2 핵형성층(65)은 약 330 내지 약 420°C 정도의 온도 및 약 30 내지 약 100Torr 정도의 압력 하에서 약 100Å 이하의 두께를 갖도록 형성된다. 제2 핵형성층(65)은 제2 평균 사이즈를 갖는 제2 그레인들을 포함한다. 제2 핵형성층(65)의 제2 그레인들의 제2 평균 사이즈는 제1 핵형성층(60)의 제1 그레인들의 제1 평균 사이즈에 비하여 약 2 내지 약 50배 정도 크게 형성된다.

도 2b를 참조하면, 제2 핵형성층(65) 상에 벌크 도전층(70)을 형성하여 본 발명에 따른 도전성 구조물(80)을 완성한다. 이 경우, 도전성 구조물(80)은 반도체 장치의 회로 배선, 도전성 패드 또는 콘택 등을 포함한다.

벌크 도전층(70)은 예를 들면, 텅스텐을 사용하여 화학 기상 증착 공정으로 형성한다. 벌크 도전층(70)은 고온인 제3 온도 및 제3 압력 하에서 제3 두께를 갖도록 형성된다. 예를 들면, 벌크 도전층(70)은 약 370 내지 약 450°C 정도의 온도 및 약 100Torr 정도의 압력 하에서 약 100 내지 약 10,000Å 이상의 두께로 형성된다. 그러나, 이러한 벌크 도전층(70)의 제3 두께는 도전성 구조물(80)이 요구되는 조건에 따라 변화될 수 있다.

다음 표는 종래의 텅스텐으로 이루어진 구조물과 본 발명에 따른 도전성 구조물의 표면 균일도 및 면저항을 측정한 결과를 나타낸 것이다. 다음 표에서 RMS는 텅스텐 구조물의 표면 거칠기(roughness)의 평균값을 의미한다.

**[표 1]**

|             | 종래의 텅스텐 구조물 | 본 발명의 도전성 구조물 |
|-------------|-------------|---------------|
| 표면 균일도(RMS) | 32.18       | 35.71         |
| 면저항(Rs)     | 1.6750      | 1.1455        |

상기 표에 나타낸 바와 같이, 본 발명에 따른 도전성 구조물은 종래의 텅스텐 구조물에 비하여 표면 균일도는 거의 유사하지만, 크게 감소된 면저항값을 가진다. 따라서, 이러한 도전성 구조물을 반도체 장치의 워드 라인, 비트 라인 도전성 패드 또는 콘택 등으로 적용할 경우에는 반도체 장치의 전기적 특성을 크게 향상시킬 수 있다.

도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 도전성 구조물의 제조 공정을 설명하기 위한 단면도들이다.

도 3a를 참조하면, 반도체 기판(100) 상에 절연막(105)을 형성한 다음, 절연막(105)을 부분적으로 식각하여 절연막(105)에 반도체 기판(100)의 일부를 노출시키는 개구를 형성한다. 여기서, 반도체 기판(100)의 노출된 부분에는 콘택 영역이 형성되거나, 패드 또는 도전성 배선 등이 형성될 수 있다.

이어서, 반도체 기판(100)의 상기 노출된 부분 및 절연막(105) 상에 텅스텐을 사용하고 원자층 적층 공정 또는 이를 베이스로 하는 공정을 적용하여 제1 핵생성층(110)을 형성한다. 여기서, 제1 핵생성층(110)을 형성하기 위한 공정 온도, 압력 및 제1 핵생성층(110)의 두께는 전술한 바와 같다. 제1 핵생성층(110)은 제1 평균 크기를 갖는 제1 그레인들을 포함한다.

도 3b를 참조하면, 제1 핵생성층(110) 상에 텅스텐을 사용하고 원자층 적층 공정 또는 이를 베이스로 하는 공정을 이용하여 제2 핵생성층(115)을 형성한다. 마찬가지로, 제2 핵생성층(115)을 형성하기 위한 공정 온도, 압력 및 제2 핵생성층(115)의 두께는 전술한 바와 동일하다. 제2 핵생성층(115)은 제2 평균 크기를 갖는 제2 그레인들을 포함한다.

도 3c를 참조하면, 제2 핵생성층(115) 상에 상기 개구를 매립하면서 벌크 도전층(120)을 형성한다. 벌크 도전층(120)은 텅스텐을 화학 기상 증착 공정으로 형성한다. 예를 들면, 벌크 도전층(120)은 약 370 내지 약 450°C 정도의 온도 및 약 100Torr 정도의 압력 하에서 약 100 내지 약 10,000Å 이상의 두께로 형성된다. 전술한 바와 같이, 벌크 도전층(120)의 두께는 반도체 장치에서 요구되는 조건에 따라 변화될 수 있다.

도 3d를 참조하면, 화학 기계적 연마(CMP) 공정, 에치 백(etch back) 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 이용하여 벌크 도전층(120), 제2 핵생성층(115) 및 제1 핵생성층(110)을 순차적으로 식각하여 절연막(105)의 개구를 매립하는 도전성 구조물(140)을 형성한다. 도전성 구조물(140)은 제1 핵생성층 패턴(125), 제2 핵생성층 패턴(130) 벌크 도전층 패턴(135)으로 구성된다. 이 경우, 도전성 구조물(140)은 반도체 장치의 금속 배선이나 패드 또는 콘택 등에 해당된다.

도 4a 및 도 4b는 각기 종래의 텅스텐 배선 및 본 발명에 따른 도전성 구조물의 전자 현미경 단면 사진들이다.

도 4a 및 도 4b에 도시한 바와 같이, 본 발명에 따른 텅스텐으로 이루어진 도전성 구조물은 종래의 텅스텐 구조물에 비하여 크게 향상된 표면 균일도를 가짐을 확인할 수 있다.

도 5a 내지 도 5e는 본 발명의 다른 실시예에 따른 도전성 구조물의 제조 방법을 설명하기 위한 단면도들이다.

도 5a를 참조하면, 먼저 반도체 기판(150) 상에 게이트 절연막(155)을 형성한다. 게이트 절연막(155)은 열산화 공정 또는 화학 기상 증착 공정을 이용하여 형성된다.

이어서, 게이트 절연막(155) 상에 텅스텐을 원자층 적층 공정 또는 이를 베이스로 하는 공정으로 증착하여 제1 핵생성층(160)을 형성한다. 제1 핵생성층(160)을 형성하기 위한 공정 온도, 압력 및 제1 핵생성층(160)의 두께는 전술한 바와 같다. 제1 핵생성층(160)은 제1 평균 사이즈를 갖는 제1 그레인들을 포함한다.

계속하여, 제1 핵생성층(160) 상에 텅스텐을 원자층 적층 공정 또는 이를 베이스로 하는 공정으로 적층하여 제2 핵생성층(165)을 형성한다. 전술한 바와 같이, 제2 핵생성층(165)을 형성하기 위한 공정 온도, 압력 및 제2 핵생성층(165)의 두께는 전술한 바와 동일하다. 제2 핵생성층(165)은 제2 평균 사이즈를 갖는 제2 그레인들을 포함한다.

도 5b를 참조하면, 제2 핵생성층(165) 상에 텅스텐을 화학 기상 증착 공정으로 증착하여 제1 벌크 도전층(170)을 형성한다. 제1 벌크 도전층(170)을 형성하는 공정 조건도 전술한 바와 실질적으로 동일하다.

이어서, 제1 벌크 도전층(170) 상에 마스크층(175)을 형성한다. 마스크층(175)은 실리콘산화물, 실리콘 질화물 또는 실리콘 산질화물을 화학 기상증착 공정으로 증착하여 형성한다.

도 5c를 참조하면, 사진 식각 공정으로 마스크층(175)을 패터닝하여 제1 벌크 도전층(170) 상에 마스크 패턴(205)을 형성한다. 즉, 마스크층(175) 상에 포토레지스트 패턴을 형성한 다음, 이를 식각 마스크로 이용하여 마스크층(175)을 부분적으로 식각함으로써, 제1 벌크 도전층(170) 상에 마스크 패턴(205)을 형성한다.

계속하여, 마스크 패턴(205)을 식각 마스크로 이용하여, 제1 벌크 도전층(170), 제2 핵생성층(165), 제1 핵생성층(160) 및 게이트 절연막(155)을 순차적으로 식각하여 반도체 기판(150) 상에 제1 도전성 구조물(200)을 포함하는 게이트 구조물들을 형성한다. 여기서, 각 제1 도전성 구조물(200)은 제1 핵생성층 패턴(185), 제2 핵생성층 패턴(190) 및 제1 벌크 도전층 패턴(195)을 구비하며, 각 게이트 구조물들 제1 핵생성층(185)과 반도체 기판(150) 사이에 형성된 게이트 절연막 패턴(180) 및 제1 벌크 도전층 패턴(195) 상에 형성된 마스크 패턴(205)을 더 구비한다. 반도체 기판(150) 상에 상기 게이트 구조물들이 형성되면, 상기 게이트 구조물들 사이로 반도체 기판(150)이 부분적으로 노출된다.

도 5d를 참조하면, 반도체 기판(150) 상기 게이트 구조물들을 덮으면서 절연막을 형성한 후, 상기 절연막을 이방성 식각 공정으로 식각하여 각 게이트 구조물들의 측벽 상에 스페이서들(210)을 형성한다.

이어서, 상기 노출된 반도체 기판(150) 상에 제3 핵생성층(215), 제4 핵생성층(220), 제2 벌크 도전층(225)을 순차적으로 형성한다. 이 때, 제3 핵생성층(215) 및 제4 핵생성층(220)은 각기 상술한 제1 핵생성층(160) 및 제2 핵생성층(165)과 실질적으로 동일한 공정으로 형성되며, 제2 벌크 도전층(225)은 제1 벌크 도전층(170)과 실질적으로 동일한 공정으로 형성된다.

도 5e를 참조하면, 화학 기계적 연마 공정, 에치 백 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 이용하여 제2 벌크 도전층(225), 제4 핵생성층(220) 및 제3 핵생성층(215)을 순차적으로 식각하여 상기 게이트 구조물들 사이를 매립하는 제2 도전성 구조물(245)을 형성한다. 제2 도전성 구조물(245)은 제3 핵생성층 패턴(230), 제4 핵생성층 패턴(235) 및 제2 벌크 도전층 패턴(240)으로 구성된다. 이 경우, 제2 도전성 구조물(245)은 반도체 장치의 금속 배선이나 패드 또는 콘택 등에 해당된다.

#### 반도체 장치 및 그 제조 방법

도 6a 내지 도 6d는 본 발명의 일 실시예에 따른 도전성 구조물을 포함하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 6a를 참조하면, 반도체 기판(250) 상에 매립된 패드(260)들을 포함하는 층간 절연막(255)을 형성한다.



이어서, 상기 패드(260) 및 층간 절연막(255) 상에 텅스텐을 원자층 적층 공정 또는 이를 베이스로 하는 공정으로 증착하여 제1 핵생성층(285)을 형성한다. 제1 핵생성층(285)을 형성하기 위한 공정 온도, 압력 및 제1 핵생성층(285)의 두께는 전술한 바와 같다. 제1 핵생성층(285)은 제1 평균 사이즈를 갖는 제1 그레인들을 포함한다.

계속하여, 제1 핵생성층(285) 상에 텅스텐을 원자층 적층 공정 또는 이를 베이스로 하는 공정으로 적층하여 제2 핵생성층(290)을 형성한다. 전술한 바와 같이, 제2 핵생성층(290)을 형성하기 위한 공정 온도, 압력 및 제2 핵생성층(290)의 두께는 전술한 바와 동일하다. 제2 핵생성층(290)은 제2 평균 사이즈를 갖는 제2 그레인들을 포함한다.

다음에, 제2 핵생성층(290) 상에 텅스텐을 화학 기상 증착 공정으로 증착하여 벌크 도전층(295)을 형성한다. 벌크 도전층(295)을 형성하는 공정 조건도 전술한 바와 실질적으로 동일하다.

이어서, 벌크 도전층(295) 상에 마스크층(305)을 형성한다. 마스크층(305)은 실리콘산화물, 실리콘 질화물 또는 실리콘 산 질화물을 화학 기상증착 공정으로 증착하여 형성한다.

도 6b를 참조하면, 사진 식각 공정으로 마스크층(305)을 패터닝하여 벌크 도전층(295) 상에 마스크 패턴(305)을 형성한다. 즉, 마스크층(305) 상에 포토레지스트 패턴을 형성한 다음, 이를 식각 마스크로 이용하여 마스크층(305)을 부분적으로 식각함으로써, 벌크 도전층(295) 상에 마스크 패턴(305)을 형성한다.

계속하여, 마스크 패턴(305)을 식각 마스크로 이용하여, 벌크 도전층(295), 제2 핵생성층(290) 및 제1 핵생성층(285)을 순차적으로 식각하여 반도체 기판(250) 상에 도전성 구조물들(300)을 포함하는 비트 라인 구조물들을 형성한다. 여기서, 각 도전성 구조물들(300)은 제1 핵생성층 패턴(285), 제2 핵생성층 패턴(290) 및 벌크 도전층 패턴(295)을 구비하며, 각 비트 라인 구조물들 벌크 도전층 패턴(295) 상에 형성된 마스크 패턴(305)을 더 구비한다. 층간 절연막(255) 상의 비트 라인 구조물들이 형성되면, 상기 비트 라인 구조물들 사이로 패드(260)가 노출된다.

도 6c를 참조하면, 반도체 기판(250) 상의 비트 라인 구조물들을 덮으면서 제1 절연막을 형성한 후, 상기 제1 절연막을 이방성 식각 공정으로 식각하여 각 비트 라인 구조물들의 측벽 상에 스페이서들(315)을 형성한다.

상기 노출된 패드(260) 및 비트 라인 구조물들 상에 제2 절연막(320)을 형성한다.

도 6d를 참조하면, 제2 절연막(320)을 부분적으로 식각하여 패드들(260)을 노출시키는 홀들을 형성한다.

이어서, 상기 홀들을 매립하면서 제2 절연막(320) 상에 도전막을 형성한 후, 상기 도전막을 식각하여 패드들(260)에 전기적으로 연결되는 콘택(325)을 형성한다. 이 경우, 상기 콘택(325)은 전술한 핵생성층을 적용한 공정으로 형성할 수도 있다.

### 발명의 효과

전술한 바와 같이 본 발명에 따르면, 서로 상이한 평균 사이즈의 그레인들을 포함하는 제1 및 제2 핵생성층을 이용하여 도전성 구조물을 형성함으로써, 도전성 구조물의 표면 균일도를 현저하게 개선하는 동시에 도전성 구조물의 면저항을 크게 저하시킬 수 있다. 따라서, 이러한 도전성 구조물을 포함하는 반도체 장치의 전기적인 특성도 크게 향상시킬 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### (57) 청구의 범위

#### 청구항 1.

제1 평균 그레인 사이즈를 갖는 제1 핵생성층;

상기 제1 핵형성층 상에 형성되며, 상기 제1 평균 그레인 사이즈보다 큰 제2 평균 그레인 사이즈를 갖는 제2 핵형성층: 및  
상기 제2 핵형성층 상에 형성되는 벌크 도전층을 포함하는 도전성 구조물.

## 청구항 2.

제1항에 있어서, 상기 제2 평균 그레인 사이즈는 상기 제1 평균 그레인 사이즈의 2 내지 50배인 것을 특징으로 하는 도전성 구조물.

## 청구항 3.

제1항에 있어서, 상기 제1 핵형성층, 상기 제2 핵형성층 및 상기 벌크 도전층은 각기 텅스텐을 포함하는 것을 특징으로 하는 도전성 구조물.

## 청구항 4.

제3항에 있어서, 상기 제1 핵형성층 및 상기 제2 핵형성층은 각기 100Å 이하의 두께를 가지는 것을 특징으로 하는 도전성 구조물.

## 청구항 5.

제1항에 있어서, 제1 핵형성층 및 상기 제2 핵형성층은 각기 원자층 증착 공정 또는 원자층 증착 공정을 베이스로 하는 공정을 이용하여 형성되는 것을 특징으로 하는 도전성 구조물.

## 청구항 6.

제1항에 있어서, 상기 벌크 도전층은 텅스텐을 포함하는 것을 특징으로 하는 도전성 구조물.

## 청구항 7.

제6항에 있어서, 상기 벌크 도전층은 화학 기상 증착 공정으로 형성되는 것을 특징으로 하는 도전성 구조물.

## 청구항 8.

제1항에 있어서, 상기 도전성 구조물은 반도체 장치의 게이트 구조물, 비트 라인 구조물, 패드 또는 콘택을 포함하는 것을 특징으로 하는 도전성 구조물.

## 청구항 9.

제1 온도 및 제1 압력 하에서 제1 평균 그레인 사이즈를 갖는 제1 핵형성층을 형성하는 단계;

제2 온도 및 제2 압력 하에서 상기 제1 핵형성층 상에 상기 제1 평균 그레인 사이즈 보다 큰 제2 평균 그레인 사이즈를 제2 핵형성층을 형성하는 단계; 및



제3 온도 및 제3 압력 하에서 상기 제2 핵형성층 상에 벌크 도전층을 형성하는 단계를 포함하는 도전성 구조물의 제조 방법.

#### 청구항 10.

제9항에 있어서, 상기 제1 온도는 250 내지 350℃이며, 상기 제2 온도는 330 내지 415℃인 것을 특징으로 하는 도전성 구조물의 제조 방법.

#### 청구항 11.

제9항에 있어서, 상기 제1 압력 및 제2 압력은 각기 30 내지 100Torr인 것을 특징으로 하는 도전성 구조물의 제조 방법.

#### 청구항 12.

제9항에 있어서, 상기 제3 온도는 370 내지 450℃인 것을 특징으로 하는 도전성 구조물의 제조 방법.

#### 청구항 13.

반도체 기판; 및

상기 반도체 기판 상에 형성되며, 제1 평균 그레인 사이즈를 갖는 제1 핵형성층 패턴, 상기 제1 핵형성층 패턴 상에 형성되며, 상기 제1 평균 그레인 사이즈보다 큰 제2 평균 그레인 사이즈를 갖는 제2 핵형성층 패턴 및 상기 제2 핵형성층 패턴 상에 형성되는 벌크 도전층 패턴을 포함하는 도전성 구조물을 구비하는 반도체 장치.

#### 청구항 14.

반도 기판 상에 제1 온도 및 제1 압력 하에서 제1 평균 그레인 사이즈를 갖는 제1 핵형성층을 형성하는 단계;

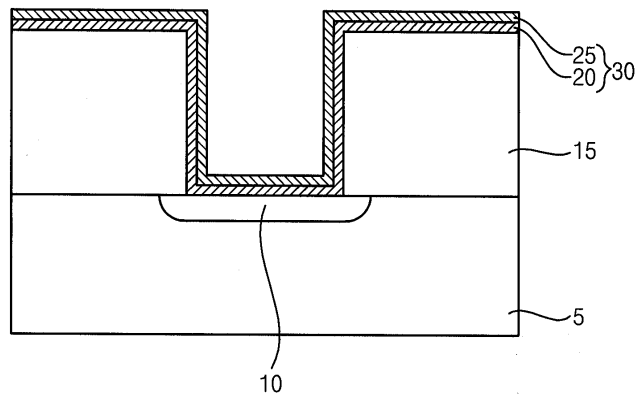
제2 온도 및 제2 압력 하에서 상기 제1 핵형성층 상에 상기 제1 평균 그레인 사이즈 보다 큰 제2 평균 그레인 사이즈를 제2 핵형성층을 형성하는 단계;

제3 온도 및 제3 압력 하에서 상기 제2 핵형성층 상에 벌크 도전층을 형성하는 단계; 및

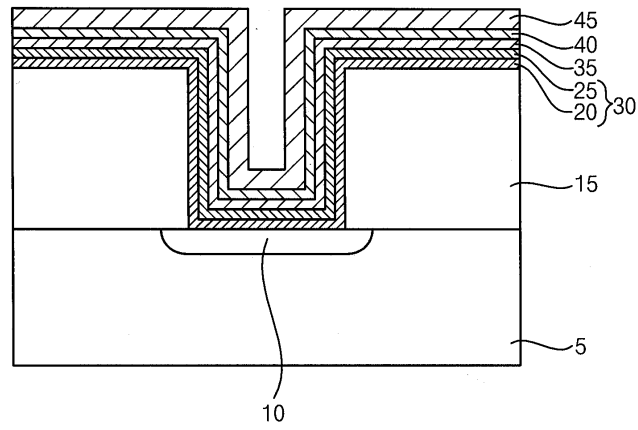
상기 벌크 도전층, 상기 제2 핵형성층 및 상기 제1 핵형성층을 부분적으로 식각하여 상기 반도체 기판 상에 제1 핵형성층 패턴, 제2 핵형성층 패턴 및 벌크 도전층 패턴을 포함하는 도전성 구조물을 형성하는 단계를 구비하는 반도체 장치의 제조 방법.

도면

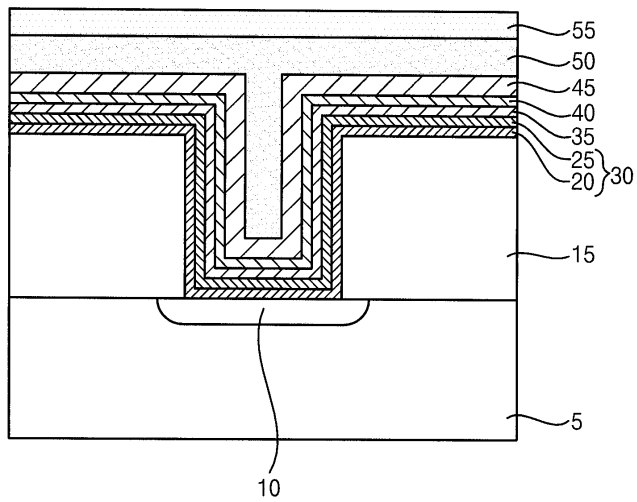
도면1a



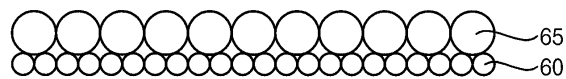
도면1b



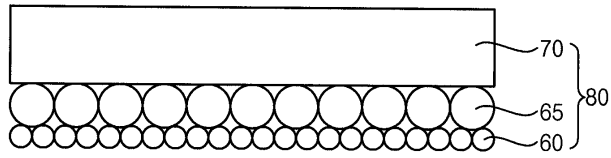
도면1c



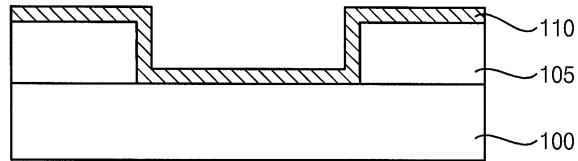
도면2a



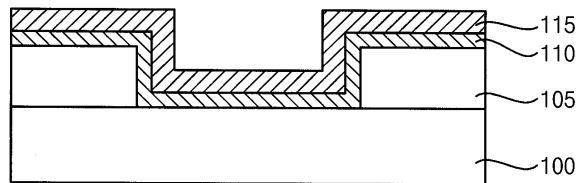
도면2b



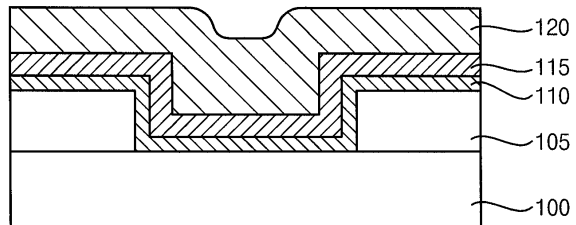
도면3a



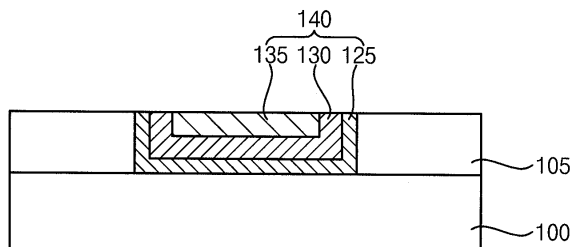
도면3b



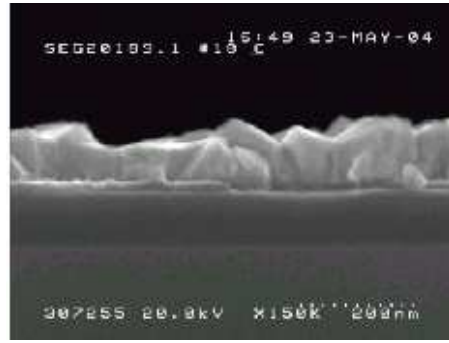
도면3c



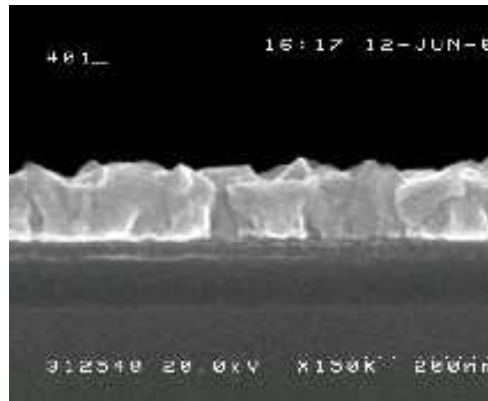
도면3d



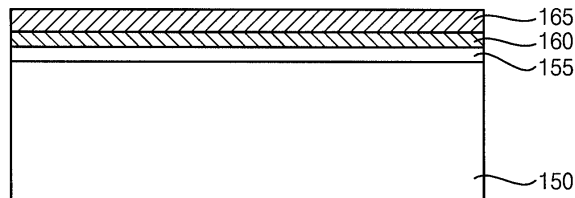
도면4a



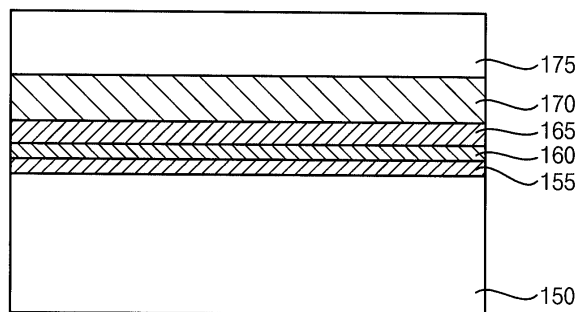
도면4b



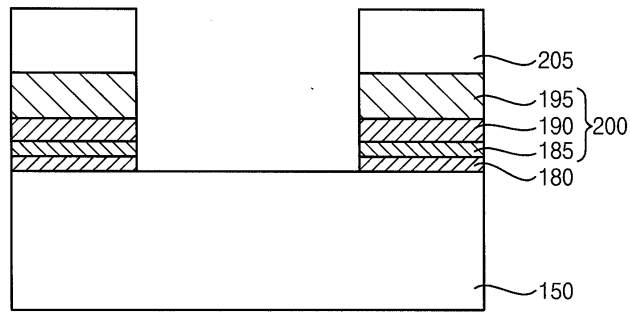
도면5a



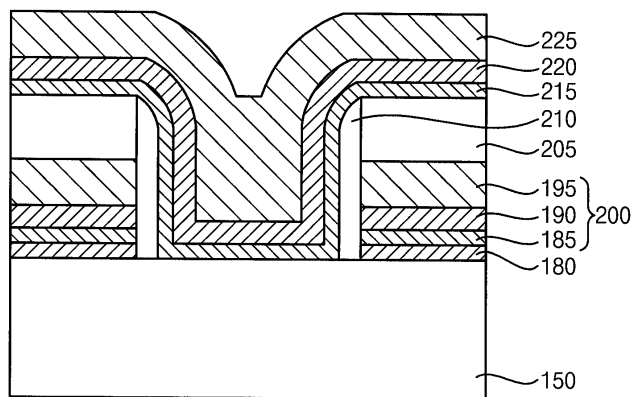
도면5b



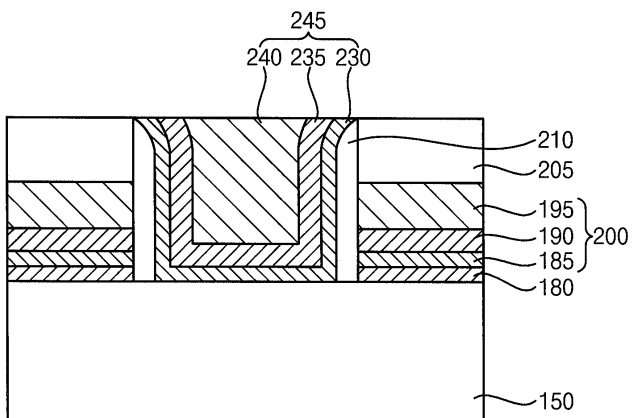
도면5c



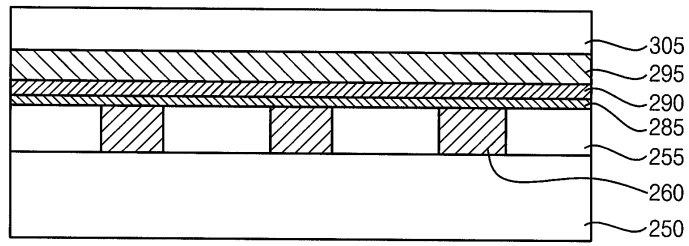
도면5d



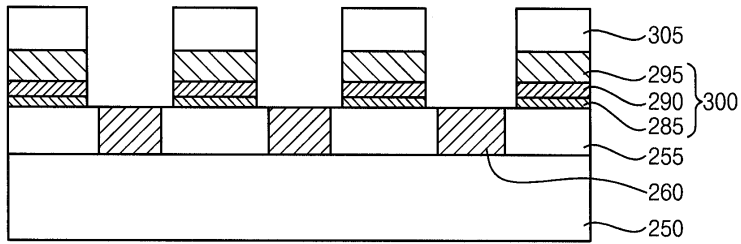
도면5e



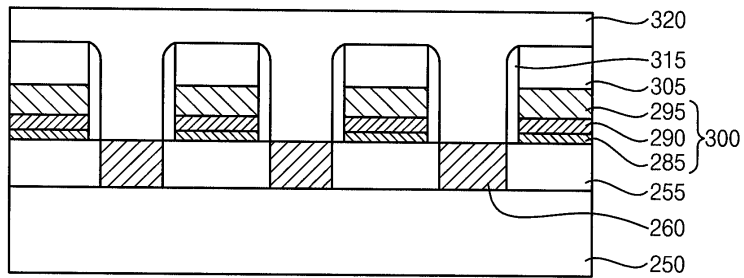
도면6a



도면6b



도면6c



도면6d

