



(12) 发明专利申请

(10) 申请公布号 CN 117795688 A

(43) 申请公布日 2024. 03. 29

(21) 申请号 202280055063.X

(22) 申请日 2022.07.08

(30) 优先权数据

63/221,292 2021.07.13 US

(85) PCT国际申请进入国家阶段日

2024.02.06

(86) PCT国际申请的申请数据

PCT/IB2022/056349 2022.07.08

(87) PCT国际申请的公布数据

W02023/285936 EN 2023.01.19

(71) 申请人 任耐特公司

地址 加拿大不列颠哥伦比亚省

(72) 发明人 D·W·巴拉格 L·G·肖特

K·C·坎迪亚 A·M·马

E·W·米尔本

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

专利代理师 周阳君

(51) Int.Cl.

H01L 29/786 (2006.01)

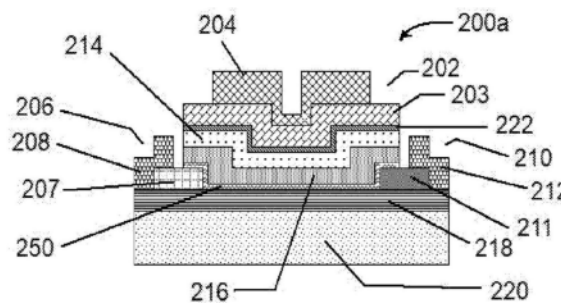
权利要求书4页 说明书15页 附图35页

(54) 发明名称

薄膜半导体开关器件

(57) 摘要

教导了新颖的半导体器件。该新颖器件包括薄膜晶体管(TFT),其具有n型半导体层,以在源极和漏极之间形成沟道。该TFT还包括源极-沟道界面构件,其至少与器件的源极接触件相邻,以提供TFT操作的耗尽层控制。



1. 一种薄膜晶体管,包括:
基板;
形成在所述基板上的绝缘层;
形成在所述绝缘层上的源极;
形成在所述绝缘层上并与所述源极间隔开的漏极;
形成在所述绝缘层上并且在所述源极和栅极之间延伸的n型半导体材料;
至少将所述源极电连接到该半导体材料的源极-沟道界面构件;
形成在所述半导体层上方的栅极介电层;以及
形成在该介电层上方的栅极,使得当向所述栅极施加正电压时,电流能够通过所述源极-沟道界面构件并通过在所述半导体材料中形成的沟道从所述源极流到所述漏极。
2. 根据权利要求1所述的薄膜晶体管,其中所述n型半导体材料是金属氧化物。
3. 根据权利要求1所述的薄膜晶体管,其中所述n型半导体材料选自包括氧化锌、氧化锡、氧化铟、氧化铟镓锌、氧化镓和氧化锗及其组合的组。
4. 根据权利要求1所述的薄膜晶体管,其中所述n型半导体材料是氧化锌和氧化锡之一。
5. 根据权利要求1所述的薄膜晶体管,其中所述绝缘层是所述基板。
6. 根据权利要求1所述的薄膜晶体管,其中所述源极-沟道界面构件是所述绝缘层。
7. 根据权利要求1所述的薄膜晶体管,其中所述源极-沟道界面构件将所述源极和所述漏极两者电连接到所述半导体材料。
8. 根据权利要求1所述的薄膜晶体管,其中所述源极-沟道界面构件是p型半导体。
9. 根据权利要求8所述的薄膜晶体管,其中所述p型半导体是通过所述源极的催化生长形成的氧化物。
10. 根据权利要求1所述的薄膜晶体管,其中所述源极-沟道界面构件是压电感应偶极子。
11. 根据权利要求1所述的薄膜晶体管,其中所述源极-沟道界面构件是可控隧穿势垒。
12. 根据权利要求1所述的薄膜晶体管,其中所述半导体材料通过原子层沉积形成。
13. 根据权利要求1所述的薄膜晶体管,其中所述源极-沟道界面构件通过原子层沉积形成。
14. 根据权利要求1所述的薄膜晶体管,其中所述基板是柔性聚合物。
15. 根据权利要求1所述的薄膜晶体管,其中所述源极与所述漏极垂直间隔开。
16. 根据权利要求15所述的薄膜晶体管,还包括第二绝缘层,并且其中所述源极和所述漏极中的一个形成在所述绝缘层上,所述第二绝缘层形成在所述源极和漏极中的所述一个上,所述第二绝缘层形成具有从所述源极和所述漏极中的所述一个向上延伸的内表面的垂直中空,所述源极-沟道界面构件在所述中空的内表面和所述漏极在所述中空内的部分上形成层,所述n型半导体材料在所述源极-沟道界面构件的层上形成层,所述栅极介电层在所述n型半导体上形成层,所述栅极在所述栅极介电层上形成,并且所述源极和漏极中的另一个形成在所述第二绝缘层的顶部上并且与所述源极-沟道界面构件电接触。
17. 根据权利要求15所述的薄膜晶体管,还包括第二绝缘层,并且其中所述源极形成在所述绝缘层上,所述源极-沟道界面构件形成在所述源极上,所述第二绝缘层形成在所述源

极上,所述第二绝缘层形成具有从所述源极向上延伸的内表面的垂直中空,所述n型半导体材料在所述源极-沟道界面构件的所述层和所述中空的内表面上形成层,所述栅极介电层在所述n型半导体上形成层,所述栅极形成在所述栅极介电层上,并且所述漏极形成在所述第二绝缘层的顶部上并与所述n型半导体材料电接触。

18. 根据权利要求15所述的薄膜晶体管,还包括第二绝缘层,并且其中所述漏极形成在所述绝缘层上,所述第二绝缘层形成在所述漏极上,所述第二绝缘层形成具有从所述漏极向上延伸的内表面的垂直中空,所述第二绝缘层形成从所述漏极向上延伸并具有内表面的垂直中空,所述n型半导体材料在所述垂直中空的内表面和所述漏极上形成层,所述栅极介电层在所述n型半导体上形成层并且所述栅极形成在所述栅极介电层上,所述源极和所述源极-沟道界面材料形成在所述第二绝缘层的顶部上,使得所述源极-沟道界面构件将所述源极电连接到所述n型半导体材料。

19. 一种垂直薄膜晶体管,包括:

基本平坦的基板;

形成在所述基板上的绝缘层;

形成在所述绝缘层上的源极;

形成在所述源极上的第二绝缘层,所述第二绝缘层形成具有内表面的垂直阱;

形成在所述垂直阱的内表面和所述源极上的源极-沟道界面构件;

形成在所述源极-沟道界面构件上的n型半导体材料,使得所述源极通过所述源极-沟道界面构件电连接到所述n型半导体材料;

形成在所述n型半导体层上方的栅极介电层;

形成在所述介电层上方的栅极;以及

形成在所述绝缘层上并与所述n型半导体材料电接触的漏极,其中当向所述栅极施加正电压时,电流能够通过所述源极-沟道界面构件并通过所述半导体材料中形成的沟道从所述源极流到所述漏极。

20. 根据权利要求19所述的垂直薄膜晶体管,其中所述n型半导体材料选自包括氧化锌、氧化锡、氧化铟、氧化铟镓锌、氧化镓和氧化锗及其组合的组。

21. 根据权利要求19所述的垂直薄膜晶体管,其中所述晶体管形成为六棱柱。

22. 根据权利要求19所述的垂直薄膜晶体管,其中所述晶体管形成为矩形平行六面体。

23. 根据权利要求19所述的垂直薄膜晶体管,其中所述晶体管形成在覆盖至少第二垂直薄膜晶体管的基板上。

24. 根据权利要求19所述的薄膜晶体管,其中所述源极-沟道界面构件是p型半导体。

25. 根据权利要求19所述的薄膜晶体管,其中所述p型半导体是通过所述源极的催化生长形成的氧化物。

26. 根据权利要求19所述的薄膜晶体管,其中所述源极-沟道界面构件是压电感应偶极子。

27. 根据权利要求19所述的薄膜晶体管,其中所述源极-沟道界面构件是可控隧穿势垒。

28. 一种垂直薄膜晶体管,包括:

基本平坦的基板;

形成在所述基板上的绝缘层；
形成在所述绝缘层上的源极；
形成在所述源极上的源极-沟道界面构件；
形成在所述源极-沟道界面构件上并形成具有从所述源极-沟道界面构件向上延伸的内表面的垂直阱的第二绝缘层；
形成在所述阱的内表面和所述源极-沟道界面构件上的n型半导体材料,其中所述源极-沟道界面构件将所述源极电连接到所述n型半导体材料；
形成在所述半导体层上方的栅极介电层；
形成在所述介电层上方的栅极;以及
形成在所述第二绝缘层上与所述n型半导体材料电接触的漏极,其中当向所述栅极施加正电压时,电流能够通过所述源极-沟道界面构件并通过所述半导体材料中形成的沟道从所述源极流到所述漏极。

29. 根据权利要求28所述的垂直薄膜晶体管,其中所述n型半导体材料选自包括氧化锌、氧化锡、氧化铟、氧化铟镓锌、氧化镓和氧化锗及其组合的组。

30. 根据权利要求28所述的垂直薄膜晶体管,其中所述晶体管形成为六棱柱。

31. 根据权利要求28所述的垂直薄膜晶体管,其中所述晶体管形成为矩形平行六面体。

32. 根据权利要求28所述的垂直薄膜晶体管,其中所述晶体管形成在覆盖至少第二垂直薄膜晶体管的基板上。

33. 根据权利要求28所述的薄膜晶体管,其中所述源极-沟道界面构件是p型半导体。

34. 根据权利要求28所述的薄膜晶体管,其中所述p型半导体是通过所述源极的催化生长形成的氧化物。

35. 根据权利要求28所述的薄膜晶体管,其中所述源极-沟道界面构件是压电感应偶极子。

36. 根据权利要求28所述的薄膜晶体管,其中所述源极-沟道界面构件是可控隧穿势垒。

37. 一种垂直薄膜晶体管,包括:

基本平坦的基板;

形成在所述基板上的绝缘层;

形成在所述绝缘层上的漏极;

形成在所述漏极上并形成具有从所述漏极向上延伸的内表面的垂直阱的第二绝缘层;

形成在所述阱的内表面和所述漏极上的n型半导体材料;

形成在该半导体层上方的栅极介电层;

形成在该介电层上方的栅极;以及

形成在所述第二绝缘层上的源极和源极-沟道界面构件,所述源极-沟道界面构件将所述源极电连接到所述n型半导体材料,其中当向所述栅极施加正电压时,电流能够通过所述源极-沟道界面构件并通过在所述半导体材料中形成的沟道从所述源极流到所述漏极。

38. 根据权利要求37所述的垂直薄膜晶体管,其中所述n型半导体材料选自包括氧化锌、氧化锡、氧化铟、氧化铟镓锌、氧化镓和氧化锗及其组合的组。

39. 根据权利要求37所述的垂直薄膜晶体管,其中所述晶体管形成为六棱柱。

40. 根据权利要求37所述的垂直薄膜晶体管,其中所述晶体管形成为矩形平行六面体。
41. 根据权利要求37所述的垂直薄膜晶体管,其中所述晶体管形成在覆盖至少第二垂直薄膜晶体管的基板上。
42. 根据权利要求37所述的薄膜晶体管,其中所述源极-沟道界面构件是p型半导体。
43. 根据权利要求37所述的薄膜晶体管,其中所述p型半导体是通过所述源极的催化生长形成的氧化物。
44. 根据权利要求37所述的薄膜晶体管,其中所述源极-沟道界面构件是压电感应偶极子。
45. 根据权利要求37所述的薄膜晶体管,其中所述源极-沟道界面构件是可控隧穿势垒。

薄膜半导体开关器件

[0001] 优先权

[0002] 本申请要求2021年7月13日提交的美国临时专利申请63/221,292的公约优先权权益,并且该较早申请的内容通过引用整体并入本文。

技术领域

[0003] 本发明涉及半导体器件。更具体而言,本发明涉及薄膜半导体开关器件,诸如晶体管。

背景技术

[0004] 诸如薄膜晶体管(TFT)之类的薄膜半导体开关器件广泛应用于各种应用中。

[0005] TFT可能是薄膜半导体开关器件最常见的示例,并且是三端场效应器件,包括:“源极”;“漏极”;以及“栅极”。栅极是用于根据施加到栅极的电压启用或禁止电流从源极流向漏极的控制端子。

[0006] TFT的电学行为由活性材料(通常是半导体)的大多数电荷载流子决定。大多数电荷载流子通过半导体携带大部分电荷或电流。通常,大多数电荷载流子积聚在栅极绝缘体和半导体材料的界面处,以形成“沟道”,电荷载流子可以通过该“沟道”移动通过半导体材料。当沟道从源极到漏极充分导电时,TFT被称为处于“ON”状态,并且电流通过沟道从源极流到漏极。

[0007] 由于多种原因,制造更小的TFT越来越受到关注。但是,现有技术的TFT不能很好地缩放到更小的维度,诸如可以通过其形成沟道的半导体的长度小于约1000nm的TFT,并且尤其是其中沟道长度小于200nm的TFT。在这样的维度或以下,控制TFT变得困难,并且已知的TFT在以小维度形成时具有在零伏或零伏以下发生的阈值电压(TFT处于“ON”状态并且沟道被形成以导通电流的栅极电压点),使得TFT通常处于“ON”状态。这种低(在许多情况下为负)阈值电压会导致小维度制造的常规TFT的输出电阻和总体晶体管性能差,并且这些TFT通常需要向其栅极施加负电压来实现“OFF”状态并减少漏电流。

[0008] 期望具有一种薄膜半导体器件,其可以用小于1000nm的半导体/沟道长度来制造并且具有固有的增强阈值电压,使得器件通常处于“OFF”状态并且更容易被控制。理想情况下,此类器件也能够作为半导体制造中的后段制程(Back End Of Line,“BEOL”)工艺来制造。

发明内容

[0009] 本发明的一个目的是提供一种新颖的薄膜半导体开关器件,其消除或减轻现有技术的至少一个缺点。

[0010] 根据本发明的第一方面,提供了一种薄膜晶体管,包括:基板;形成在基板上的绝缘层;形成在绝缘层上的源极;形成在绝缘层上并与源极间隔开的漏极;形成在绝缘层上并且在源极和栅极之间延伸的n型半导体材料;至少将源极电连接到半导体材料的源极-沟道

界面构件;形成在半导体层上方的栅极介电层;以及形成在介电层上方的栅极,使得当向栅极施加正电压时,电流能够通过源极-沟道界面构件并通过在半导体材料中形成的沟道从源极流到漏极。

[0011] 优选地,n型半导体材料为金属氧化物。更优选地,n型半导体材料选自包括氧化锌、氧化锡、氧化镓、氧化铟、氧化镓和氧化铟或其组合的组。

[0012] 还优选地,源极-沟道界面构件是通过源极的催化生长形成的氧化物。还优选地,源极-沟道界面构件通过原子层沉积形成。还优选地,当源极-沟道界面构件是通过催化生长形成的氧化物时,氧优先穿过源极-沟道界面,从而产生源极-沟道界面构件。

[0013] 根据本发明的另一方面,提供了一种垂直薄膜晶体管,包括:基本平坦的基板;形成在基板上的绝缘层;形成在绝缘层上的源极;形成在源极上的第二绝缘层,第二绝缘层形成具有内表面的垂直阱;形成在垂直阱和源极的内表面上的源极-沟道界面构件;形成在源极-沟道界面构件上的n型半导体材料,使得源极通过源极-沟道界面构件电连接到n型半导体材料;形成在n型半导体层上方的栅极介电层;形成在介电层上方的栅极;以及形成在绝缘层上并与n型半导体材料电接触的漏极,其中当向栅极施加正电压时,电流能够通过源极-沟道界面构件并通过在半导体材料中形成的沟道从源极流到漏极。

[0014] 根据本发明的另一方面,提供了一种垂直薄膜晶体管,包括:基本平坦的基板;形成在基板上的绝缘层;形成在绝缘层上的漏极;形成在漏极上并形成垂直阱的第二绝缘层,该垂直阱具有从漏极向上延伸的内表面;形成在阱和漏极的内表面上的n型半导体材料;形成在半导体层上方的栅极介电层;形成在介电层上方的栅极;以及形成在第二绝缘层上的源极和源极-沟道界面构件,源极-沟道界面构件将源极电连接到n型半导体材料,其中当向栅极施加正电压时,电流能够通过源极-沟道界面构件并通过在半导体材料中形成的沟道从源极流到漏极。

[0015] 根据本发明的又一方面,提供了一种垂直薄膜晶体管,包括:基本平坦的基板;形成在基板上的绝缘层;形成在绝缘层上的漏极;形成在漏极上并形成垂直阱的第二绝缘层,该垂直阱具有从漏极向上延伸的内表面;形成在阱和漏极的内表面上的n型半导体材料;形成在半导体层上方的栅极介电层;形成在介电层上方的栅极;以及形成在第二绝缘层上的源极和源极-沟道界面构件,源极-沟道界面构件将源极电连接到n型半导体材料,其中当向栅极施加正电压时,电流能够通过源极-沟道界面构件并通过在半导体材料中形成的沟道从源极流到漏极。

[0016] 本发明的其它特征和优点将从下面的详细描述并结合附图变得清楚,但是,应当理解的是,其中包括的详细描述和具体示例虽然指示本申请目前优选的实施例,但仅以示例的方式给出,因为如仅由权利要求书限定的本发明的精神和范围内的各种变化和修改对于本领域技术人员将是清楚的。

附图说明

[0017] 为了更好地理解本文描述的本发明的各种实施例,将参考附图。附图并不旨在限制本文描述的本发明的范围并且未按比例绘制,以提高对本说明书的理解的清晰度。在各图中:

[0018] 图1a、1b、1c、1d和1e是现有技术TFT的横截面图;

- [0019] 图2a是根据本发明的实施例的TFT的沿着图2b的线A-A截取的横截面图；
- [0020] 图2b是图2a的TFT的俯视图；
- [0021] 图2c是根据本发明的另一个实施例的TFT的横截面图；
- [0022] 图2d是根据本发明的另一个实施例的TFT的横截面图；
- [0023] 图3a是图2a的TFT的符号示意图；
- [0024] 图3b是图2a的TFT在正向有源状态下操作的一部分的横截面图；
- [0025] 图3c是图2a的TFT在OFF状态下操作的一部分的横截面图；
- [0026] 图3d是图2a的TFT在零电压状态下操作的一部分的横截面图；
- [0027] 图4a是图2c的TFT的符号示意图；
- [0028] 图4b是图2c的TFT在正向有源状态下操作的一部分的横截面图；
- [0029] 图4c是图2c的TFT在OFF状态下操作的一部分的横截面图；
- [0030] 图4d是图2c的TFT在零电压状态下操作的一部分的横截面图；
- [0031] 图5a是图2d的TFT的符号示意图；
- [0032] 图5b是图2d的TFT在正向激活状态下操作的一部分的横截面图；
- [0033] 图5c是图2d的TFT在OFF状态下操作的一部分的横截面图；
- [0034] 图5d是图2d的TFT在零电压状态下操作的一部分的横截面图；
- [0035] 图6是根据本发明的实施例的表示TFT的制造方法的流程图；
- [0036] 图7a至7g是根据图6的方法制造TFT的阶段的横截面图；
- [0037] 图7h至图7n是图7a至图7g的TFT的制造阶段的相应俯视图；
- [0038] 图8a是根据本发明的实施例的TFT在制造期间的横截面图；
- [0039] 图8b是根据本发明的另一个实施例的TFT在制造期间的横截面图；
- [0040] 图8c是图8a的TFT的俯视图；
- [0041] 图8d是图8b的TFT的俯视图；
- [0042] 图9a是根据本发明的另一个实施例的垂直TFT的横截面图；
- [0043] 图9b是根据本发明的实施例的另一个垂直TFT的横截面图；
- [0044] 图9c是根据本发明的实施例的另一个垂直TFT的横截面图；
- [0045] 图9d是类似于图9b垂直TFT但在非对称实施例中制造的垂直TFT的横截面图；
- [0046] 图10a和图10b是根据本发明的另一个实施例的TFT制造方法的流程图；
- [0047] 图11a至图11k是示出根据图10a和图10b的方法制造TFT的阶段的横截面图；
- [0048] 图11l至图11v分别是图11a至图11k的TFT的对应俯视图；
- [0049] 图12a和图12b是根据本发明的另一个实施例的TFT制造方法的流程图；
- [0050] 图13a至图13k是根据图12a和图12b的方法的TFT在制造期间的横截面图；以及
- [0051] 图13l至图13v分别是图13a至图13k的TFT的俯视图。
- [0052] 本文描述的示例实施例的另外的方面和特征将从以下结合附图的描述中变得清楚。

具体实施方式

[0053] 在下面的讨论中,相似的部件和元件可以用相似的附图标记来指示。此外,如本领域技术人员所理解的,大多数半导体器件是通过一系列步骤制造的,其中形成基本平坦的

材料层,随后去除、处理和/或用后续层替换这些层的部分以获得期望的半导体器件。因此,如本文所使用的,术语“水平”和“垂直”是相对于这些层的平面来使用的,其中水平是指基本上与层的平面平行的方向,并且垂直是指基本上与层的平面正交的方向。类似地,术语“上”、“下”、“在…上”、“在…下方”等也相对于那些平面层使用。

[0054] 此外,本文描述的半导体器件的那些层和/或特征的制造在本文中被称为“形成”那些层和/或特征,并且如对本领域技术人员将是清楚的,“形成”旨在包括所有适合并适用于此的半导体制造技术,包括但不限于:沉积(化学、原子层、物理蒸气等);溅射;PECVD(等离子体增强化学气相沉积);注入和退火、氧化;等等,如对本领域技术人员将是清楚的。

[0055] 在描述本发明的实施例之前,为了清楚起见,将参考图1a至图1e描述现有技术TFT的示例。

[0056] 图1a示出了现有技术TFT的第一示例,其一般地以100a指示。TFT 100a包括基板120,基板120上形成有绝缘层118,TFT 100a还包括栅极102、源极106和漏极110。

[0057] 栅极102包括栅极电极104和栅极接触件103,源极106包括源极电极107和源极接触件108,并且漏极110包括漏极电极111和漏极接触件112。如对本领域技术人员清楚的,源极电极107和源极接触件106可以是相同或不同的材料。特别地,可以选择源极接触件106的材料以提供期望的功函数,同时可以选择源极电极107的材料以简化源极电极107与其它器件等的连接。根据需要,栅极电极104和栅极接触件103,以及漏极电极111和漏极接触件112可以类似地由相同的相应材料或不同的材料形成。

[0058] TFT 100a还包括介电层114和半导体层116。如本领域技术人员所理解的,TFT 100a可以可选地包括栅极调谐层122。

[0059] TFT 100A的操作依赖于使用半导体层116作为其中可以形成沟道的有源材料。当半导体116处于有源状态时,在源极接触件108和漏极接触件112之间形成沟道,从而允许电流在其间流动。在所示实施例中,示出了n型半导体。

[0060] 对于基于n型半导体的TFT(或“n型TFT”),诸如TFT 100a,当向栅极102施加的电压(即, V_g)大于阈值电压(即, V_{th})时,TFT将处于有源(“ON”)状态,阈值电压由TFT 100a的结构和材料限定。在具有n型半导体的TFT中,施加大于阈值电压的正栅极电压导致带负电的电子从源极注入到n型半导体中。当在源极和漏极之间施加电压(即, V_d)时,注入的电子通过半导体中形成的沟道从源极移动到漏极,从而产生电流,即源极-漏极电流(I_d)或漏极电流(I_d)。

[0061] 在更详细地示出了TFT 100a的相关关注部分的图1b中,图示了累积层130。累积层130被示出为具有梯度,示出了沿着穿过半导体层116的沟道的电子浓度的变化,其中较高浓度的电子(由累积层130的较暗颜色指示)比漏极接触件111更靠近源极接触件107。

[0062] 当施加低(与栅极电压相比)漏极电压时,沟道中的载流子浓度趋向于在沟道上均匀,并且TFT 100a被认为是“欧姆的(ohmic)”。当施加高漏极电压时,沟道变得“夹断(pinched-off)”并且与漏极接触件111相邻的高度绝缘区域开始形成耗尽层135,显示出载流子密度的降低,如图1c中所示。

[0063] 常规的TFT通常具有两个电流沟道。第一沟道通过源极接触件107和漏极接触件111之间的欧姆连接形成,并且第二沟道通过栅极介电层114和半导体层116之间的界面处的累积层形成。

[0064] 由于栅极接触件103下面可用的沟道,TFT 100a由于电流流过该沟道而具有有限的“OFF”状态。因此,常规的TFT总是不能很好地“夹断”,并且随后可能具有严重的泄漏问题,其中尽管TFT旨在“OFF”,但一些电流仍然继续流动。

[0065] 如果源极接触件107和漏极接触件111彼此太靠近,那么常规TFT也可能具有输出电阻问题。例如,如上所述,如果源极接触件107和漏极接触件111相距小于约1000nm,并且特别是如果它们相距小于200nm,那么发生显著水平的泄漏。因此,即使在零偏压下,常规的TFT通常也处于“ON”状态。在大多数情况下,必须向常规的TFT施加负栅极电压以产生耗尽层或耗尽区域,以便限制源极接触件107和漏极接触件111之间的电流流动,从而有效地使TFT变为“OFF”。

[0066] 图1d示出了源极栅控TFT 100d。TFT 100d类似于TFT 100a,不同之处在于TFT 100d的源极106'由肖特基金属制成,而TFT 100a的源极106和漏极110是欧姆接触。在一些情况下,TFT 100d还可以基于制造方法、半导体材料或两者与TFT 100a不同。TFT 100d可以利用源极106'和漏极110的不对称性来增加源极106'和漏极110之间的电导率。

[0067] 图1e示出了另一种类型的源极栅控TFT 100e。TFT 100e类似于TFT 100a,不同之处在于TFT 100e的源极106'和漏极110'均由肖特基金属制成。与TFT 100d相比,TFT 100e利用源极接触件106'和漏极接触件110'的对称性。

[0068] 但是,TFT 100d和100e都面临与上面关于TFT 100a描述的类似的挑战,特别是当以较小维度制造时。

[0069] 图2a示出了根据本发明的实施例的TFT 200a的沿着图2b的线2A-2A截取的横截面图。如图所示,TFT 200a包括栅极202、源极206和漏极210。栅极202包括栅极电极204和栅极接触件203,源极206包括源极电极208和源极接触件207,并且漏极210包括漏极电极212和漏极接触件211。与上述常规TFT 100a的情况类似,这些特征中的每一个的电极和接触件可以由分别由相同的材料形成,或者可以根据期望单独地选择材料。例如,源极接触件207可以由所选择的用于其期望功函数的材料形成,而源极电极208可以从更适合连接到电路的其它部件(诸如金属化层等)的材料中选择。

[0070] TFT 200a还包括介电层214和半导体层216,TFT 200a可以可选地包括栅极调谐层222。这些层和TFT 200a一般形成在绝缘层218上方,绝缘层218形成在基板220上方。可以预期,在许多情况下,基板220将是硅晶片,如半导体制造中常用的,但是本发明不限于此,并且基板220实际上可以是多种材料,包括,但不限于:玻璃;陶瓷;金属;柔性聚合物或其它塑料;等等。

[0071] 在所示的实施例中,半导体层216是n型半导体层。N型半导体层216是被选择为优选地允许其在低于300摄氏度的温度下形成的半导体材料。用于半导体层216的合适材料的示例包括但不限于氧化锌、氧化锡、氧化镓镓锌、氧化镓、氧化锗等。

[0072] 与现有技术的TFT不同,TFT 200a还包括源极-沟道界面构件250,在这个实施例中,源极-沟道界面构件250是在半导体层216下方从源极接触件207延伸到漏极接触件211的p型半导体材料层。源极-沟道界面构件250将源极接触件207电连接到半导体层216,并且源极接触件207以其它方式与半导体层216电分离。此外,在这个示例中,源极-沟道界面构件250将半导体层216电连接到漏极接触件211。

[0073] 栅极接触件203可以包括具有导电性质的任何元素材料或材料的化合物。可以用

于栅极接触件203的材料的示例包括钛、氮化钛、铬、钪、氮化钽或任何其它单一元素或双金属元素或化合物。栅极电极204可以由与栅极接触件203相同的材料形成,或者由提供用于将栅极电极204连接到其它部件的期望性质的另一个材料形成。

[0074] 源极206和漏极210可以包括具有导电性质的任何元素材料或材料的化合物。具体而言,源极接触件207和漏极接触件211可以是金属或简并(高掺杂)半导体。可以用于源极接触件207和/或漏极接触件211的合适材料的示例包括:镍、钨、钼、铝;金;铜;钴;钪;氮化钛;氮化钽;硅;和/或任何具有高电导率的III-V化合物半导体。在一些情况下,漏极接触件211由与源极接触件207相同的材料组成。在其它情况下,漏极接触件211由具有较高电导率的材料组成,该材料能够比源极接触件207中使用的材料提供降低的电子传输势垒。

[0075] 提供源极-沟道界面构件250以产生互补过量负电荷的储存库,其用作耗尽至少邻近源极接触件207的半导体层216的区域中的沟道。以这种方式,源极-沟道界面构件250用作电子传输势垒,导致当TFT 200a处于“OFF”状态时基本上没有电流流过半导体层216。

[0076] 源极-沟道界面构件250的操作可以以多种配置来实现,包括p型半导体、感应压电偶极子、可控隧穿势垒、其组合或通过外部施加的场调制注入电流的其它机制。

[0077] 例如,当实现为p型半导体时,源极-沟道界面构件250可以由元素锗组成,或者源极-沟道界面构件250可以通过在半导体层216的相关部分中使用p型掺杂剂来形成。在其它情况下,源极-沟道界面构件250可以由氧化物或硫化物、或与元素周期表的VI(A)族对应的另一种元素、或硫属元素(诸如氧、硫、硒、碲或钋)组成。

[0078] 源极-沟道界面构件250还可以通过形成源极接触件207的材料的催化生长来形成。在这种情况下,氧可以优先穿过源极-沟道界面,从而产生源极-沟道界面构件。在其它情况下,源极-沟道界面构件250可以通过沉积p型掺杂剂(诸如p型金属氧化物或另一个半导体)、通过沉积技术(诸如原子层沉积、溅射物理气相沉积或化学气相沉积)来形成。

[0079] 在TFT 200a的实施例中,源极-沟道界面构件250已形成为从源极接触件207延伸到漏极接触件211的连续构件。虽然源极-沟道界面构件250仅需要位于邻近源极接触件207以取决于用于制造TFT 200a的制造工艺电连接源极接触件207和半导体层216,但是源极-沟道界面构件250可以形成为在源极接触件207和漏极接触件211之间延伸的层,或者仅邻近源极接触件207,或邻近源极接触件207和漏极接触件211中的每一个。

[0080] 可能期望半导体层216通过成分控制来形成,使得半导体层216在源极接触件207和漏极接触件211附近是重n型的,以防止在TFT 200a的“ON”状态期间载流子匮乏。在其它实施例中,半导体层216在源极接触件207、漏极接触件211和栅极接触件203附近形成为重n型,这可以允许调节TFT 200a的阈值电压。因此,可以基于半导体层216中n型掺杂的位置和程度来控制TFT 200a的性质。

[0081] 如图2a中所示,介电层214将栅极接触件203与半导体层216分开。介电层214阻止电子流入到栅极接触件203中,从而允许电子在源极接触件207和漏极接触件211之间形成具有大电子浓度的沟道。介电层214可以由诸如例如氧化钪(HfO_2)、氧化钪(HfO_2);二氧化锆(ZrO_2);二氧化硅(SiO_2);氮化硅(Si_3N_4);或本领域技术人员会想到的任何其它合适的材料组成。

[0082] TFT 200a还可以包括可选的栅极调谐层222。栅极调谐层222可以是金属原子层,其用于根据期望调节栅极接触件203的有效势垒高度和/或功函数,如对本领域技术人员是

清楚的。

[0083] 在TFT 200a中,通常栅极电极204、源极电极208和漏极电极212中的每一个均由高导电金属形成,诸如铜或铝,其用于将对应电极电连接到其中形成TFT 200a的集成电路的其余部分的适当元件。

[0084] TFT 200a还包括形成在基板220上方的绝缘层218。基板220用作构造诸如晶体管 and 集成电路的部件和器件的基础,并且绝缘层218是将基板220与源极接触件207和漏极接触件211分开的电介质。绝缘层218的示例包括诸如:二氧化硅(SiO_2);氮化硅(Si_3N_4);氧化铝(Al_2O_3)等材料,并且基板220的示例包括硅、玻璃、塑料材料和/或柔性聚合物、印刷电路板等。在一些情况下,诸如图2a中所示的情况,其中源极-沟道界面构件250在源极接触件207和漏极接触件211之间延伸,并且取决于基板220的材料,源极-沟道界面构件250还可以用作绝缘层218,在这种情况下,其将在形成源极接触件207和漏极接触件211之前形成。

[0085] 如上所述,当与现有技术的TFT相比时,TFT 200a旨在以改进的操作特性执行,并且特别是以较高的阈值电压执行,特别是当以1000nm或更小的沟道长度维度制造时。

[0086] 如上所述,源极-沟道界面构件250用于产生互补过量负电荷的储存库,其用作耗尽至少邻近源极接触件207的半导体层216的区域中的沟道。在根据本发明的实施例制造的TFT中,诸如TFT 200a,栅极接触件203和源极接触件207之间穿过栅极介电层214、半导体层216和源极-沟道界面构件250的距离被选择为使得由施加到栅极接触件203的电压感应的电场将降低由源极-沟道界面构件250引入的互补过量负电荷的储存库的阻挡电势,以将诸如TFT 200a的TFT置于“ON”状态。在没有施加这样的栅极电压的情况下,阻挡电势导致TFT处于“OFF”状态。

[0087] TFT 200a可以用其在一定厚度范围内形成的各种元件来制造。如对本领域技术人员将是清楚的,主要限制因素是栅极接触件203必须与源极接触件207足够电接近,使得施加到栅极202的阈值电压用于有效地减小由源极-沟道界面构件250感应的电子流入到半导体层216中的势垒。未能感应足够的电场会降低开启TFT 200a的能力。这与通常被称为Ada (η) 因子的MOSFET等的众所周知的标准非常相似。

[0088] 在TFT 200a的第一示例中,半导体层216形成为具有约20nm的厚度(介电常数为约8)并且源极-沟道界面构件250形成为具有约2nm的厚度(介电常数为约10)并且介电层214形成为具有约10nm的厚度(介电常数为约24)。

[0089] 在TFT 200a的另一个示例中,半导体层216形成为具有约5nm的厚度(介电常数为17),源极-沟道界面构件250形成为具有约0.5nm的厚度(介电常数为约10),并且介电层214形成为具有约5nm的厚度(介电常数为约24)。

[0090] 半导体层216、介电层214和源极-沟道界面构件250中的每一个的垂直厚度的实际选择在某种程度上将取决于所选择的材料的性质和所采用的制造技术。但是,鉴于本文的公开内容,这些具体选择现在将完全在本领域普通技术人员的能力范围内,

[0091] 图2c图示了根据本发明的另一个实施例的TFT 200c的横截面图。在TFT 200c中,源极-沟道界面构件250不是在源极接触件207和漏极接触件211之间延伸的连续层,而是仅形成在源极接触件207和漏极接触件211中的每一个处。在TFT 200c中,源极-沟道界面构件250可以通过形成源极接触件207和漏极接触件211的金属的催化生长来形成。在一些情况下,源极-沟道界面构件250包括氧化物或硫化物、或与元素周期表的VI(A)族对应的另一种

元素、或硫属元素。

[0092] 图2d图示了根据本发明的另一个实施例的另一个TFT 200d的横截面图。在TFT 200d中,源极-沟道界面构件250仅形成在源极接触件207处并且可以通过构成源极接触件207的金属的催化生长来形成。在这种情况下,可以选择构成漏极接触件211的材料使得它是“惰性的(noble)”,意味着它不易与氧化剂发生相互作用。源极-沟道界面构件250可以由氧化物或硫化物、或与元素周期表的VI(A)族对应的另一种元素、或硫属元素组成。

[0093] 漏极接触件211上源极-沟道界面构件250的存在或不存在确实改变了TFT 200c的电气性质。在TFT 200c中,与TFT 200a和TFT 200c相比,漏极接触件211上不存在源极-沟道界面构件250将TFT 200c的阈值电压升高到约0.1V至2V之间。在源极-沟道界面构件250通过氧化物或硫化物的催化生长形成的情况下,可以容易容忍除了在源极接触件207上形成源极-沟道界面构件250之外还导致在漏极接触件211上形成源极-沟道界面构件250并且不需要附加的处理来从漏极接触件211去除源极-沟道界面构件250,除非期望降低阈值电压。

[0094] 接下来参考图3a至图3d,其表示根据本发明的实施例的TFT 300及其在各种操作状态下的性能。在以下各组图3、图4和图5中,为了清楚起见,已从图中省略了基板和绝缘层。

[0095] 在本文所示的各种实施例中,引入了功能上类似于双极结型晶体管(BJT)的结构,其中源极-沟道界面构件250邻近源极接触件207。本文公开的实施例的TFT有效地将场效应晶体管(FET)体系架构与类似于源极接触件处的BJT的发射极的结构组合。

[0096] 这些类似的BJT类结构的集电极和基极通过直接离子短路或复合中心的集合绑定在一起,并且电子从发射极类结构注入到源极接触件207中。图3a示意性地图示了在源极接触件307和漏极接触件311中的每一个处具有源极-沟道界面构件350的TFT 300的示意性表示。

[0097] 图3b示出了当TFT 300处于正向有源状态(其中 $V_{DS} > 0V_{GS} > V_{threshold}$)时穿过TFT 300的实例的横截面。图3c示出了图3b的横截面,其中TFT 300处于OFF状态(其中 $V_{DS} > 0V_{GS} < V_{threshold}$),并且图3d示出了当TFT 300a处于0V状态(其中 $V_{DS} > 0V_{GS} < V_{threshold}$)时穿过TFT 300的实例的横截面。

[0098] TFT 300类似于图2a的TFT 200a,并且源极接触件307、源极电极306、漏极接触件311、漏极电极310、栅极电极302、栅极接触件303、介电层314、源极-沟道界面构件350和n型半导体层316类似于上面关于图2a的TFT 200a描述的各个元件。

[0099] 在TFT 300的实施例中,类似于TFT 200a,源极-沟道界面构件350在源极接触件307和漏极接触件311之间延伸,从而形成类似于栅极有限结型场效应晶体管(JFET)或累积MOSFET的结构,其中源极接触件307和漏极接触件311处BJT等效。

[0100] 图3b图示了TFT 300在正向有源(或“ON”)状态下的操作。当漏极电压(V_{DS})大于0V,并且栅极电压(V_{GS})大于阈值电压($V_{threshold}$)时,发生正向有源状态。在正向有源状态中,电子累积层330形成在介电层314下面的栅极接触件303之下。在此操作状态中,累积层330允许电子从源极接触件307流至漏极接触件311。

[0101] 图3c图示了处于“OFF”状态模式的TFT 300。当栅极电压(V_{GS})低于阈值电压($V_{threshold}$)时,TFT 300进入“OFF”操作状态。在所示的实施例中,即使漏极电压(V_{DS})大于0V,耗尽区335也形成在栅极接触件303下面的半导体层316中,以便极大地减少或基本消除源

极接触件307和漏极接触件311之间的电子流动。

[0102] 图3d图示了处于“0V”状态的TFT 300,其中没有电压施加到TFT 300。当栅极电压(V_{GS})为0V或约0V时,耗尽区335更加突出并且靠近源极接触件307和漏极接触件311两者,从而极大地减少或基本消除源极接触件307和漏极接触件311之间的电子流动。这将TFT 300置于增强的OFF状态,从而减少或基本消除TFT 300中的寄生沟道。

[0103] 接下来参考图4a至图4d,其表示根据本发明的实施例的TFT400及其在各种操作状态下的性能。TFT 400类似于图2c的TFT 200c,并且源极接触件407、漏极接触件411、栅极接触件403、介电层414、源极-沟道界面构件450和n型半导体层416类似于上面关于图2c的TFT 200c描述的各个元件。

[0104] 图4a是TFT 400的示意性模型。在TFT 400的实施例中,源极-沟道界面构件450形成在源极接触件407和漏极接触件411中的每一个上,但不在两者之间延伸。类似于图3a,这有效地形成了与JFET类似的器件,其在源极接触件407和漏极接触件411处具有与BJT类似的结构。

[0105] 图4b图示了正向有源状态中的TFT 400(其中 $V_{DS} > 0V_{GS} > V_{threshold}$)。与正向有源状态中的TFT 300类似,电子累积层430形成在栅极接触件403之下、介电层414下面。在此操作状态中,累积层430允许电子从源极接触件406流到漏极接触件410。

[0106] 图4c图示了处于“OFF”状态的TFT 400(其中 $V_{DS} > 0V_{GS} < V_{threshold}$),其中耗尽区435抑制源极接触件407和漏极接触件411之间的电子流动。

[0107] 图4d图示了处于0V状态的TFT 400。与TFT 300类似,当TFT 400的栅极电压(V_{GS})为0V或约0V时,耗尽区435更加突出并且靠近源极接触件407和漏极接触件411,从而极大地减少或基本消除电子在源极接触件407和漏极接触件411之间的流动。这将TFT 400置于增强的OFF状态,从而减少或基本上消除TFT 400中的寄生沟道。

[0108] TFT 300和TFT 400之间的累积层和耗尽区的梯度和配置(例如,厚度)的差异是由于器件中源极-沟道界面构件的存在程度的差异造成的。通过源极-沟道界面构件的较高浓度和分布式存在,实现了对n型半导体沟道的更好的耗尽层控制。

[0109] 接下来参考图5a至图5e,其表示根据本发明的实施例的TFT 500及其在各种操作状态下的性能。TFT 500类似于图2d的TFT 200d,并且源极电极507、源极接触件506、漏极电极511、漏极接触件510、栅极电极503、栅极接触件502、介电层514、源极-沟道界面构件550和n型半导体层516类似于图2d的源极电极208、源极接触件207、漏极电极212、漏极接触件211、栅极电极204、栅极接触件203、介电层214、源极-沟道界面构件250和半导体层216。

[0110] 图5a是TFT 500的示意性模型。在TFT 500中,源极-沟道界面构件550仅与源极接触件506相邻,并且这有效地形成在源极接触件506处具有BJT的JFET。

[0111] 图5b图示了处于正向有源状态的TFT 500,图5c图示了处于“OFF”状态的TFT 500,并且图5d图示了处于0V状态的TFT 500。

[0112] TFT 500的累积层530和耗尽区535、540特性类似于图3a的TFT 300和图4a的TFT 400,其中耗尽区540是图4d的耗尽区435在0V阶段的非对称版本。

[0113] 接下来参考图6,其是图示根据本发明的实施例的制造TFT的方法600的流程图。参考针对TFT 700的图7a至图7n以及针对TFT 800a和TFT 800b的图8a至图8d讨论图6的方法600,图8a至图8d图示了该方法中涉及各个步骤的示例,

[0114] 如本文所使用的,术语“形式(form)”或“形成(forming)”旨在涵盖用于制造本公开中所记载的结构任何合适的方式。由此,“形式(form)”和“形成(forming)”可以包括诸如以下的处理:原子层沉积;化学气相沉积;等离子体增强化学气相沉积、溅射;离子注入;氧化;电化学沉积;分子束外延;等等。具体适当处理的选择完全在本领域技术人员的能力范围内。

[0115] 方法600开始于步骤605,其中源极接触件707和漏极接触件711接触件形成在绝缘层718的顶部上,绝缘层718又形成在基板720的顶部上,如图7a中所示。图7a图示了TFT 700的沿着图7h的线B-B截取的横截面图,图7h示出了对应的俯视图。

[0116] 如前所述,绝缘层718可以由诸如以下的材料形成;二氧化硅(SiO_2);氮化硅(Si_3N_4);氧化铝(Al_2O_3);等等。基板720可以是适合用作部件和器件构造的基础的任何合适的基板,诸如晶体管和集成电路、图像传感器和显示器,其示例包括但不限于硅、柔性聚合物和其它塑料、陶瓷材料、光学玻璃、金属等。

[0117] 在一些情况下,源极接触件707和漏极接触件711通过经由光刻工艺的沉积来形成。但是,如对本领域技术人员将是清楚的,形成源极接触件707和漏极接触件711的方法不受特别限制,并且它们可以通过如对本领域技术人员将是清楚的各种其它工艺来形成。

[0118] 在源极接触件707和漏极接触件711由相同材料形成的情况下,然后在步骤605处,可以在同一步骤中同时形成源极接触件707和漏极接触件711两者。在源极接触件707和漏极接触件711由不同材料组成的情况下,源极接触件707和漏极接触件711可以在单独的步骤中形成。

[0119] 在步骤610处,形成源极-沟道界面构件750。在图7b中所示的示例中,其是沿着图7i的线C-C截取的横截面,源极-沟道界面构件750形成在源极接触件707和漏极接触件711的顶部上,并且在它们之间的绝缘层718的区域上方延伸。源极-沟道界面构件750可以通过任何合适的技术形成的p型半导体,包括但不限于沉积技术,诸如原子层沉积、溅射或化学气相沉积。

[0120] 但是,源极-沟道界面构件750也可以以其它方式形成,并参考图8a,图8a图示了根据本发明的另一个实施例的TFT 800的沿着图8c的线D-D截取的横截面图,其与图7b的横截面图类似。在TFT 800中,源极-沟道界面构件850已通过源极接触件807和漏极接触件811两者的下层金属结构的受控氧化而形成。如图所示,这导致形成在源极接触件807上的源极-沟道界面构件850和形成在漏极接触件811上的源极-沟道界面构件850。

[0121] 图8b示出了根据本发明的另一个实施例的TFT 800b的沿着图8d的线E-E截取的横截面图。在TFT 800b中,漏极接触件811由惰性材料(即,将不氧化的材料)形成,并且源极-沟道界面构件850通过仅源极接触件807的下面的金属结构的受控氧化来形成。如图所示,这导致源极-沟道界面构件850仅在源极接触件807上。

[0122] 再次返回图7a至7n和方法600,在步骤615处,形成n型半导体层716。图7c示出了在跨TFT 700(包括在源极-沟道界面构件750的顶部上)形成半导体层716之后沿着图7j的线F-F截取的横截面。

[0123] 在步骤620处,形成介电层714。如沿着图7k的线G-G截取的图7d的横截面中所示,介电层714形成在整个器件上方,包括半导体层716的顶部上。介电层714优选地由具有高介电常数的材料形成,但是也可以采用其它材料,诸如 SiO_2 或 Si_3N_4 。

[0124] 在步骤625处,形成栅极接触703。如作为沿着图7I的线H-H截取的横截面的图7e中所示,栅极接触件703形成在介电层714上。在一些情况下,可选的栅极调谐层722也可以形成在介电层714和栅极接触件703之间。在这种情况下,首先形成栅极调谐层722,并且在栅极调谐层722的顶部上形成栅极接触件703,如图7e中所示。

[0125] 在步骤630处,去除介电层714和下面的半导体层716以及源极-沟道界面构件750的不需要的部分。沿着图7m的线I-I截取的TFT 700的横截面的图7f示出了栅极接触件703可以用作掩模来去除介电层714和下面的半导体层716以及源极-沟道界面层750的部分。

[0126] 在步骤635处,形成栅极电极704、源极电极708和漏极电极712,如图7g中所示,图7g是沿着图7n的线J-J截取的横截面。

[0127] 在一些情况下,可能期望以垂直配置来制造根据本发明的实施例的TFT。因此,图9a、9b和9c图示了这种垂直形成的TFT的实施例。如本领域技术人员将理解的,垂直形成的TFT可以允许增加的“封装密度”(即,在给定的水平区域中更多的器件),这对于诸如显示屏或图像传感器之类的一些应用可能是重要的。此外,因为根据本发明的TFT可以在多种基板上制造,因此根据本发明的TFT可以一个在另一个之上“堆叠”,以增加器件密度,这对于许多不同的应用可能是非常期望的。例如,根据本发明,可以形成垂直TFT层和任何相关互连或其它部件,然后可以在其上方形成绝缘材料层,诸如二氧化硅,并且该绝缘层可以用作其上形成的另一组TFT的基板和绝缘层。预期可以以这种方式形成几层TFT,与现有技术相比显著增加了电路密度。

[0128] 图9a示出了包括栅极902、源极906和漏极910的TFT 900a。栅极902包括栅极接触件903和栅极电极904,源极906包括源极接触件907和源极电极908,并且漏极910包括漏极接触件911和漏极电极912。TFT 900a还包括围绕TFT 900a的栅极902的介电层914,并且包括形成在基板920上方的第一绝缘层918,以及第二绝缘层925。TFT 900a还包括n型半导体层916和源极-沟道界面构件950。如果期望,TFT 900a还可以包括栅极调谐层922,如图所

示。
[0129] 在TFT 900a中,包括源极接触件907和源极电极908的源极906位于TFT 900a的底部(相对于该图的朝向),并且已经形成在第一绝缘层918的顶部上。第二绝缘层925形成在源极接触件907的一部分上方,使得源极接触件907的一部分暴露在TFT 900a的中间。漏极接触件911以及形成在漏极接触件911上的漏极电极912形成在源极接触件907的暴露部分的任一侧上。源极接触件907通过第二绝缘层925与漏极接触件911绝缘。

[0130] 在TFT 900a中,源极-沟道界面构件950形成在源极接触件907的上述暴露部分、第二绝缘层925的内表面上以及漏极接触件911上。栅极接触件903被(可选的)栅极调谐层922包围,栅极调谐层922又被介电层914包围。半导体层916形成在介电层914和源极-沟道界面构件950之间。

[0131] 图9b图示了TFT 900b,其是本发明的另一个实施例,其类似于TFT 900a,但是其中源极-沟道界面构件950的范围和位置被改变。

[0132] 具体而言,在TFT 900b中,源极-沟道界面构件950形成在源极接触件907的整个上表面上方的层。如图9b中所示,并且与图9a的实施例不同,源极-沟道界面构件950在TFT 900b中的第二绝缘层925和漏极接触件911的内表面中不存在。替代地,半导体层916形成在介电层914、第二绝缘层925的内表面和漏极接触件911之间。

[0133] 图9c示出了根据本发明的另一个实施例的TFT 900c的横截面图。与图9a和图9c的TFT 990a和900b类似,TFT 900c是根据本发明的实施例的TFT的垂直实施方式。

[0134] 但是,TFT 900c与上述TFT 900a和900b的不同之处在于,TFT 900c的底部接触件是漏极接触件911。相反,TFT 900c的顶部接触件是源极接触件907。如图9c中所示,源极-沟道界面构件950形成在源极接触件907周围。源极-沟道界面构件950由于第二绝缘层925的存在而与漏极接触件911隔离,并且通过半导体层916与介电层914分开。

[0135] 虽然图9a、9b和9c的实施例示出了根据本发明的各方面的垂直TFT的“对称”实施方式,但是对本领域技术人员将是清楚的,不需要这种对称性。例如,图9d示出了TFT 900d的非对称实施方式,其中TFT 900b的右手侧(相对于该图的朝向)被省略。根据本发明的各方面的垂直TFT的多种其它、非对称和/或减小面积的实施方式现在对本领域技术人员将是清楚的。

[0136] 如本领域技术人员现在将是清楚的,TFT 900a、TFT 900b、TFT 900c和TFT 900d可以与本文公开的本发明的其它实施例类似的方式工作。如上所述,TFT 900a、900b、900c和900d可以形成为垂直圆柱体、长方体、六角棱柱等,并且这种多种可能的形状允许选择TFT 900a、900b、900c和900d的“占地面积”以优化可以在器件中形成TFT 900a、900b、900c和900d的密度。这提供了几个优点,特别是在诸如DRAM存储器之类的应用中,其中增加存储器单元格密度是一个重要目标。

[0137] 此外,还如上所述,TFT 900a、900b和900c可以“堆叠”以增加电路元件密度。具体而言,TFT 900a、900b或900c的阵列可以形成在覆盖下层电路元件(包括TFT 900a、900b和900c)的基板和/或绝缘体上,并且依次被基板和/或绝缘体覆盖,并且TFT 900a、900b或900c的另一个阵列形成在该基板和/或绝缘体的顶部——导致形成真正的3D集成电路。

[0138] 现在参考图10a和图10b,其是制造与上面讨论的TFT 900a类似的垂直TFT 1200的方法1000的流程图。参考图11a至图11v讨论图10a和图10b的方法1000,图11a至图11v图示了该方法中涉及各个步骤。

[0139] 方法1000开始于步骤1005,其中源极电极908和源极接触件907形成在第一绝缘层918上,第一绝缘层918又形成在基板920上,如图11a中所示。图11a是图11l沿着线K-K截取的横截面。源极接触件907可以由铜、钨或本领域技术人员将想到的可用于制造垂直晶体管的任何其它材料形成。特别地,源极接触件907的材料基于材料的功函数和表面氧化性质来选择,以便提供在TFT 1200的操作期间将电子注入到累积层中的期望效果,如现在对本领域技术人员将是清楚的。还可以预期,如果期望,源极电极908和源极接触件907可以是同一个元件。

[0140] 在步骤1010处,在源极接触件907上方形成第二绝缘层925,如图11b中所示,图11b是沿着图11m的线L-L截取的横截面。可以看出,第二绝缘层925形成在源极接触件907的整个上表面上方。第二绝缘层925可以使用本领域技术人员将想到的任何合适的技术来形成,包括聚合物的旋涂、电介质的化学气相沉积等。

[0141] 在步骤1015处,形成漏极接触件911,如图11c中所示,图11c是沿着图11n的线M-M截取的横截面。如图所示,漏极接触件911形成在第二绝缘层925的整个上表面上方。

[0142] 在1020处,去除漏极接触件911的不需要的材料。不需要的材料可以以本领域技术人员将想到的任何合适的方式去除,诸如通过图案化和蚀刻。作为沿着图11o的线N-N截取

的横截面的图11d示出了步骤1020的结果。对本领域技术人员将是清楚的,如果期望,可以去掉漏极接触件911的不需要的材料,使得漏极接触件911形成为诸如六边形的几何形状,这可以允许TFT 1200的增强的封装密度。

[0143] 在步骤1025处,第二绝缘层925的不需要的部分被去除至源极接触件907,如图11e中所示,图11e是沿着图11p的线O-O截取的横截面。在一些实施例中,经由蚀刻工艺去除第二绝缘层925的不需要的部分,选择该蚀刻工艺使得其停止在下面的源极接触件907上,但是如本领域技术人员将想到的,也可以采用去除第二绝缘层925的不需要的部分的任何其它合适的方法。

[0144] 在步骤1030处,在步骤1025的结果上形成源极-沟道界面构件950。如作为沿着图11q的线P-P截取的横截面的图11f中所示,源极-沟道界面构件950此时形成在TFT 1200的整个上表面上方,包括漏极接触件911上方和源极接触件907的暴露部分上方。源极-沟道界面构件950可以以多种方式形成,并且在一个实施例中,使用原子层沉积技术沉积。

[0145] 在步骤1035处,在源极-沟道界面构件950上方形成n型半导体层916,如图11g中所示,图11g是沿着图11r的线Q-Q截取的横截面。半导体层916可以以多种方式形成,并且在一个实施例中,使用原子层沉积技术来沉积。

[0146] 在步骤1040处,形成介电层914,如图11h中所示,图11h是沿着图11s的线R-R截取的横截面。介电层914形成在半导体层916上方。介电层914的材料的选择没有特别限制,并且介电层914可以是具有高介电常数的任何合适的材料,如对本领域技术人员将是清楚的。

[0147] 在步骤1045处,可以在介电层914上方形成(可选的)栅极调谐层922,并且在栅极调谐层922上方形成栅极接触件903。如对本领域技术人员将是清楚的,可以以多种方式形成栅极调谐层922和栅极接触件903,包括经由原子层沉积技术。如果不存在栅极调谐层922,那么栅极接触件903直接形成在介电层914上。步骤1045的结果在图11i中示出,图11i是沿着图11t的线S-S截取的横截面。

[0148] 在步骤1050处,从各个形成的层去除不需要的材料以暴露下面的层/特征,如图11j中所示,图11j是沿着图11u的线T-T截取的横截面。如图所示,漏极接触件911、源极-沟道界面构件950、半导体层916、介电层914、栅极调谐层922和栅极接触件903被适当地暴露。如对本领域技术人员将是清楚的,从各个层去除不需要的材料的方法不受特别限制并且可以以多种方式实现,包括机械抛光、湿式化学蚀刻、干式化学蚀刻、原子层蚀刻等。

[0149] 在步骤1055处,形成漏极电极912和栅极电极904,在作为沿着图11v的线U-U截取的横截面的图11k中所示的实施例中,漏极电极912和栅极电极904可以通过使用掩模方法进行沉积和图案化。但是,用于形成漏极电极912和栅极电极904的方法不受特别限制,并且各种合适的方法对于本领域技术人员将是清楚的。

[0150] 图12a和12b示出了根据本发明的与上述TFT 900b类似的制造TFT 1300的另一个实施例的方法1100的流程图。参考图13a至13v描述方法1100。

[0151] 方法1100开始于其上已形成绝缘层918的基板920。在步骤1105处,在绝缘层918上形成源极电极908和源极接触件907,如图13a中所示,图13a是沿着图131的线BL-BL截取的横截面。如对本领域技术人员将是清楚的,如果源极电极908和源极接触件907由相同的材料形成,那么它们可以是相同的部件。步骤1105类似于图10的步骤1005,并且图13a和131分别类似于图11a和图111。

[0152] 在步骤1110处,p型半导体构件950形成在源极接触件907上。如图13b(其是沿着图13m的线BM-BM截取的横截面)中所示,源极-沟道界面构件950形成成为源极接触件907的整个上表面上方的层。源极-沟道界面构件950可以以多种方式形成,并且在一些实施例中,其使用原子层沉积技术来沉积,但是形成源极-沟道界面构件950不受特别限制,并且可以例如通过催化源极接触件907的金属表面以形成合适的金属氧化物或任何其它适当的方法来形成,如对本领域技术人员将是清楚的。

[0153] 在步骤1115处,第二绝缘层925形成在源极-沟道界面构件950上,如图13c中所示,图13c是沿着图13n的线BN-BN截取的横截面。在一些实施例中,使用聚合物的旋涂来沉积第二绝缘层925,但是形成第二绝缘层925的方法不受特别限制,并且例如可以使用电介质的化学气相沉积(“CVD”)或任何其它合适的方法来沉积第二绝缘层925,如对本领域技术人员将是清楚的。

[0154] 在步骤1120处,形成漏极接触件911。如作为沿着图13o的线B0-B0截取的横截面的图13d中所示,漏极接触件911形成在第二绝缘层925的整个上表面上。同样,形成漏极接触件911的方法不受特别限制,并且合适的方法对本领域技术人员将是清楚的。

[0155] 在步骤1125处,从漏极接触件911去除不想要的材料,如图13e中所示,图13e是沿着图13p的线BP-BP截取的横截面。从漏极接触件911去除不想要的材料的方法没有特别限制。此外,如果期望,可以通过蚀刻等方式去除不想要的材料,使得漏极接触件911可以形成成为诸如所示的六边形图案或条形图案(未示出)等图案,以改善所得TFT的封装密度。

[0156] 在步骤1130处,从第二绝缘层925去除不想要的材料,如图13f中所示,图13f是沿着图13q的线BQ-BQ截取的横截面。如图所示,第二绝缘层925被去除至源极-沟道界面构件950。

[0157] 方法1100的步骤1135至1155类似于上述方法1000的步骤1035至1055。在步骤1135处,如作为沿着图13r的线BR-BR截取的横截面的图13g中所示,在源极-沟道界面构件950上方形成n型半导体层916。如对本领域技术人员将是清楚的,N型半导体层205可以以多种方式形成,包括通过原子层沉积技术。

[0158] 在步骤1140处,在半导体层916上方形成介电层914。这在图13h中示出,图13h是沿着图13s的线BS-BS截取的横截面。同样,介电层914可以以各种合适的方式形成,如对本领域技术人员将是清楚的。

[0159] 在步骤1145处,在介电层914上方形成栅极接触件903,如图13i中所示,图13i是沿着图13t的线BT-BT截取的横截面。还如图所示,如果期望,可以在形成栅极接触件903之前在介电层914上形成可选的栅极调谐层922。栅极调谐层922和栅极接触件903可以通过任何合适的工艺来形成,如本领域技术人员将想到的,诸如通过原子层沉积技术来形成。

[0160] 在步骤1150处,处理TFT 1300以去除不想要的材料以暴露下面的层和特征,如图13j中所示,图13j是沿着图13u的线BU-BU截取的横截面。被去除以暴露图13j的层和特征的材料可以以任何合适的方式去除,诸如通过TFT 1300的机械抛光去除。在所示的实施例中,下面的层被暴露并形成六边形图案。

[0161] 在步骤1155处,形成漏极电极912和栅极电极904。如作为沿着图13v的线BV-BV截取的横截面的图13k中所示,如果期望,漏极电极912和栅极电极904可以经由掩模工艺图案化为六边形、条纹或其它图案。

[0162] 如现在将是清楚的,本发明包括新颖半导体器件的各种实施例。特别地,本发明公开了即使在亚200nm沟道维度下制造时也具有改进的性能的TFT。

[0163] 根据本发明的实施例的半导体器件的另一个预期优点是它们能够在后段制程(“BEOL”)半导体制造工艺中制造。

[0164] 如本领域技术人员已知的,半导体制造工艺通常分为前段制程(Front End Of Line,“FEOL”)工艺和后段制程工艺。常规上,集成电路的晶体管、电容器、电阻器和电感器首先通过FEOL工艺形成在晶片上。一旦这些器件在晶片上制造完成,然后就通过BEOL工艺进行处理,其中形成金属化层和键合位点。

[0165] 常规上,一旦晶片(或其它基板)完成FEOL处理,通常不可能在BEOL工艺期间向晶片添加附加的器件,因为使晶片经受常规半导体器件制造所需的温度会破坏晶片上已有的由FEOL工艺形成的半导体结构和器件。

[0166] 最近,已经尝试使用氧化铟镓锌(“IGZO”)作为半导体/沟道材料来作为BEOL工艺制造TFT。虽然此类器件已取得一些成功,但它们的性能往往不如预期,通常阈值电压低,导致泄漏水平高/“OFF”特性差。此外,已证明,用于制造IGZO器件的工艺难以控制,并且所得器件很脆弱,并且可能难以让它们经受其它BEOL工艺,诸如退火。

[0167] 作为对照,根据本发明的实施例的TFT还可以利用不会损坏之前制造的FEOL器件或结构的技术和工艺来制造,但是这样的TFT已经表明即使在半导体/沟道长度小于200nm时也表现良好,并且不会被其它BEOL工艺损坏。

[0168] 如上所述,根据本发明的实施例的TFT采用六种基本制造工艺:源极形成;漏极形成;栅极形成;半导体形成;电介质/绝缘体形成;以及源极-沟道界面构件形成——其中每一个通常都可以通过几种可能的方式来实现。针对这些制造工艺中的每一个选择一个或多个合适的替代方案以用于制造BEOL TFT或在FEOL或替代工艺中创建的TFT在本领域技术人员的普通技能范围内。

[0169] 作为示例,在决定如何制造根据本发明的TFT并且其中期望在制造工艺期间不超过三百摄氏度的温度时,可以决定:源极形成、漏极形成和栅极形成将通过溅射和图案化来实现;半导体层形成将通过原子层沉积来实现;电介质/绝缘体形成将通过原子层沉积来实现;并且源极-沟道界面构件形成可以通过源极接触件的氧化(如果材料是可氧化金属)或通过溅射退化掺杂的单原子半导体层(诸如锗或硅)来实现。清楚地,这些所选择的制造技术中的每一种都可以在低于三百摄氏度的温度下执行,因此不会影响之前在FEOL工艺中制造的器件和结构。

[0170] 现在还清楚的是,本发明提供了新颖的薄膜半导体开关器件,即使当用小于1000nm的半导体/沟道长度、特别是用小于200nm的半导体/沟道长度制造时,该器件也具有良好的性能。还教导了用于新颖器件的制造技术和方法,并且这些技术和方法还允许将新颖器件制造为BEOL器件。

[0171] 本发明的上述实施例旨在作为本发明的示例,并且本领域技术人员可以对其进行改变和修改,而不脱离仅由所附权利要求限定的本发明的范围。

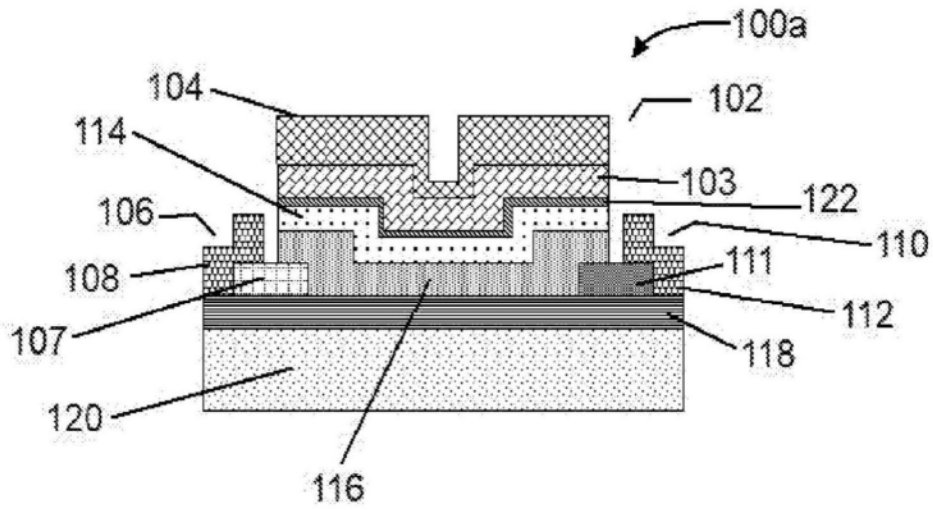


图1a(现有技术)

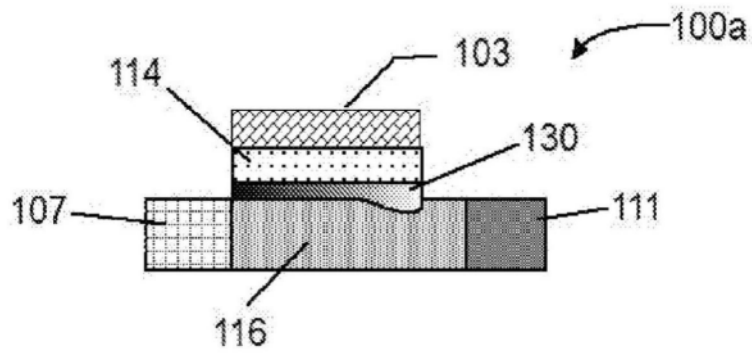


图1b(现有技术)

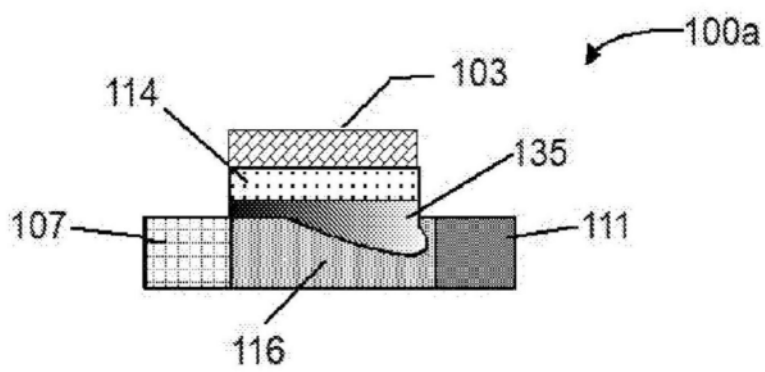


图1c(现有技术)

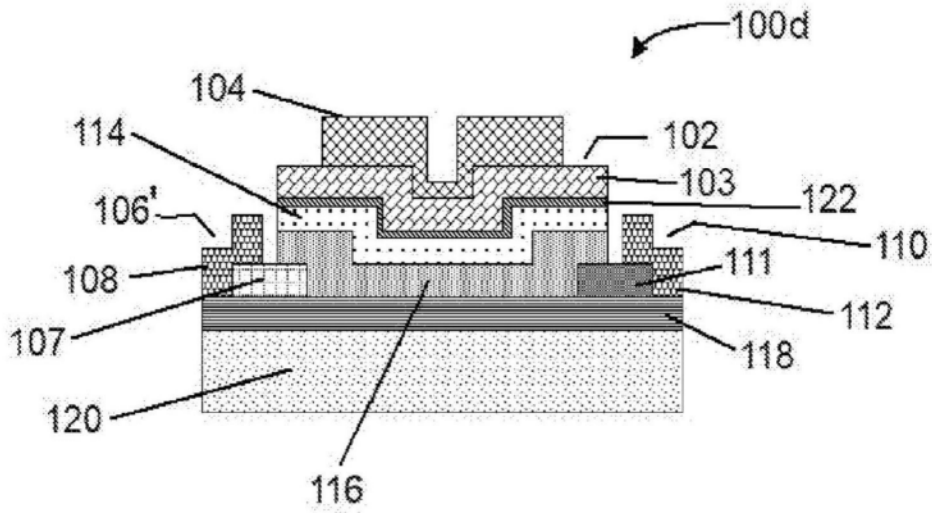


图1d (现有技术)

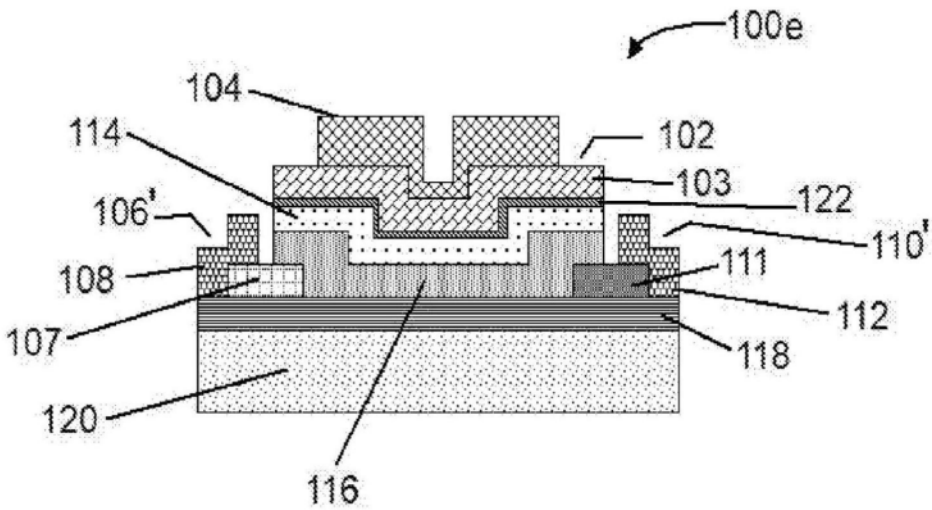


图1e (现有技术)

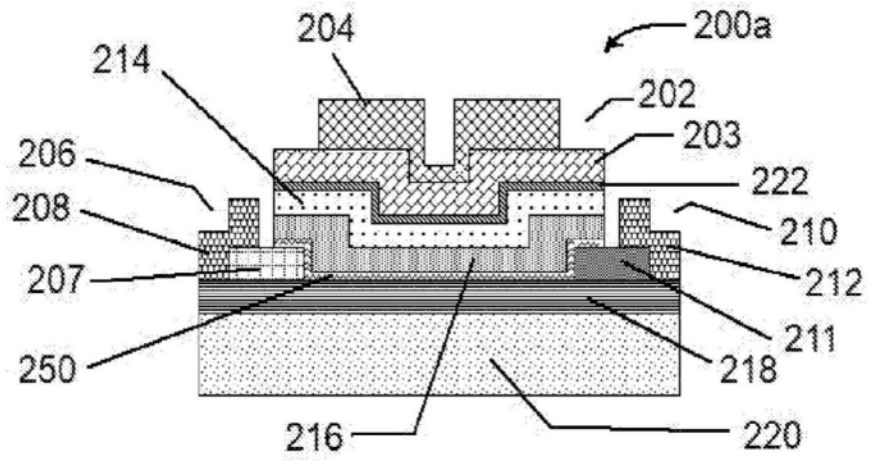


图2a

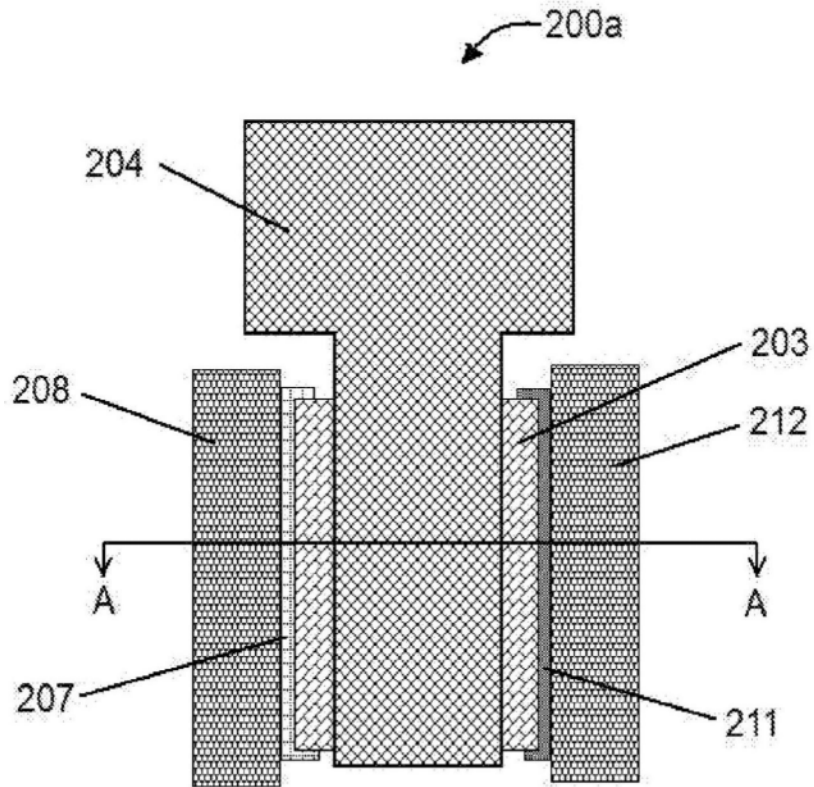


图2b

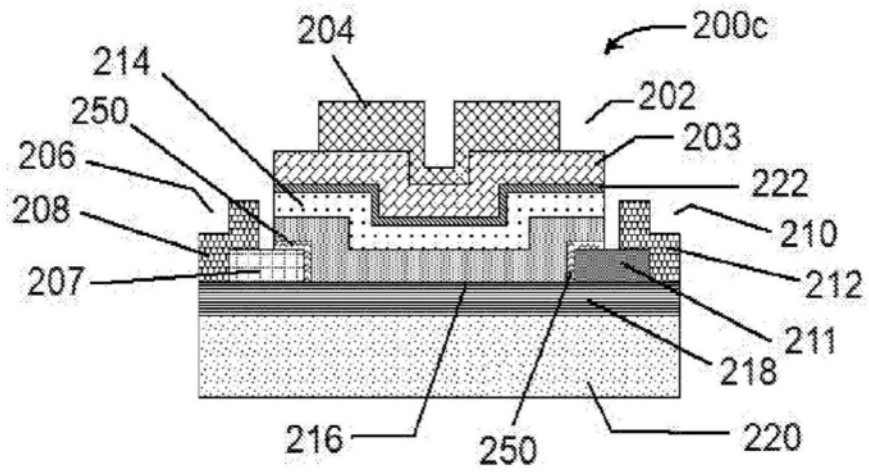


图2c

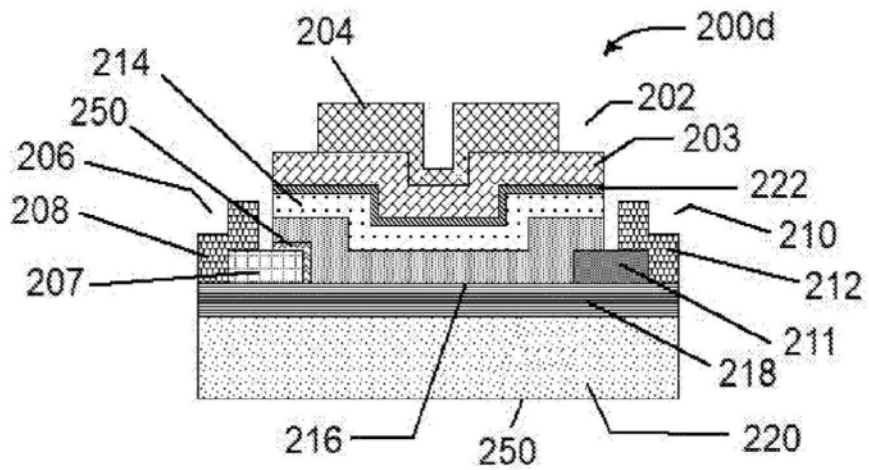


图2d

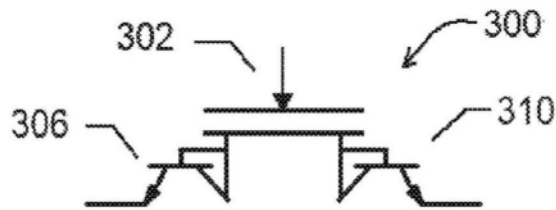


图3a

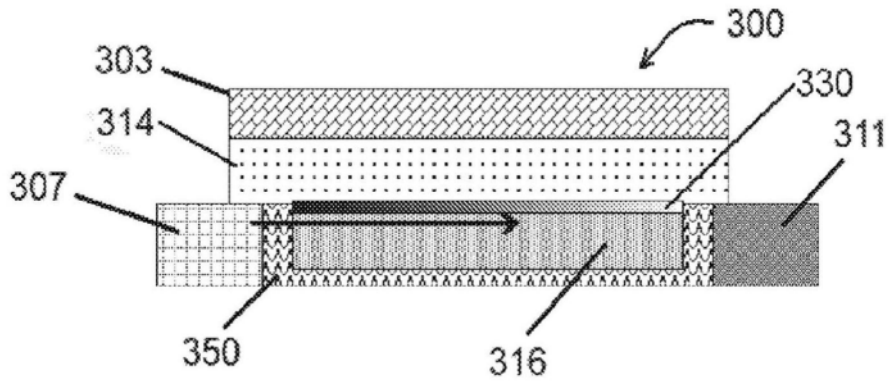


图3b

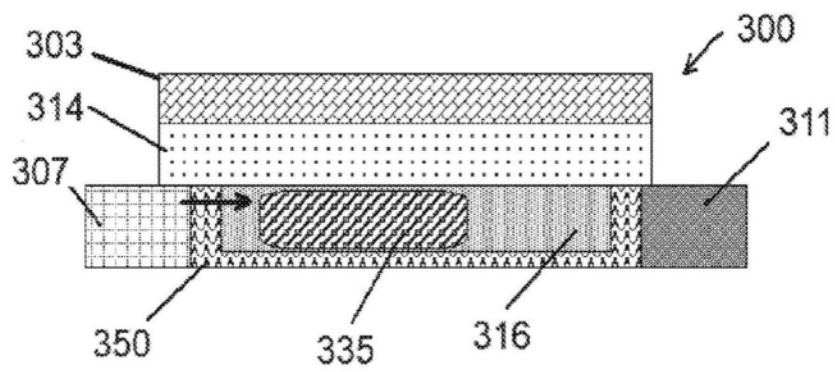


图3c

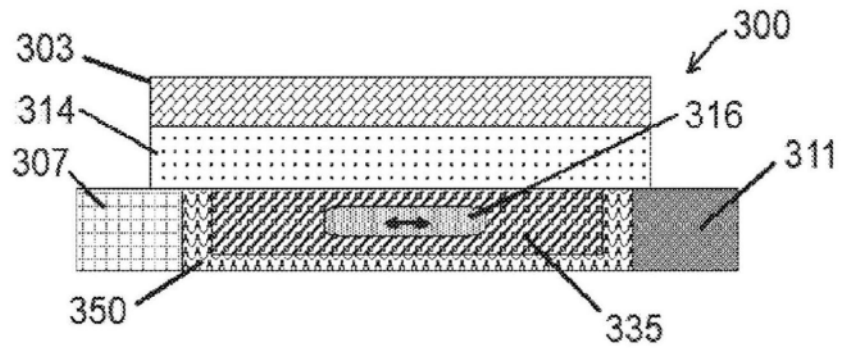


图3d

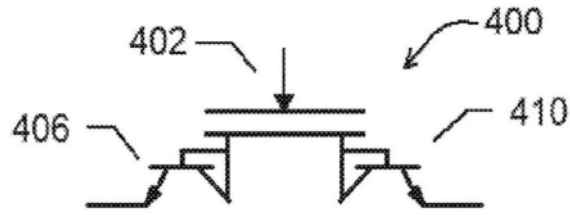


图4a

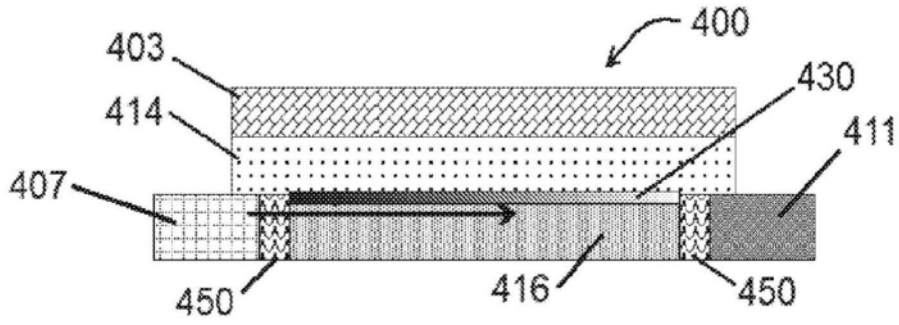


图4b

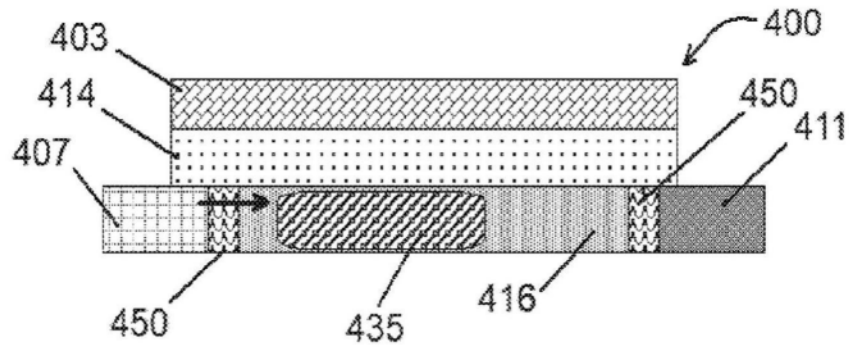


图4c

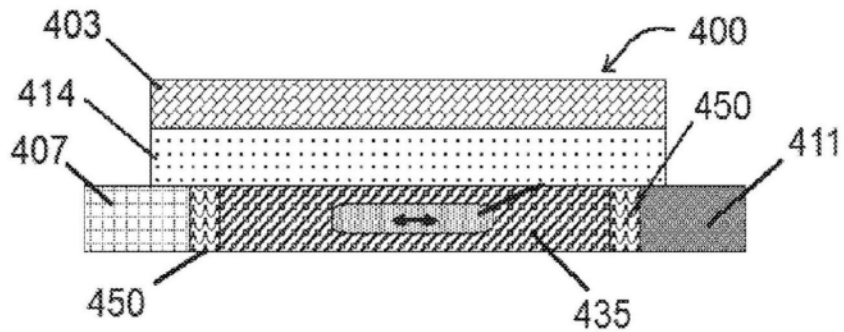


图4d

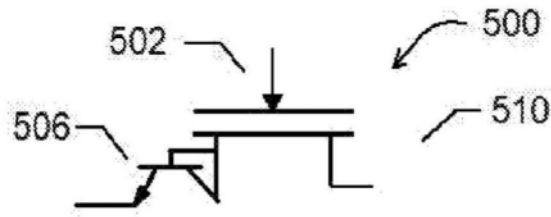


图5a

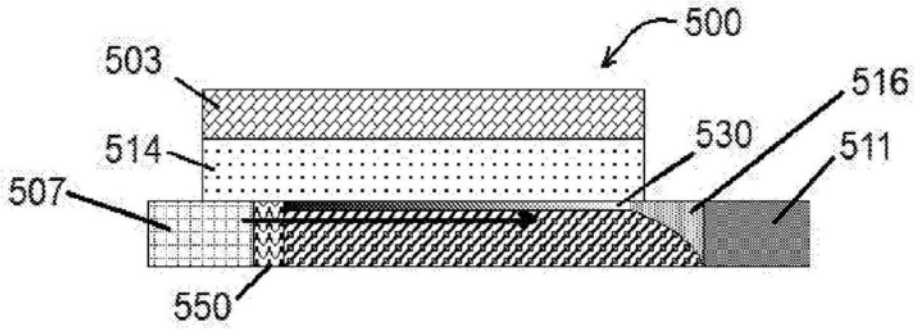


图5b

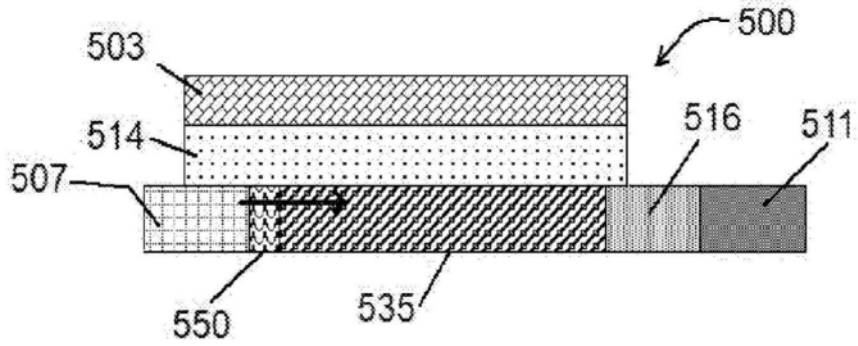


图5c

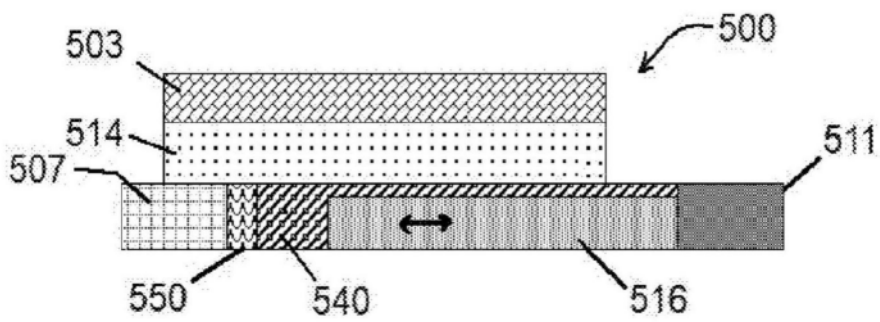


图5d

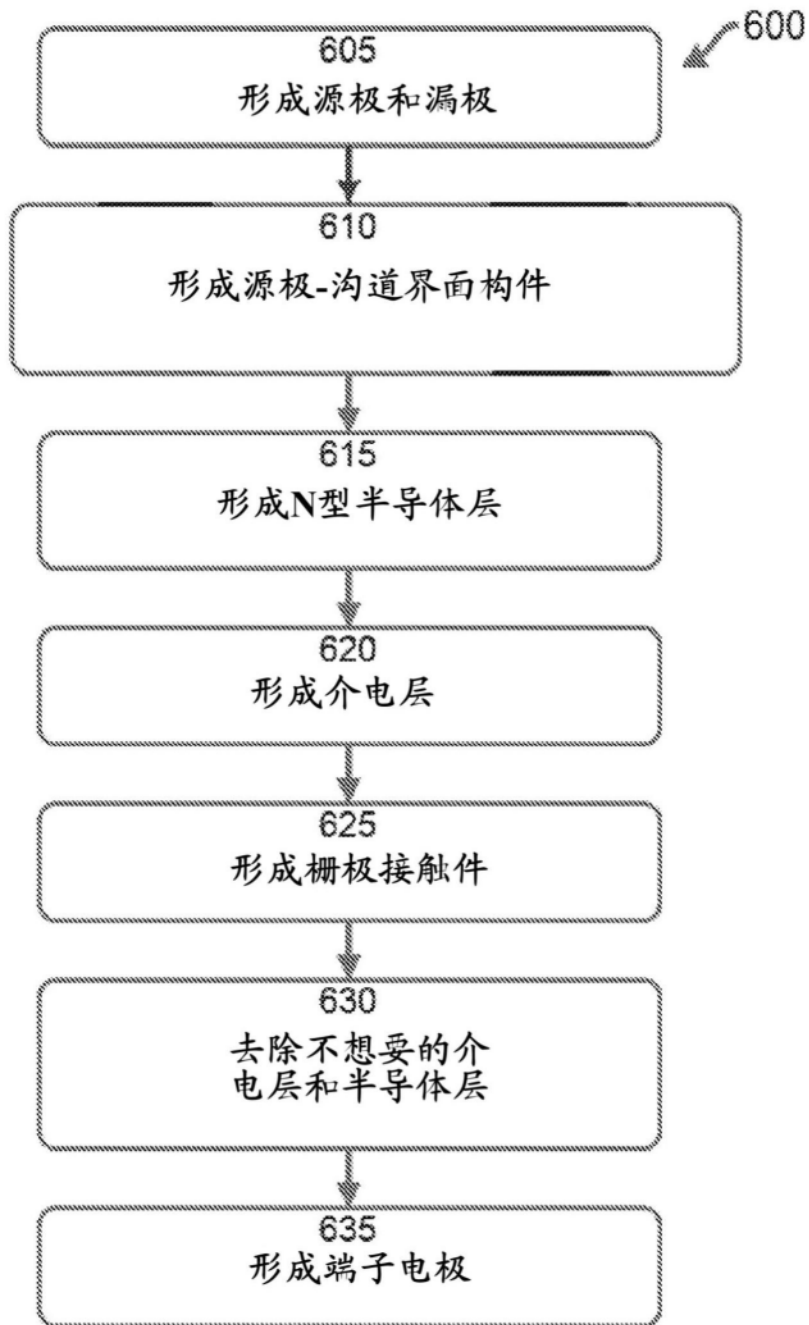


图6

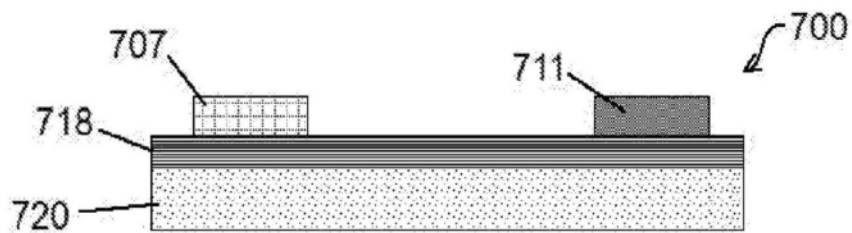


图7a

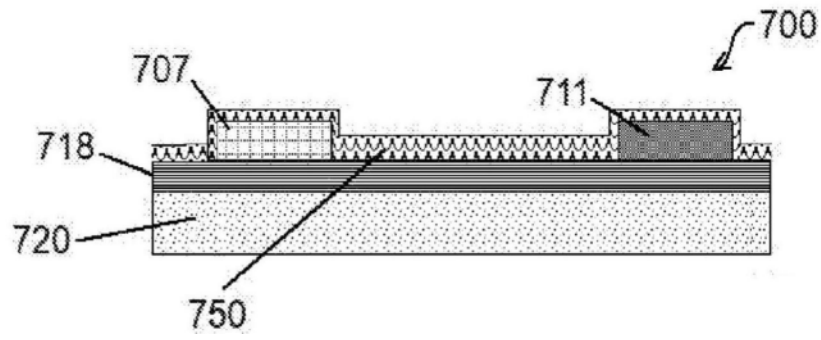


图7b

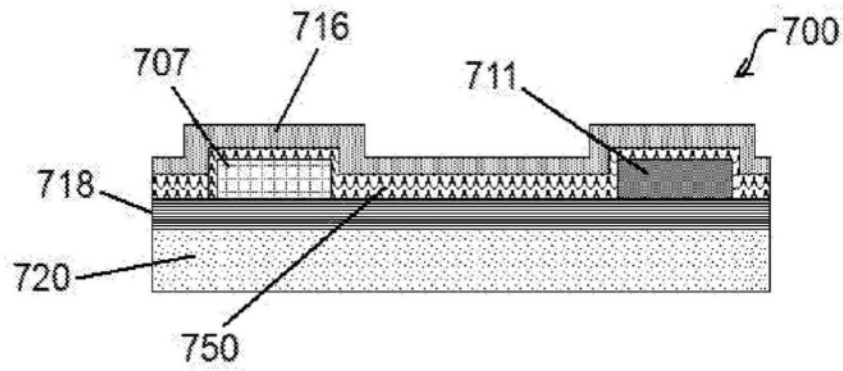


图7c

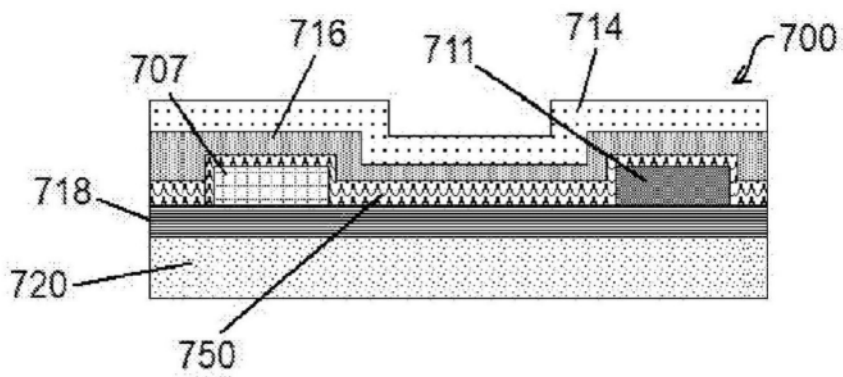


图7d

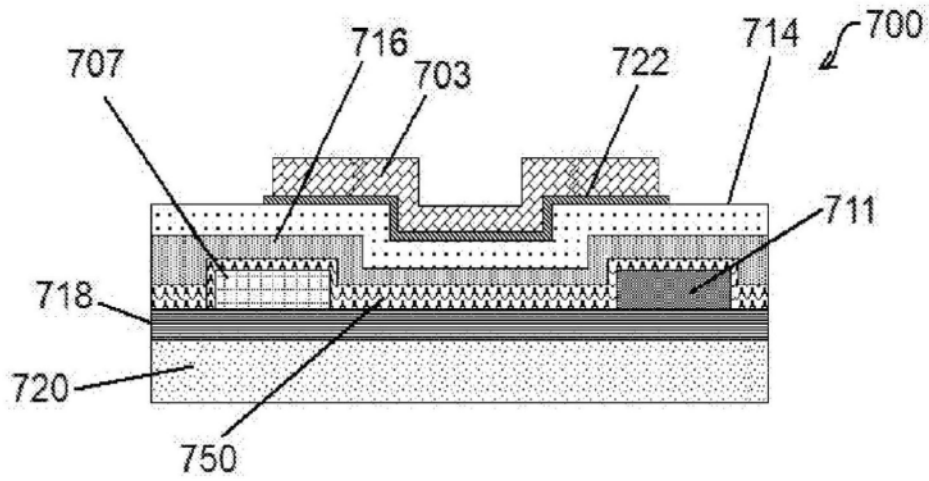


图7e

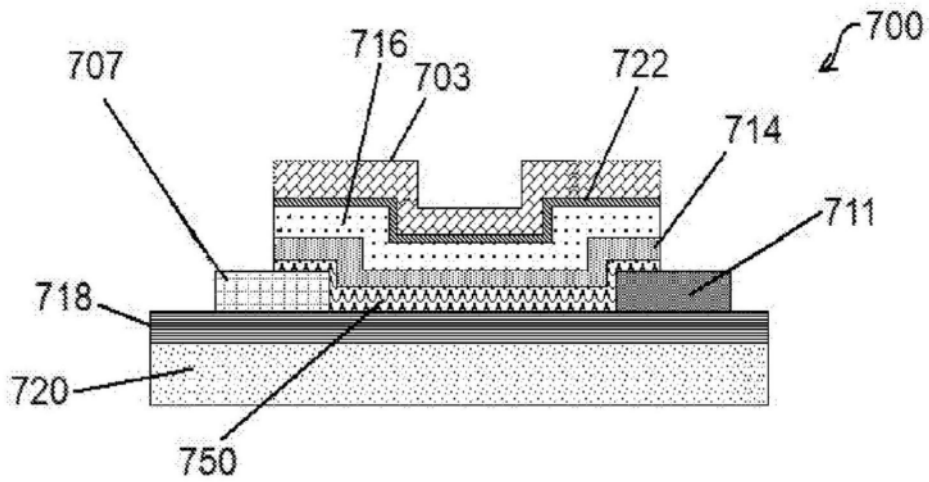


图7f

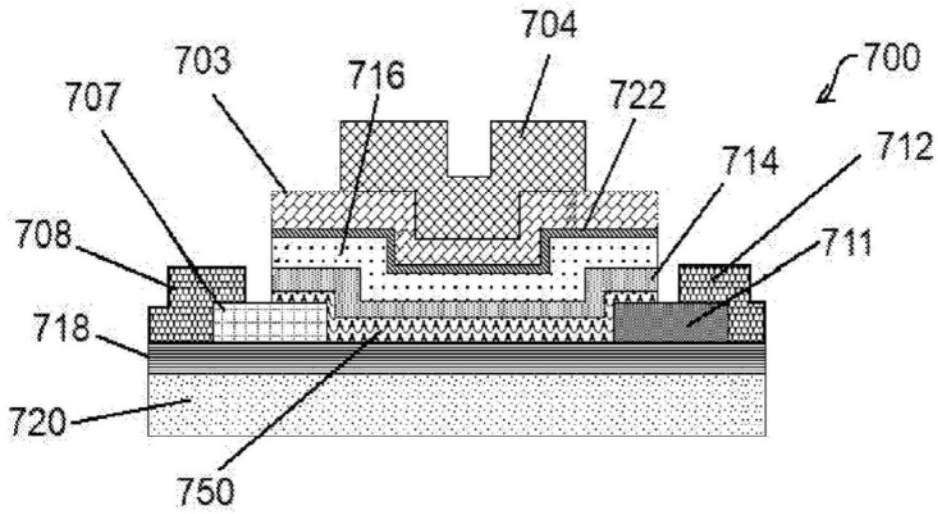


图7g

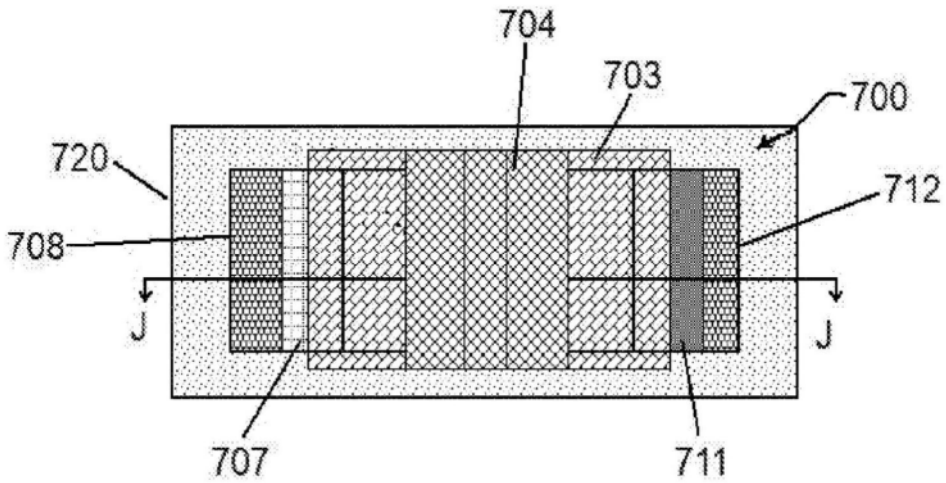


图7n

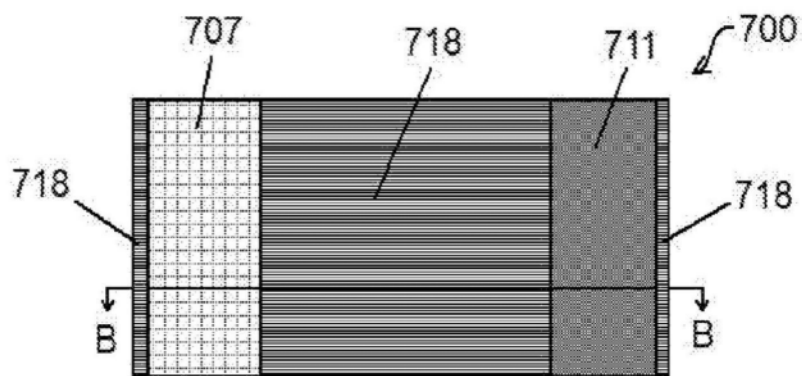


图7h

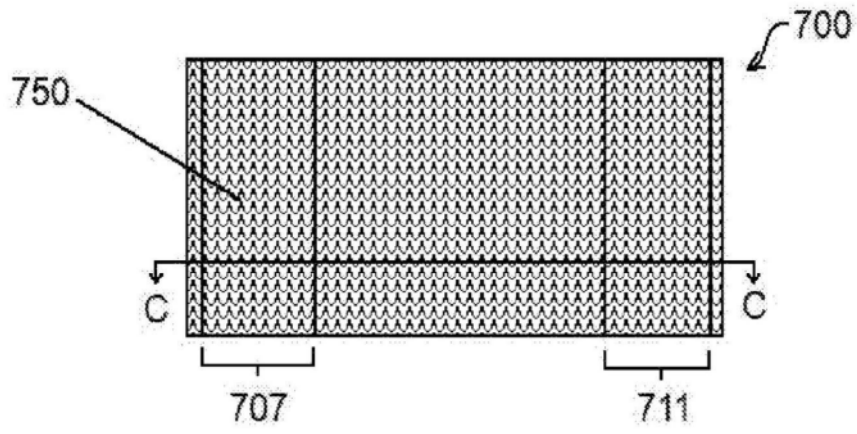


图7i

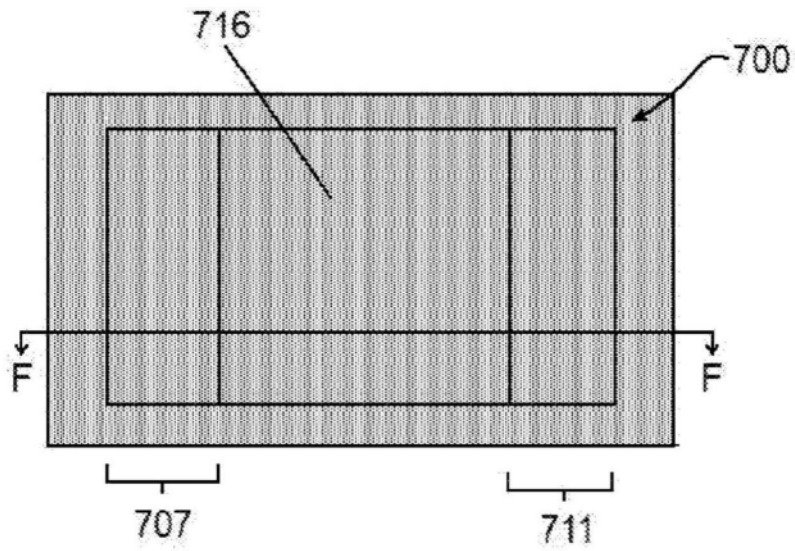


图7j

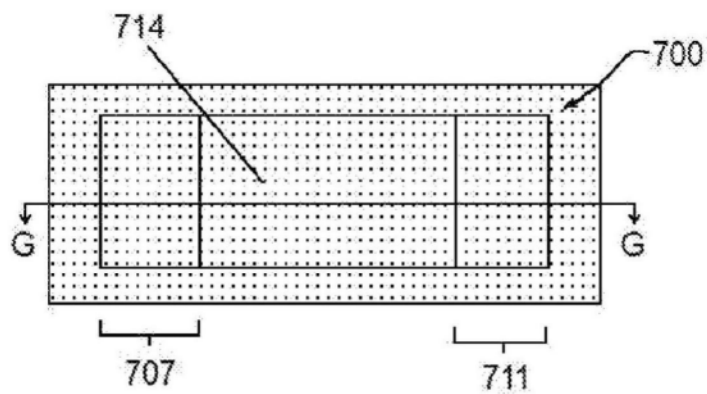


图7k

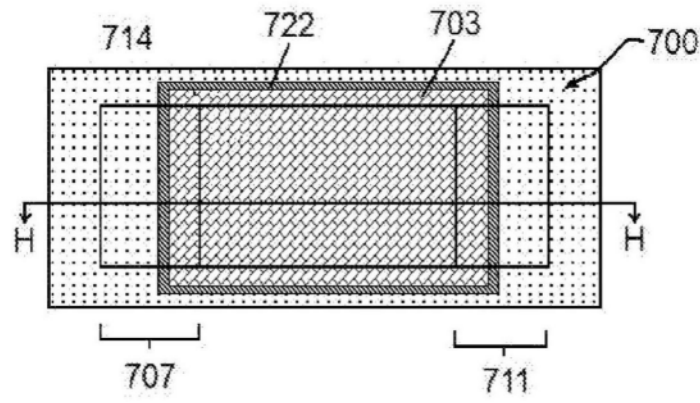


图71

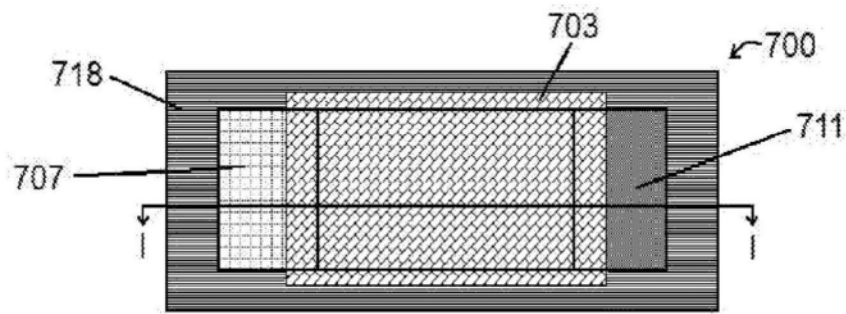


图7m

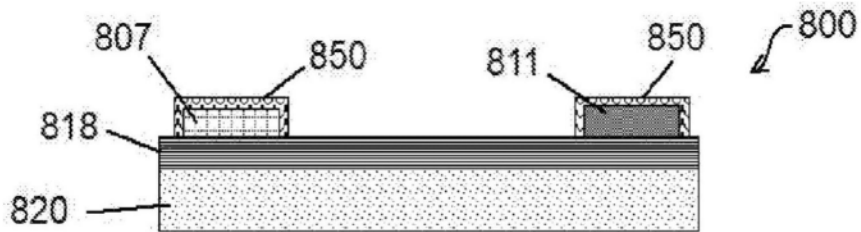


图8a

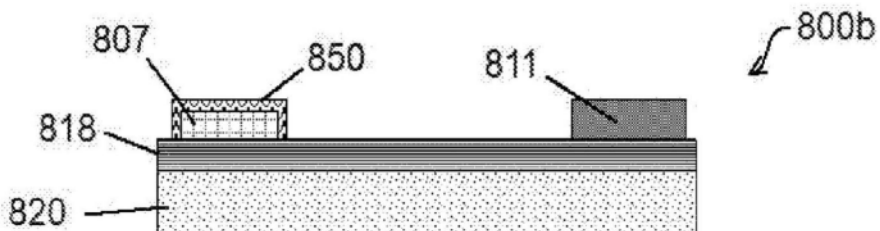


图8b

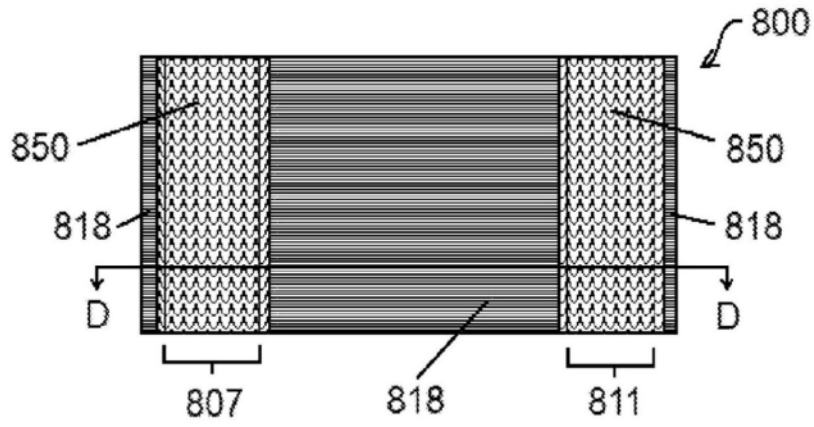


图8c

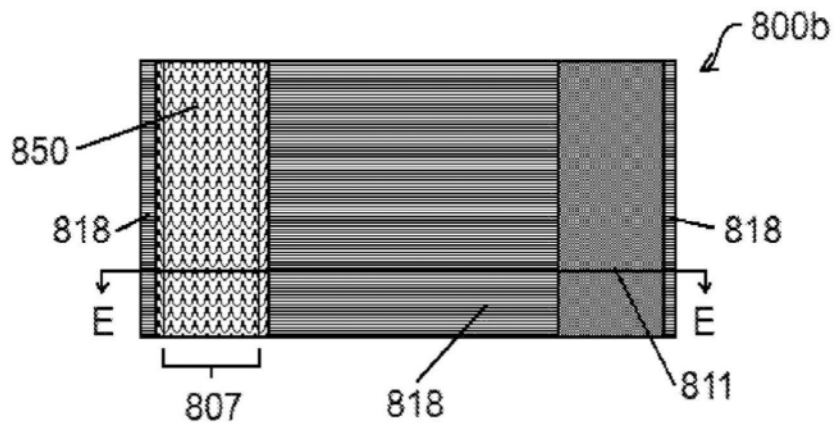


图8d

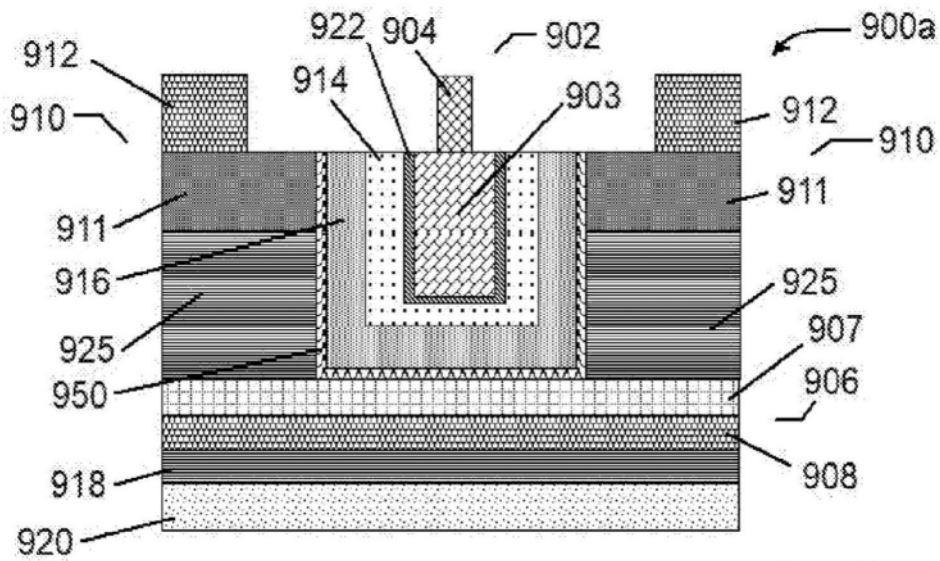


图9a

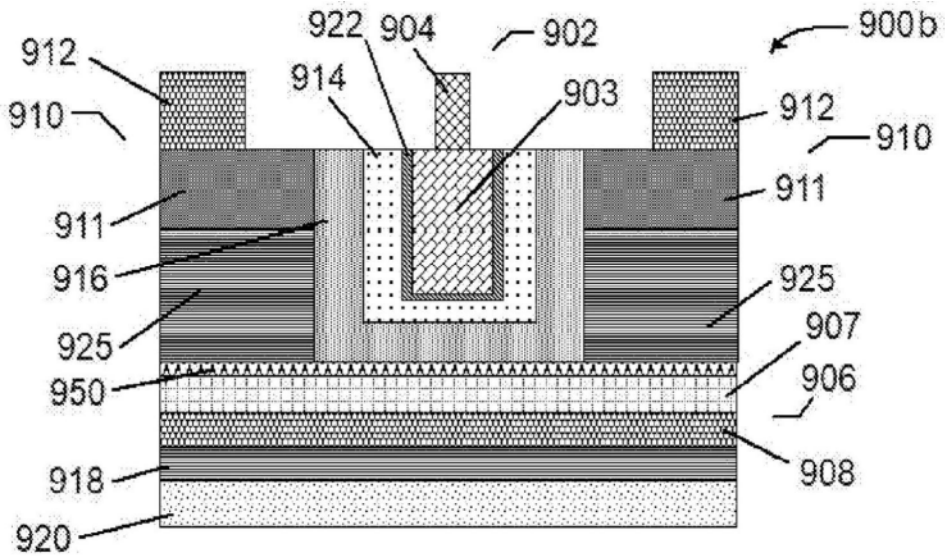


图9b

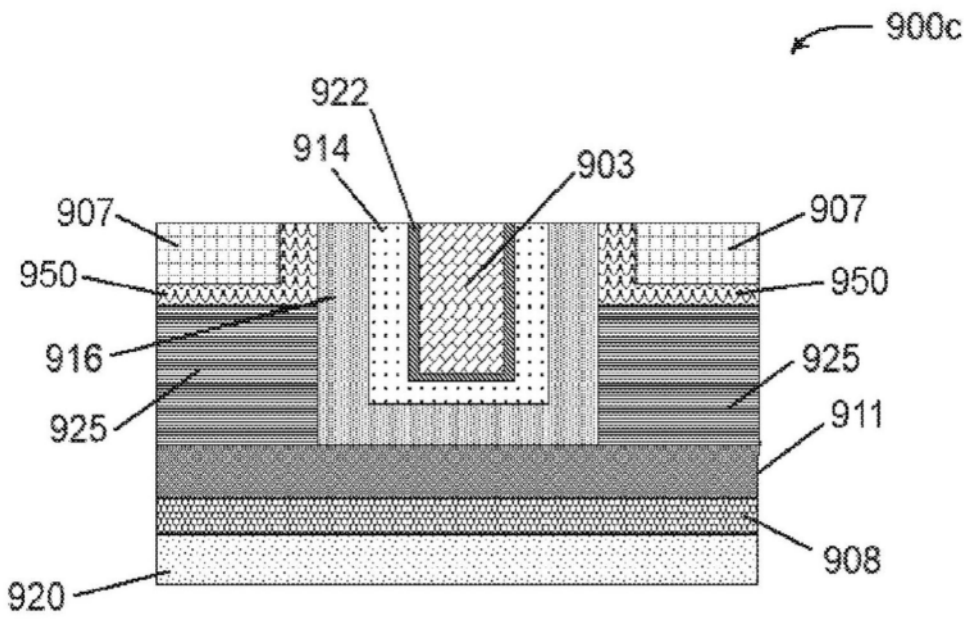


图9c

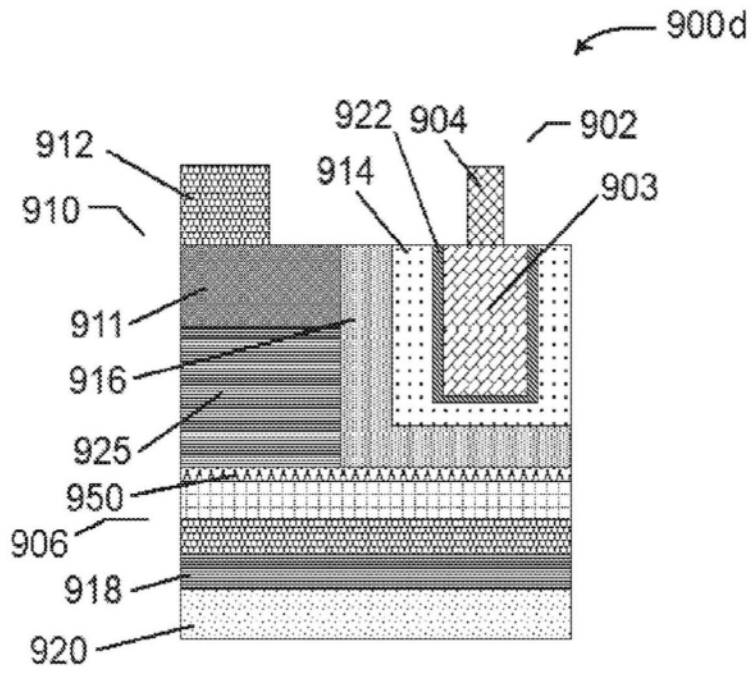


图9d

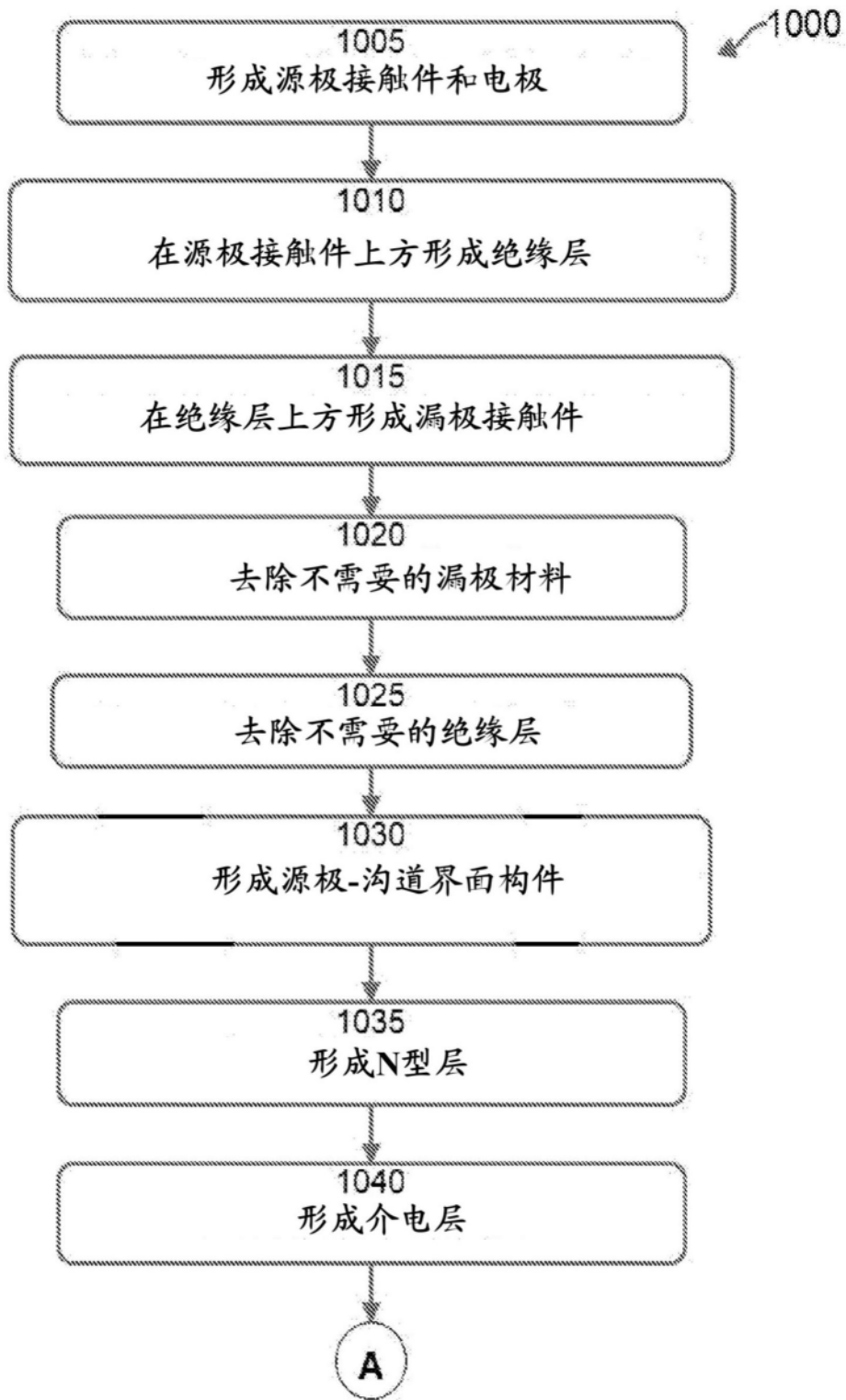


图10a

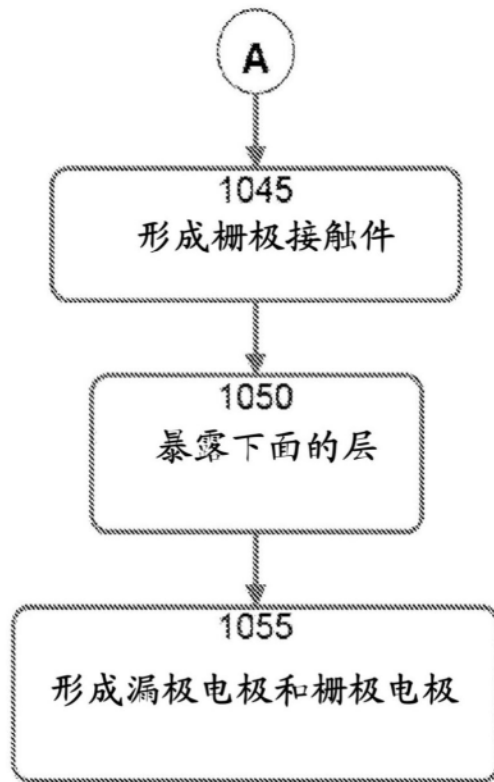


图10b

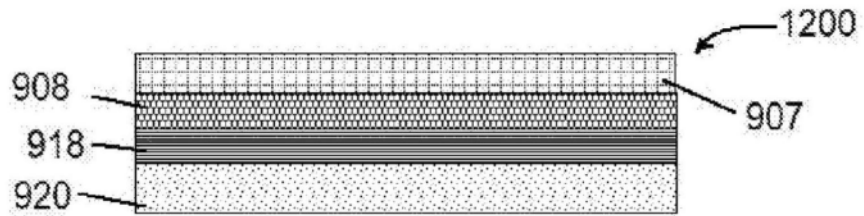


图11a

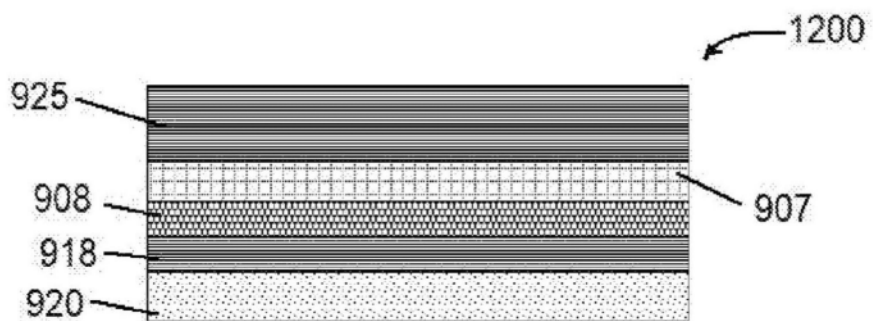


图11b

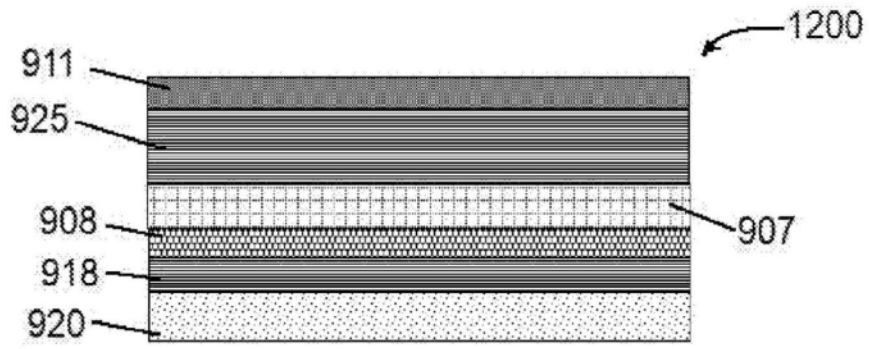


图11c

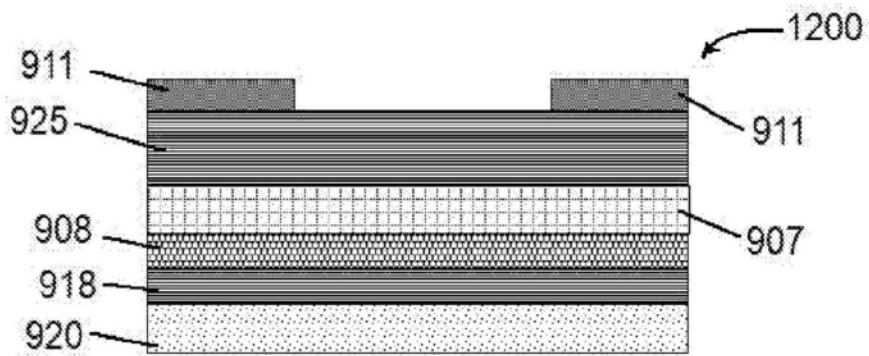


图11d

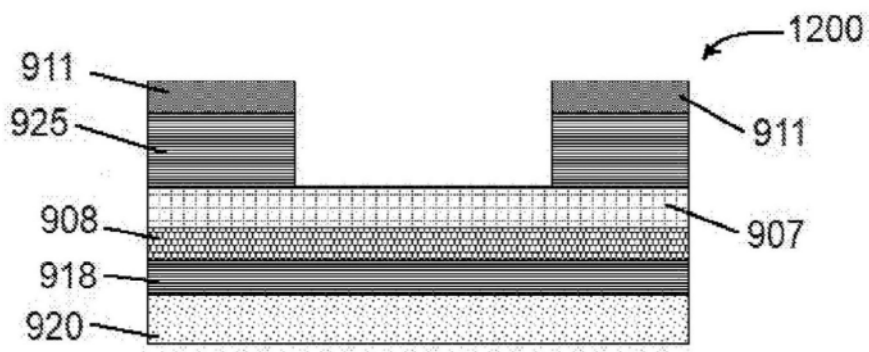


图11e

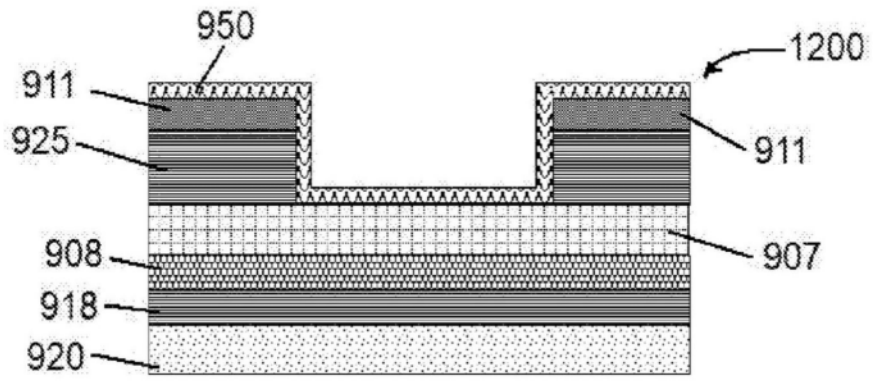


图11f

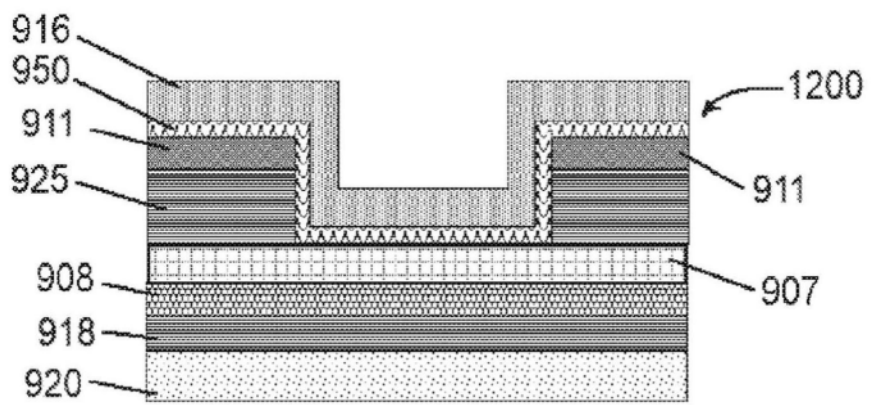


图11g

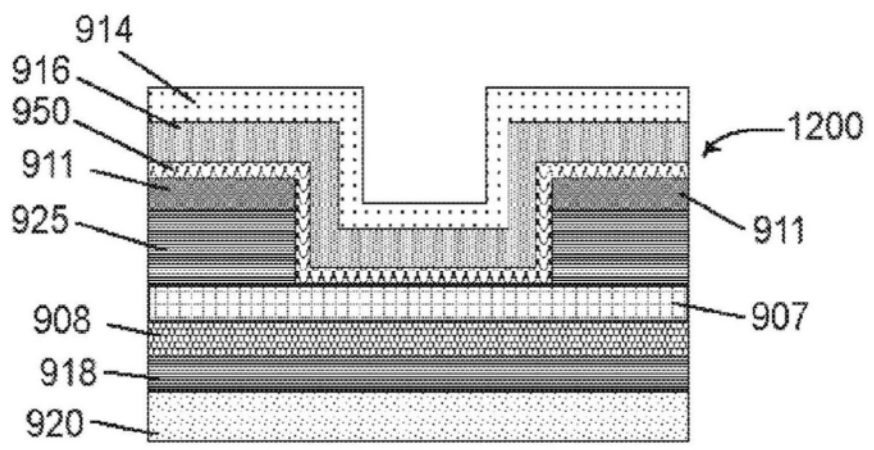


图11h

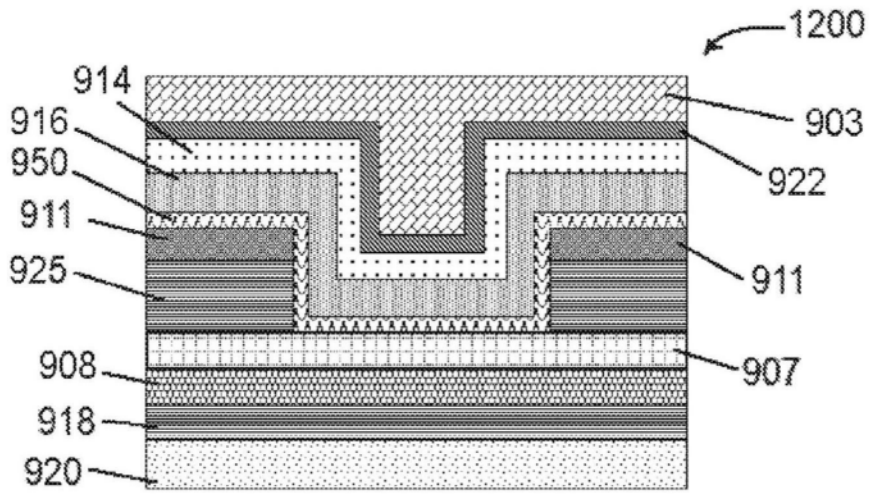


图11i

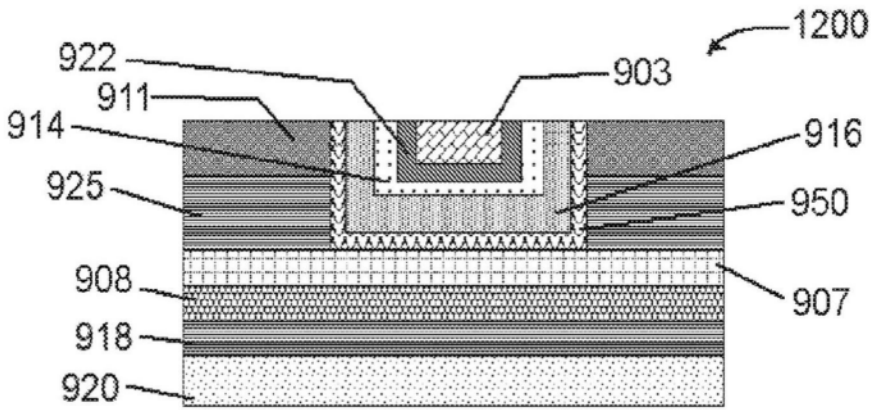


图11j

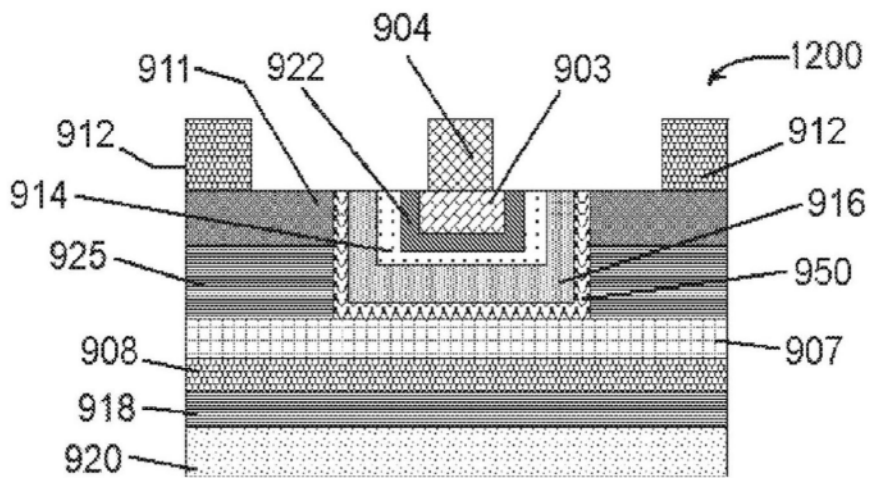


图11k

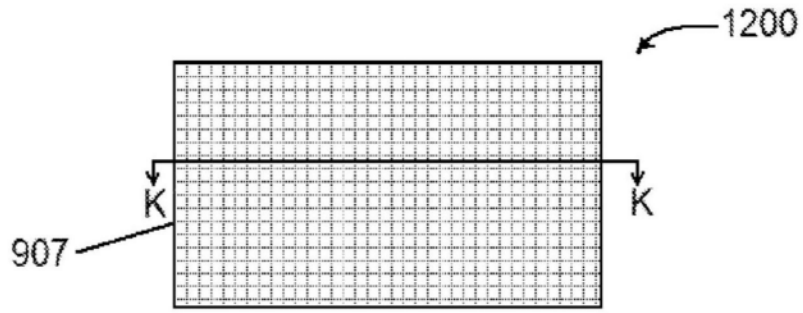


图11j



图11m

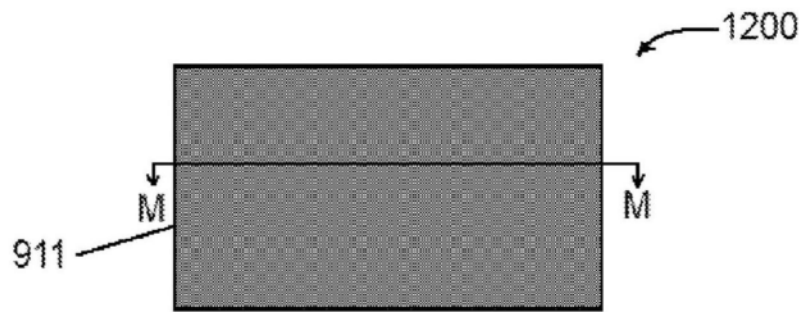


图11n

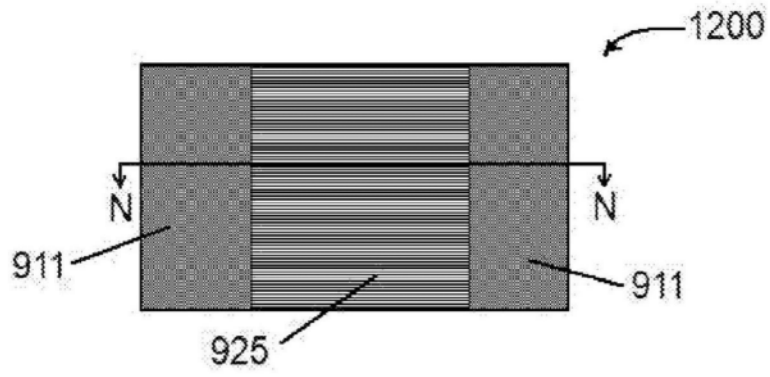


图11o

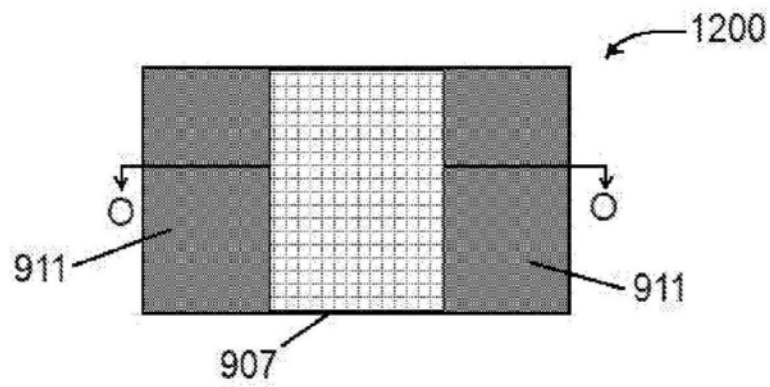


图11p

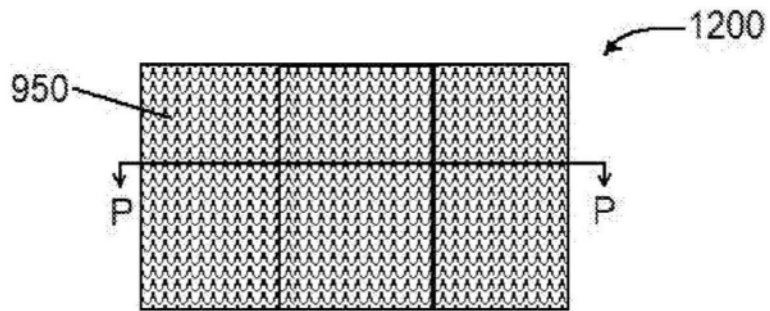


图11q

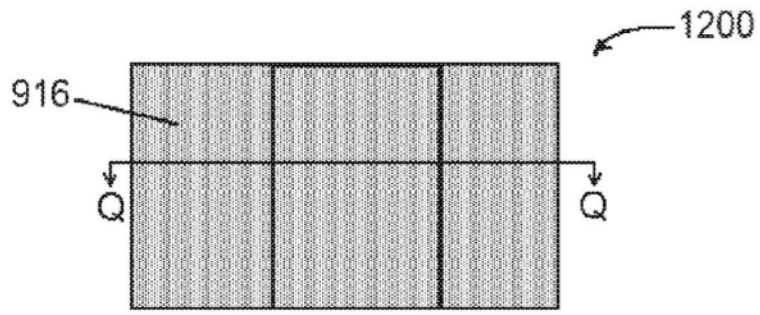


图11r

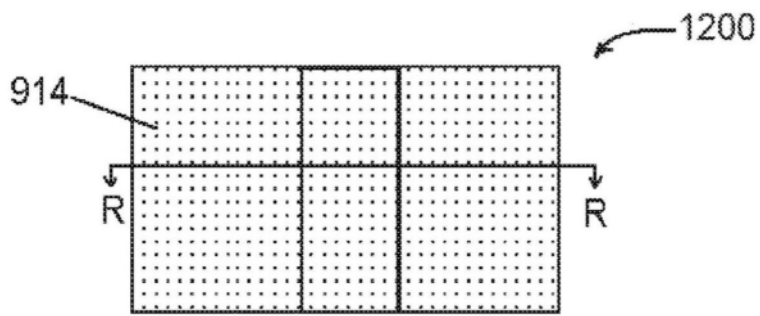


图11s

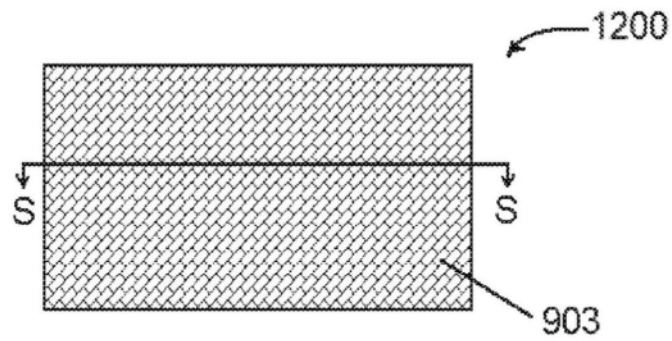


图11t

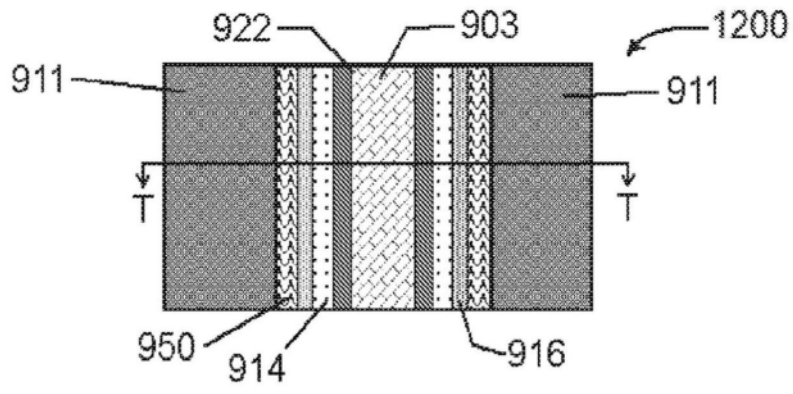


图11u

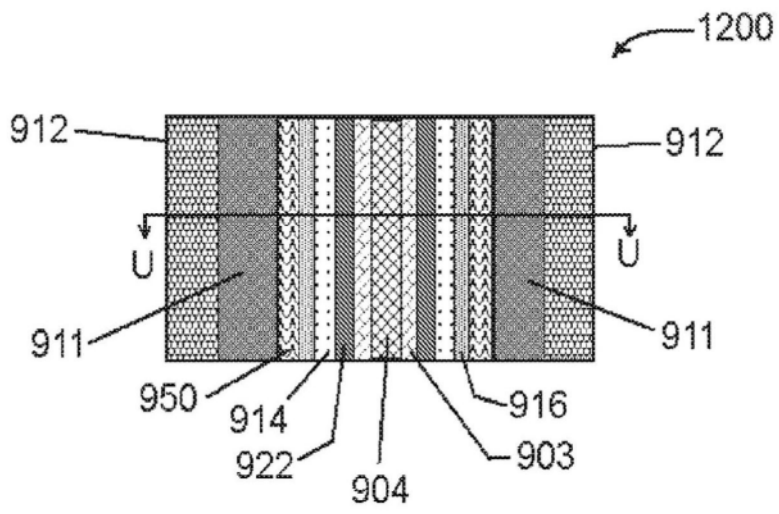


图11v

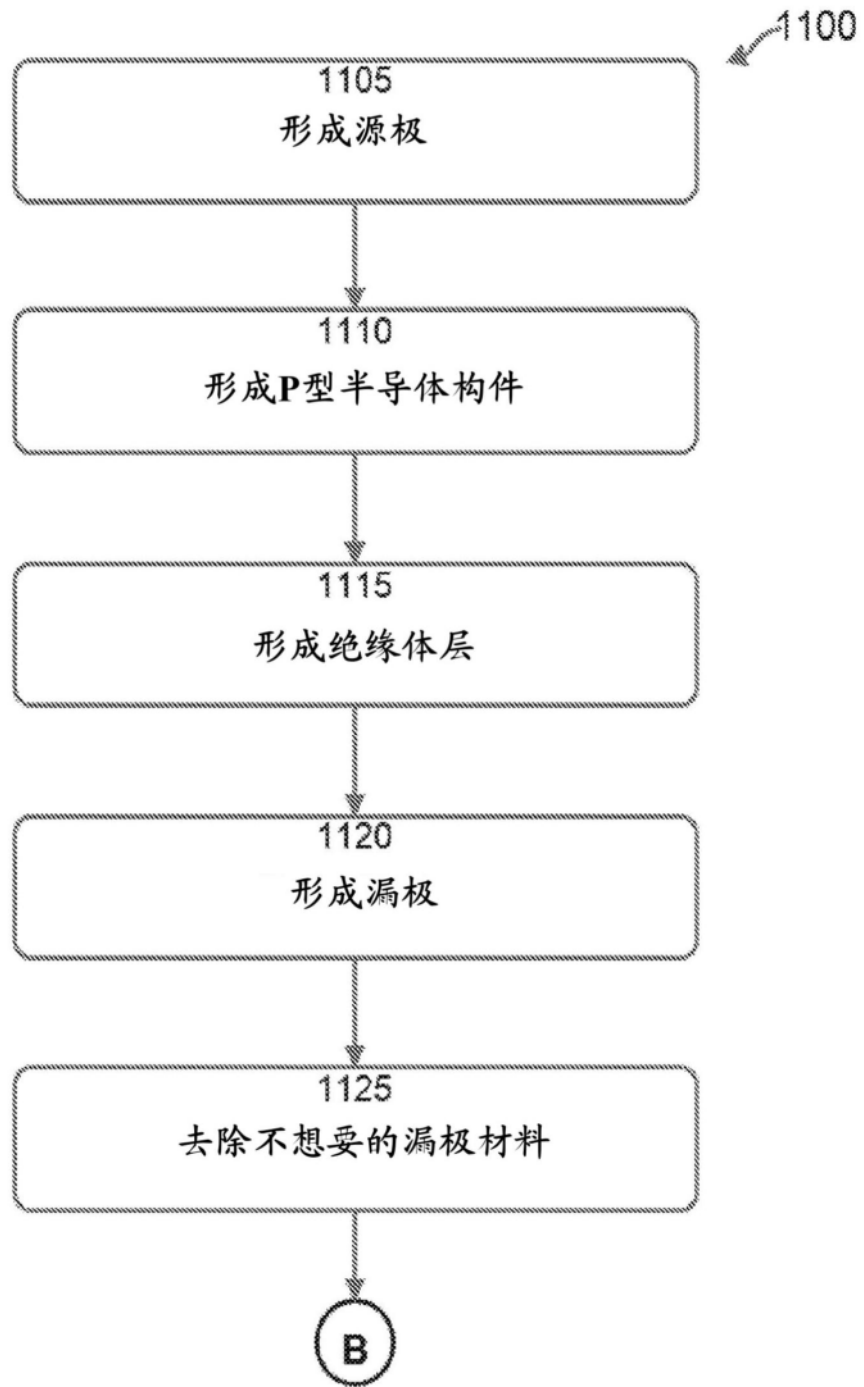


图12a



图12b

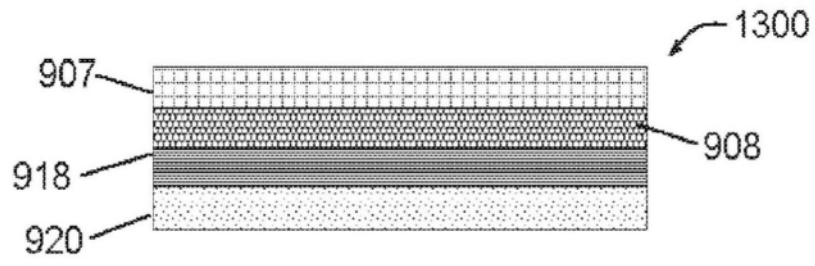


图13a

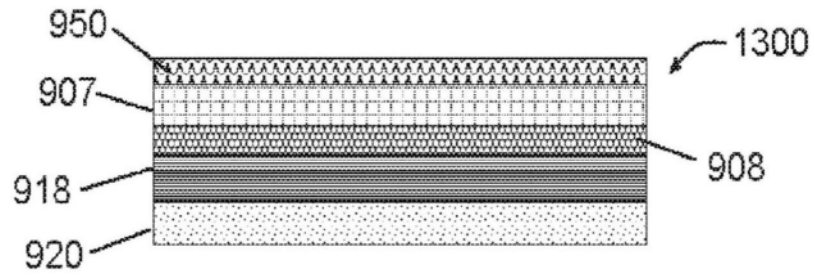


图13b

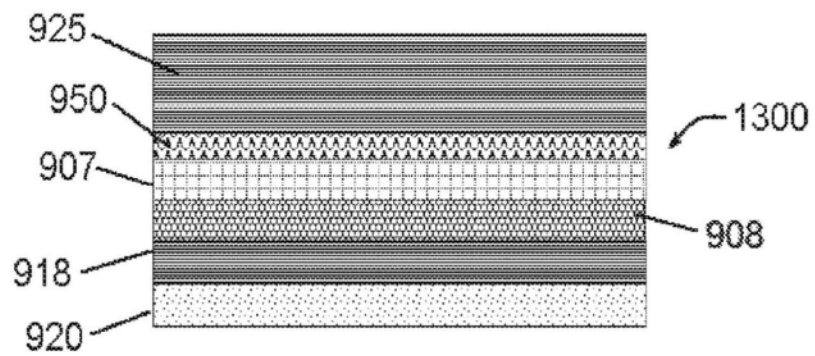


图13c

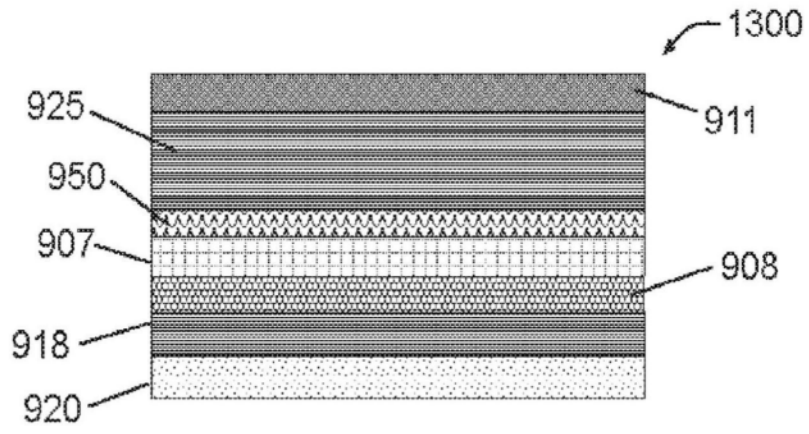


图13d

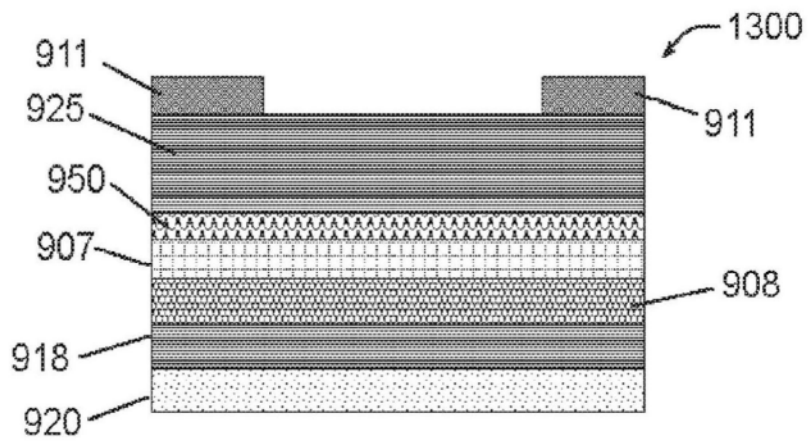


图13e

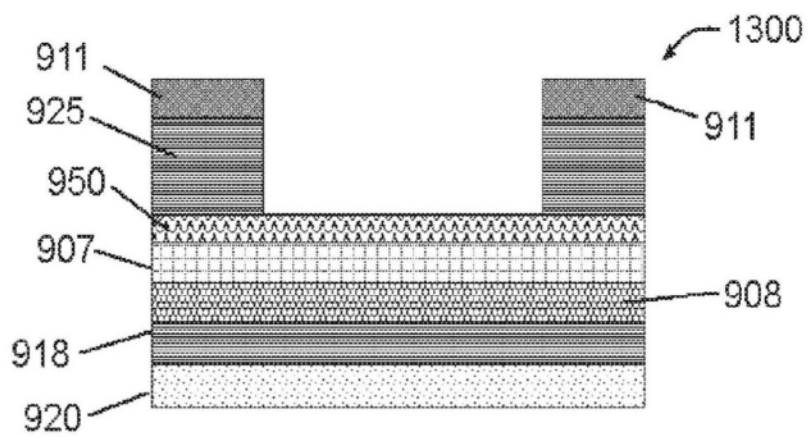


图13f

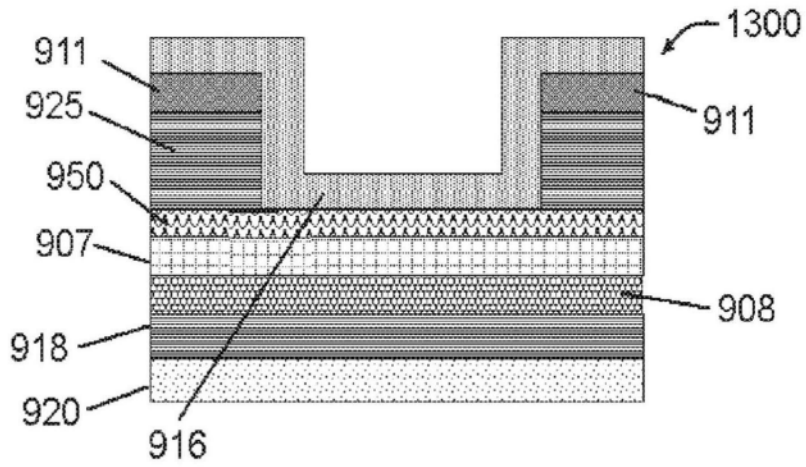


图13g

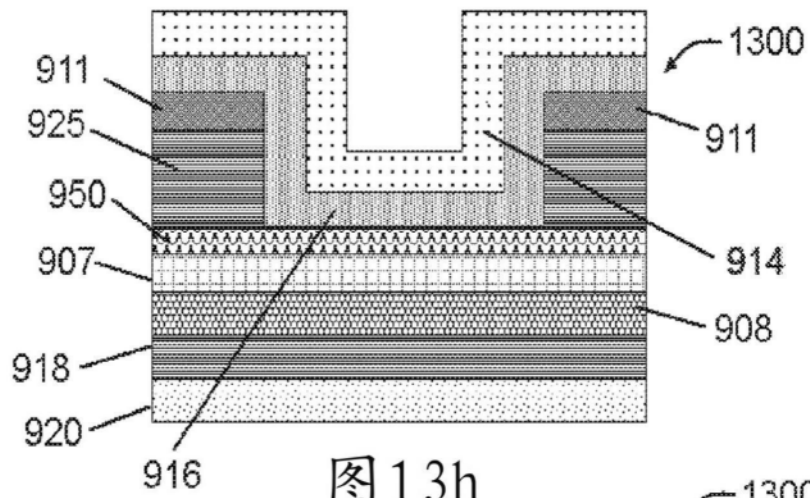


图13h

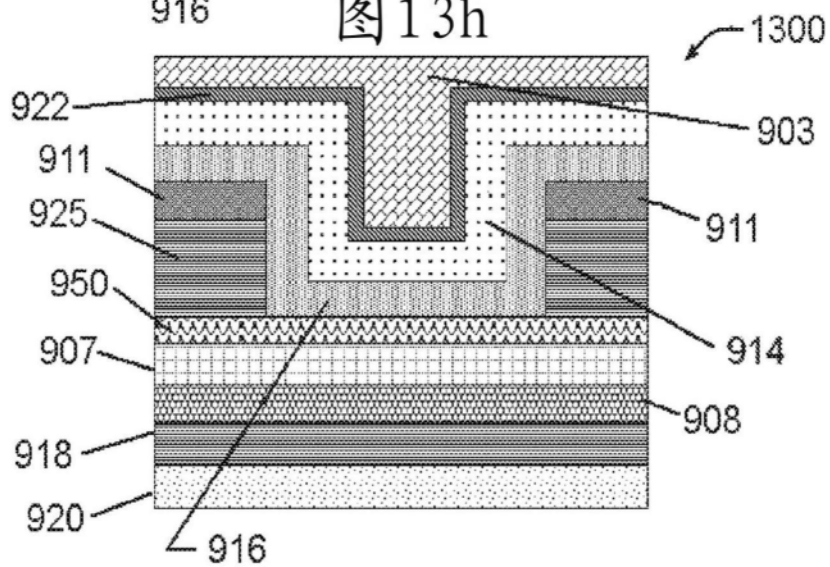


图13i

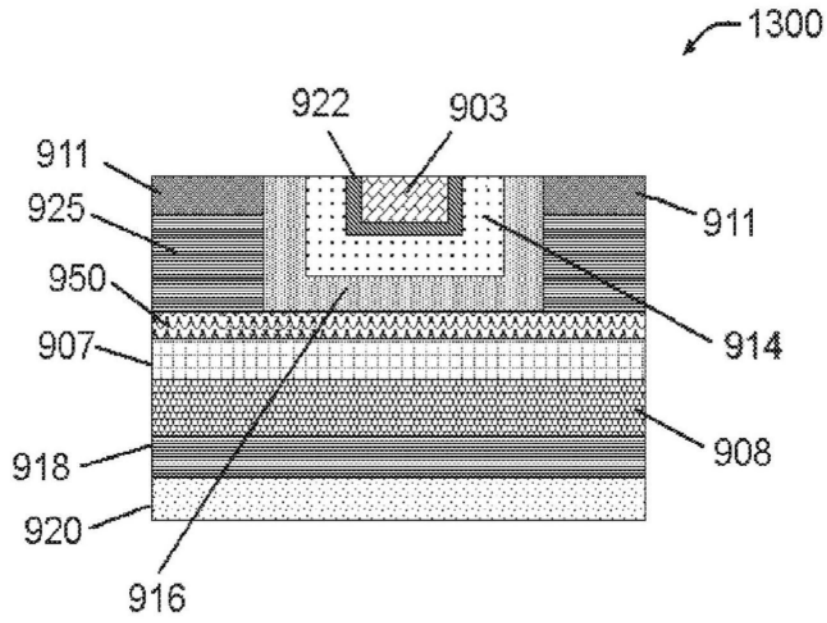


图13j

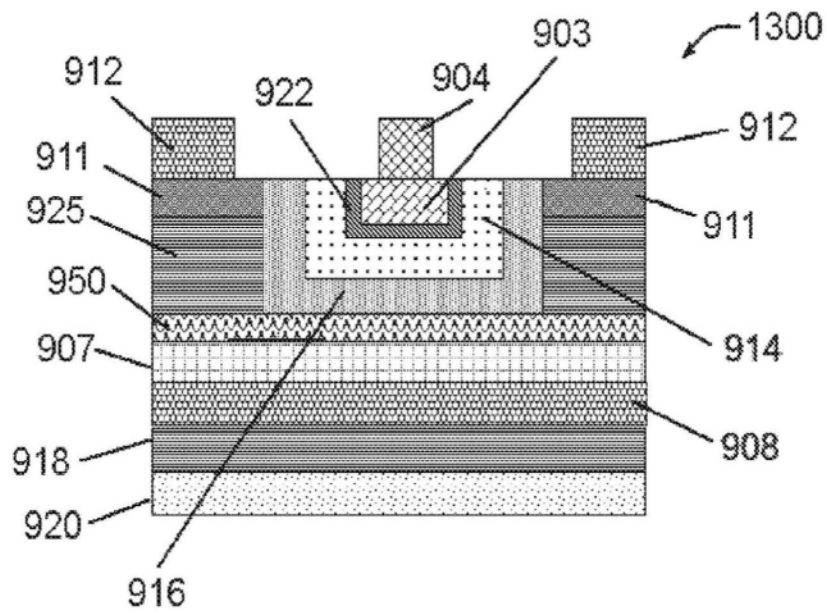


图13k

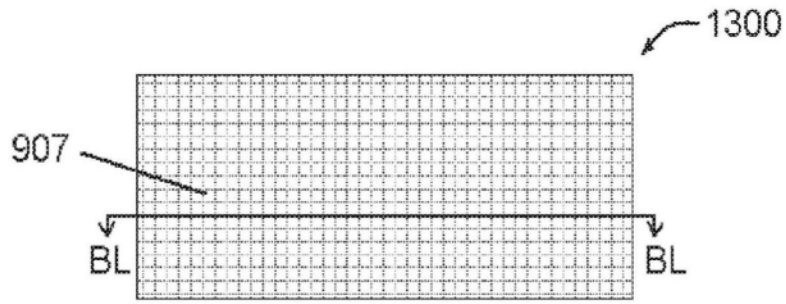


图13l

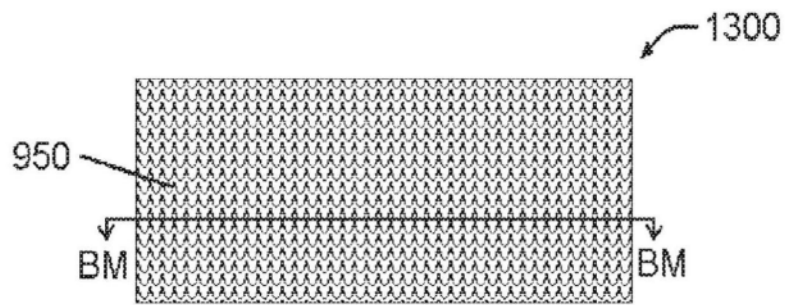


图13m

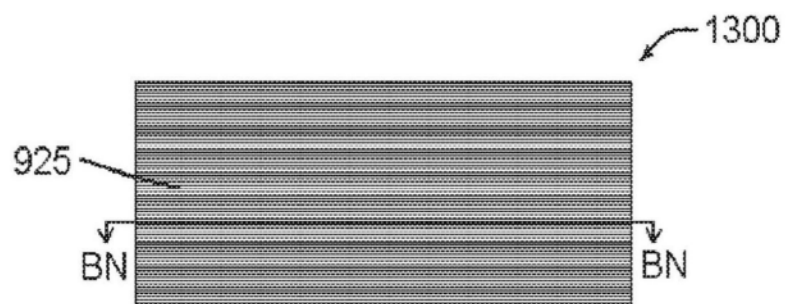


图13n

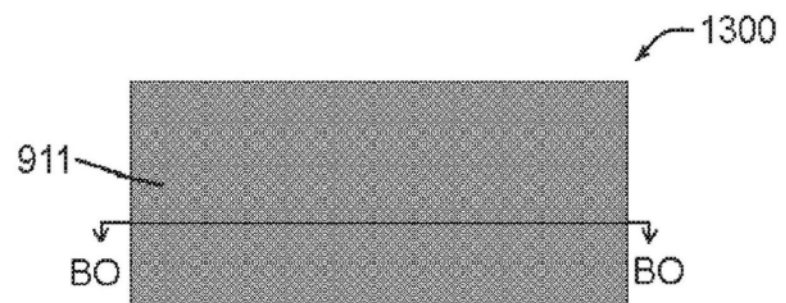


图13o

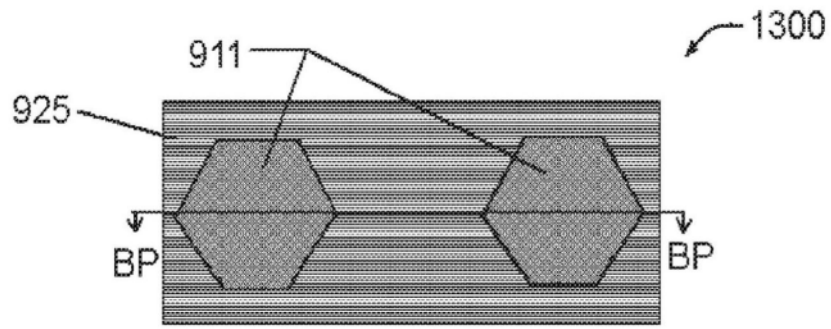


图13p

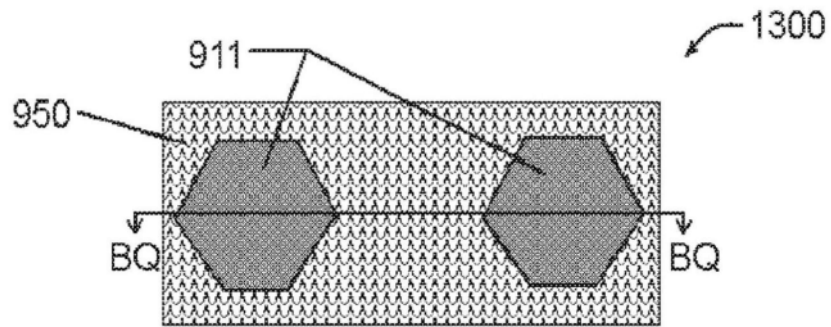


图13q

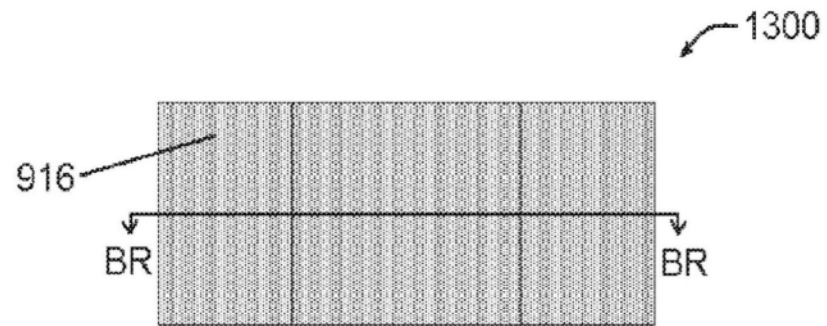


图13r

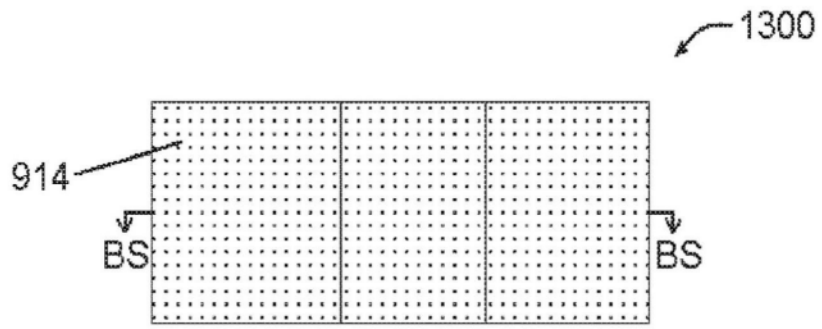


图13s

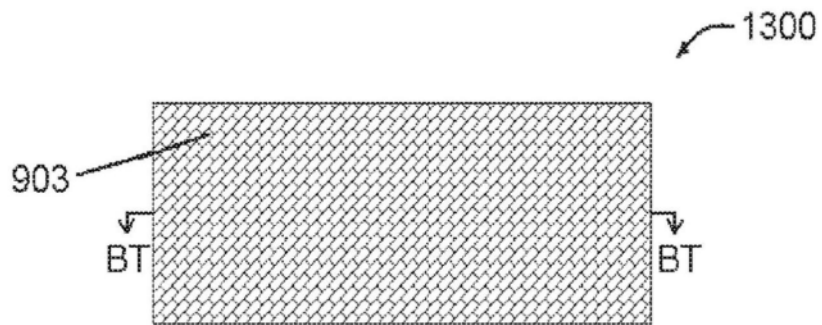


图13t

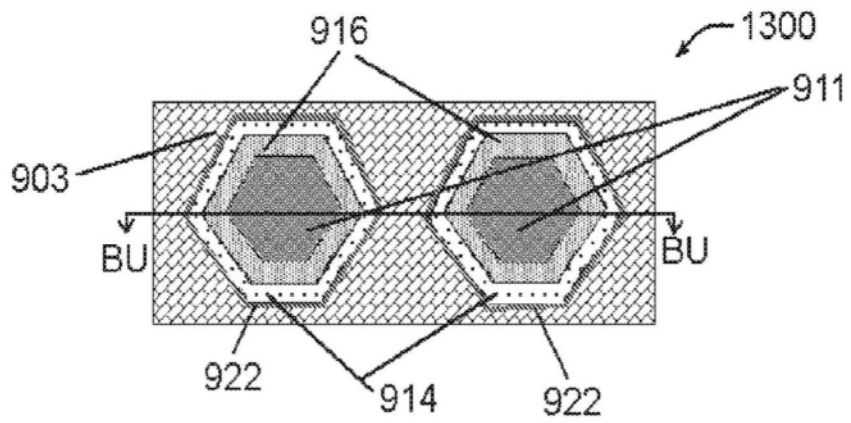


图13u

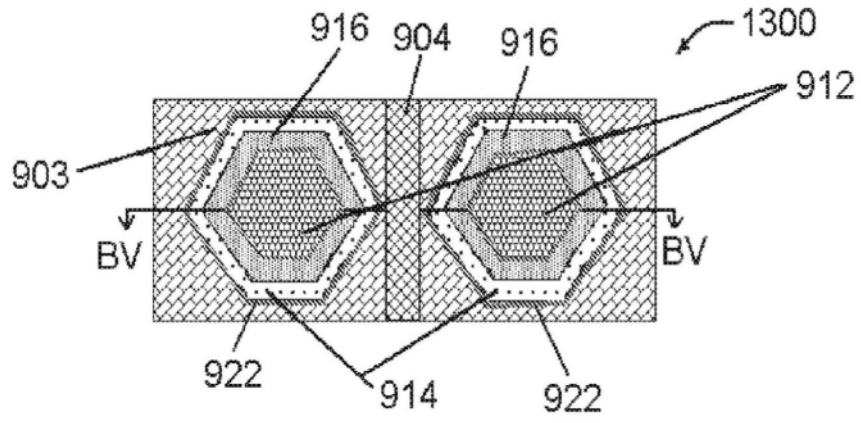


图13v