

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 22 日 (22.06.2023)



(10) 国际公布号
WO 2023/108784 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 29/08 (2006.01)
- (21) 国际申请号: PCT/CN2021/140812
- (22) 国际申请日: 2021 年 12 月 23 日 (23.12.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202111535102.X 2021 年 12 月 15 日 (15.12.2021) CN
- (71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区经济技术开发区科创十街 18 号京东贝科技园 11 栋 4 层, Beijing 100176 (CN)。中国科学院微电子研究所(**INSTITUTE OF MICROELECTRONICS,**

CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

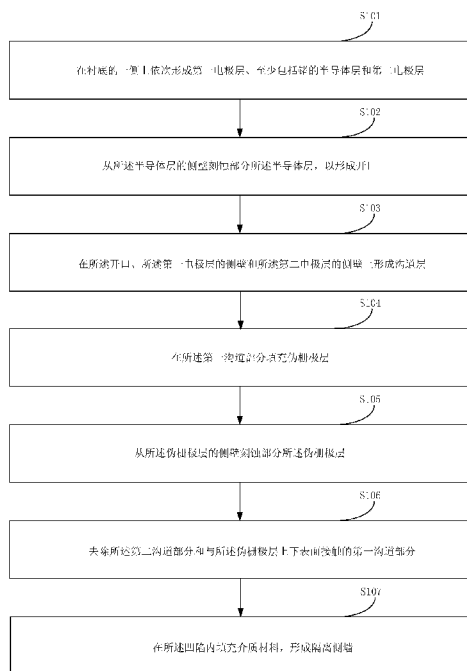
(72) 发明人: 黄伟兴(**HUANG, Weixing**); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。朱慧珑(**ZHU, Huilong**); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司
(**UNITALEN ATTORNEYS AT LAW**); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 一种半导体器件及其制造方法



- S101 Sur un côté d'un substrat, former séquentiellement une première couche d'électrode, une couche semi-conductrice, qui comprend au moins du germanium, et une seconde couche d'électrode
- S102 Graver une partie de la couche semi-conductrice à partir d'une paroi latérale de la couche semi-conductrice pour former une ouverture
- S103 Former une couche de canal dans l'ouverture et sur une paroi latérale de la première couche d'électrode et une paroi latérale de la seconde couche d'électrode
- S104 Remplir une première partie canal avec une couche de grille factice
- S105 Graver une partie de la couche de grille factice à partir d'une paroi latérale de la couche de grille factice
- S106 Retirer une seconde partie canal et la première partie canal qui est en contact avec une surface supérieure et une surface inférieure de la couche de grille factice
- S107 Remplir un évidement avec un matériau diélectrique pour former une paroi latérale d'isolation

图 1

(57) **Abstract:** Provided in the embodiments of the present application are a semiconductor device and a method for manufacturing same. The method comprises: sequentially forming a first electrode layer, a semiconductor layer and a second electrode layer on a substrate; then etching away part of the semiconductor layer from a side wall of the semiconductor layer to form an opening; then forming a channel layer in the opening and on a side wall of the first electrode layer and a side wall of the second electrode layer, wherein the channel layer comprises a first channel portion located in the opening and a second channel portion other than the first

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 一 包括国际检索报告(条约第21条(3))。

channel portion in the opening; filling the first channel portion with a dummy gate layer; then etching away part of the dummy gate layer from a side wall of the dummy gate layer by taking the second channel portion as a mask; then removing the second channel portion and the first channel portion which is in contact with an upper and a lower surface of the dummy gate layer, so as to form a recess formed by the first electrode layer or the second electrode layer, the channel layer and the dummy gate layer; and filling the recess with a dielectric material to form an isolation side wall, wherein the formed isolation side wall can reduce the parasitic capacitance of a semiconductor device and optimize the performance thereof.

(57) 摘要: 本申请实施例提供了一种半导体器件及其制造方法, 在衬底上依次形成第一电极层、半导体层和第二电极层, 而后从半导体层的侧壁刻蚀部分半导体层, 形成开口, 之后在开口、第一电极层的侧壁和第二电极层的侧壁上形成沟道层, 其中, 沟道层包括位于开口内的第一沟道部分和除开口内的第二沟道部分, 在第一沟道部分填充伪栅极层, 之后以第二沟道部分为掩蔽, 从伪栅极层的侧壁刻蚀部分伪栅极层, 而后去除第二沟道部分和与伪栅极层上下表面接触的第一沟道部分, 形成由第一电极层或第二电极层、沟道层和伪栅极层形成的凹陷, 在凹陷内填充介质材料, 形成隔离侧墙, 形成的隔离侧墙能够降低半导体器件的寄生电容, 优化半导体器件的性能。

一种半导体器件及其制造方法

本申请要求于 2021 年 12 月 15 日提交中国国家知识产权局、申请号为 CN202111535102.X、发明名称为“一种半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体器件领域，特别涉及一种半导体器件及其制造方法。

10 背景技术

随着半导体技术的快速发展，垂直结构的半导体器件受到广泛关注。垂直结构的半导体器件的沟道电流的流向垂直于衬底所在的平面，具有低功耗等优点，可以增加缩小器件规模或增加集成电路的集成密度。

但是随着计算机技术等其他技术的急速发展，对于高性能的垂直结构的半导体器件的需求也越来越大，因此，现在亟需高性能的半导体器件。

发明内容

有鉴于此，本申请的目的在于提供一种半导体器件及其制造方法，提高垂直结构的半导体器件的性能。

为实现上述目的，本申请有如下技术方案：

本申请实施例提供一种半导体器件的制造方法，包括：

在衬底的一侧上依次形成第一电极层、至少包括锗的半导体层和第二电极层；所述第一电极层为源极层或漏极层中的一种，所述第二电极层为源极层或漏极层中的另一种；

从所述半导体层的侧壁刻蚀部分所述半导体层，以形成开口，所述开口包括弧形，所述弧形的缺口朝向外侧；

在所述开口、所述第一电极层的侧壁和所述第二电极层的侧壁上形成沟道层，其中，沟道层包括位于所述开口内的第一沟道部分和除所述开口内的第二沟道部分，所述第一沟道部分与所述开口共形；

在所述第一沟道部分填充伪栅极层，所述伪栅极层的侧壁与所述第二沟道部分的侧壁齐平；

从所述伪栅极层的侧壁刻蚀部分所述伪栅极层，以使刻蚀后的伪栅极层的侧壁与所述第一电极层的侧壁齐平；

去除所述第二沟道部分和与所述伪栅极层上下表面接触的第一沟道部分，形成由所述第一电极层或所述第二电极层、所述沟道层和所述伪栅极层形成的凹陷；

在所述凹陷内填充介质材料，形成隔离侧墙。

可选地，所述开口包括第一开口和第二开口，所述第一开口位于所述第二开口外侧，所述沟道层包括第一子沟道层和第二子沟道层，所述第一子沟道层位于所述第二子沟道层

的外侧；

所述从所述半导体层的侧壁刻蚀部分所述半导体层，以形成开口，所述开口包括弧形，所述弧形的缺口朝向外侧包括：

5 从所述半导体层的外侧侧壁利用原子层蚀刻刻蚀部分所述半导体层，形成包括弧形的第一开口，所述第一开口包括的弧形的缺口朝向外侧；

所述在所述开口、所述第一电极层的侧壁和所述第二电极层的侧壁上形成沟道层包括：

在所述第一开口、所述第一电极层的外侧侧壁和所述第二电极层的外侧侧壁上外延生长第一子沟道层；

10 所述从所述半导体层的侧壁刻蚀部分所述半导体层，以形成开口，所述开口包括弧形，所述弧形的缺口朝向外侧包括：

从所述半导体层的内侧侧壁利用原子层蚀刻刻蚀剩余的所述半导体层，形成包括弧形的第二开口，所述第二开口包括的弧形与所述第一开口包括的弧形共形；

所述在所述开口、所述第一电极层的侧壁和所述第二电极层的侧壁上形成沟道层包括：

15 在所述第二开口、所述第一电极层的内侧侧壁和所述第二电极层的内侧侧壁上外延生长第二子沟道层。

可选地，所述伪栅极层包括第一伪栅极层和第二伪栅极层，所述第一伪栅极层位于所述第二伪栅极层外侧；所述凹陷包括第一凹陷和第二凹陷，所述第一凹陷位于所述第二凹陷外侧；

所述在所述第一沟道部分填充伪栅极层包括：

20 在所述第一开口的第一沟道部分填充所述第一伪栅极层，在所述第二开口的第一沟道部分填充所述第二伪栅极层；

所述从所述伪栅极层的侧壁刻蚀部分所述伪栅极层包括：

从所述第一伪栅极层的侧壁和所述第二伪栅极层的侧壁利用各向同性刻蚀部分所述第一伪栅极层和所述第二伪栅极层；

25 所述去除所述第二沟道部分和与所述伪栅极层上下表面接触的第一沟道部分，形成由所述第一电极层或所述第二电极层、所述沟道层和所述伪栅极层形成的凹陷包括：

利用原子层蚀刻去除所述第一子沟道层的第二沟道部分和与所述第一伪栅极层上下表面接触的第一沟道部分，形成由第一电极层或所述第二电极层、所述第一子沟道层和所述第一伪栅极层形成的第一凹陷；

30 利用原子层蚀刻去除所述第二子沟道层的第二沟道部分和与所述第二伪栅极层上下表面接触的第一沟道部分，形成由第一电极层或所述第二电极层、所述第二子沟道层和所述第二伪栅极层形成的第二凹陷；

所述在所述凹陷内填充介质材料，形成隔离侧墙包括：

在所述第一凹陷和所述第二凹陷内沉积介质材料，形成隔离侧墙。

35 可选地，从所述半导体层的内侧侧壁利用原子层蚀刻刻蚀剩余的所述半导体层之前，所述方法还包括：

形成贯穿所述第一电极层、所述半导体层和所述第二电极层的沟槽，所述沟槽的四周

具有所述第一电极层、所述半导体层和所述第二电极层构成的围墙结构。

可选地，在从所述半导体层的侧壁刻蚀部分所述半导体层之前，所述方法还包括：

在所述第二电极层上依次形成刻蚀阻挡层、晶硅层和介质层；

5 对所述晶硅层和所述介质层进行处理，形成顶层结构，所述顶层结构包括晶硅核心区域和包围所述晶硅核心区域的介质挡墙，其中，所述晶硅核心区域对应所述沟槽；

所述形成贯穿所述第一电极层、所述半导体层和所述第二电极层的沟槽，所述沟槽的四周具有所述第一电极层、所述半导体层和所述第二电极层构成的围墙结构包括：

10 形成贯穿所述介质挡墙、所述晶硅核心区域、所述刻蚀阻挡层、所述第一电极层、所述半导体层和所述第二电极层的沟槽，所述沟槽的四周具有所述介质挡墙、所述刻蚀阻挡层、所述第一电极层、所述半导体层和所述第二电极层构成的围墙结构。

可选地，在所述凹陷内填充介质材料，形成隔离侧墙之后，所述方法还包括：

去除所述伪栅极层，在所述第一沟道部分形成栅极。

可选地，在所述第一沟道部分形成栅极之前，所述方法还包括：

在所述第一沟道部分依次共形形成界面层和高K材料层。

15 可选地，所述至少包括锗的半导体层的材料为锗或硅锗。

可选地，所述介质材料为低K材料。

本申请实施例提供一种半导体器件，包括：依次层叠的衬底、第一电极层、功能层和第二电极层；贯穿所述第一电极层、所述功能层和所述第二电极层至所述衬底的沟槽，所述沟槽的四周具有所述第一电极层、所述功能层和所述第二电极层构成的围墙结构；

20 所述第一电极层，位于所述衬底的一侧；

所述功能层，位于所述第一电极层远离所述衬底的一侧，所述功能层包括沟道区、栅极区和隔离侧墙区，所述沟道区包括弧形区域，弧形的缺口朝向外侧，所述弧形区域两侧为栅极区，所述隔离侧墙区位于所述栅极区的上方和下方；

25 所述第二电极层，位于所述功能层远离所述衬底的一侧，所述第一电极层为源极层或漏极层中的一种，所述第二电极层为源极层或漏极层中的另一种。

本申请实施例提供了一种半导体器件的制造方法，在衬底上依次形成第一电极层、至少包括锗的半导体层和第二电极层，第一电极层为源极层或漏极层中的一种，第二电极层为源极层或漏极层中的另一种，而后从半导体层的侧壁刻蚀部分半导体层，形成开口，开口包括弧形，弧形的缺口朝向外侧，即开口朝向外侧，之后在开口、第一电极层的侧壁和
30 第二电极层的侧壁上形成沟道层，其中，沟道层包括位于开口内的第一沟道部分和除开口内的第二沟道部分，第一沟道部分与开口共形，即第一沟道部分也包括弧形，在包括弧形的第一沟道部分填充伪栅极层，得到的伪栅极层的侧壁与第二沟道部分的侧壁齐平，之后以第二沟道部分为掩蔽，从伪栅极层的侧壁刻蚀部分伪栅极层，以使刻蚀后的伪栅极层的侧壁与第一电极层的侧壁齐平，而后去除第二沟道部分和与伪栅极层上下表面接触的第一
35 沟道部分，形成由第一电极层或第二电极层、沟道层和伪栅极层形成的凹陷，在凹陷内填充介质材料，形成隔离侧墙，形成的隔离侧墙能够降低半导体器件的寄生电容，优化半导体器件的性能。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

图 1 示出了本申请实施例提供的一种半导体器件的制造方法的流程图；

图 2-图 20 示出了根据本申请实施例提供的半导体器件的制造方法制造的半导体器件的结构示意图。

具体实施方式

为使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图对本申请的具体实施方式做详细的说明。

在下面的描述中阐述了很多具体细节以便于充分理解本申请，但是本申请还可以采用其它不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本申请内涵的情况下做类似推广，因此本申请不受下面公开的具体实施例的限制。

其次，本申请结合示意图进行详细描述，在详述本申请实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本申请保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

目前，对于高性能的垂直结构的半导体器件的需求也越来越大，例如由于当前的垂直结构的半导体器件的寄生电容较高，影响器件的性能。因此，现在亟需高性能的半导体器件。

基于此，本申请实施例提供了一种半导体器件的制造方法，在衬底上依次形成第一电极层、至少包括锗的半导体层和第二电极层，第一电极层为源极层或漏极层中的一种，第二电极层为源极层或漏极层中的另一种，而后从半导体层的侧壁刻蚀部分半导体层，形成开口，开口包括弧形，弧形的缺口朝向外侧，即开口朝向外侧，之后在开口、第一电极层的侧壁和第二电极层的侧壁上形成沟道层，其中，沟道层包括位于开口内的第一沟道部分和除开口内的第二沟道部分，第一沟道部分与开口共形，即第一沟道部分也包括弧形，在包括弧形的第一沟道部分填充伪栅极层，得到的伪栅极层的侧壁与第二沟道部分的侧壁齐平，之后以第二沟道部分为掩蔽，从伪栅极层的侧壁刻蚀部分伪栅极层，以使刻蚀后的伪栅极层的侧壁与第一电极层的侧壁齐平，而后去除第二沟道部分和与伪栅极层上下表面接触的第一沟道部分，形成由第一电极层或第二电极层、沟道层和伪栅极层形成的凹陷，在凹陷内填充介质材料，形成隔离侧墙，形成的隔离侧墙能够降低半导体器件的寄生电容，优化半导体器件的性能。

为了更好地理解本申请的技术方案和技术效果，以下将结合附图对具体的实施例进行详细的描述。

本申请实施例提供的半导体器件可以为存储器件或逻辑器件，本申请实施例提供的半

导体器件可以为垂直结构的晶体管器件，例如垂直结构的场效应晶体管（Field Effect Transistor，FET），具体可以是金属氧化物半导体场效应晶体管（Metal-Oxide-Semiconductor Field-Effect Transistor，MOSFET）或隧穿场效应晶体管（Tunneling Field-Effect Transistor，TFET）。

5 参考图 1 所示，为本申请实施例提供的一种半导体器件的制造方法的流程图，该方法包括以下步骤：

S101，在衬底 110 的一侧上依次形成第一电极层 120、至少包括锗的半导体层 130 和第二电极层 140，参考图 2 所示。

10 在本申请的实施例中，可以在衬底 110 的一侧表面上依次形成第一电极层 120、至少包括锗的半导体层 130 和第二电极层 140。具体的，可以利用外延生长的方式形成第一电极层 120、至少包括锗的半导体层 130 和第二电极层 140。

15 衬底 110 可以是半导体衬底，例如硅衬底。在衬底 110 的一侧表面上形成第一电极层 120 之前，还可以对衬底 110 进行掺杂，形成阱层，参考图 2 所示，阱层是对衬底 110 的进行掺杂后形成的，相较于衬底 110，掺杂后的阱层的导电性更高，能够与第一电极层 120 形成良好的电接触。掺杂可以是 N 型掺杂，掺杂元素为 As 或 P，掺杂浓度为 $1e17-2e19/cm^3$ 。掺杂也可以是 P 型掺杂，掺杂元素为 B 或 In，掺杂浓度为 $1e17-2e19/cm^3$ 。具体可以是在硅衬底上通过注入掺杂离子并进行退火工艺形成阱层。

作为一种示例，N 型场效应晶体管（Field Effect Transistor，FET）注入 P 型杂质形成阱层，P 型场效应晶体管（Field Effect Transistor，FET）注入 N 型杂质形成阱层。

20 在本申请的实施例中，在外延生长形成第一电极层 120 和第二电极层 140 之后，第一电极层 120 和第二电极层 140 的厚度约为 10-50 纳米（nm），第一电极层 120 和第二电极层 140 为掺杂的半导体层，第一电极层 120 和第二电极层 140 的掺杂类型相同，可以为 N 型掺杂，也可以为 P 型掺杂。由于第一电极层 120 为源极层或漏极层中的一种，第二电极层 140 为源极层或漏极层中的另一种，可以通过掺杂使得第一电极层 120 和第二电极层 140 的导电性能更好，具体可以利用原位掺杂进行掺杂。

25 作为一种示例，针对 P 型 FET 器件，第一电极层 120 为 P 型掺杂的硅层，掺杂元素为 B 或 In，掺杂浓度为 $1e18-1e21/cm^3$ 。第二电极层 120 为 P 型掺杂的硅层，掺杂元素为 B 或 In，掺杂浓度为 $1e18-1e21/cm^3$ 。

30 作为另一种示例，针对 N 型 FET 器件，第一电极层 120 为 N 型掺杂的硅层，掺杂元素为 As 或 P，掺杂浓度为 $1e18-1e21/cm^3$ 。第二电极层 120 为 N 型掺杂的硅层，掺杂元素为 As 或 P，掺杂浓度为 $1e18-1e21/cm^3$ 。

在本申请的实施例中，在外延生长形成第一电极层 120 之后，可以在第一电极层 120 上外延生长至少包括锗的半导体层 130。半导体层 130 的材料至少包括锗，例如可以是锗或硅锗。半导体层 130 的厚度范围可以是 10-100 纳米。

35 作为一种可能的实现方式，若半导体层 130 的材料为硅锗 SiGe 时，锗的掺杂比例范围为 10%-50%，若掺杂比例过小，则不能形成 C 型结构的开口，若掺杂比例过多，则晶格缺陷变多，可能会降低存储器件的性能。

作为一种示例，在垂直于衬底 110 的方向上，锗的掺杂比例不变。

作为另一种示例，在垂直于衬底 110 的方向上，锗的掺杂比例先增大后减小，即中部区域 Ge 组分大于上下区域 Ge 组分。由于中部区域 Ge 组分高，上下区域 Ge 组分低，Ge 组分高的刻蚀速率大于 Ge 组分低的刻蚀速率，因而可以通过后续的刻蚀更容易形成包括弧形的开口。

在本申请的实施例中，在外延形成半导体层 130 之后，继续在半导体层 130 外延形成第二电极层 140，而后在第二电极层 140 上继续依次形成刻蚀阻挡层 101、晶硅层 102 和介质层 103，参考图 3 所示。具体可以利用沉积工艺形成刻蚀阻挡层 101、晶硅层 102 和介质层 103。

刻蚀阻挡层 101 覆盖第二电极层 140，用于保护其下的第二电极层 140，还能作为刻蚀阻挡层，避免在形成第二电极层 140 的第二接触时，刻蚀损伤第二电极层 140。刻蚀阻挡层 101 的材料可以是氧化硅，可以是利用高温工艺形成的结晶质量较高的氧化硅，以便提高半导体器件的性能。刻蚀阻挡层 101 的厚度可以是 1-10 纳米。

在刻蚀阻挡层 101 上还覆盖有晶硅层 102，晶硅层 102 的材料可以是多晶硅或非晶硅，厚度可以是 50-150 纳米。

在晶硅层 102 上还覆盖有介质层 103。介质层 103 用于在制造器件时，隔离其他膜层和第二电极层 140，还能用于在形成第二电极层 140 的第二接触后，隔离第二接触，保证第二接触仅与半导体器件中的第二电极层 140 形成电连接。介质层 103 的材料可以是氮化物，例如氮化硅，介质层 103 的厚度可以是 30-100 纳米。

在本申请的实施例中，在衬底 110 上依次形成第一电极层 120、半导体层 130、第二电极层 140、刻蚀阻挡层 101、晶硅层 102 和介质层 103 之后，还可以在介质层 103 上形成图案化的光刻胶层 104，图案化的光刻胶层 104 定义半导体器件的晶硅核心区域 1021，参考图 4，图 4 为半导体器件在制造过程中的俯视结构示意图。

而后利用图案化的光刻胶层 104 刻蚀介质层 103 和晶硅层 102，参考图 5 所示。图 5 为沿着半导体器件的 AA' 方向进行截面获得的半导体结构示意图。在刻蚀完毕后，去除光刻胶层 104，保留刻蚀后的介质层 103 和晶硅核心区域 1021，继续沉积介质层材料而后进行刻蚀形成包围晶硅核心区域 1021 的介质挡墙 105，参考图 6 所示。也就是说，通过对晶硅层 102 和介质层 103 进行处理，形成包括晶硅核心区域 1021 和包围晶硅核心区域 1021 的介质挡墙 105 的顶层结构。

在具体进行刻蚀形成介质挡墙 105 时，还需要选用对刻蚀阻挡层 101 具有选择比的刻蚀剂，以便在刻蚀时，不会损伤刻蚀阻挡层 101。

而后以介质挡墙 105 为掩蔽，对刻蚀阻挡层 101、第二电极层 140、半导体层 130、第一电极层 120 和部分衬底 110 进行刻蚀，参考图 7 所示。在刻蚀完毕后，沉积介质材料直至覆盖全部的半导体器件，而后使用化学机械研磨 (Chemical Mechanical Polishing, CMP) 工艺和刻蚀工艺形成浅沟槽隔离 (shallow trench isolation, STI) 层 106，参考图 8 所示。浅沟槽隔离 (shallow trench isolation, STI) 层 106 用于隔离该半导体器件和在集成电路统一制造时同时制造形成的其他半导体器件。介质材料可以是氧化硅。刻蚀工艺可

以是湿法刻蚀或干法刻蚀。

S102, 从所述半导体层 130 的侧壁刻蚀部分所述半导体层 130, 以形成开口, 参考图 8 和图 13 所示。

在本申请的实施例中, 在刻蚀完毕刻蚀阻挡层 101、第二电极层 140、半导体层 130、
5 第一电极层 120 和部分衬底 110 之后, 从半导体层 130 的侧壁刻蚀部分半导体层 130, 以形成开口, 其中, 开口包括弧形, 弧形的缺口朝向外侧。

在本申请的实施例中, 开口包括第一开口 1071 和第二开口 1072, 第一开口 1071 位于第二开口 1072 外侧。

参考图 8 所示, 从半导体层 130 的外侧侧壁刻蚀部分半导体层 130, 形成包括弧形的
10 第一开口 1071, 第一开口 1071 包括的弧形的缺口朝向外侧。包括弧形的第一开口 1071 类似字母 C。弧形开口有利于后续在该开口内形成具有弧形的沟道层, 该沟道层漏电流较小并且沟道长度较长, 能够提升半导体器件的性能。

在垂直于衬底 110 所在的方向上, 刻蚀剩余的半导体层 130 宽度逐渐减小后增大, 即呈现上下宽度大于中部宽度的结构, 类似字母 X 结构。

当半导体层 130 的材料为硅锗或锗时, 利用原子层刻蚀从半导体层 130 的侧壁刻蚀半
15 导体层 130, 刻蚀 10-40nm, 形成 C 型开口 1071。在具体进行刻蚀时, 选用对第一电极层 120 和第二电极层 140 具有选择比的刻蚀剂, 以便在刻蚀形成开口 1071 时, 不会损伤第一电极层 120 和第二电极层 140。

在本申请的实施例中, 参考图 13 所示, 从半导体层 130 的内侧侧壁刻蚀剩余的半导体
20 层 130, 形成包括弧形的第二开口 1072, 第二开口 1072 包括的弧形与第一开口 1071 包括的弧形共形, 即第二开口 1072 包括的弧形的缺口也朝向外侧, 包括弧形的第二开口 1072 也类似字母 C。形成第二开口 1072 的工艺在第一开口 1071 内填充沟道层和伪栅极层之后, 会在后续详细介绍。

S103, 在所述开口、所述第一电极层 120 的侧壁和所述第二电极层 140 的侧壁上形成
25 沟道层, 参考图 9 和图 14 所示。

在本申请的实施例中, 在刻蚀得到开口之后, 可以在开口、第一电极层 120 的侧壁和
第二电极层 140 的侧壁上形成沟道层, 沟道层包括第一子沟道层 1081 和第二子沟道层 1082, 第一子沟道层 1081 位于第二子沟道层 1082 的外侧。其中, 沟道层包括位于开口内的第一沟道部分和除开口内的第二沟道部分, 第一沟道部分与开口共形。

参考图 9 所示, 在第一开口 1071、第一电极层 120 的外侧侧壁和第二电极层 140 的外
30 侧侧壁上外延生长第一子沟道层 1081。其中, 第一子沟道层 1081 包括位于第一开口 1071 内的第一沟道部分 1081-1 和除第一开口 1071 内的第二沟道部分 1081-2, 第一沟道部分 1081-1 与第一开口 1071 共形, 即第一沟道部分 1081-1 也包括弧形, 并且弧形的缺口朝向外侧。

沟道层的厚度可以是 3-30nm, 沟道层材料可以是硅或硅锗, 当沟道层的材料为硅锗时,
35 锗的掺杂比例范围可以是 10%-50%。

参考图 14 所示, 在第二开口 1072、第一电极层 120 的内侧侧壁和第二电极层 140 的

内侧侧壁上外延生长第二子沟道层 1082。其中，第二子沟道层 1082 包括位于第二开口 1072 内的第一沟道部分 1082-1 和除第二开口 1072 内的第二沟道部分 1082-2，第一沟道部分 1082-1 与第二开口 1072 共形，即第一沟道部分 1082-1 也包括弧形，并且弧形的缺口朝向外侧。

5 S104，在所述第一沟道部分填充伪栅极层，参考图 10 和图 15 所示。

在本申请的实施例中，在开口内填充沟道层的第一沟道部分之后，第一沟道部分未填满开口，可以继续在第一沟道部分填充伪栅极层，伪栅极层的侧壁与第二沟道部分的侧壁齐平。伪栅极层包括第一伪栅极层 1091 和第二伪栅极层 1092，第一伪栅极层 1091 位于第二伪栅极层 1092 外侧。

10 参考图 10 所示，在第一开口 1071 的第一沟道部分 1081-1 填充第一伪栅极层 1091。参考图 15 所示，在第二开口 1072 的第一沟道部分 1082-1 填充第一伪栅极层 1092。

具体填充伪栅极层时可以是先沉积伪栅极层材料，后续进行刻蚀，使得伪栅极层的侧壁与第二沟道部分的侧壁齐平。在具体进行刻蚀时，还需要选用对沟道层具有选择比的刻蚀剂，以便在刻蚀时，不会损伤沟道层。伪栅极层的材料可以是氮氧化物。

15 在本申请的实施例中，从沟道层的外侧侧壁刻蚀得到第一开口 1071，在第一开口 1071、第一电极层 120 的外侧侧壁和第二电极层 140 的外侧侧壁上外延生长第一子沟道层 1081，并且在第一子沟道层 1081 的第一沟道部分 1081-1 内填充第一伪栅极层 1091 之后，刻蚀介质挡墙 105、晶硅核心区域 1021、刻蚀阻挡层 101、第一电极层 120、半导体层 130、第二电极层 140 和部分衬底 110，形成贯穿介质挡墙 105、晶硅核心区域 1021、刻蚀阻挡层 101、
20 第一电极层 120、半导体层 130 和第二电极层 140 的沟槽 201，晶硅核心区域 1021 对应沟槽 201，即晶硅核心区域 1021 定义沟槽 201 的位置，沟槽 201 的四周具有介质挡墙 105、刻蚀阻挡层 101、第一电极层 120、半导体层 130 和第二电极层 140 构成的围墙结构 202，参考图 11 和图 12 所示。图 11 为半导体器件在制造过程中的俯视结构示意图，图 12 为沿着半导体器件的 AA' 方向进行截面获得的半导体结构示意图。

25 在本申请的实施例中，在刻蚀得到沟槽 201，形成围墙结构 202 之后，沟槽 201 为围墙结构 202 的内侧，相对的，围墙结构 202 具有外侧。围墙结构 202 的外侧已经形成第一开口 1071，并在围墙结构 202 的外侧和第一开口 1071 内形成有第一子沟道层 1081 和第一伪栅极层 1091。

参考图 13 所示，在围墙结构 202 的内侧，从半导体层 130 的内侧侧壁刻蚀剩余的半导体层 130，形成包括弧形的第二开口 1072，第二开口 1072 包括的弧形与第一开口 1071 包括的弧形共形，即第二开口 1072 包括的弧形的缺口也朝向外侧，包括弧形的第二开口 1072 也类似字母 C。形成第二开口 1072 的工艺在第一开口 1071 内填充沟道层和伪栅极层，并刻蚀得到沟槽 201 之后。

35 参考图 14 所示，与外延生长第一子沟道层 1081 的工艺相同，在围墙结构 202 的内侧，在第二开口 1072、第一电极层 120 的内侧侧壁和第二电极层 140 的内侧侧壁上外延生长第二子沟道层 1082。其中，第二子沟道层 1082 包括位于第二开口 1072 内的第一沟道部分 1082-1 和除第二开口 1072 内的第二沟道部分 1082-2，第一沟道部分 1082-1 与第二开口

1072 共形，即第一沟道部分 1082-1 也包括弧形，并且弧形的缺口朝向外侧。

第一子沟道层 1081 和第二子沟道层 1082 的厚度都可以是 3-15nm，材料可以是硅或硅锗，当材料为硅锗时，锗的掺杂比例范围可以是 10%-30%。

5 参考图 15 所示，在围墙结构 202 的内侧，在第二开口 1072 的第一沟道部分 1082-1 填充第一伪栅极层 1092。伪栅极层的材料可以是氮氧化物。

在形成第一伪栅极层 1092 后，沉积介质材料直至覆盖全部的半导体器件，而后使用化学机械研磨（Chemical Mechanical Polishing, CMP）工艺和刻蚀工艺在沟槽 201 内形成浅沟槽隔离（shallow trench isolation, STI）层 106，参考图 16 所示。介质材料可以是氧化硅。刻蚀工艺可以是湿法刻蚀或干法刻蚀。

10 S105，从所述伪栅极层的侧壁刻蚀部分所述伪栅极层，参考图 16 所示。

在本申请的实施例中，以围墙结构 202 的内侧和外侧的沟道层的第二沟道部分为掩蔽，从伪栅极层的侧壁刻蚀部分伪栅极层，以使刻蚀后的伪栅极层的侧壁与第一电极层的侧壁齐平。

15 参考图 16 所示，从位于围墙结构 202 外侧的第一伪栅极层 1091 的侧壁和位于围墙结构 202 内侧的第二伪栅极层 1092 的侧壁利用各向同性刻蚀部分第一伪栅极层 1091 和第二伪栅极层 1092，使得刻蚀后的第一伪栅极层 1091 的侧壁与第一电极层 120 的外侧侧壁齐平以及刻蚀后的第二伪栅极层 1092 的侧壁与第一电极层 120 的内侧侧壁齐平。

S106，去除所述第二沟道部分和与所述伪栅极层上下表面接触的第一沟道部分，参考图 17 所示。

20 在本申请的实施例中，以伪栅极层为掩蔽，去除沟道层的第二沟道部分和与伪栅极层上下表面接触的沟道层的第一沟道部分，保留部分沟道层，形成由第一电极层 120 或第二电极层 140、剩余的部分沟道层和伪栅极层形成的凹陷。

25 凹陷包括第一凹陷 2031 和第二凹陷 2032，第一凹陷 2031 位于第二凹陷 2032 外侧，即第一凹陷 2031 位于围墙结构 202 的外侧，第二凹陷 2032 位于围墙结构 202 的内侧，参考图 17 所示。

具体可以利用原子层蚀刻去除位于围墙结构 202 外侧的第一子沟道层 1081 的第二沟道部分 1081-2 和与第一伪栅极层 1091 上下表面接触的第一沟道部分 1081-1，形成由第一电极层 120 或第二电极层 140、第一子沟道层 1081 和第一伪栅极层 1091 形成的第一凹陷 2031，同时利用原子层蚀刻去除位于围墙结构 202 内侧的第二子沟道层 1082 的第二沟道部分 1082-2 和与第二伪栅极层 1092 上下表面接触的第一沟道部分 1082-1，形成由第一电极层 120 或第二电极层 140、第二子沟道层 1082 和第二伪栅极层 1091 形成的第二凹陷 2032。

在具体进行刻蚀时，选用对第一电极层 120 和第二电极层 140 具有选择比的刻蚀剂，以便在刻蚀去除部分沟道层时，不会损伤第一电极层 120 和第二电极层 140。

S107，在所述凹陷内填充介质材料，形成隔离侧墙 150，参考图 18 所示。

35 在本申请的实施例中，在形成凹陷之后，在凹陷内填充介质材料，形成隔离侧墙 150。具体可以在第一凹陷 2031 和第二凹陷 2032 内沉积介质材料并进行刻蚀，形成隔离侧墙 150，形成的隔离侧墙 150 能够降低半导体器件的寄生电容，优化半导体器件的性能。介质材料

可以为低 K 材料。

在具体进行刻蚀时，选用对第一电极层 120、第二电极层 140 和其他膜层具有选择比的刻蚀剂，以便在刻蚀形成隔离侧墙 150 时，不会损伤第一电极层 120、第二电极层 140 和其他膜层。

5 由此可见，本申请实施例形成隔离侧墙的方法工艺流程较为简单，并且形成的侧墙结构可控，为提升半导体器件的性能提供了有力基础。

10 在本申请的实施例中，在形成隔离侧墙 150 之后，去除伪栅极层，而后在第一沟道部分依次共形形成界面层（图未示出）和高 K 材料层 160。界面层用于改善界面质量，进一步提高半导体器件的性能，界面层的材料可以为氧化硅。在形成高 K 材料层 160 后，继续在第一沟道部分形成栅极 170，参考图 19 所示。栅极 170 的材料可以是导电性较好的材料，例如 TiN、TaN 和 W 等。

15 在本申请的实施例中，最后形成隔离层 180，隔离层 180 位于衬底 110 上，并且包围第一电极层 120、沟道层、栅极 170、第二电极层 140、刻蚀阻挡层 101 和介质挡墙 105 等膜层，以隔离和保护器件。隔离层 180 的材料可以是绝缘性较好的介质材料，例如氧化硅。之后利用通孔工艺形成贯穿隔离层 180 并且分别与第一电极层 120、第二电极层 140 和栅极 170 电连接的第一接触 191、第二接触 192 和栅极接触 193，参考图 20 所示。

20 综上所述，本申请实施例提供的半导体器件的制造方法，在衬底上依次形成第一电极层、至少包括锗的半导体层和第二电极层，第一电极层为源极层或漏极层中的一种，第二电极层为源极层或漏极层中的另一种，而后从半导体层的侧壁刻蚀部分半导体层，形成开口，开口包括弧形，弧形的缺口朝向外侧，即开口朝向外侧，之后在开口、第一电极层的侧壁和第二电极层的侧壁上形成沟道层，其中，沟道层包括位于开口内的第一沟道部分和除开口内的第二沟道部分，第一沟道部分与开口共形，即第一沟道部分也包括弧形，在包括弧形的第一沟道部分填充伪栅极层，得到的伪栅极层的侧壁与第二沟道部分的侧壁齐平，之后以第二沟道部分为掩蔽，从伪栅极层的侧壁刻蚀部分伪栅极层，以使刻蚀后的伪栅极层的侧壁与第一电极层的侧壁齐平，而后去除第二沟道部分和与伪栅极层上下表面接触的第一沟道部分，形成由第一电极层或第二电极层、沟道层和伪栅极层形成的凹陷，在凹陷内填充介质材料，形成隔离侧墙，形成的隔离侧墙能够降低半导体器件的寄生电容，优化半导体器件的性能。

30 基于以上实施例提供的半导体器件的制造方法，本申请实施例还提供了一种半导体器件。参考图 20 所示，为本申请实施例提供的一种半导体器件的结构示意图。

本申请实施例提供的半导体器件包括依次层叠的衬底 110、第一电极层 120、功能层和第二电极层 140，贯穿第一电极层 120、功能层和第二电极层 140 至衬底 110 的沟槽，沟槽的四周具有第一电极层 120、功能层和第二电极层 140 构成的围墙结构，

35 第一电极层 120，位于衬底 110 的一侧；

功能层，位于第一电极层 120 远离衬底 110 的一侧，功能层包括沟道区 108、栅极区 170 和隔离侧墙区 150，沟道区 108 包括弧形区域，弧形的缺口朝向外侧，弧形区域两侧为

栅极区 170，隔离侧墙区 150 位于栅极区 170 的上方和下方；

第二电极层 140，位于功能层远离衬底 110 的一侧，第一电极层 120 为源极层或漏极层中的一种，第二电极层 140 为源极层或漏极层中的另一种。

5 在本申请的实施例中，半导体器件还包括隔离层 180、第一接触 191、第二接触 192 和栅极接触 193，参考图 20 所示。

隔离层 180 位于衬底 110 上，并且包围第一电极层 120、沟道层、栅极 170、第二电极层 140、刻蚀阻挡层 101 和介质挡墙 105 等膜层，以隔离和保护器件。

10 第一接触 191、第二接触 192 和栅极接触 193 贯穿隔离层 180 分别与第一电极层 120、第二电极层 140 和栅极 170 电连接，以便进行第一电极层 120、第二电极层 140 和栅极 170 的电引出。

在本申请的实施例中，第二电极层 140 上覆盖有刻蚀阻挡层 101 和介质挡墙 105。

在本申请的实施例中，栅极区 170 和沟道区 108 之间还包括界面层（图未示出）和高 K 材料层 160。

15 本说明书中的各个实施例均采用递进的方式描述，各个实施例之间相同相似的部分互相参见即可，每个实施例重点说明的都是与其他实施例的不同之处。尤其，对于方法实施例而言，由于其基本相似于结构实施例，所以描述得比较简单，相关之处参见结构实施例的部分说明即可。

上述各个附图对应的流程或结构的描述各有侧重，某个流程或结构中没有详述的部分，可以参见其他流程或结构的相关描述。

20 以上所述仅是本申请的优选实施方式，虽然本申请已以较佳实施例披露如上，然而并非用以限定本申请。任何熟悉本领域的技术人员，在不脱离本申请技术方案范围情况下，都可利用上述揭示的方法和技术内容对本申请技术方案做出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本申请技术方案的内容，依据本申请的技术实质对以上实施例所做的任何的简单修改、等同变化及修饰，均仍属于本申请技术方案保护的范围内。

25 本申请在上述各方面提供的实现方式的基础上，还可以进行进一步组合以提供更多实现方式。

权 利 要 求

1、一种半导体器件的制造方法，其特征在于，包括：

在衬底的一侧上依次形成第一电极层、至少包括锗的半导体层和第二电极层；所述第一电极层为源极层或漏极层中的一种，所述第二电极层为源极层或漏极层中的另一种；

5 从所述半导体层的侧壁刻蚀部分所述半导体层，以形成开口，所述开口包括弧形，所述弧形的缺口朝向外侧；

在所述开口、所述第一电极层的侧壁和所述第二电极层的侧壁上形成沟道层，其中，沟道层包括位于所述开口内的第一沟道部分和除所述开口内的第二沟道部分，所述第一沟道部分与所述开口共形；

10 在所述第一沟道部分填充伪栅极层，所述伪栅极层的侧壁与所述第二沟道部分的侧壁齐平；

从所述伪栅极层的侧壁刻蚀部分所述伪栅极层，以使刻蚀后的伪栅极层的侧壁与所述第一电极层的侧壁齐平；

15 去除所述第二沟道部分和与所述伪栅极层上下表面接触的第一沟道部分，形成由所述第一电极层或所述第二电极层、所述沟道层和所述伪栅极层形成的凹陷；

在所述凹陷内填充介质材料，形成隔离侧墙。

2、根据权利要求1所述的制造方法，其特征在于，所述开口包括第一开口和第二开口，所述第一开口位于所述第二开口外侧，所述沟道层包括第一子沟道层和第二子沟道层，所述第一子沟道层位于所述第二子沟道层的外侧；

20 所述从所述半导体层的侧壁刻蚀部分所述半导体层，以形成开口，所述开口包括弧形，所述弧形的缺口朝向外侧包括：

从所述半导体层的外侧侧壁利用原子层蚀刻刻蚀部分所述半导体层，形成包括弧形的第一开口，所述第一开口包括的弧形的缺口朝向外侧；

25 所述在所述开口、所述第一电极层的侧壁和所述第二电极层的侧壁上形成沟道层包括：在所述第一开口、所述第一电极层的外侧侧壁和所述第二电极层的外侧侧壁上外延生长第一子沟道层；

所述从所述半导体层的侧壁刻蚀部分所述半导体层，以形成开口，所述开口包括弧形，所述弧形的缺口朝向外侧包括：

30 从所述半导体层的内侧侧壁利用原子层蚀刻刻蚀剩余的所述半导体层，形成包括弧形的第二开口，所述第二开口包括的弧形与所述第一开口包括的弧形共形；

所述在所述开口、所述第一电极层的侧壁和所述第二电极层的侧壁上形成沟道层包括：

在所述第二开口、所述第一电极层的内侧侧壁和所述第二电极层的内侧侧壁上外延生长第二子沟道层。

3、根据权利要求2所述的制造方法，其特征在于，所述伪栅极层包括第一伪栅极层和第二伪栅极层，所述第一伪栅极层位于所述第二伪栅极层外侧；所述凹陷包括第一凹陷和第二凹陷，所述第一凹陷位于所述第二凹陷外侧；

所述在所述第一沟道部分填充伪栅极层包括：

在所述第一开口的第一沟道部分填充所述第一伪栅极层，在所述第二开口的第一沟道部分填充所述第二伪栅极层；

所述从所述伪栅极层的侧壁刻蚀部分所述伪栅极层包括：

5 从所述第一伪栅极层的侧壁和所述第二伪栅极层的侧壁利用各向同性刻蚀部分所述第一伪栅极层和所述第二伪栅极层；

所述去除所述第二沟道部分和与所述伪栅极层上下表面接触的第一沟道部分，形成由所述第一电极层或所述第二电极层、所述沟道层和所述伪栅极层形成的凹陷包括：

10 利用原子层蚀刻去除所述第一子沟道层的第二沟道部分和与所述第一伪栅极层上下表面接触的第一沟道部分，形成由第一电极层或所述第二电极层、所述第一子沟道层和所述第一伪栅极层形成的第一凹陷；

利用原子层蚀刻去除所述第二子沟道层的第二沟道部分和与所述第二伪栅极层上下表面接触的第一沟道部分，形成由第一电极层或所述第二电极层、所述第二子沟道层和所述第二伪栅极层形成的第二凹陷；

15 所述在所述凹陷内填充介质材料，形成隔离侧墙包括：

在所述第一凹陷和所述第二凹陷内沉积介质材料，形成隔离侧墙。

4、根据权利要求3所述的制造方法，其特征在于，从所述半导体层的内侧侧壁利用原子层蚀刻刻蚀剩余的所述半导体层之前，所述方法还包括：

形成贯穿所述第一电极层、所述半导体层和所述第二电极层的沟槽，所述沟槽的四周具有所述第一电极层、所述半导体层和所述第二电极层构成的围墙结构。

20 5、根据权利要求4所述的制造方法，其特征在于，在从所述半导体层的侧壁刻蚀部分所述半导体层之前，所述方法还包括：

在所述第二电极层上依次形成刻蚀阻挡层、晶硅层和介质层；

对所述晶硅层和所述介质层进行处理，形成顶层结构，所述顶层结构包括晶硅核心区域和包围所述晶硅核心区域的介质挡墙，其中，所述晶硅核心区域对应所述沟槽；

25 所述形成贯穿所述第一电极层、所述半导体层和所述第二电极层的沟槽，所述沟槽的四周具有所述第一电极层、所述半导体层和所述第二电极层构成的围墙结构包括：

形成贯穿所述介质挡墙、所述晶硅核心区域、所述刻蚀阻挡层、所述第一电极层、所述半导体层和所述第二电极层的沟槽，所述沟槽的四周具有所述介质挡墙、所述刻蚀阻挡层、所述第一电极层、所述半导体层和所述第二电极层构成的围墙结构。

30 6、根据权利要求1所述的制造方法，其特征在于，在所述凹陷内填充介质材料，形成隔离侧墙之后，所述方法还包括：

去除所述伪栅极层，在所述第一沟道部分形成栅极。

7、根据权利要求6所述的制造方法，其特征在于，在所述第一沟道部分形成栅极之前，所述方法还包括：

35 在所述第一沟道部分依次共形形成界面层和高K材料层。

8、根据权利要求1-7任意一项所述的制造方法，其特征在于，所述至少包括锗的半导体层的材料为锗或硅锗。

9、根据权利要求 1-7 任意一项所述的制造方法，其特征在于，所述介质材料为低 K 材料。

10、一种半导体器件，其特征在于，包括：依次层叠的衬底、第一电极层、功能层和第二电极层；贯穿所述第一电极层、所述功能层和所述第二电极层至所述衬底的沟槽，所述沟槽的四周具有所述第一电极层、所述功能层和所述第二电极层构成的围墙结构；

所述第一电极层，位于所述衬底的一侧；

所述功能层，位于所述第一电极层远离所述衬底的一侧，所述功能层包括沟道区、栅极区和隔离侧墙区，所述沟道区包括弧形区域，弧形的缺口朝向外侧，所述弧形区域两侧为栅极区，所述隔离侧墙区位于所述栅极区的上方和下方；

所述第二电极层，位于所述功能层远离所述衬底的一侧，所述第一电极层为源极层或漏极层中的一种，所述第二电极层为源极层或漏极层中的另一种。

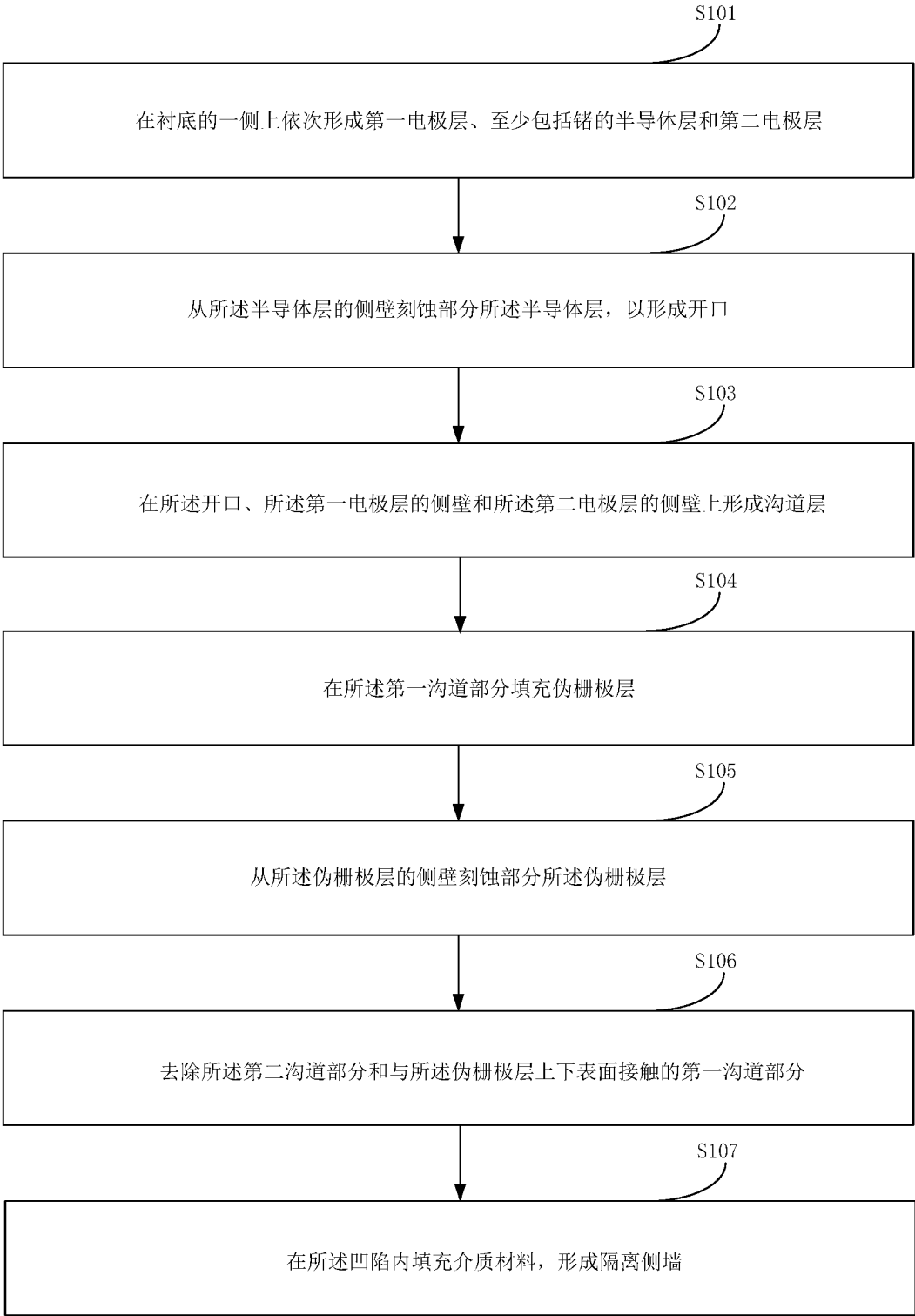


图 1

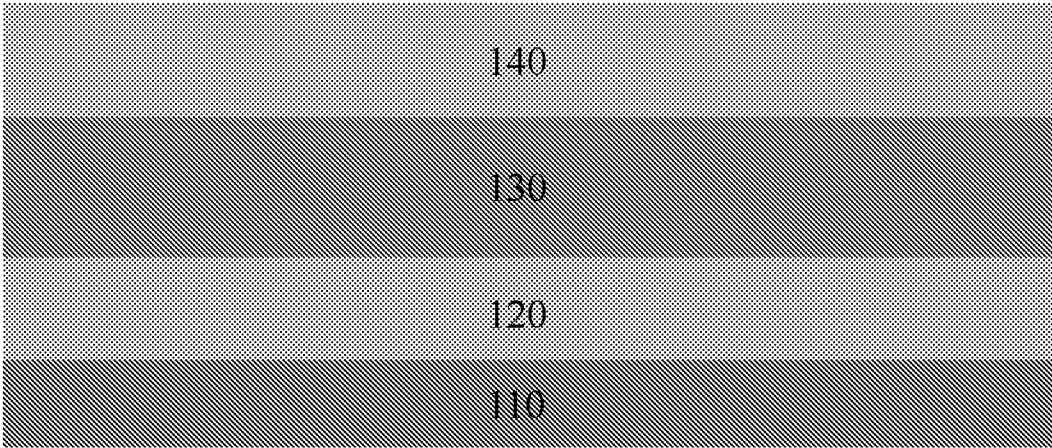


图 2

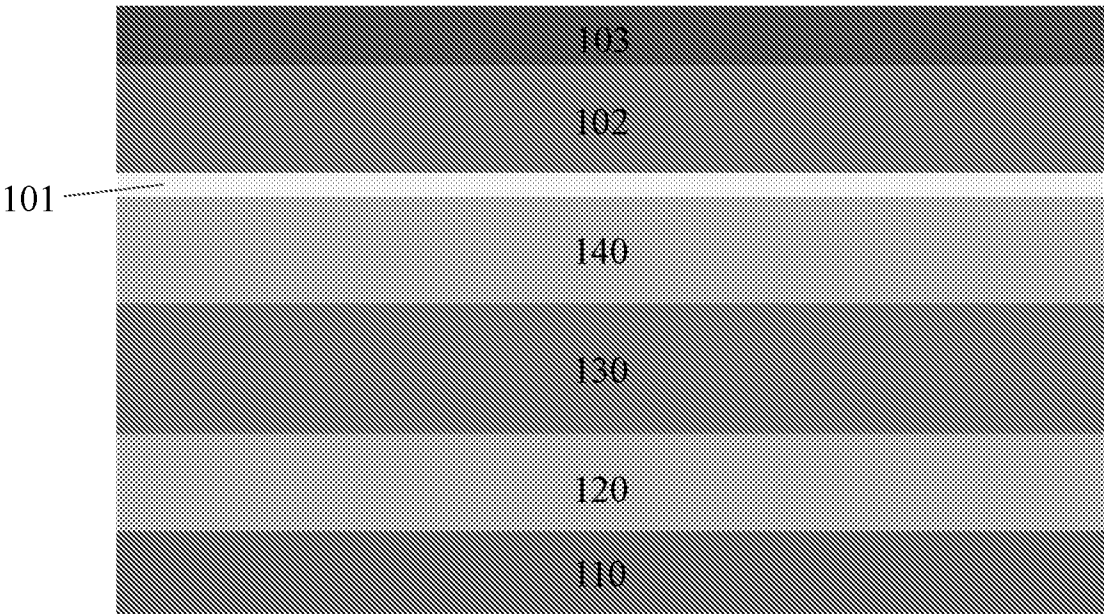


图 3

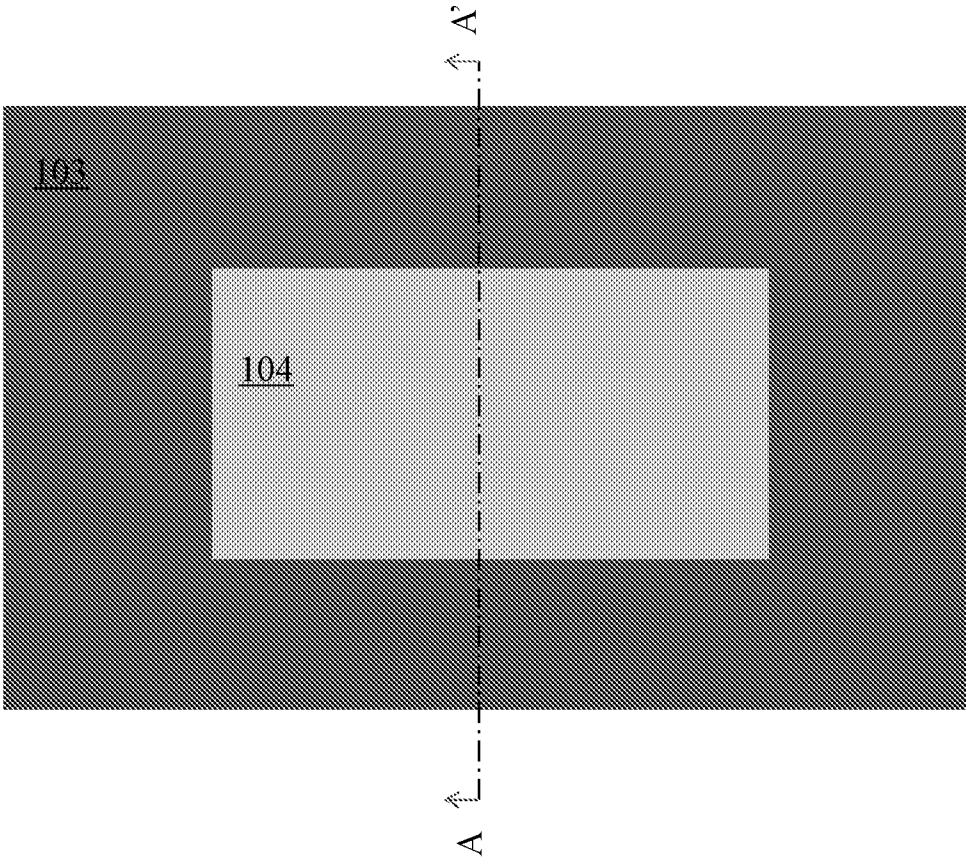


图 4

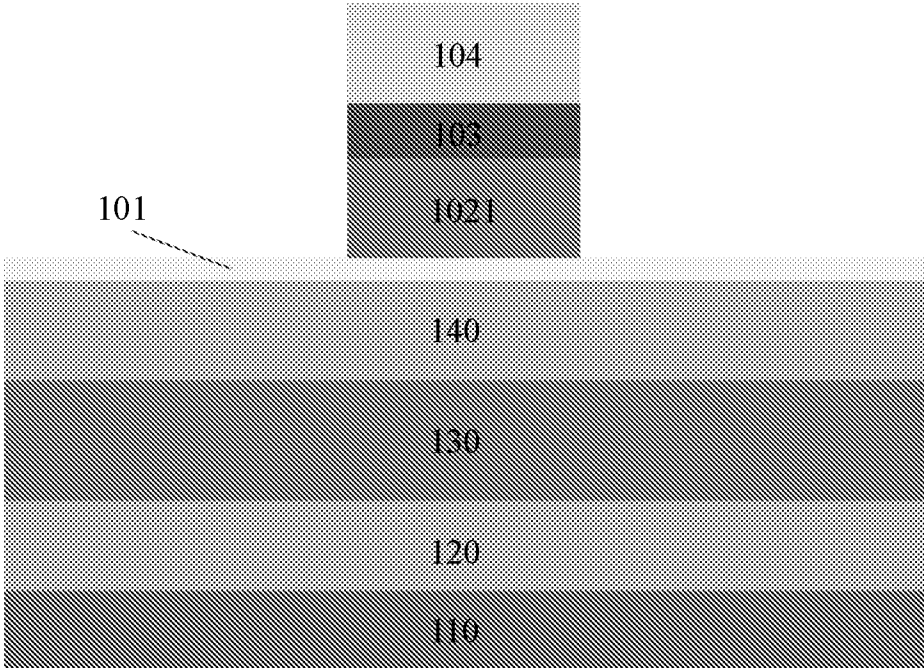


图 5

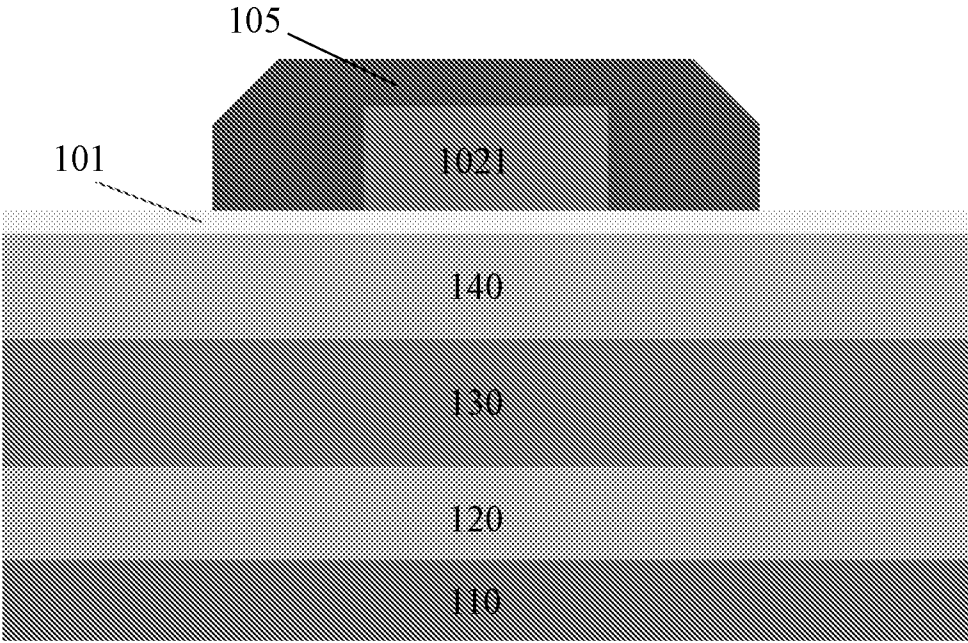


图 6

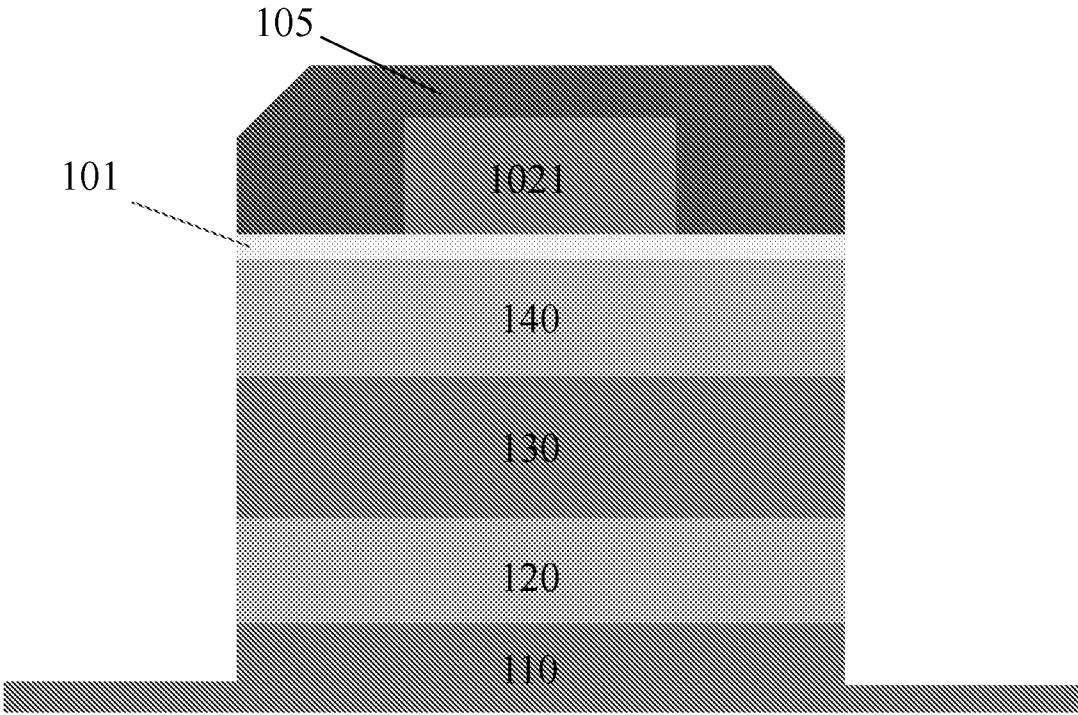


图 7

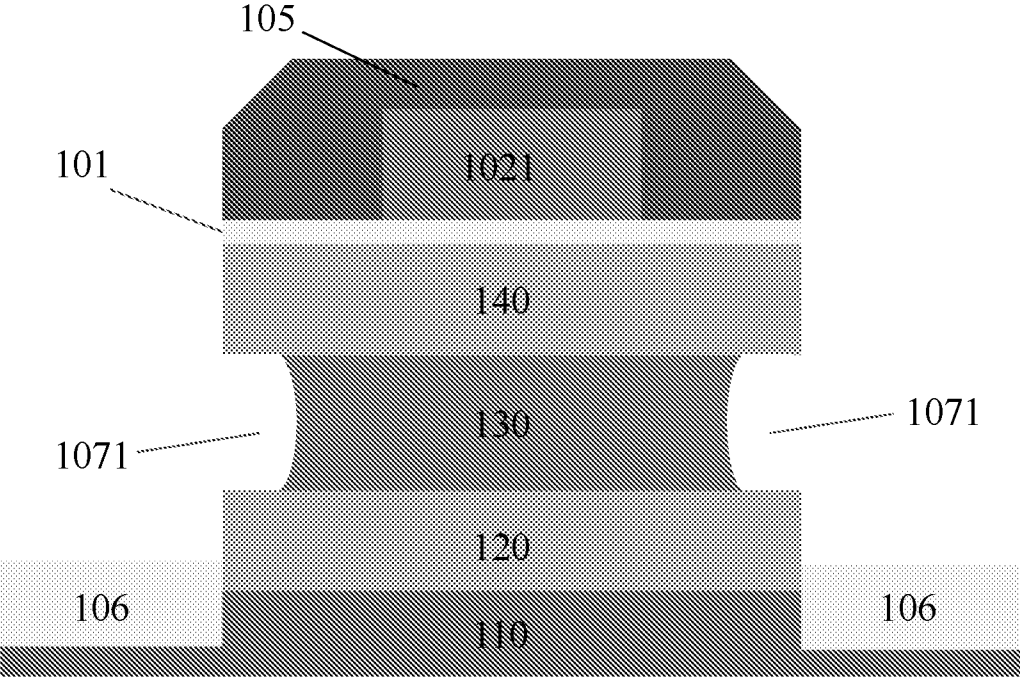


图 8

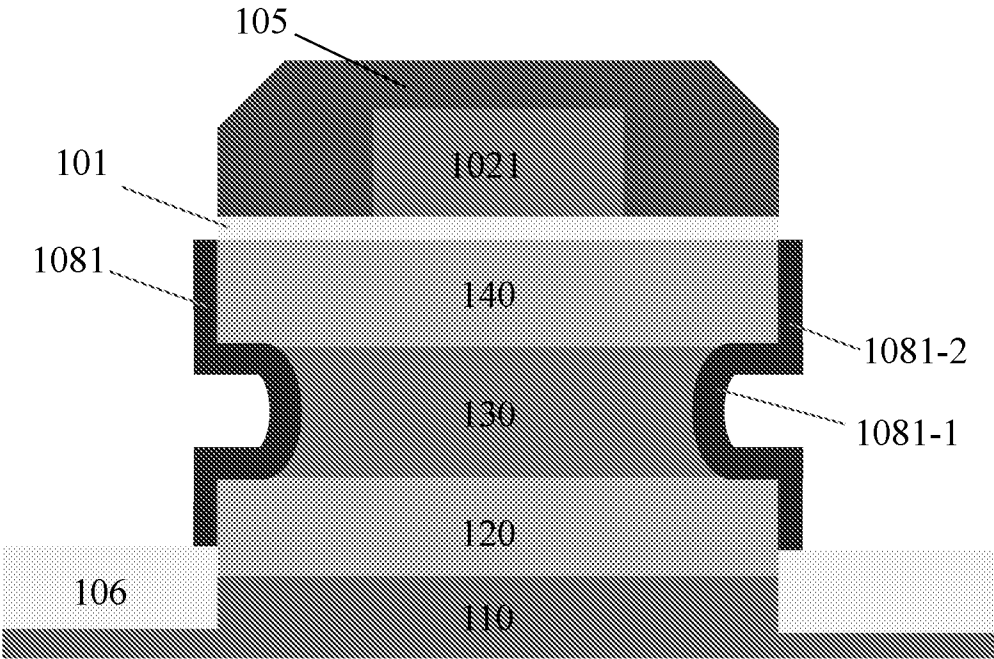


图 9

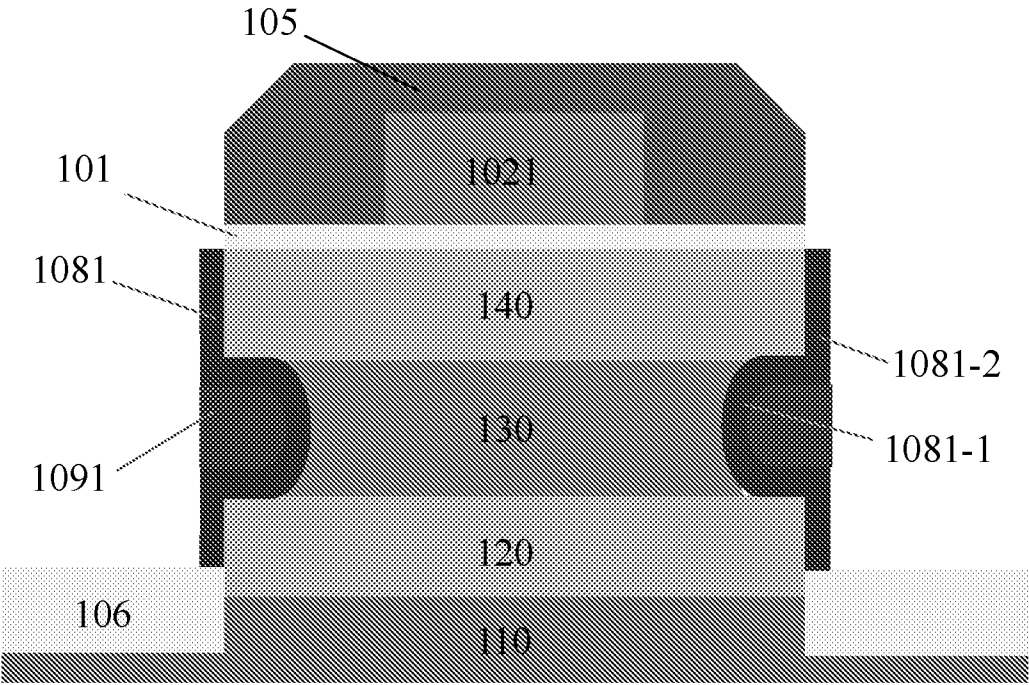


图 10

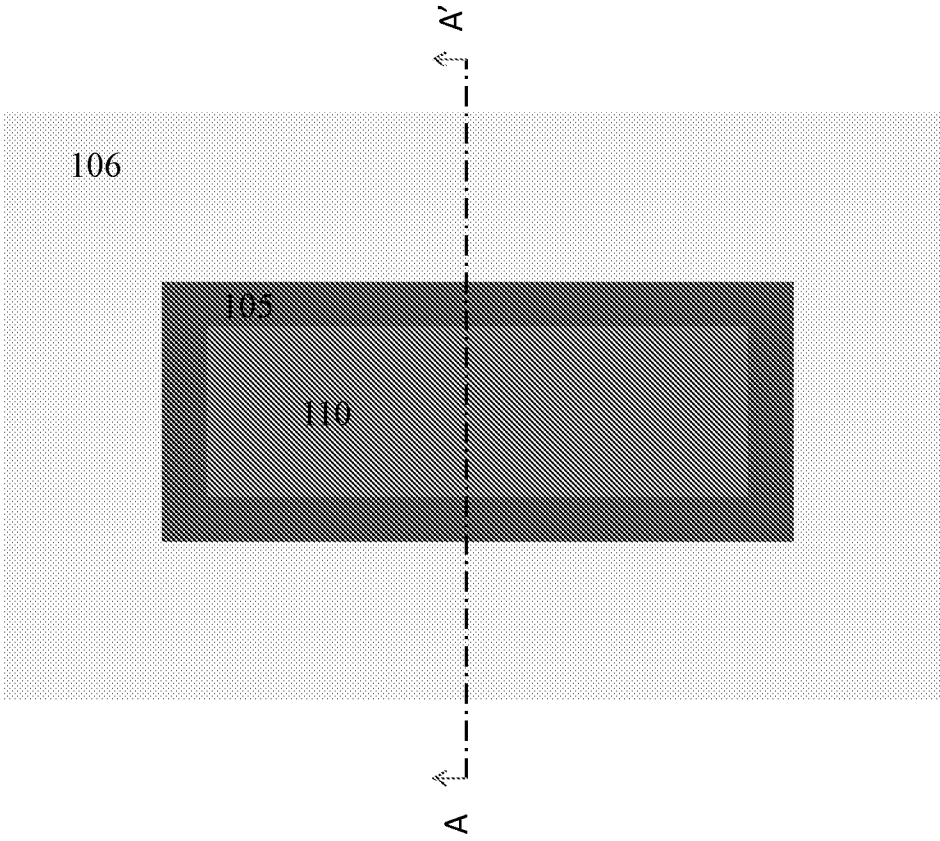


图 11

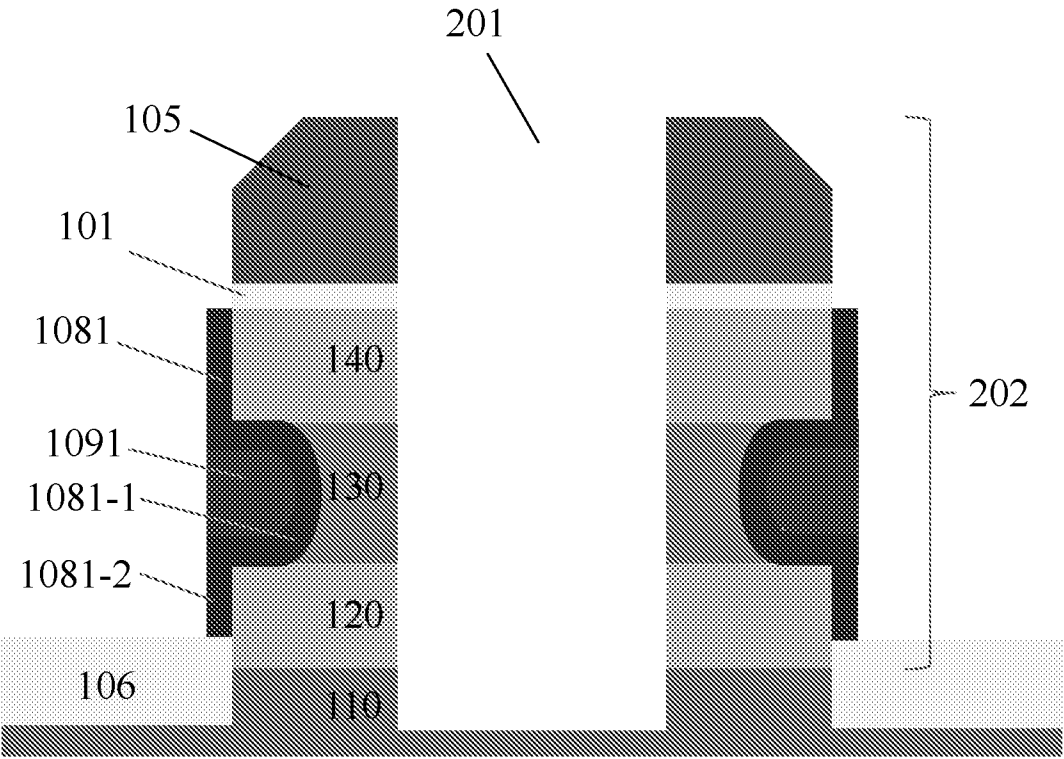


图 12

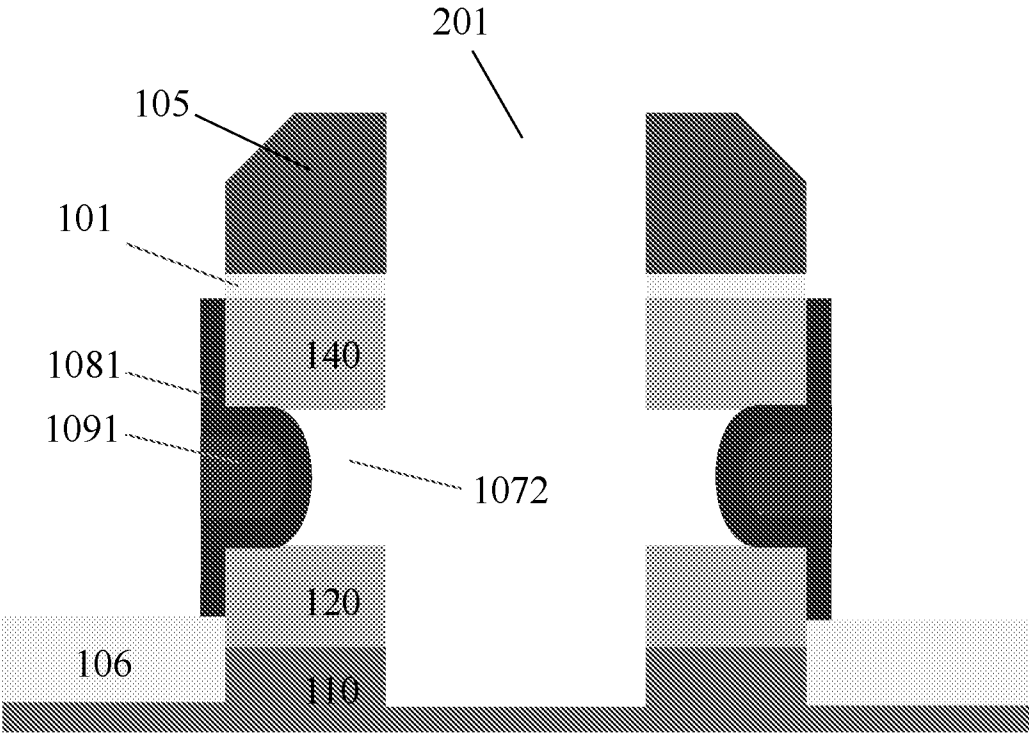


图 13

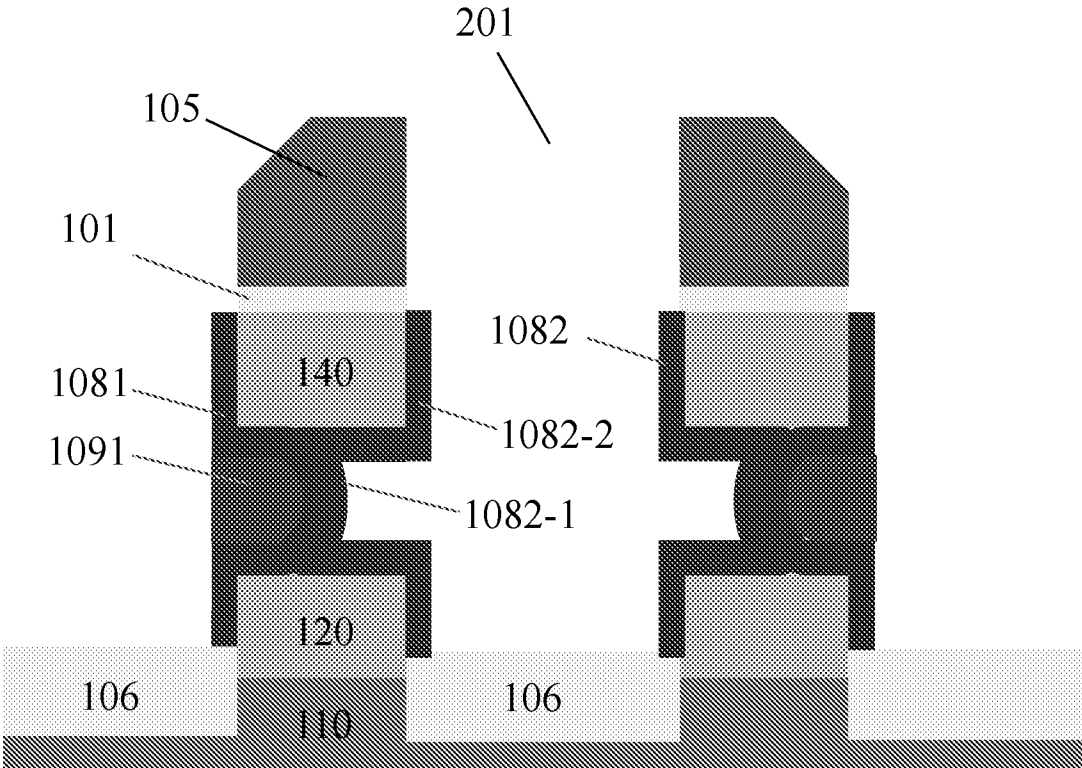


图 14

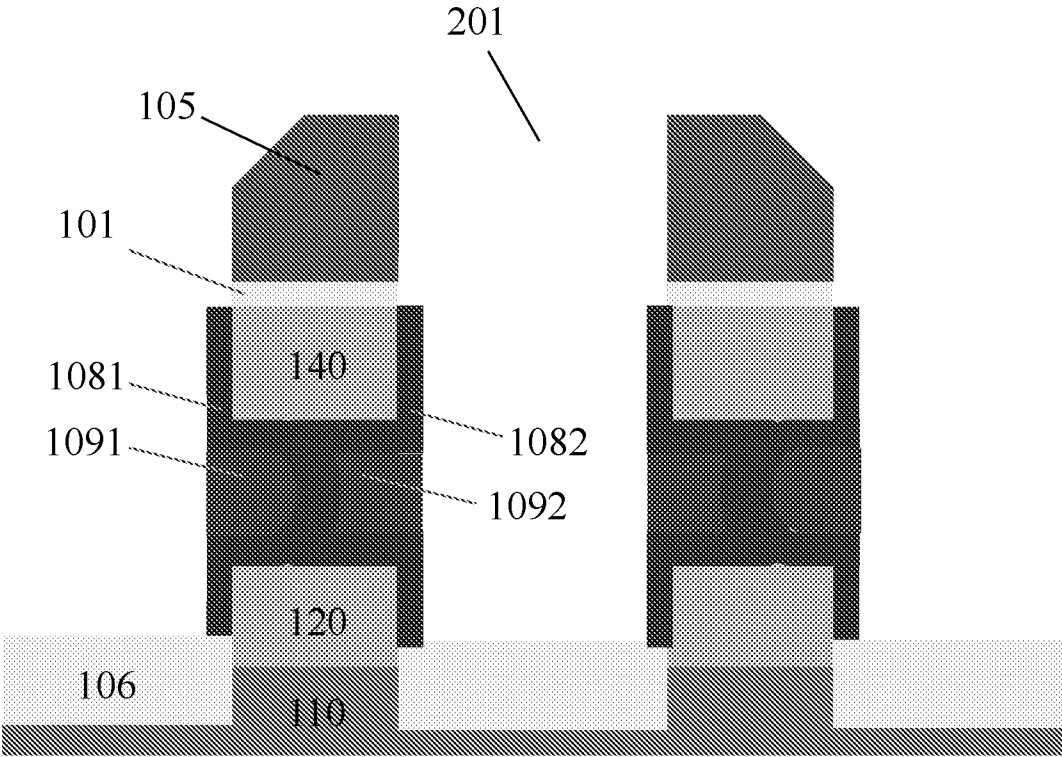


图 15

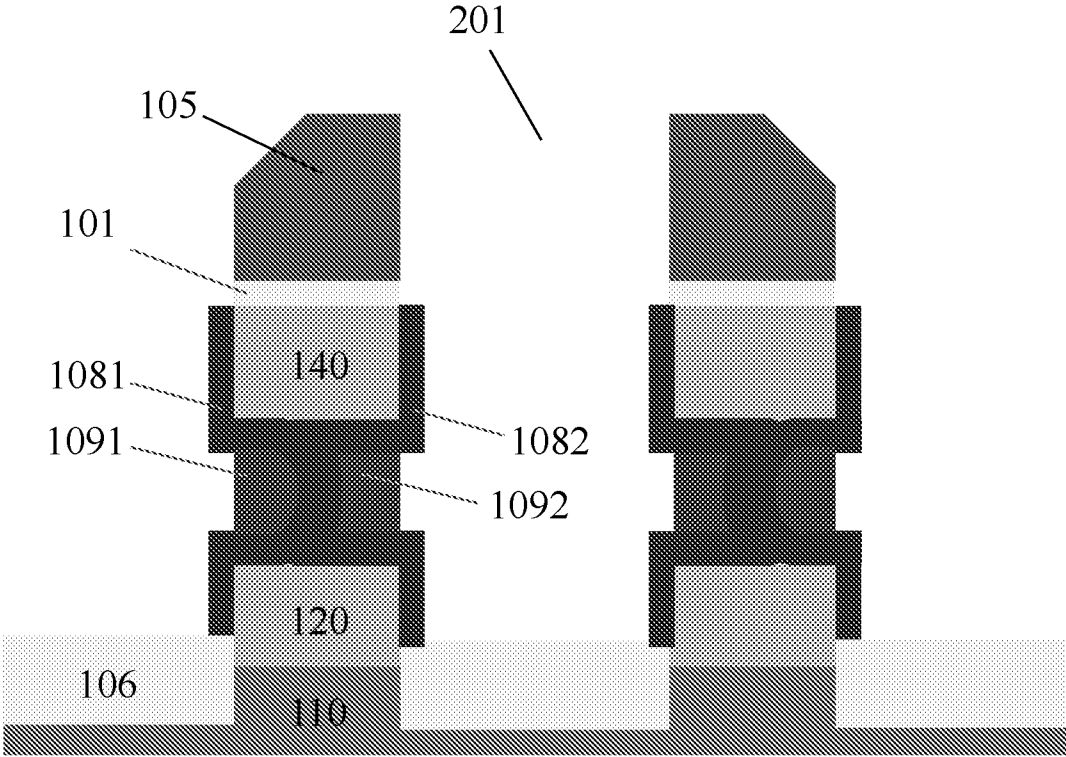


图 16

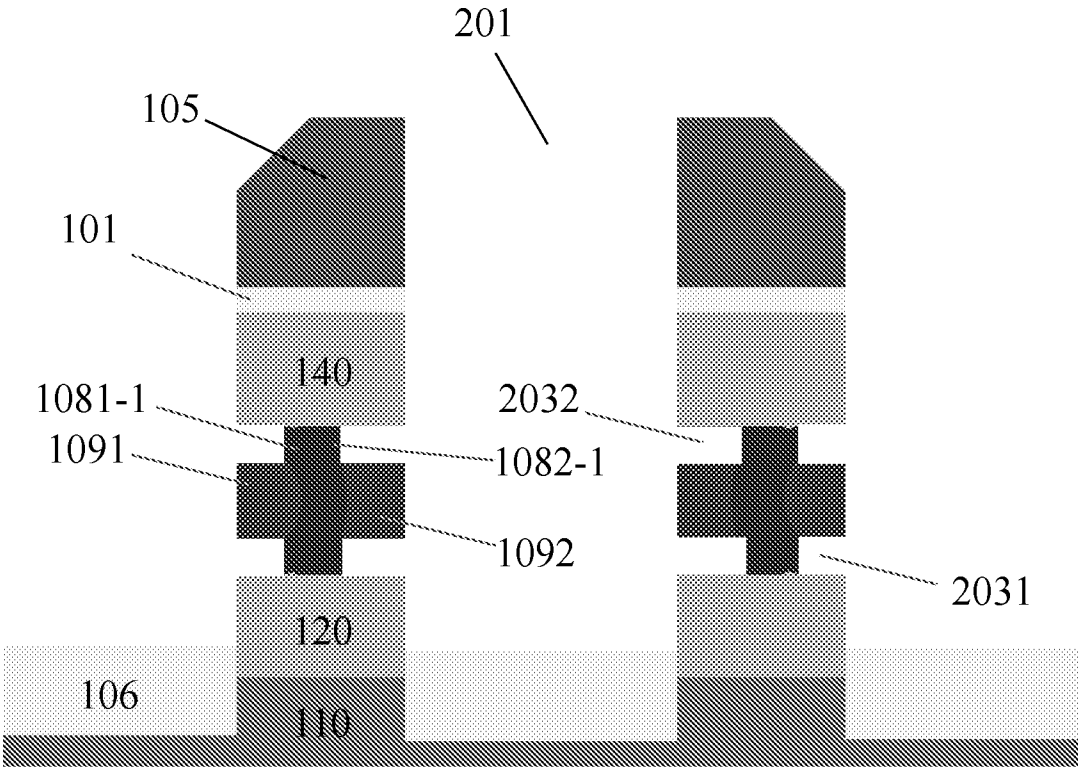


图 17

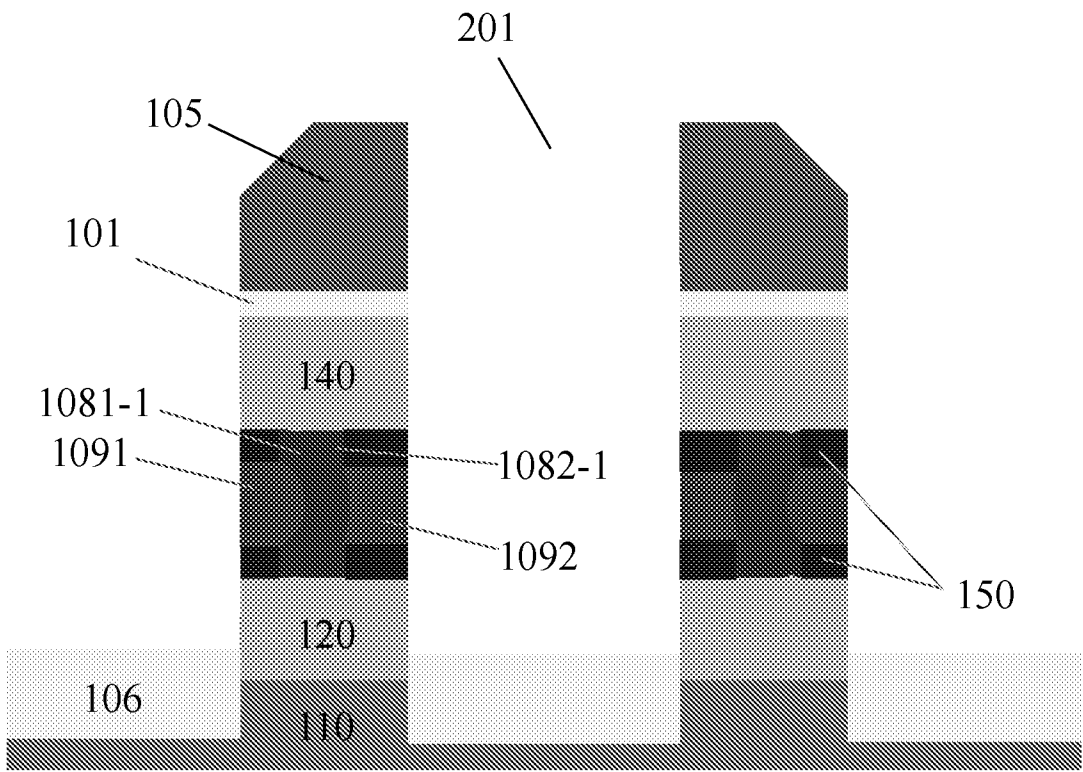


图 18

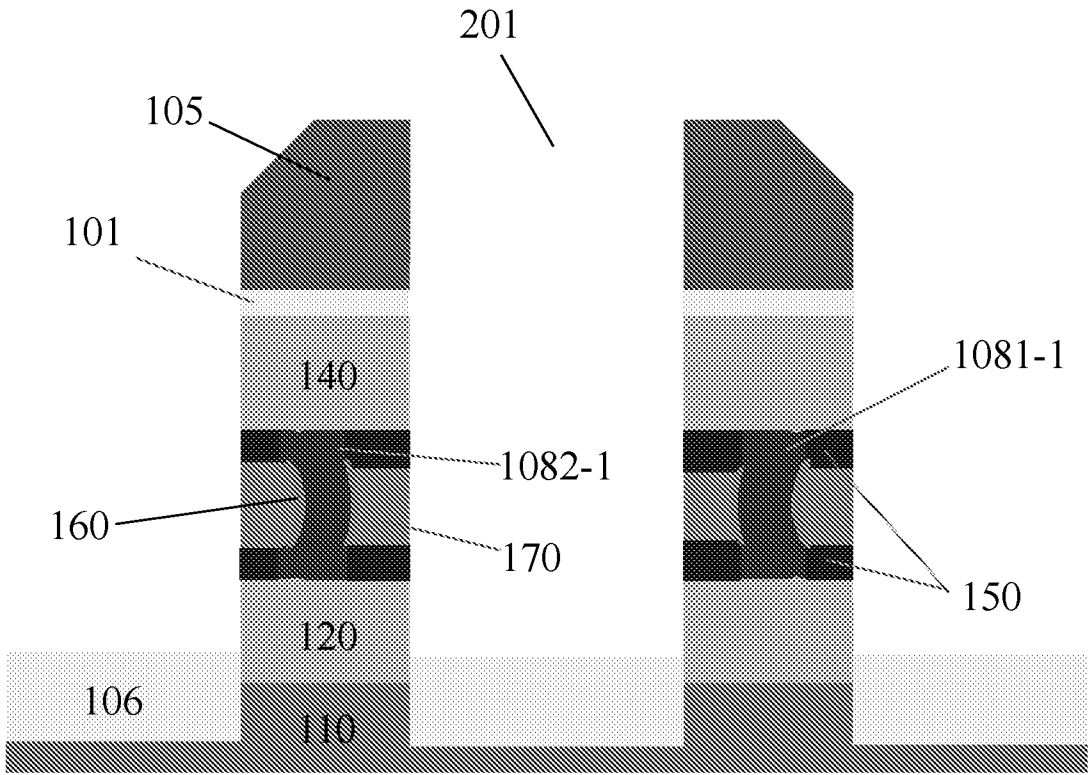


图 19

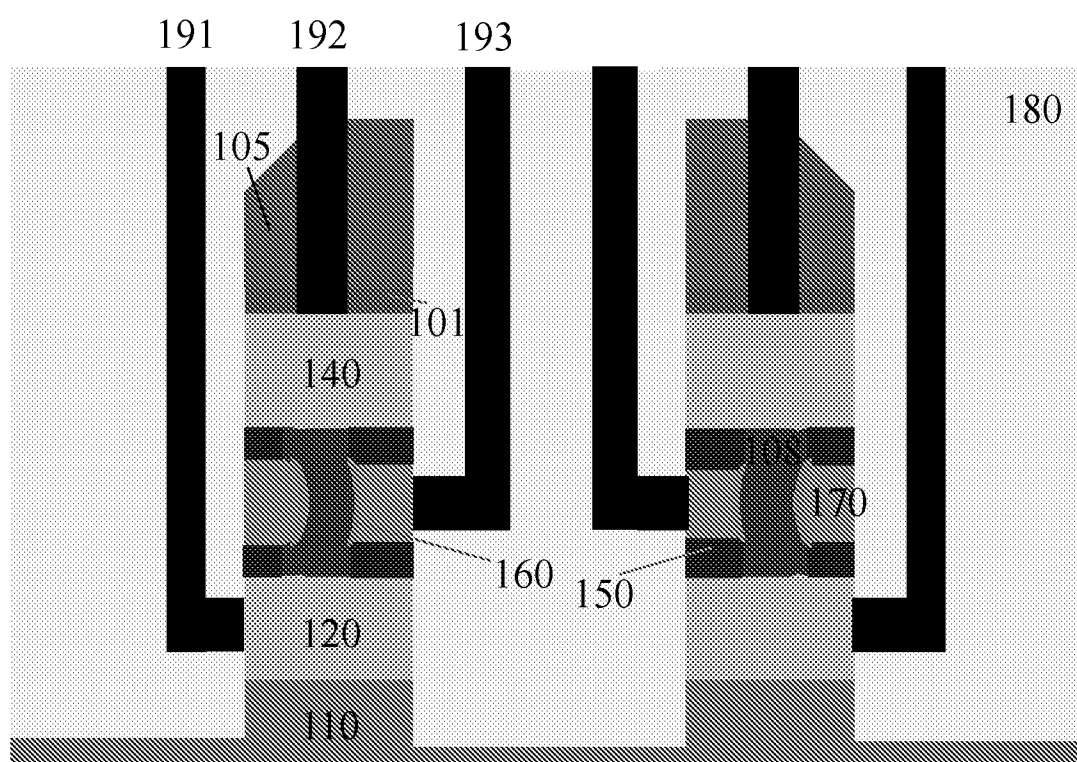


图 20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/140812

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 29/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, CNPAT, CNKI, IEEE: 弧形, 曲线, 凹形, 开口, 垂直, 沟道, 有源, 电极, 源, 漏, 栅, 隔离, 刻蚀, 蚀刻, arc, curve, concave, opening, vertical, channel, active region, source, drain, gate, electrode, etch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2021175356 A1 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 10 June 2021 (2021-06-10) description, paragraphs 0018-0059, and figures 1-13	1-10
A	CN 113594170 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 02 November 2021 (2021-11-02) entire document	1-10
A	CN 107134491 A (XIDIAN UNIVERSITY) 05 September 2017 (2017-09-05) entire document	1-10
A	US 2021328053 A1 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 21 October 2021 (2021-10-21) entire document	1-10
A	US 2007082448 A1 (SAMSUNG ELECTRONICS CO., LTD.) 12 April 2007 (2007-04-12) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 July 2022

Date of mailing of the international search report

28 July 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/140812

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2021175356	A1	10 June 2021	CN	111106177	A	05 May 2020
CN	113594170	A	02 November 2021	TW	202205626	A	01 February 2022
				JP	2022027610	A	10 February 2022
				EP	3945581	A1	02 February 2022
				US	2022037363	A1	03 February 2022
CN	107134491	A	05 September 2017	CN	107134491	B	29 November 2019
US	2021328053	A1	21 October 2021	CN	111463288	A	28 July 2020
US	2007082448	A1	12 April 2007	KR	100660881	B1	26 December 2006
				US	7368352	B2	06 May 2008

国际检索报告

国际申请号

PCT/CN2021/140812

A. 主题的分类

H01L 29/78(2006.01)i; H01L 29/08(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, CNPAT, CNKI, IEEE:弧形, 曲线, 凹形, 开口, 垂直, 沟道, 有源, 电极, 源, 漏, 栅, 隔离, 刻蚀, 蚀刻, arc, curve, concave, opening, vertical, channel, active region, source, drain, gate, electrode, etch+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2021175356 A1 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCI.) 2021年6月10日 (2021 - 06 - 10) 说明书第0018-0059段, 附图1-13	1-10
A	CN 113594170 A (台湾积体电路制造股份有限公司) 2021年11月2日 (2021 - 11 - 02) 全文	1-10
A	CN 107134491 A (西安电子科技大学) 2017年9月5日 (2017 - 09 - 05) 全文	1-10
A	US 2021328053 A1 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCI.) 2021年10月21日 (2021 - 10 - 21) 全文	1-10
A	US 2007082448 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2007年4月12日 (2007 - 04 - 12) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年7月18日

国际检索报告邮寄日期

2022年7月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李艳红

电话号码 86-(10)-53961221

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/140812

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2021175356	A1	2021年6月10日	CN	111106177	A	2020年5月5日
CN	113594170	A	2021年11月2日	TW	202205626	A	2022年2月1日
				JP	2022027610	A	2022年2月10日
				EP	3945581	A1	2022年2月2日
				US	2022037363	A1	2022年2月3日
CN	107134491	A	2017年9月5日	CN	107134491	B	2019年11月29日
US	2021328053	A1	2021年10月21日	CN	111463288	A	2020年7月28日
US	2007082448	A1	2007年4月12日	KR	100660881	B1	2006年12月26日
				US	7368352	B2	2008年5月6日