



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I622032 B

(45)公告日：中華民國 107 (2018) 年 04 月 21 日

(21)申請案號：106111196

(22)申請日：中華民國 99 (2010) 年 11 月 09 日

(51)Int. Cl. : **G09F9/30 (2006.01)****H01L21/77 (2017.01)****G09G3/30 (2006.01)****G09G3/20 (2006.01)****H01L27/32 (2006.01)**

(30)優先權：2009/11/13 日本

2009-259818

2009/12/08 日本

2009-278995

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：高橋圭 TAKAHASHI, KEI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200522721A

TW 200941729A

TW 200945856A

JP 2002-289859A

JP 2007-250983A

審查人員：白龍華

申請專利範圍項數：12 項 圖式數：28 共 140 頁

(54)名稱

顯示裝置及包括顯示裝置之電子裝置

DISPLAY DEVICE AND ELECTRONIC DEVICE INCLUDING THE SAME

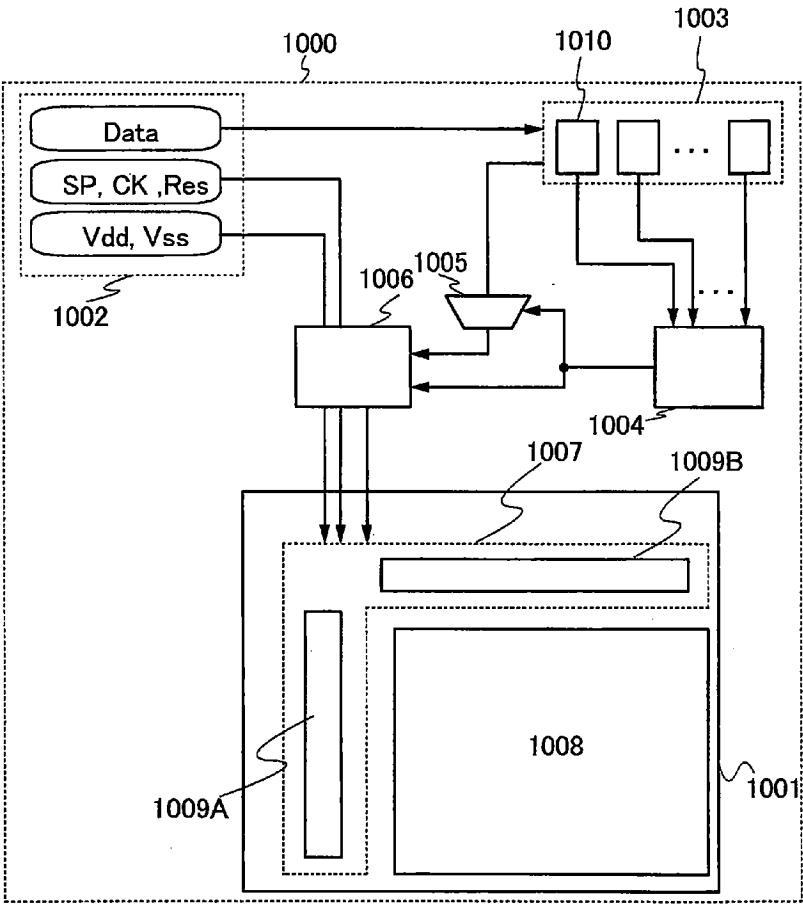
(57)摘要

顯示裝置包括：像素部，其包括複數個像素，該複數個像素各包括第一電晶體、第二電晶體、及發光元件，其中該第一電晶體的閘極電連接到掃描線，該第一電晶體之源極和汲極的其中之一電連接到信號線，及它們的其中另一個電連接到該第二電晶體的閘極；該第二電晶體之源極和汲極的其中之一電連接到供電線，及它們的其中另一個電連接到該發光元件，以及該第一電晶體包括氧化物半導體層。該顯示裝置顯示靜止影像時之週期包括停止輸出信號到該像素部中的所有該等掃描線時之週期。

A display device includes a pixel portion including a plurality of pixels each including a first transistor, a second transistor, and a light-emitting element, in which a gate of the first transistor is electrically connected to a scan line, one of a source and a drain of the first transistor is electrically connected to a signal line, and the other of them is electrically connected to a gate of the second transistor; one of a source and a drain of the second transistor is electrically connected to a power supply line and the other of them is electrically connected to the light-emitting element, and the first transistor includes an oxide semiconductor layer. A period when the display device displays a still image includes a period in which output of a signal to all the scan lines in the pixel portion is stopped.

指定代表圖：

圖 7



- 符號簡單說明：
- 1000 . . . 顯示裝置
 - 1001 . . . 顯示面板
 - 1002 . . . 信號產生
電路
 - 1003 . . . 記憶體電
路
 - 1004 . . . 比較電路
 - 1005 . . . 選擇電路
 - 1006 . . . 顯示控制
電路
 - 1007 . . . 驅動器電
路部
 - 1008 . . . 像素部
 - 1009A . . . 閘極線
驅動器電路
 - 1009B . . . 信號線
驅動器電路
 - 1010 . . . 圖框記憶
體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置及包括顯示裝置之電子裝置

Display device and electronic device including the same

【技術領域】

本發明係相關於顯示裝置。另外，本發明係相關於包括顯示裝置之電子裝置。

【先前技術】

近年來，以液晶顯示裝置或包括電致發光元件之電致發光顯示裝置（下面稱作 EL 顯示裝置）為代表的平板顯示器正大量生產，成為影像顯示裝置的主流。

在主動矩陣式液晶顯示裝置中或者在主動矩陣式 EL 顯示裝置中，像素部中的各像素被設置有電晶體。這些電晶體包括矽（Si）的半導體層作為主動層。

相對地，建議有電晶體包括氧化物在其主動層中之影像顯示裝置（如、見專利文件 1）。

[參考]

[專利文件 1]日本已出版專利申請案號 2006-165528

【發明內容】

用以評估電晶體的電特性之一測量法為關閉電流。關閉電流意指當電晶體在關閉狀態中（在非導電狀態中）時流動在源極和汲極之間的電流。在 n 通道電晶體中，關閉電流意指當施加在閘極和源極之間的電壓等於或小於臨界電壓（ V_{th} ）時流動在源極和汲極之間的電流。

專利文件 1 揭示當使用非晶氧化物半導體薄膜作為電晶體的通道層時，關閉電流可低於 $10\ \mu A (= 1 \times 10^{-5}\ A)$ ，低於於 $0.1\ \mu A (= 1 \times 10^{-7}\ A)$ 較佳。此外，在專利文件 1 中，說明藉由使用非晶氧化物半導體薄膜，開/關比會超過 10^3 。然而，在具有此種位準的電特性之電晶體中，關閉電流較不令人滿意。換言之，為了符合進一步降低影像顯示裝置的電力消耗之需求，必須進一步降低關閉電流。

本發明的一實施例之一目的係用以設置具有降低的電力消耗之顯示裝置，其包括被設置有複數個像素之像素部，複數個像素具有包括氧化物半導體之電晶體。

在本發明的一實施例中，顯示裝置的顯示部中之各像素至少包括包括氧化物半導體之電晶體。包括氧化物半導體之電晶體具有諸如極低的關閉電流等穩定電特性。為了形成具有極低的關閉電流之電晶體，根據本發明的一實施例，欲成為載子的供應體之雜質濃度被降至此種程度之氧化物半導體（高純度氧化物半導體）可被表示作本質或大體上本質。典型上，在本發明的一實施例中，包括氧化物半導體之電晶體包括氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更低之膜。

本發明的一實施例為顯示裝置，其包括：像素部，其包括複數個像素，複數個像素各包括第一電晶體、第二電晶體、及包括一對電極之發光元件。在顯示裝置中，第一電晶體的閘極電連接到掃描線，第一電晶體之源極和汲極的其中之一電連接到信號線，及第一電晶體之源極和汲極的其中另一個電連接到第二電晶體的閘極；第二電晶體之源極和汲極的其中之一電連接到供電線，及第二電晶體之源極和汲極的其中另一個電連接到一對電極的其中之一；以及第一電晶體包括氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更低之氧化物半導體層。

另外，本發明的另一實施例為顯示裝置，其中顯示裝置顯示靜止影像時之週期包括停止輸出信號到像素部中的所有掃描線時之週期。

本發明的一實施例為顯示裝置，其包括：像素部，其包含複數個像素，複數個像素各包括第一電晶體、第二電晶體、及包括一對電極之發光元件；驅動器電路部，其驅動像素部；信號產生電路，其產生驅動驅動器電路部用的控制信號和供應到像素的影像信號；記憶體電路，其儲存各別圖框週期的影像信號；比較電路，其偵測儲存在記憶體電路中之各別圖框週期的影像信號之中連續圖框週期的影像信號之間的差異；選擇電路，其當比較電路偵測到差異時，選擇和輸出連續圖框週期的影像信號；以及顯示控制電路，其當比較電路偵測到差異時，供應從選擇電路輸出的控制信號和影像信號到驅動器電路部，與當比較電路

未偵測到差異時，停止供應控制信號到驅動器電路部。在顯示裝置中，第一電晶體的閘極電連接到掃描線，第一電晶體之源極和汲極的其中之一電連接到信號線，及第一電晶體之源極和汲極的其中另一個電連接到第二電晶體的閘極，第二電晶體之源極和汲極的其中之一電連接到供電線，及第二電晶體之源極和汲極的其中另一個電連接到一對電極的其中之一；以及第一電晶體包括氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更低之氧化物半導體層。

另外，本發明的另一實施例為顯示裝置，其中控制信號為高供電電位、低供電電位、時脈信號、起始脈衝信號、或重設信號。

另外，本發明的另一實施例為顯示裝置，其中像素另外包括發光層。

另外，本發明的另一實施例為顯示裝置，其中氧化物半導體層的載子濃度低於 $1 \times 10^{14}/\text{cm}^3$ 。

另外，本發明的另一實施例為顯示裝置，其中氧化物半導體層的能帶隙為 2 eV 或更大。

另外，本發明的另一實施例為顯示裝置，其中第二電晶體包括氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更低之氧化物半導體層。

另外，本發明的另一實施例為顯示裝置，其中第二電晶體包含多晶矽層。

另外，本發明的另一實施例為電子裝置，其包括上述顯示裝置的任一個。

需注意的是，因為電晶體的結構，所以難以將電晶體

的源極和汲極彼此加以區分。另外，依據電路的操作可互換電位位準。因此，在此說明書中，並未特別指明源極和汲極，它們亦被稱作第一電極（或第一終端）和第二電極（或第二終端）。例如，在第一電極為源極之例子中，第二電極意指汲極，反之，在第一電極為汲極之例子中，第二電極意指源極。

需注意的是，在此說明書中，孔徑比意指透光面積對單位面積之比；孔徑比隨著不透光的組件所佔有之區域面積增加而減少，反之，孔徑比隨著透光的組件所佔有之區域面積增加而增加。在顯示裝置中，孔徑比係藉由降低與像素電極重疊之配線和電容器所佔有的面積以及降低電晶體的尺寸而增加。

尤其是，在各像素包括發光元件之自發光顯示裝置中，孔徑比意指可由面向顯示裝置的顯示器之觀看者來觀看的像素面積中之發光元件的發射面積之比例。

在此說明書中，詞組“A 及 B 被連接”意指 A 及 B 被電連接之例子（即、A 及 B 被連接，具有另一元件或電路插入在其間），A 及 B 被功能性連接之例子（即、A 及 B 被功能性連接，具有另一元件或電路插入在其間），或者 A 及 B 被直接連接之例子（即、A 及 B 被連接，但未具有另一元件或電路插入在其間）。

另外，在此說明書中，使用諸如第一、第二、第三、和第 N （ N 為自然數）等序數，以避免組件之間的混淆，這些詞語並未在數字上限制組件。例如，只要不與另一組

件混淆，此說明書中稱作”第一電晶體”之電晶體可替換地被稱作”第二電晶體”。

根據本發明的一實施例，藉由使用包括高純度氧化物半導體在顯示裝置的像素部中，可將關閉電流降至 $1 \times 10^{-13} \text{A}$ 或更低。如此，可長時間保留資料，及可抑制顯示靜止影像等等的電力消耗。

而且，決定欲待顯示的影像為靜止影像還是移動影像，及在顯示靜止影像的週期中，停止驅動器電路部的操作，藉以可進一步降低顯示裝置的電力消耗。

【圖式簡單說明】

圖 1 為顯示裝置的結構例子圖。

圖 2 為像素的結構例子之等效電路圖。

圖 3 為電晶體的例子之橫剖面圖。

圖 4 為像素的寫入週期和保留週期之間的關係圖。

圖 5A 至 5C 各為像素的結構例子之橫剖面圖。

圖 6A 及 6B 為發光顯示面板的例子之平面圖和橫剖面圖。

圖 7 為顯示裝置的方塊圖之例子。

圖 8A 至 8C 為驅動器電路的例子圖。

圖 9 為驅動器電路的時序圖。

圖 10A 至 10C 為驅動器電路的例子圖。

圖 11A 至 11D 為供應和停止驅動器電路用的信號之處理的例子圖。

圖 12A 及 12B 為發光顯示面板的例子之平面圖和橫剖面圖。

圖 13A 及 13B 為電晶體的例子之平面圖和橫剖面圖。

圖 14A 至 14E 為製造電晶體之方法的例子之橫剖面圖。

圖 15A 至 15E 為製造電晶體之方法的例子之橫剖面圖。

圖 16A 至 16D 為製造電晶體之方法的例子之橫剖面圖。

圖 17A 至 17D 為製造電晶體之方法的例子之橫剖面圖。

圖 18 為像素的結構例子之橫剖面圖。

圖 19A 至 19C 各為電子裝置圖。

圖 20A 至 20D 各為電子裝置圖。

圖 21 為包括氧化物半導體之 MOS 電晶體的源極和汲極之間的能帶結構圖。

圖 22 為正電壓施加到圖 19 之汲極側的狀態圖。

圖 23A 及 23B 為包括氧化物半導體之 MOS 電晶體的 MOS 結構之能帶圖，分別圖解閘極電壓為正之例子和閘極電壓為負之例子。

圖 24 為矽 MOS 電晶體的源極和汲極之間的能帶結構圖。

圖 25 為形成電晶體之最初特性圖。

圖 26A 及 26B 為形成電晶體之俯視圖。

圖 27A 及 27B 為形成電晶體之電特性圖。

圖 28 為供應和停止信號到驅動器電路之處理的例子圖。

【實施方式】

將參考圖式詳細說明本發明的實施例。需注意的是，本發明並不侷限於下面說明，精於本技藝之人士應容易明白，在不違背本發明的精神和範圍之下，可以各種方式修改模式和細節。因此，本發明不應被闡釋作侷限於實施例的說明。需注意的是，在下面欲說明之本發明的實施例中，使用相同參考號碼來表示不同圖式中之相同組件。

需注意的是，除非特別說明，否則下面所說明之實施例的每一個都可與本說明書所給予之其他實施例的任一個組合實施。

（實施例 1）

在此實施例中，將說明本發明的一實施例之顯示裝置的例子，尤其是，將參考圖 1、圖 2、圖 3、圖 4、圖 5A 至 5C、及圖 6A 及 6B 說明顯示裝置的像素部中之像素的結構例子。

圖 1 圖解本發明的一實施例之顯示裝置的結構例子。如圖 1 所示，在顯示裝置中，複數個像素 201 排列成矩陣之像素部 202 設置在基板 200 上。此外，顯示裝置包括掃

描線驅動器電路 203 和信號線驅動器電路 204 作為用以驅動複數個像素 201 之電路。根據經由電連接到掃描線驅動器電路 203 之第一配線 121（掃描線）所供應的掃描信號，為每一列決定像素 201 是在選定狀態中還是在非選定狀態中。經由電連接到信號線驅動器電路 204 之第二配線 122（信號線），以視頻電壓（亦稱作影像信號、視頻信號、或視頻資料）供應由掃描信號所選定的像素 201。像素 201 包括包括一對電極之發光元件，用以供應電位之供電線 123 電連接到此對電極的其中之一。

需注意的是，雖然圖 1 圖解掃描線驅動器電路 203 和信號線驅動器電路 204 設置在基板 200 上之結構，但是本發明並不侷限於此結構。可在基板 200 上只設置掃描線驅動器電路 203 和信號線驅動器電路 204 的其中之一。另一選擇是，可在基板 200 上只設置像素部 202。

另外，雖然圖 1 圖解複數個像素 201 排列成矩陣之例子（條紋排列），但是本發明並不侷限於此結構。關於像素 201 的排列，可利用三角（delta）排列或貝耳（Bayer）排列作為條紋排列的另一個選擇。

作為像素部 202 中的顯示方法，可利用前進法、交錯法等等。彩色顯示時在像素中所控制之彩色元件並未侷限於 R、G、及 B 三顏色（R、G、及 B 分別表示紅色、綠色、及藍色）；例如，可利用 R、G、B、及 W（W 表示白色），或者 R、G、B、及黃色、青綠色、洋紅色的一或多個等等。另外，顯示區的尺寸在點的彩色元件可以是不

同的。需注意的是，本發明並不侷限於彩色顯示用的顯示裝置之應用，而是亦可應用到單色顯示用的顯示裝置。

另外，雖然圖 1 圖解分別延伸在像素的列方向和行方向上之第一配線 121 的數目對第二配線 122 的數目比例為一對一，但是本發明並不侷限於此結構。例如，鄰接像素 210 可共用第一配線 121 或第二配線 122 及被驅動。

圖 2 為圖 1 的像素 201 之結構例子的等效電路圖。需注意的是，本發明並不侷限於圖 2 的像素結構。

像素 6400 包括第一電晶體（下面亦稱作交換電晶體）6401、第二電晶體（下面亦稱作驅動器電晶體）6402、及發光元件 6404。

第一電晶體 6401 的閘極電連接到掃描線 6406，第一電晶體 6401 的第一電極（源極電極和汲極電極的其中之一）電連接到信號線 6405，及第一電晶體 6401 的第二電極（源極電極和汲極電極的其中另一個）電連接到第二電晶體 6402 的閘極。第二電晶體 6402 的第一電極（源極電極和汲極電極的其中之一）電連接到供電線 6407，第二電晶體 6402 的第二電極（源極電極和汲極電極的其中另一個）電連接到發光元件 6404 的第一電極（像素電極）。需注意的是，發光元件 6404 的第二電極對應於共同電極 6408。雖然圖 2 圖解電容器 6410 設置在第二電晶體 6402 的閘極和供電線 6407 之間的結構，但是本發明並不侷限於此結構。例如，電容器可設置在第二電晶體 6402 的閘極和第二電晶體 6402 的第二電極之間。

共同電極 6408 電連接到共同電位線，以被供應有低供電電位。此外，供電線 6407 被設定，以被供應有高供電電位。需注意的是，低供電電位為低於供應給供電線 6407 之高供電電位的電位。低供電電位的特定例子為 GND 及 0 V。需注意的是，高供電電位和低供電電位的電位必須被設定，使得它們之間的電位差可至少等於或大於發光元件 6404 的正向臨界電壓。

在此實施例中，使用包括氧化物半導體層之電晶體作為第一電晶體 6401。在此例中，第一電晶體 6401 為 n 通道電晶體。第二電晶體 6402 可以是 n 通道電晶體或 p 通道電晶體。另外，第二電晶體 6402 可包括氧化物半導體層或矽層作為主動層。當使用矽層作為主動層時，可使用非晶矽層，但使用多晶矽層較佳。在此實施例中，第二電晶體 6402 為 n 通道電晶體及包括氧化物半導體層作為主動層。

圖 3 為像素 6400 中之第一電晶體 6401 的橫剖面圖之例子。圖 3 所示之電晶體 106 對應於第一電晶體 6401 及具有底閘極結構。電晶體 106 亦被稱作反相交錯式電晶體，因為充作閘極電極之第一配線 101 設置在充作通道區之氧化物半導體層 103 下方，及第一電極（源極電極和汲極電極的其中之一）102A 和第二電極（源極電極和汲極電極的其中另一個）102B 設置在氧化物半導體層 103 側上與第一配線 101 相對。

第一配線 101 設置在基板 111 上，具有基膜 112 插入

在其間。第一配線 101 充作電晶體 106 的閘極。此外，第一配線 101 可以是電連接到掃描線驅動器電路之掃描線本身，或者可以是電連接到掃描線之配線。

閘極絕緣膜 113 被設置以覆蓋第一配線 101。氧化物半導體層 103 設置在閘極絕緣膜 113 上。第一電極 102A 和第二電極 102B 設置在氧化物半導體層 103 上。第一電極 102A 和第二電極 102B 電連接到氧化物半導體層 103，及它們的其中之一充作源極電極，而它們的其中另一個充作汲極電極。需注意的是，第一電極 102A 可以是電連接到信號線驅動器電路之信號線本身，或者可以是電連接到信號線之配線。

充作鈍化膜之氧化物絕緣層 114 設置在氧化物半導體層 103、第一電極 102A、及第二電極 102B 上。開口形成在氧化物絕緣層 114 中。經由開口，將第四配線 105 和第二電極 102B 電連接。需注意的是，第四配線 105 電連接到第二電晶體的閘極。

接著，將說明氧化物半導體層 103。

此實施例的氧化物半導體層 103 為對包括氧化物半導體層之電晶體的電特性有不利影響之雜質被降至極低位準之氧化物半導體層，即、氧化物半導體層 103 為高純度氧化物半導體。作為對電特性有不利影響之雜質的典型例子，指定氫。氫為可以是氧化物半導體中之電子的供應體（施體）之雜質。包括大量氫之氧化物半導體可變成 n 型氧化物半導體。如此，包括包括大量氫之氧化物半導體的

電晶體可以是正常開電晶體，及電晶體的開/關比無法夠高。在此說明書中，”高純度氧化物半導體”為盡可能降低氫且為本質或大體上本質之氧化物半導體。高純度氧化物半導體的一例子為氫濃度最多為 $5 \times 10^{19}/\text{cm}^3$ 或更少、 $5 \times 10^{18}/\text{cm}^3$ 或更少較佳、 $5 \times 10^{17}/\text{cm}^3$ 或更少更好、或低於 $1 \times 10^{16}/\text{cm}^3$ 之氧化物半導體。使用載子濃度低於 $1 \times 10^{14}/\text{cm}^3$ 、低於 $1 \times 10^{12}/\text{cm}^3$ 較佳、低於 $1 \times 10^{11}/\text{cm}^3$ 或低於 $6.0 \times 10^{10}/\text{cm}^3$ 更好之氧化物半導體膜來形成電晶體的通道形成區。需注意的是，可以二次離子質譜儀（SIMS）來測量氧化物半導體層中之氫的濃度。

另外，氧化物半導體層 103 的能帶隙為 2 eV 或更多，2.5 eV 或更多較佳，3 eV 或更多更好。

如上述藉由大幅去除包括在氧化物半導體層中之氫所獲得的高純度氧化物半導體層被用於電晶體的通道形成區，藉以可設置具有極低關閉電流之電晶體。

例如，甚至當包括高純度氧化物半導體層之電晶體具有通道長度 3 μm 及通道寬度 10 mm 時，仍可以當汲極電壓為 1 V 或 10 V 和閘極電壓是在 -5V 至 -20 V 的範圍中時，汲極電流為 1×10^{-13} A 或更低之此種方式來操作電晶體（即、電晶體是在關閉狀態中）。

接著，參考圖 21、圖 22、圖 23A 及 23B、圖 24、圖 25、圖 26A 及 26B、和圖 27A 及 27B 來說明包括高純度氧化物半導體層之電晶體的特性。需注意的是，下面說明係依據容易瞭解的理想狀況，並未完全反應實際狀況。需

注意的是，下面說明僅是一考量，與本發明的有效性無關。

圖 21 圖解包括高純度氧化物半導體層之電晶體的源極-汲極能帶結構。在理想狀態中，高度淨化的氧化物半導體之費米能階位在違禁能帶的中間。在具有降低的氫濃度之氧化物半導體中，少數載子（此例為電洞）的數目為零或極接近零。

在此例中，為了在金屬-氧化物半導體接合介面中獲得平坦能帶結構，給定下面條件：

$$\phi_m = x - V_t \ln(N_d / N_c)$$

其中 ϕ_m 為功函數， x 為氧化物半導體的電子親和力， N_d 為熱均衡中之氧化物半導體的載子密度（電子密度），及 N_c 為導電帶中之氧化物半導體的狀態之有效密度。

此處， V_t 被表示作 $V_t = K_b T / q$ ，其中 K_b 為波爾茲曼常數， T 為溫度，及 q 為單元電荷。當等式 $\phi_m = x - V_t \ln(N_d / N_c)$ 的右側大於左側時，提供歐姆接觸。此處，在接合介面中，若滿足等式 $\phi_m = x$ ，則電極的金屬之費米能階與氧化物半導體的導電帶之能階相同。當假設氧化物半導體的能帶隙為 3.05 eV 時，氧化物半導體的電子親和力為 4.3 eV，氧化物半導體在本質狀態中（載子密度約為 $1 \times 10^{-7} / \text{cm}^3$ ），及使用功函數為 4.3 eV 之鈦（Ti）作為源極電極和汲極電極，未形成不利於電子的障壁，如圖 21 所示。

圖 22 圖解正電壓施加到包括氧化物半導體的電晶體中之汲極側的狀態。因為氧化物半導體的能帶隙寬，所以本質或大體上本質之高度淨化的氧化物半導體之本質載子密度為零或極接近零。然而應明白，當正電壓施加到閘極及電壓施加在源極和汲極之間時，從源極側注射載子（電子）並且流入汲極側。

圖 23A 為施加正閘極電壓之包括氧化物半導體的 MOS 電晶體之能帶圖。在圖式中，GE 表示閘極電極，GI 表示閘極絕緣膜，及 OS 表示氧化物半導體。在此例中，幾乎沒有熱激發載子存在於高度淨化的氧化物半導體中。如此，載子亦未存在於閘極絕緣膜附近。然而，從源極側注射之載子可如圖 22 所示一般轉移。

圖 23B 為施加負閘極電壓之包括氧化物半導體的 MOS 電晶體之能帶圖。氧化物半導體中之少數載子（電洞）的數目大體上為零；如此，源極和汲極之間的電流值極接近零。

圖 24 為包括矽半導體之電晶體的能帶圖。矽半導體的本質載子密度為 $1.45 \times 10^{10} / \text{cm}^3$ (300K)，及甚至在室溫仍存在載子。此意謂甚至在室溫仍存在熱激發載子。在實際使用中，使用添加諸如磷或硼等雜質元素之矽晶圓；因此矽半導體實際上具有有助於源極和汲極之間的導電之 $1 \times 10^{14} / \text{cm}^3$ 或更多的載子。另外，因為矽半導體的能帶隙為 1.12 eV，所以包括矽半導體之電晶體的關閉電流依據溫度而大幅變化。

如上述，不僅只藉由將具有寬能帶隙之氧化物半導體用於電晶體，而且還藉由降低諸如氫等形成施體之雜質至極低位準，使得載子密度低於 $1 \times 10^{14}/\text{cm}^3$ ，低於 $1 \times 10^{12}/\text{cm}^3$ 較佳，低於 $1 \times 10^{11}/\text{cm}^3$ 或低於 $6.0 \times 10^{10}/\text{cm}^3$ 更好，可去除在實際操作溫度中被熱激發之載子，使得可僅藉由從源極注射的載子來操作電晶體。如此能夠降低關閉電流至 1×10^{-13} A 或更低，以及能夠獲得關閉電流幾乎不由於溫度變化而改變且能夠非常穩定操作之電晶體。

接著，將說明使用測試元件群（亦稱作 TEG）的關閉電流之測量值。

各具有 $L/W = 3 \text{ } \mu\text{m}/50 \text{ } \mu\text{m}$ 之兩百個電晶體並聯連接；圖 25 圖示具有 $L/W = 3 \text{ } \mu\text{m}/10000 \text{ } \mu\text{m}$ 之電晶體的最初特性。此處， V_g 是在從 -20 V 至 +5 V 的範圍中。圖 26A 圖解俯視圖，而圖 26B 圖解其局部放大俯視圖。在圖 26B 以點線圍住的區域是具有 $L/W = 3 \text{ } \mu\text{m}/50 \text{ } \mu\text{m}$ 及 $L_{ov} = 1.5 \text{ } \mu\text{m}$ 之一階段的電晶體。為了測量電晶體的最初特性，在基板溫度被設定成室溫，源極和汲極之間的電壓（下面稱作汲極電壓或 V_d ）被設定成 10 V，及源極和閘極之間的電壓（下面稱作閘極電壓或 V_g ）從 -20 V 改成 +20 V 之條件下，測量源極-汲極電流（下面稱作汲極電流或 I_d ）的特性變化。

如圖 25 所示，具有通道寬度 W 10000 μm 之電晶體在 V_d 為 1 V 及 10 V 中具有關閉電流 1×10^{-13} A 或更低，其低於或等於測量系統的解析度（100 fA）（半導體參數分

析器，由 Agilent Technologies 公司所製造的 Agilent 4156C）。

接著，說明製造測量用的電晶體之方法。

首先，藉由 CVD 法在玻璃基板上形成氮化矽層作為基層，及形成氮氧化矽層在氮化矽層上。藉由濺鍍法在氮氧化矽層上形成鎢層作為閘極電極。此處，鎢層被選擇性蝕刻成閘極電極。

然後，藉由 CVD 法，在閘極電極上形成具有厚度 100 nm 之氮氧化矽層作為閘極絕緣層。

然後，使用 In-Ga-Zn-O 基的金屬氧化物目標（莫耳比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ ），藉由濺鍍法在閘極絕緣層上形成具有厚度 50 nm 之氧化物半導體層。然後，氧化物半導體層被選擇性蝕刻成島型氧化物半導體層。

然後，在清潔爐中，以 450°C ，在氮大氣中，於氧化物半導體層上執行第一熱處理達一小時。

然後，藉由濺鍍法，在氧化物半導體層上形成鈦層（具有厚度 150 nm）作為源極電極和汲極電極。此處，源極電極和汲極電極被選擇性蝕刻，使得各具有通道長度 L 3 μm 和通道寬度 W 50 μm 之 200 個電晶體被並聯連接，以獲得具有 $L/W = 3 \mu\text{m}/10000 \mu\text{m}$ 之電晶體。

然後，藉由反應性濺鍍法，形成具有厚度 300 nm 之氧化矽層作為與氧化物半導體層接觸之保護絕緣層。此處，保護絕緣層之氧化矽層被選擇性蝕刻，以形成開口在閘極電極、源極電極、和汲極電極上。之後，以 250°C ，

在氮大氣中，執行第二熱處理達一小時。

然後，在測量 V_g - I_d 特性之前，以 150°C 執行熱處理 10 小時。

經由上述處理，形成底閘極電晶體。

圖 25 所示之電晶體的關閉電流約 1×10^{-13} A 之原因即為在上述製造處理中充分降低氧化物半導體層的氫濃度。氧化物半導體層中的氫濃度為 5×10^{19} atoms/cm³ 或更低， 5×10^{18} atoms/cm³ 或更低較佳， 5×10^{17} atoms/cm³ 或更低或低於 1×10^{16} atoms/cm³ 更好。需注意的是，以二次離子質譜儀（SIMS）測量氧化物半導體層中的氫濃度。

雖然已說明使用 In-Ga-Zn-O 基的氧化物半導體之例子，但是此實施例並不特別侷限於此。可使用另一氧化物半導體材料，諸如 In-Sn-Zn-O 基的氧化物半導體、Sn-Ga-Zn-O 基的氧化物半導體、Al-Ga-Zn-O 基的氧化物半導體、Sn-Al-Zn-O 基的氧化物半導體、In-Zn-O 基的氧化物半導體、In-Sn-O 基的氧化物半導體、Sn-Zn-O 基的氧化物半導體、Al-Zn-O 基的氧化物半導體、In-O 基的氧化物半導體、Sn-O 基的氧化物半導體、或 Zn-O 基的氧化物半導體。而且，作為氧化物半導體材料，可使用添加 2.5 wt% 至 10 wt% AlO_x 之 In-Al-Zn-O 基的氧化物半導體，或添加 2.5 wt% 至 10 wt% SiO_x 之 In-Zn-O 基的氧化物半導體。

以在載子測量系統所測量之氧化物半導體層的載子濃度低於 $1 \times 10^{14}/\text{cm}^3$ ，低於 $1 \times 10^{12}/\text{cm}^3$ 較佳，低於 $1 \times$

$10^{11}/\text{cm}^3$ 或低於 $6.0 \times 10^{10}/\text{cm}^3$ 更好。換言之，氧化物半導體層的載子濃度可極接近零。需注意的是，關於測量載子濃度，例如，可形成 MOS 電容器，及可評估其 CV 測量結果（CV 特性）。

電晶體的通道長度 L 可以是 10 nm 至 1000 nm（含）。在此例中，可增加電路操作速度。此外，因為關閉電流極小，所以可降低電力消耗。

需注意的是，在電路設計中，當電晶體在關閉狀態時，可將氧化物半導體層視作絕緣體。

然後，評估此實施例所形成之電晶體的關閉電流之溫度特性。溫度特性在考量包括電晶體的目標產品之環境電阻、性能維持等等非常重要。如此明白，少量的改變越佳，越能夠有更撓性的產品設計。

關於溫度特性，在被設置有電晶體的基板保持在各別溫度 -30°C 、 0°C 、 25°C 、 40°C 、 60°C 、 80°C 、 100°C 、及 120°C ；汲極電壓被設定成 6 V；及閘極電壓從 -20 改成 +20 V 之條件下，使用恆溫室獲得 V_g - I_d 特性。

圖 27 圖示在上述溫度中所測量並且插入在圖表中之 V_g - I_d 特性，及圖 27B 圖示圖 27A 中以點線所圍住的關閉電流之範圍的放大圖。圖表中以箭頭所指出的最右邊曲線為在 -30°C 所獲得之曲線；最左邊曲線為在 120°C 所獲得之曲線；及在其他溫度所獲得的曲線位在其間。幾乎難以觀察到開啓電流的溫度相依性。另一方面，如圖 27B 的放大圖所示一般，除了在閘極電壓約 -20 V 時以外，在所有

溫度中，關閉電流為 1×10^{-12} A 或更低，其接近測量系統的解析度，及未觀察到關閉電流的溫度相依性。換言之，甚至在 120°C 的高溫中，關閉電流仍保持在 1×10^{-12} A 或更低，及因為通道寬度 W 為 $10000 \mu\text{m}$ ，所以關閉電流為極小的 1×10^{-16} A/ μm 。

包括淨化的氧化物半導體（淨化的 OS）之電晶體顯示出幾乎沒有關閉電流的溫度相依性。可說是，當被淨化時氧化物半導體未顯現出溫度相依性，因為導電型變成極接近本質型，及費米能階位在違禁能帶的中間，如圖 21 的能帶圖所示。此也是因為氧化物半導體具有能帶隙 3 eV 或更大並且包括極少的熱激發載子。此外，源極區和汲極區在衰退狀態中，此亦為未顯現溫度相依性的因素。主要利用從衰退源極區注射到氧化物半導體之載子來操作電晶體，及可藉由溫度上的載子密度之獨立性來說明上述特性（在溫度上之關閉電流的獨立性）。

如上述，甚至在具有通道寬度 W $1 \times 10^4 \mu\text{m}$ 及通道長度 3 μm 之電晶體中，可獲得關閉電流 10^{-13} A 或更低及次臨界擺動（S 值）0.1 V/dec（閘極絕緣膜的厚度為 100 nm）。藉由高度淨化氧化物半導體，使得氧化物半導體中之雜質量盡可能小，如此可實現令人滿意的電晶體操作。包括氧化物半導體層之上述電晶體可具有每通道寬度 1 μm 之關閉電流 10 aA/ μm (1×10^{-17} A/ μm) 或更低，或者甚至 1 aA/ μm (1×10^{-18} A/ μm) 或更低。當具有極小的關閉電流值（關閉電流值）之電晶體被使用作為第一電晶體

6401 時，可將諸如影像信號等電信號保留較長的一段時間。例如，寫入間距可以是 10 秒或更長，30 秒或更長較佳，1 分鐘或更長及低於 10 分鐘更好。寫入間距的增加可進一步降低電力消耗。

另一方面，例如在估計包括低溫多晶矽之電晶體的關閉電流量約 1×10^{-12} A 同時執行設計等。如此，當儲存電容大體上相同（約 0.1 pF）時，包括氧化物半導體之電晶體的電壓保留週期可為包括低溫多晶矽之電晶體的電壓保留週期約 10^5 倍長。另外，包括非晶矽之電晶體具有每通道寬度 1 μm 之關閉電流 1×10^{-13} A/ μm 或更大。如此，當儲存電容大體上相同（約 0.1 pF）時，包括高純度氧化物半導體之電晶體的電壓保留週期可為包括非晶矽之電晶體的電壓保留週期約 10^4 倍長。

例如，在包括包括低溫多晶矽之電晶體的像素中，以每秒 60 圖框執行顯示（每一圖框 16 msec）。同樣可用於靜止影像顯示的例子，因為速率減少（寫入間距增加）將使像素的電壓和顯示的故障減少。相對地，在使用包括上述氧化物半導體層之電晶體的例子中，因為關閉電流小，一信號寫入的保留週期可約為 1600 秒，即、為包括低溫多晶矽之電晶體的 10^5 倍長。如此，甚至以少量的影像信號寫入，就可在在顯示部上顯示靜止影像。因為保留週期可延長，所以尤其是在顯示靜止影像時可降低信號寫入的頻率。例如，當使用包括氧化物半導體層之電晶體時，在一靜止影像顯示週期期間（約 1600 秒）寫入像素之次數

可以是一，反之，當使用包括低溫多晶矽之電晶體時次數必須為 10^5 。如此，可達成降低顯示裝置的電力消耗。

圖 4 圖示到顯示部的寫入週期和保留週期（亦稱作一圖框週期）之間的關係。在圖 4 中，週期 251 及 252 各為保留週期，及週期 261 及 262 各為到顯示部的寫入週期。當使用包括高純度氧化物半導體層之上述電晶體時，保留週期可被設定的較長。因此，尤其是在顯示靜止影像時可大幅降低信號寫入的頻率。因此，在顯示顯示時變化較少的靜止影像等之例子中，可降低電力消耗。

在顯示靜止影像時，根據施加到驅動器電晶體的電壓之保留率，可在保留週期期間適當執行更新操作。例如，相對於剛在信號寫入驅動器電晶體的閘極之後的電壓之值（最初值），當驅動器電晶體的閘極中之電壓到達預定位準時可執行更新操作。相對於最初值，預定位準被設定成未感覺閃爍的電壓較佳。尤其是，在圖像為欲待顯示的目標之例子中，每次電壓到達低於最初值的值約 1.0%，0.3%較佳時執行更新操作（重寫）較佳。在字體為欲待顯示的目標時，每次電壓到達低於最初值的值約 10%，3%較佳時執行更新操作（重寫）較佳。

作為發光元件 6404 的驅動方法之例子，將說明執行類比灰階驅動之方法。將高於或等於發光元件 6404 的正向電壓和第二電晶體 6402 的 V_{th} 之總和的電壓之電壓施加到第二電晶體 6402 的閘極。此處，發光元件 6404 的正向電壓表示獲得想要的亮度之電壓，及包括至少正向臨界

電壓。例如，藉由輸入使第二電晶體 6402 能夠在飽和區中操作之視頻信號（影像信號），可供應電流到發光元件 6404。需注意的是，爲了第二電晶體 6402 能夠在飽和區中操作，供電線 6407 的電位被設定高於第二電晶體 6402 的閘極電位。當使用類比視頻信號時，能夠根據視頻信號饋送電流到發光元件 6404，及執行類比灰階驅動。

另外，電壓輸入電壓驅動法能夠使用複數個像素的區域灰階顯示，藉由組合（如、R+G、G+B、R+B、及 R+G+B）具有不同發射彩色（如、R、G、及 B）的複數個像素之彩色顯示等等。在電壓輸入電壓驅動法中，使第二電晶體 6402 能夠完全接通或關掉之信號被輸入到第二電晶體 6402 的閘極。即、第二電晶體 6402 在直線區中操作。需注意的是，爲了第二電晶體 6402 能夠在直線區中操作，供電線 6407 的電壓被設定高於第二電晶體 6402 的閘極電位。尤其是，供應等於或高於供電線的電位和第二電晶體 6402 的臨界電壓之總和的電位之電壓信號可施加到信號線 6405。

需注意的是，亦在由類比灰階驅動法或電壓輸入電壓驅動法驅動發光元件 6404 之例子中，第二電晶體 6402 的閘極電位可長時間保留，因爲交換電晶體 6401 的關閉電流被抑制到例如 1×10^{-16} A/ μm 或更低。因此，甚至藉由較不常寫入影像信號仍可在顯示部上執行靜止影像顯示。可降低信號的寫入頻率，如此使電力消耗降低。像素結構並不侷限於圖 2 所示者。例如，可將開關、電阻器、電容

器、電晶體、邏輯電路等等添加到圖 2 所示之像素。

作為發光元件的例子，給予利用電致發光的發光元件。利用電致發光之發光元件係根據發光材料為有機化合物還是無機化合物來分類。通常，前者被稱作有機 EL 元件，而後者被稱作無機 EL 元件。

有機 EL 元件包括一對電極（陽極和陰極）以及包括有機化合物插入在其間之層。當陽極的電位高於陰極的電位時，從陽極和陰極分別將電洞和電子注射到包括有機化合物的層。當在包括有機化合物的層中重組電子和電洞（載子）時，發出光。

無機 EL 元件係根據其元件結構分類成分散型無機 EL 元件和薄膜無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散在結合劑中之發光層，及其光發射機制為利用施體位準和受體位準之施體受體重組型光發射。薄膜無機 EL 元件具有發光層夾置在介電層之間，而介電層另外配置在電極之間的結構，及其光發射機制為利用金屬離子的內殼層電子過渡之局部型光發射。

需注意的是，雖然此實施例給予有機 EL 元件作為發光元件，但是本發明並不侷限於此結構。換言之，在本發明可使用無機 EL 元件作為發光元件。

接著，將參考圖 5A 至 5C 說明包括發光元件之顯示裝置的橫剖面結構。需注意的是，圖 5A 至 5C 的例子所示之驅動器電晶體 7001、7011、及 7021 各可以是包括高純度氧化物半導體層之電晶體或包括矽層之電晶體。在此

實施例中，驅動器電晶體 7001、7011、及 7021 包括高純度氧化物半導體層作為主動層。

被給予作為此實施例的例子之發光元件具有電致發光層（EL 層）夾置在一對電極（第一電極和第二電極）之間的結構。第一電極和第二電極的其中之一充作陽極，而另一個充作陰極。

作為用於陽極之材料，例如，使用具有高功函數之金屬（尤其是，4.0 eV 或更高），或合金，導電化合物，或其混合物較佳。尤其是，給予氧化銦錫（ITO）、含矽或氧化矽之氧化銦錫、氧化銦鋅（IZO）、含氧化鎢和氧化鋅之氧化銦（IWZO）等等。另外，可給予金（Au）、鉑（Pt）、鎳（Ni）、鎢（W）、鉻（Cr）、鉬（Mo）、鐵（Fe）、鈷（Co）、銅（Cu）、鈀（Pd）、金屬材料的氮化物（如、氮化鈦）等等。

作為用於陰極之材料，使用具有低功函數之金屬（尤其是，3.8 eV 或更高），或合金，導電化合物，或其混合物較佳。尤其是，給予屬於週期表的第 1 或 2 族之元素，即、諸如 Li（鋰）和 Cs（銫）等鹼性金屬；諸如 Mg（鎂）、Ca（鈣）、或 Sr（銣）等鹼性土金屬等等。另外，可使用包括鹼性金屬和鹼性土金屬之合金（如、MgAg 或 AlLi）。另外，可使用諸如鎔（Eu）或 Yb（鐳）等稀土金屬，或包括稀土金屬之合金。在設置與第二電極接觸之電子注射層作為 EL 層的部分之例子中，不管其功函數的大小為何，諸如 Al、Ag、或 ITO 等各種導

電材料可被用於第二電極。此種導電材料的膜係可藉由濺鍍法、噴墨法、旋轉塗佈法等等來形成。

雖然 EL 層可被形成具有單層結構，但是通常被形成具有疊層結構。並未特別限制 EL 層的疊層結構。藉由任何適當組合含有具有高電子運送特性的物質之層（電子運送層）、含有具有高電洞運送特性的物質之層（電洞運送層）、含有具有高電子注射特性的物質之層（電子注射層）、含有具有高電洞注射特性的物質之層（電洞注射層）、含有雙極物質（具有高電子運送特性和高電洞運送特性的物質）之層、含有發光材料之層（發光層）等等來形成 EL 層。例如，可適當組合電洞注射層、電洞運送層、發光層、電子運送層、電子注射層等等來形成 EL 層。另一選擇是，被充作電荷產生層之中間層分開的複數個 EL 層可設置在第一電極和第二電極之間。

第一電極和第二電極的至少其中之一係使用透光導電膜所形成，使得能夠從發光層析取光。根據依據析取從形成在基板上之發光層所發出的光之方向的分類，具有三種典型的發光元件結構：頂發射結構，從形成發光元件的基板側析取光；底發射結構，從與發光元件的基板側相反之側析取光；及雙發射結構，從形成發光元件的基板側和相反側二者發出光。本發明可應用到具有這些發射結構的任一個之發光元件。

在 EL 層堆疊在第一電極上之例子中，第一電極的周邊部被覆蓋有隔牆。隔牆係可使用例如聚醯亞胺、丙烯酸

樹脂、聚醯胺、或環氧樹脂的有機樹脂膜；無機絕緣膜；或有機聚矽氧烷來形成。例如，隔牆係使用光敏樹脂材料來形成較佳。若使用光敏樹脂材料，則隔牆中的開口之側表面被形成作具有連續曲率的傾斜表面，及可省略形成抗蝕遮罩的步驟。

需注意的是，可將濾色器形成在基板和發光元件之間。可使用光致微影技術等等，以諸如噴墨法等微滴排放法、印刷法、蝕刻法來形成濾色器。

另外，外罩層形成在濾色器上及額外形成保護絕緣層較佳。設置外罩層可消除由於濾色器層所導致的不平坦。設置保護絕緣膜可防止雜質從濾色器分散到發光元件。

需注意的是，在發光元件形成在形成在電晶體上之保護絕緣層上、外罩層、及絕緣層上之例子中，形成貫穿保護絕緣層、外罩層、及絕緣層且到達電晶體的源極電極或汲極電極之接觸孔。尤其是，接觸孔形成在與上述隔牆重疊之位置中較佳，在此例中可防止孔徑比降低。

接著，將說明包括具有底發射結構之發光元件的像素之結構例子。圖 5A 為設置在像素中之驅動器電晶體 7011 和發光元件 7012 的橫剖面圖。

在驅動器電晶體 7011 中，絕緣層、氧化物半導體層、源極和汲極電極、閘極絕緣層、和閘極電極設置在基板上，及配線層被設置，以電連接到源極和汲極電極。

絕緣層 7031 被形成覆蓋驅動器電晶體 7011，及具有開口之濾色器 7033 設置在絕緣層 7031 上。透光導電膜

7017 形成在被形成覆蓋濾色器層 7033 之外罩層 7034 和保護絕緣層 7035 上。需注意的是，經由形成在外罩層 7034、保護絕緣層 7035、及絕緣層 7031 中之開口，將驅動器電晶體 7011 的汲極電極和導電膜 7017 彼此電連接。需注意的是，發光元件 7012 的第一電極 7013 設置在導電膜 7017 上且與其接觸。

在發光元件 7012 中，EL 層 7014 夾置在第一電極 7013 和第二電極 7015 之間。

作為透光導電膜 7017，可使用含氧化錫的氧化銦、含氧化錫的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫（下面稱作 ITO）、氧化銦鋅、添加氧化矽之氧化銦錫等等之膜。

此處，將說明使用發光元件 7012 的第一電極 7013 作為陰極之例子。在第一電極 7013 被使用作為陰極之例子中，使用具有低功函數的金屬來形成較佳。在圖 5A 中，第一電極 7013 的厚度被設定成可透射光（約 5 nm 至 30 nm 較佳）。例如，使用具有厚度 20 nm 之鋁膜或 Mg-Ag 合金膜作為第一電極 7013。

需注意的是，透光導電膜和鋁膜可被堆疊，然後被選擇性蝕刻，以形成透光導電膜 7017 和第一電極 7013；在此例中，可使用同一遮罩來蝕刻透光導電膜 7017 和第一電極 7013，如此較佳。

關於形成在 EL 層 7014 上之第二電極 7015，使用具有高功函數之材料較佳。另外，阻隔膜 7016，例如，阻

隔光的金屬或反射光的金屬設置在第二電極 7015 上。在此例中，使用 ITO 膜作為第二電極 7015，及使用 Ti 膜作為阻隔膜 7016。

濾色器 7033 被覆蓋有外罩層 7034，及進一步被覆蓋有保護絕緣層 7035。需注意的是，雖然在圖 5A 中外罩層 7034 具有小厚度，但是外罩層 7034 具有平面化由於濾色器 7033 所導致的不平坦之功能。

形成在外罩層 7034 和保護絕緣層 7035 中且到達汲極電極 7030 之接觸孔被定位成與隔牆 7019 重疊。

在圖 5A 所示之像素結構中，經由濾色器 7033，從發光元件 7012 發出光到第一電極 7013 側及到外面，如箭頭所示。

需注意的是，使用透光導電膜作為驅動器電晶體 7011 的閘極電極、源極電極，和汲極電極較佳，以及透光高純度氧化物半導體層被用於驅動器電晶體 7011 的通道形成區較佳。在此例中，如圖 5A 所示，不僅經由濾色器層 7033，而且還經由驅動器電晶體 7011，將從發光元件 7012 所發出的光發出到外面，如此提高孔徑比。另外，藉由將透光高純度氧化物半導體層用於驅動器電晶體 7011 的通道形成區，驅動器電晶體 7011 的關閉電流會極小；因此，與習知例子比較可降低用以形成儲存電容器的電極之面積。因此，可進一步提高孔徑比。

接著，將說明包括具有雙發射結構之發光元件的像素之結構例子。圖 5B 為設置在像素中之驅動器電晶體 7021

和發光元件 7022 的橫剖面圖。

在驅動器電晶體 7021 中，絕緣層、氧化物半導體層、源極和汲極電極、閘極絕緣層、和閘極電極設置在基板上，及配線層被設置，以電連接到源極和汲極電極。

絕緣層 7041 被形成覆蓋驅動器電晶體 7021，及具有開口之濾色器 7043 設置在絕緣層 7041 上。透光導電膜 7027 形成在被形成覆蓋濾色器層 7043 之外罩層 7044 和保護絕緣層 7045 上。需注意的是，經由形成在外罩層 7044、保護絕緣層 7045、及絕緣層 7041 中之開口，將驅動器電晶體 7021 和導電膜 7027 的汲極電極彼此電連接。需注意的是，發光元件 7022 的第一電極 7023 設置在導電膜 7027 上且與其接觸。

在發光元件 7022 中，EL 層 7024 夾置在第一電極 7023 和第二電極 7025 之間。

此處，將說明使用發光元件 7022 的第一電極 7023 作為陰極之例子。以類似於圖 5A 所示之導電膜 7017 的方式來形成透光導電膜 7027。以類似於圖 5A 所示之第一電極 7013 的方式來形成第一電極 7023。以類似於圖 5A 所示之 EL 層 7014 的方式來形成 EL 層 7024。因此，此處不給予那些層的詳細說明。

形成在 EL 層 7024 上之第二電極 7025 在此處充作陽極，及係使用具有高功函數的材料來形成較佳，例如，諸如 ITO、IZO、或 ZnO 等透明導電材料。在此實施例中，ITO 被用於第二電極 7025。

可分別以類似於包括在圖 5A 所示之像素中的濾色器 7033、外罩層 7034、及保護絕緣層 7035 之方式來形成濾色器 7043、外罩層 7044、及保護絕緣層 7045。

在圖 5B 所示之元件結構中，從發光元件 7022 發出光到第一電極 7023 側和第二電極 7025 側二者，如箭頭所示。發出到第一電極 7023 側之光通過濾色器 7043 到顯示裝置的外面。

需注意的是，圖 5B 圖解驅動器電晶體 7021 包括使用透光導電膜所形成之閘極電極、源極電極、和汲極電極的例子。如此，從發光元件 7022 所發出之光的部分通過濾色器 7043 和驅動器電晶體 7021 到外面。

形成在外罩層 7044 和保護絕緣層 7045 中且到達汲極電極 7040 之接觸孔被定位成與隔牆 7029 重疊。到達汲極電極的接觸孔和隔牆 7029 彼此重疊，藉以第二電極 7025 側上的孔徑比約與第一電極 7023 側上的孔徑比相同。

需注意的是，因為從第二電極 7025 側所發出的光未通過濾色器 7043，所以當使用具有雙發射結構之發光元件且在兩顯示表面上執行全彩顯示時，被設置有另一濾色器層之密封基板設置在第二電極 7025 上較佳。

接著，將說明包括具有頂發射結構之發光元件的像素之結構例子。圖 5C 為設置在像素中之驅動器電晶體 7001 和發光元件 7022 的橫剖面圖。

在驅動器電晶體 7001 中，絕緣層、氧化物半導體層、源極和汲極電極、閘極絕緣層、和閘極電極設置在基

板上，及配線層被設置，以電連接到源極和汲極電極。

絕緣層 7051 被形成覆蓋驅動器電晶體 7001，及具有開口之濾色器 7053 設置在絕緣層 7051 上。第一電極 7003 形成在被形成覆蓋絕緣層 7053 之絕緣層 7055 上。需注意的是，經由形成在絕緣層 7055 和絕緣層 7051 中之開口，將驅動器電晶體 7001 的汲極電極和第一電極 7003 彼此電連接。

需注意的是，關於絕緣層 7053，可使用諸如聚醯亞胺、丙烯酸樹脂、苯環丁烯樹脂、或聚醯胺等樹脂材料。作為此種樹脂材料的替代物，可使用低介電常數材料（低 k 材料）、矽氧烷基的樹脂、磷矽酸鹽玻璃（PSG）、硼磷矽酸鹽玻璃（BPSG）等等。需注意的是，絕緣層 7053 係可藉由堆疊由這些材料的任一個所形成之複數個絕緣膜來形成。並未特別限制用以形成絕緣層 7053 之方法。依據材料，能夠以諸如濺鍍法、SOG 法、旋轉塗佈法、浸泡法、噴灑塗佈法、或微滴排放法（如、噴墨法、絲網印刷、或膠版印刷）等方法，或者藉由使用諸如刮刀、滾輪塗佈機、簾幕式塗佈機、或刀式塗佈機等工具（設備）來形成絕緣層 7053。例如，形成絕緣層 7053 可去除由於驅動器電晶體所導致的不平坦。此外，形成在絕緣層 7055 和絕緣層 7053 中且到達汲極電極 7050 之接觸孔被定位成與隔牆 7009 重疊。

在發光元件 7002 中，EL 層 7004 夾置在第一電極 7003 和第二電極 7005 之間。將說明使用第一電極 7003

作為圖 5C 的例子所示之發光元件 7002 的陰極之例子。

類似於圖 5A 所示之第一電極 7013 的材料之材料可用於第一電極 7003。然而，在具有圖 5C 所示之頂發射結構的發光元件中，除了透光特性之外，第一電極 7003 還具有高反射比較佳。使用具有高反射比之電極能夠增加光析取效率。

作為第一電極 7003，例如，使用鋁膜、含鋁作為主要成分之合金膜、或鈦膜形成在鋁膜上之疊層較佳。在圖 5C 中，使用以 Ti 膜、鋁膜、及 Ti 膜的順序加以堆疊之疊層膜作為第一電極 7003。

以類似於圖 5A 所示之 EL 層 7014 的方法之方法來形成 EL 層 7004。以類似於圖 5B 所示之第二電極 7025 的方法之方法來形成第二電極 7005。因此，此處不給予詳細說明。

在圖 5C 所示之元件結構中，從發光元件 7002 發出光到第二電 7005 側，如箭頭所示。

當以圖 5C 的結構執行全彩顯示時，例如，使用發光元件 7002 作為綠發光元件，使用鄰接發光元件的其中之一作為紅發光元件，及使用另一個作為藍發光元件。另一選擇是，可使用四種發光元件來製造能夠全彩顯示的發光顯示裝置，其不但包括三種發光元件還包括白發光元件。

在圖 5C 的結構中，以所排列之複數個發光元件全部都是白發光元件及具有濾色器等之密封基板設置在包括發光元件 7002 之發光元件上的此種方法來製造能夠全彩顯

示之發光顯示裝置。當形成展現諸如白色等單一色彩的材料，然後與濾色器或色彩轉換層組合時，可執行全彩顯示。

另外，若需要的話，可設置諸如圓形極化板等光學膜。

接著，將參考圖 6A 及 6B 說明顯示裝置的一實施例之發光顯示面板（亦稱作發光面板）的外觀和橫剖面。圖 6A 為以密封劑將形成在第一基板上之電晶體和發光元件密封在第一基板和第二基板之間的面板之平面圖。圖 6B 為沿著圖 6A 的線 H-I 所取之橫剖面圖。

密封劑 4505 被設置成圍繞設置在第一基板 4501 上之像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b。此外，第二基板 4506 係設置在像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 上。因此，藉由第一基板 4501、密封劑 4505、和第二基板 4506，以填料 4507 將像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 密封在一起。以保護膜（諸如接合膜或紫外線可熟化樹脂膜等）或者具有高氣密性和低除氣性的覆蓋材料來如此封裝（密封）顯示裝置，使得像素部 4502、信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b 未暴露至空氣較佳。

形成在第一基板 4501 上之像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及

4504b 各包括複數個薄膜電晶體。包括在像素部 4502 中之薄膜電晶體 4510 和包括在信號線驅動器電路 4503a 中之薄膜電晶體 4509 被圖解作為圖 6B 的例子。絕緣層 4542 至 4545 設置在電晶體 4509 及 4510 上。此外，經由形成在絕緣層 4542 至 4545 中之接觸孔，電晶體 4510 的源極電極或汲極電極 4548 電連接到發光元件 4511 的第一電極層 4517。

在此實施例中，使用包括高純度氧化物半導體層之電晶體作為信號線驅動器電路 4503a 中的電晶體 4509 和像素部 4502 中的電晶體 4510。

導電層 4540 設置在與驅動器電路用的電晶體 4509 中之氧化物半導體層的通道形成區重疊之絕緣層 4542 的部分上。導電層 4540 設置在與氧化物半導體層中的通道形成區重疊之位置中，藉以可降低 BT 應力測試（偏壓-溫度應力測試）前後之薄膜電晶體 4509 的臨界電壓之變化量。在此說明書中，BT 應力測試（偏壓-溫度應力測試）意指在高溫大氣中施加高閘極電壓到電晶體之測試。導電層 4540 的電位可與薄膜電晶體 4509 的閘極電極之電位相同或不同。導電層 4540 亦可充作第二閘極電極。另一選擇是，導電層 4540 的電位可以是 GND、0 V，或者導電層 4540 可在浮動狀態中。

需注意的是，雖然發光元件 4511 具有包括第一電極層 4517、電致發光層 4512、和第二電極層 4513 之疊層結構，但是發光元件 4511 的結構並不侷限於此。可依據例

如從發光元件 4511 析取光之方向來適當改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜、或有機聚矽氧烷來形成隔牆 4520。隔牆係由使用敏材料形成，以具有被形成作具有連續曲率的傾斜表面之隔牆 4520 的側壁尤其佳。

電致發光層 4512 係使用單層或複數個層的堆疊來形成。

爲了防止氧、氫、濕氣、二氧化碳等等進入發光元件 4511 內，可將保護膜形成在第二電極層 4513 和隔牆 4520 上。作爲保護膜，可形成氮化矽膜、氧氮化矽膜、DLC 膜等等。

此外，從 FPC 4518a 及 4518b 供應各種信號和電位到信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b、或像素部 4502。

連接終端電極 4515 係使用與包括在發光元件 4511 中之第一電極 4517 相同之導電膜所形成。另外，終端電極 4516 係使用與包括在薄膜電晶體 4509 及 4510 中之源極電極和汲極電極相同的導電膜所形成。

透過各向異性導電膜 4519，將連接終端電極 4515 電連接到包括在 PFC 4518a 中的的終端。

位在從發光元件 4511 析取光之方向上的基板必須具有透光特性。在那例子中，使用諸如玻璃板、塑膠板、聚酯膜、或丙烯酸膜等透光材料。

作爲填料 4507，除了諸如氮或氫等鈍氣之外，還可

使用紫外線可熟化樹脂或熱固性樹脂。例如，可使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽氧樹脂、聚乙烯縮丁醛（PVB）、或乙烯醋酸乙烯酯（EVA）。例如，可使用氮作為填充。

此外，若需要的話，可在發光元件的發射表面上適當設置諸如極化板、圓形極化板（包括橢圓形極化板）、減速板（四分之一波長板或半波長板）等光學膜。另外，極化板或圓形極化板可被設置有防反射膜。例如，可執行防炫光處理，其中可由表面上的凸出和凹下擴散反射光，以降低炫光。

需注意的是，本發明並不侷限於圖 6A 及 6B 的結構。作為信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及 4504b，可將藉由使用單晶半導體膜或多晶半導體膜所形成之驅動器電路安裝在分開備製的基板上。另一選擇是，只分開形成和安裝信號線驅動器電路或其部分，或者只有掃描線驅動器電路或其部分。

（實施例 2）

在此實施例中，將說明進一步降低顯示裝置的電力消耗之結構。尤其是，說明不僅在顯示裝置的像素部中而且亦在顯示裝置的驅動器電路部中降低電力消耗之結構。

圖 7 為顯示裝置的例子之方塊圖。需注意的是，本發明並不侷限於圖 7 的結構。

圖 7 之顯示裝置 1000 包括顯示面板 1001、信號產生

電路 1002、記憶體電路 1003、比較電路 1004、選擇電路 1005、及顯示控制電路 1006。顯示面板 1001 包括驅動器電路部 1007 和像素部 1008。驅動器電路部 1007 包括閘極線驅動器電路 1009A 和信號線驅動器電路 1009B。閘極線驅動器電路 1009A 和信號線驅動器電路 1009B 具有驅動包括複數個像素之像素部 1008 的功能。

作為包括在像素部 1008 中之電晶體，使用實施例 1 所說明之電晶體。換言之，使用包括高純度氧化物半導體層之 n 通道電晶體作為交換電晶體。需注意的是，驅動器電晶體可包括高純度氧化物半導體層或矽層。在此實施例中，亦使用包括高純度氧化物半導體層之 n 通道電晶體作為驅動器電晶體。

在此實施例中，像素部 1008 中之電晶體的其中之一的交換電晶體為包括高純度氧化物半導體層之 n 通道電晶體，藉以可以長時間週期保留諸如影像信號等資料。因此，當顯示靜止影像時可減少信號寫入的頻率。因此，可達成降低顯示裝置的電力消耗。

而且，在此實施例中，當顯示靜止影像時，藉由操作驅動器電路部來停止欲供應到包括在像素部中的所有信號線及/或掃描線之信號的輸出，不但可降低像素部也可降低驅動器電路部的電力消耗。換言之，顯示裝置包括在當顯示裝置顯示靜止影像之週期中停止供應信號到包括在像素部中的所有信號線及/或掃描線之週期。在此實施例中，作為用以達成降低驅動器電路部的電力消耗之一結

構，顯示裝置 1000 包括信號產生電路 1002、記憶體電路 1003、比較電路 1004、選擇電路 1005、及顯示控制電路 1006。

信號產生電路 1002 具有產生驅動閘極線驅動器電路 1009A 和信號線驅動器電路 1009B 所需之信號（控制信號）的功能。此外，信號產生電路 1002 具有經由配線輸出控制信號到驅動器電路部 1007 以及經由配線輸出影像信號（亦稱作視頻電壓、視頻信號、視頻資料）到記憶體電路 1003 之功能。換言之，信號產生電路 1002 為用以產生和輸出用以控制驅動器電路 1007 的控制信號以及欲供應到像素部的影像信號之電路。

尤其是，信號產生電路 1002 供應高供電電位 V_{dd} 和低供電電位 V_{ss} 到閘極線驅動器電路 1009A 和信號線驅動器電路 1009B，閘極線驅動器電路用的起始脈衝 SP 和時脈脈衝 CK 到閘極線驅動器電路 1009A，以及信號線驅動器電路用的起始脈衝 SP 和時脈脈衝 CK 到信號線驅動器電路 1009B 作為控制信號。而且，信號產生電路 1002 輸出用以顯示移動影像或靜止影像之影像信號 Data 到記憶體電路 1003。

移動影像意指藉由快速切換被劃時分割成複數個圖框之複數個影像而被人類眼睛辨識作移動影像之影像。尤其是，移動影像意指藉由每秒切換影像 60 次（60 圖框）或更多而可被人類眼睛辨識作閃爍少的移動影像之一連串影像信號。相對地，靜止影像意指以高速切換被劃時分割成

複數個圖框之複數個影像的影像信號，但在連續圖框週期之間是不同的，例如，在第 n 圖框和第 $(n+1)$ 圖框之間，不像移動影像一般。

需注意的是，信號產生電路 1002 可具有產生諸如影像信號和鎖定信號等其他信號之功能。信號產生電路 1002 亦可具有輸出用以停止輸出各驅動器電路的脈衝信號之重設信號 Res 到閘極線驅動器電路 1009A 及/或信號線驅動器電路 1009B 的功能。需注意的是，各信號係可由諸如第一時脈信號和第二時脈信號等複數個信號所組成。

需注意的是，高供電電位 Vdd 意指高於參考電位之電位，而低供電電位抑止低於或等於參考電位之電位。需注意的是，高供電電位和低供電電位二者被設定成可操作電晶體之電位較佳。

需注意的是，在許多例子中，電壓意指給定電位和參考電位（如、接地電位）之間的電位差。因此，電壓、電位、和電位差可分別被稱作電位、電壓、和電壓。

在從信號產生電路 1002 輸出到記憶體電路 1003 之影像信號為類比信號之例子中，可經由 A/D 轉換器等將信號轉換成欲待輸出到記憶體電路 1003 之數位信號。

記憶體電路 1003 包括複數個圖框記憶體 1010，用以儲存複數個圖框的影像信號。需注意的是，圖框記憶體係可使用諸如動態隨機存取記憶體（DRAM）或靜態隨機存取記憶體（SRAM）等記憶體元件來形成。

需注意的是，只要可為各圖框週期儲存影像信號，並

不特別限制圖框記憶體 1010 的數目。圖框記憶體 1010 的影像信號被比較電路 1004 和選擇電路 1005 選擇性讀取。

比較電路 1004 為選擇性讀取儲存在記憶體電路 1003 中之連續圖框週期的影像信號、比較影像信號及偵測其差異之電路。在藉由以比較電路 1004 比較影像信號而偵測到差異之例子中，影像被辨識作偵測到差異之連續圖框週期中的移動影像。另一方面，在藉由以比較電路 1004 比較影像信號而未偵測到差異之例子中，影像被辨識作未偵測到差異之連續圖框週期中的靜止影像。換言之，依據由比較電路 1004 所偵測的差異存在與否，決定連續圖框週期中的影像信號為用以顯示移動影像之影像信號還是用以顯示靜止影像之影像信號。需注意的是，藉由比較所獲得的差異可被設定成當差異超過特定值時被偵測到的。

選擇電路 1005 包括諸如電晶體等複數個開關，及為從儲存影像的圖框記憶體 1010 選擇影像信號，以及當藉由比較電路 1004 的差異偵測而決定影像信號為用以顯示移動影像者時，輸出影像信號到顯示控制電路 1006 之電路。需注意的是，在未偵測到藉由比較電路所比較的圖框之間的影像信號之差異的例子中，連續圖框週期中所顯示的影像為靜止影像。在那例子中，連續圖框週期的後半段之影像信號未被輸出到顯示控制電路 1006。

顯示控制電路 1006 為在供應和停止影像信號以及諸如高供電電位 V_{dd} 、低供電電位 V_{ss} 、起始脈衝 SP 、時脈脈衝 CK 、及重設信號 Res 等控制信號到驅動器電路部

1007 之間切換的電路。尤其是，當藉由比較電路 1004 決定欲待顯示的影像為移動影像時，即、偵測到連續圖框中之影像信號之間的差異時，影像信號從偵測電路 1005 供應到顯示控制電路 1006。然後，經由顯示控制電路 1006 將影像信號供應到驅動器電路部 1007。此外，經由顯示控制電路 1006 將控制信號供應到驅動器電路部 1007。另一方面，當藉由比較電路 1004 決定欲待顯示的影像為靜止影像時，即、未偵測到連續圖框中之影像信號之間的差異時，從選擇電路 1005 未供應圖框週期的影像信號；如此，未經由顯示控制電路 1006 將影像信號供應到驅動器電路部 1007，及顯示控制電路 1006 停止供應控制信號到驅動器電路部 1007。

需注意的是，在決定欲待顯示的影像為靜止影像之例子中，當影像為靜止影像的期間週期短時，不一定要停止控制信號之中高供電電位 V_{dd} 和低供電電位 V_{ss} 的供應。在此例中，可降低由於經常停止和開始高供電電位 V_{dd} 和低供電電位 V_{ss} 的供應所導致之電力消耗的增加，如此較佳。

在可將影像信號保留在像素部 1008 的各像素中之週期期間，停止影像信號和控制信號的供應較佳，及顯示控制電路 1006 可具有可再次供應顯示控制電路 1006 之前所供應的影像信號和控制信號之結構，使得在各像素的保留週期之後再次供應影像信號。

信號的供應意指供應預定電位到配線。停止信號的供

應意指停止供應預定電位到配線，及電連接到供應預定固定電位之配線，例如，供應低供電電位 V_{ss} 之配線。停止信號的供應亦意指切斷電連接到供應預定電位之配線，以及使配線變成浮動狀態。

以此方式比較影像信號，以決定其影像為移動影像還是靜止影像，及選擇供應或停止諸如時脈信號或起始脈衝等控制信號，藉以可降低驅動器電路部 1007 的電力消耗。

接著，將參考圖 8A 至 8C 說明包括在驅動器電路部 1007 之閘極線驅動器電路 1009A 和信號線驅動器電路 1009B 的每一個中之移位暫存器的結構之例子。

圖 8A 所示之移位暫存器包括第一至第 N 脈衝輸出電路 10_1 至 10_ N (N 為 3 或更大的自然數)。在圖 8A 所示之移位暫存器中，分別從第一配線 11、第二配線 12、第三配線 13、及第四配線 14 供應第一時脈信號 CK1、第二時脈信號 CK2、第三時脈信號 CK3、及第四時脈信號 CK4 到第一至第 N 脈衝輸出電路 10_1 至 10_ N 。從第五配線 15 輸入起始脈衝 SP1 (第一起始脈衝) 到第一脈衝輸出電路 10_1。來自先前階段的脈衝輸出電路之信號 (此種信號被稱作先前階段信號 $OUT(n-1)(SR)$) 被輸入到第二或隨後階段的第 n 脈衝輸出電路 10_ n (n 為 2 或更大及 N 或更小之自然數)。來自下一階段之後的階段之第三脈衝輸出電路 10_3 的信號被輸入到第一脈衝輸出電路 10_1。同樣地，來自下一階段之後的階段之第 $(n+2)$ 脈衝

輸出電路 $10_{(n+2)}$ 的信號（此種信號被稱作隨後階段信號 $OUT(n+2)(SR)$ ）被輸入到第二或隨後階段中之第 n 脈衝輸出電路 10_n 。因此，各自階段的脈衝輸出電路輸出欲待輸入到隨後階段的脈衝輸出電路及/或先前階段之前的階段之脈衝輸出電路第一輸出信號（ $OUT(1)(SR)$ 至 $OUT(N)(SR)$ ），以及欲待輸入到另一配線之第二輸出信號（ $OUT(1)$ 至 $OUT(N)$ ）等等。需注意的是，因為隨後階段信號 $OUT(n+2)(SR)$ 未輸入到如圖 8A 所示之移位暫存器的最後兩階段，所以例如第二起始脈衝 $SP2$ 和第三起始脈衝 $SP3$ 可分別從第六配線 17 和第七配線 18 輸入到最後兩階段的脈衝輸出電路。另一選擇是，可使用移位暫存器所額外產生的信號。例如，可利用設置無助於脈衝輸出到像素部之第 $(N+1)$ 脈衝輸出電路 $10_{(N+1)}$ 及第 $(N+2)$ 脈衝輸出電路 $10_{(N+2)}$ （此種電路亦被稱作虛擬階段），使得在虛擬階段產生對應於第二起始脈衝（ $SP2$ ）和第三起始脈衝（ $SP3$ ）之信號的結構。

需注意的是，第一至第四時脈信號（ $CK1$ ）至（ $CK4$ ）為以規律間距在 H 位準和 L 位準之間輪替的信號，如圖 9 所示。相繼以 $1/4$ 循環延遲第一時脈信號（ $CK1$ ）至第四時脈信號（ $CK4$ ）。在此實施例中，以第一至第四時脈信號（ $CK1$ ）至（ $CK4$ ）控制脈衝輸出電路的驅動等。需注意的是，在一些例子中，依據輸入時脈信號的驅動器電路，時脈信號 CK 可被稱作 GCK 或 SCK ，但是此處將時脈信號稱作 CK 。

第一至第 N 脈衝輸出電路 10_1 至 10_ N 的每一個包括第一輸入終端 21、第二輸入終端 22、第三輸入終端 23、第四輸入終端 24、第五輸入終端 25、第一輸出終端 26、及第二輸出終端 27（見圖 8B）。

第一輸入終端 21、第二輸入終端 22、及第三輸入終端 23 電連接到第一至第四配線 11 至 14 的任一個。例如，在圖 8A 及 8B 之第一脈衝輸出電路 10_1 中，第一輸入終端 21 電連接到第一配線 11，第二輸入終端 22 電連接到第二配線 12，及第三輸入終端 23 電連接到第三配線 13。在第二脈衝輸出電路 10_2 中，第一輸入終端 21 電連接到第二配線 12，第二輸入終端 22 電連接到第三配線 13，及第三輸入終端 23 電連接到第四配線 14。

在圖 8A 及 8B 中，在第一脈衝輸出電路 10_1 中，起始脈衝被輸入到第四輸入終端 24，隨後階段信號 OUT(3)(SR)被輸入到第五輸入終端 25，從第一輸出終端 26 輸出第一輸出信號 OUT(1)(SR)，及從第二輸出終端 27 輸出第二輸出信號 OUT(1)。

接著，將參考圖 8C 說明脈衝輸出電路的特有電路組態之例子。

在圖 8C 中，第一電晶體 31 的第一終端電連接到供電線 51，第一電晶體 31 的第二終端電連接到第九電晶體 39 的第一終端，及第一電晶體 31 的閘極電連接到第四輸入終端 24。第二電晶體 32 的第一終端電連接到供電線 53，第二電晶體 32 的第二終端電連接到第九電晶體 39 的第一

終端，及第二電晶體 32 的閘極電連接到第四電晶體 34 的閘極。第三電晶體 33 的第一終端電連接到第一輸入終端 21，及第三電晶體 33 的第二終端電連接到第一輸出終端 26。第四電晶體 34 的第一終端電連接到供電線 53，及第四電晶體 34 的第二終端電連接到第一輸出終端 26。第五電晶體 35 的第一終端電連接到供電線 53，第五電晶體 35 的第二終端電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極，及第五電晶體 35 的閘極電連接到第四輸入終端 24。第六電晶體 36 的第一終端電連接到供電線 52，第六電晶體 36 的第二終端電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極，及第六電晶體 36 的閘極電連接到第五輸入終端 25。第七電晶體 37 的第一終端電連接到供電線 52，第七電晶體 37 的第二終端電連接到第八電晶體 38 的第二終端，及第七電晶體 37 的閘極電連接到第三輸入終端 23。第八電晶體 38 的第一終端電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極，及第八電晶體 38 的閘極電連接到第二輸入終端 22。第九電晶體 39 的第一終端電連接到第一電晶體 31 的第二終端和第二電晶體 32 的第二終端，第九電晶體 39 的第二終端電連接到第三電晶體 33 的閘極和第十電晶體 40 的閘極，及第九電晶體 39 的閘極電連接到電連接到供電線 52。第十電晶體 40 的第一終端電連接到第一輸入終端 21，第十電晶體 40 的第二終端電連接到第二輸出終端 27，及第十電晶體 40 的閘極電連接到第九電晶體 39 的第二終端。第十一電晶體 41

的第一終端電連接到供電線 53，第十一電晶體 41 的第二終端電連接到第二輸出終端 27，及第十一電晶體 41 的閘極電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極。

在圖 8C 中，連接第三電晶體 33 的閘極、第十電晶體 40 的閘極、及第九電晶體 39 的第二終端之點被稱作節點 NA。連接第二電晶體 32 的閘極、第四電晶體 34 的閘極、第五電晶體 35 的第二終端、第六電晶體 36 的第二終端、第八電晶體 38 的第一終端、及第十一電晶體 41 的閘極之點被稱作節點 NB。

在圖 8C 的脈衝輸出電路為第一脈衝輸出電路 10_1 之例子中，第一時脈信號 CK1 被輸入到第一輸入終端 21；第二時脈信號 CK2 被輸入到第二輸入終端 22；第三時脈信號 CK3 被輸入到第三輸入終端 23；起始脈衝 SP1 被輸入到第四輸入終端 24；隨後階段信號 OUT(3)(SR)被輸入到第五輸入終端 25；從第一輸出終端 26 輸出第一輸出信號 OUT(1)(SR)；及從第二輸出終端 27 輸出第二輸出信號 OUT(1)。

圖 9 為包括圖 8C 所示之複數個脈衝輸出電路的移位暫存器之時序圖。需注意的是，當移位暫存器為閘極線驅動器電路時，圖 9 中的週期 61 對應於垂直折返週期，而週期 62 對應於閘極選擇週期。

下面說明在顯示靜止影像和移動影像之例子中，供應和停止被圖解作圖 8A 至 8C 及圖 9 的例子之包括複數個 n

通道電晶體的驅動器電路中之配線的電位之處理。

首先，爲了停止驅動器電路部 1007 的操作，由顯示控制電路 1006 停止起始脈衝 SP 的供應。在停止起始脈衝 SP 的供應之後，脈衝輸出到達移位暫存器的最後階段，然後停止各時脈信號 CK 的供應。接著，停止供電電壓之高供電電位 Vdd 和低供電電位 Vss 的供應（見圖 11A）。爲了再次開始驅動器電路部 1007 的操作，首先，顯示控制電路 1006 供應供電電壓之高供電電位 Vdd 和低供電電位 Vss 到驅動器電路部 1007。然後，時脈信號 CK 的每一個被供應，然後，再次開始起始脈衝 SP 的供應（見圖 11B）。

將參考圖 28 說明被給予作爲圖 8A 至 8C 及圖 9 的例子之使用複數個 n 通道電晶體所製造的驅動器電路中之欲待顯示的影像從靜止影像改變成移動影像之操作以及施加到驅動器電晶體的閘極之電壓被重寫的操作（下面此操作亦被稱作更新操作）期間，供應和停止電位到驅動器電路部的各配線之處理。圖 28 圖解在圖框週期（T1）之前和之後，到暫存器的用以供應高供電電位（VDD）之配線、用以供應低供電電位（VSS）之配線、用以供應起始脈衝（SP）之配線、及用以供應第一至第四時脈信號（CK1 至 CK4）之配線的電位變化。

根據此實施例之顯示裝置不僅可以時常操作驅動器電路部來顯示移動影像和靜止影像，而且由於更新操作，可在未時常操作驅動器電路部之下來顯示靜止影像。因此，

如圖 28 所示，具有諸如高供電電位（VDD）、第一至第四時脈信號（CK1 至 CK4）、及起始脈衝等控制信號被供應到移位暫存器之週期以及控制信號未供應到移位暫存器之週期。需注意的是，圖 28 所示之週期 T1 對應於供應控制信號之週期，換言之，顯示移動影像之週期或者執行更新操作之週期。圖 28 所示之週期 T2 對應於未供應控制信號之週期，換言之，顯示靜止影像之週期。

在圖 28 中，不僅在週期 T1 中給予供應高供電電位（VDD）之週期；其開始在週期 T1 之前和結束在週期 T1 之後。此外，在圖 28 中，在開始供應高供電電位（VDD）之後和停止供應高供電電位（VDD）之前，給予供應第一至第四時脈信號（CK1 至 CK4）之週期。

另外，如圖 28 所示，第一至第四時脈信號（CK1 至 CK4）可被設定，以在在週期 T1 之前被設定成高電位之後開始以恆定頻率振盪，而在週期 T1 之後被設定成低電位之後停止振盪。

如上述，在根據此實施例之顯示裝置中，在週期 T2 中停止諸如高供電電位（VDD）、第一至第四時脈信號（CK1 至 CK4）、及起始脈衝等控制信號供應到移位暫存器。然後，在停止供應控制信號之週期中，控制各電晶體被接通或關掉，及亦停止來自移位暫存器的脈衝信號之輸出。因此，可降低移位暫存器的電力消耗和由移位暫存器驅動之像素部的電力消耗。

需注意的是，考慮所顯示的靜止影像之品質可能會退

化，所以必須經常執行上述更新操作。在此實施例的液晶顯示裝置中，利用上述包括高純度氧化物半導體之電晶體作為用以控制欲待施加到各像素的驅動器電晶體之電壓的交換元件。因此，可大幅減少關閉電流，及可降低欲待施加到各像素的驅動器電晶體之電壓的變化。換言之，甚至當顯示靜止影像及停止移位暫存器的操作之週期長時，仍可抑制影像品質的退化。例如，甚至當週期為 3 分鐘長時，仍可維持所顯示的靜止影像之品質。例如，當每 3 分鐘執行一次更新操作之顯示裝置與每秒執行 60 次重寫之顯示裝置比較時，可將電力消耗降至約 $1/10000$ 。

需注意的是，停止高供電電位（VDD）的供應將設定電位等於低供電電位（VSS），如圖 28 所示。需注意的是，停止高供電電位（VDD）的供應可將配線的電位設定在浮動狀態中。

需注意的是，當增加供應高供電電位（VDD）之配線的電位時，此意謂在週期 T1 之前電位從低供電電位（VSS）增加到高供電電位（VDD），配線的電位被控制成逐漸改變較佳。若配線的電位變化梯度陡峭，則電位的變化會變成雜訊，及不規則脈衝會從移位暫存器輸出。在移位暫存器包括在閘極線驅動器電路之例子中，不規則脈衝充作接通電晶體的信號。如此，由不規則脈衝改變欲待施加到驅動器電晶體的閘極之電壓，及改變靜止影像的品質。圖 28 如此圖解到高供電電位（VDD）之信號的上升比下降更緩和之例子。尤其是，在此實施例的顯示裝置

中，當在像素部中顯示靜止影像時，適當停止或重新開始供應高供電電位（VDD）到移位暫存器。換言之，在用以供應高供電電位（VDD）之配線的電位變化影響像素部成為雜訊之例子中，雜訊直接導致所顯示的影像之退化。因此，重要的是，控制此實施例的顯示裝置，以防止電位變化（尤其是，電位的增加）進入像素部成為雜訊。

在圖 8A 至 8C 及圖 9 的說明中，重設信號 Res 未供應到驅動器電路。將參考圖 10A 至 10C 說明供應重設信號 Res 之結構。

圖 10A 所示之移位暫存器包括第一至第 N 脈衝輸出電路 10_1 至 10_ N （ N 為 3 或更大的自然數）。在圖 10A 所示之移位暫存器中，分別從第一配線 11、第二配線 12、第三配線 13、及第四配線 14 供應第一時脈信號 CK1、第二時脈信號 CK2、第三時脈信號 CK3、及第四時脈信號 CK4 到第一至第 N 脈衝輸出電路 10_1 至 10_ N 。從第五配線 15 輸入起始脈衝 SP1（第一起始脈衝）到第一脈衝輸出電路 10_1。來自先前階段的脈衝輸出電路之信號（此種信號被稱作先前階段信號 OUT($n-1$)(SR)）被輸入到第二或隨後階段的第 n 脈衝輸出電路 10_ n （ n 為 2 或更大及 N 或更小之自然數）。來自下一階段之後的階段之第三脈衝輸出電路 10_3 的信號被輸入到第一脈衝輸出電路 10_1。同樣地，來自下一階段之後的階段之第 ($n+2$) 脈衝輸出電路 10_ $(n+2)$ 的信號（此種信號被稱作隨後階段信號 OUT($n+2$)(SR)）被輸入到第二或隨後階段中之第 n

脈衝輸出電路 10_n 。因此，各自階段的脈衝輸出電路輸出欲待輸入到隨後階段的脈衝輸出電路及/或先前階段之前的階段之脈衝輸出電路第一輸出信號（ $OUT(1)(SR)$ 至 $OUT(N)(SR)$ ），以及欲待輸入到另一配線之第二輸出信號（ $OUT(1)$ 至 $OUT(N)$ ）等等。從第六配線 16 供應重設信號 Res 到各階段中的脈衝輸出電路。

圖 10A 至 10C 所示之脈衝輸出電路不同於圖 8A 至 8C 所示之脈衝輸出電路在於設置用以供應重設信號 Res 之第六配線 16；其他部位類似於參考圖 8A 至 8C 所說明者。

第一至第 N 脈衝輸出電路 10_1 至 10_N 的每一個包括第一輸入終端 21、第二輸入終端 22、第三輸入終端 23、第四輸入終端 24、第五輸入終端 25、第一輸出終端 26、第二輸出終端 27、及第六輸入終端 28（見圖 10B）。

第一輸入終端 21、第二輸入終端 22、及第三輸入終端 23 電連接到第一至第四配線 11 至 14 的任一個。例如，在圖 10A 及 10B 之第一脈衝輸出電路 10_1 中，第一輸入終端 21 電連接到第一配線 11，第二輸入終端 22 電連接到第二配線 12，及第三輸入終端 23 電連接到第三配線 13。在第二脈衝輸出電路 10_2 中，第一輸入終端 21 電連接到第二配線 12，第二輸入終端 22 電連接到第三配線 13，及第三輸入終端 23 電連接到第四配線 14。

在圖 10A 及 10B 中，在第一脈衝輸出電路 10_1 中，

起始脈衝被輸入到第四輸入終端 24，隨後階段信號 OUT(3)(SR)被輸入到第五輸入終端 25，從第一輸出終端 26 輸出第一輸出信號 OUT(1)(SR)，從第二輸出終端 27 輸出第二輸出信號 OUT(1)，及從第六輸入終端 28 輸入重設信號 Res。

接著，將參考圖 10C 說明脈衝輸出電路的特有電路組態之例子。

在圖 10C 中，第一電晶體 31 的第一終端電連接到供電線 51，第一電晶體 31 的第二終端電連接到第九電晶體 39 的第一終端，及第一電晶體 31 的閘極電連接到第四輸入終端 24。第二電晶體 32 的第一終端電連接到供電線 53，第二電晶體 32 的第二終端電連接到第九電晶體 39 的第一終端，及第二電晶體 32 的閘極電連接到第四電晶體 34 的閘極。第三電晶體 33 的第一終端電連接到第一輸入終端 21，及第三電晶體 33 的第二終端電連接到第一輸出終端 26。第四電晶體 34 的第一終端電連接到供電線 53，及第四電晶體 34 的第二終端電連接到第一輸出終端 26。第五電晶體 35 的第一終端電連接到供電線 53，第五電晶體 35 的第二終端電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極，及第五電晶體 35 的閘極電連接到第四輸入終端 24。第六電晶體 36 的第一終端電連接到供電線 52，第六電晶體 36 的第二終端電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極，及第六電晶體 36 的閘極電連接到第五輸入終端 25。第七電晶體 37 的第一終端電連

接到供電線 52，第七電晶體 37 的第二終端電連接到第八電晶體 38 的第二終端，及第七電晶體 37 的閘極電連接到第三輸入終端 23。第八電晶體 38 的第一終端電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極，及第八電晶體 38 的閘極電連接到第二輸入終端 22。第九電晶體 39 的第一終端電連接到第一電晶體 31 的第二終端和第二電晶體 32 的第二終端，第九電晶體 39 的第二終端電連接到第三電晶體 33 的閘極和第十電晶體 40 的閘極，及第九電晶體 39 的閘極電連接到電連接到供電線 52。第十電晶體 40 的第一終端電連接到第一輸入終端 21，第十電晶體 40 的第二終端電連接到第二輸出終端 27，及第十電晶體 40 的閘極電連接到第九電晶體 39 的第二終端。第十一電晶體 41 的第一終端電連接到供電線 53，第十一電晶體 41 的第二終端電連接到第二輸出終端 27，及第十一電晶體 41 的閘極電連接到第二電晶體 32 的閘極和第四電晶體 34 的閘極。第二電晶體 32 的閘極、第四電晶體 34 的閘極、第五電晶體 35 的閘極、第六電晶體 36 的第二終端、第八電晶體 38 的第一終端、及第十一電晶體 41 的閘極電連接到用以供應重設信號 Res 之配線 53。重設信號 Res 為供應高供電電位位準到第二電晶體 32 的閘極、第四電晶體 34 的閘極、第五電晶體 35 的閘極、第六電晶體 36 的第二終端、第八電晶體 38 的第一終端、及第十一電晶體 41 的閘極之信號，及藉以將來自脈衝輸出電路的輸出降至在低供電電位位準的信號。

在圖 10C 中，連接第三電晶體 33 的閘極、第十電晶體 40 的閘極、及第九電晶體 39 的第二終端之點被稱作節點 NA。連接第二電晶體 32 的閘極、第四電晶體 34 的閘極、第五電晶體 35 的第二終端、第六電晶體 36 的第二終端、第八電晶體 38 的第一終端、及第十一電晶體 41 的閘極之點被稱作節點 NB。

在圖 10C 的脈衝輸出電路為第一脈衝輸出電路 10_1 之例子中，第一時脈信號 CK1 被輸入到第一輸入終端 21；第二時脈信號 CK2 被輸入到第二輸入終端 22；第三時脈信號 CK3 被輸入到第三輸入終端 23；起始脈衝 SP1 被輸入到第四輸入終端 24；隨後階段信號 OUT(3)(SR)被輸入到第五輸入終端 25；從第一輸出終端 26 輸出第一輸出信號 OUT(1)(SR)；從第二輸出終端 27 輸出第二輸出信號 OUT(1)；及重設信號 Res 被輸入到第六輸入終端 28。

需注意的是，包括圖 10C 所示之複數個脈衝輸出電路的移位暫存器之時序圖類似於圖 9 所示者。

下面說明在顯示靜止影像和移動影像之例子中，供應和停止被圖解作圖 10A 至 10C 的例子之包括複數個 n 通道電晶體的驅動器電路中之配線的電位之處理。

首先，為了停止驅動器電路部 1007 的操作，由顯示控制電路 1006 停止起始脈衝 SP 的供應。在停止起始脈衝 SP 的供應之後，脈衝輸出到達移位暫存器的最後階段，然後停止各時脈信號 CK 的供應。接著，供應重設信號 Res。接著，停止供電電壓之高供電電位 Vdd 和低供電電

位 V_{ss} 的供應（見圖 11C）。爲了再次開始驅動器電路部 1007 的操作，首先，顯示控制電路 1006 供應供電電壓之高供電電位 V_{dd} 和低供電電位 V_{ss} 到驅動器電路部 1007。接著，供應重設信號 Res 。然後，時脈信號 CK 的每一個被供應，然後，再次開始起始脈衝 SP 的供應（見圖 11D）。

除了圖 8A 至 8C 及圖 9 所示之結構外還供應重設信號的圖 10A 至 10C 所示之結構較佳，因爲可降低由於在靜止影像和移動影像之間切換時的信號延遲等等所導致之故障。

在顯示靜止影像之例子中，可從共同電位線截止設置於包括在驅動器電路部中之電晶體上的共同電位電極，而變成浮動狀態。然後，在靜止影像模式之後，爲了再次開始驅動器電路的操作，將共同電位電極連接到共同電位線。因此，可防止驅動器電路部中的電晶體故障。

圖 12A 圖解具有此種結構之顯示面板 1800，而圖 12B 圖解其橫剖面結構。顯示面板 1800 包括驅動器電路 1802 及 1804 和像素部 1806。共同電位電極 1808 被設置，以重疊驅動器電路 1802。用以控制共同電位電極 1808 和共同電位終端 1812 之間的連接/非連接之交換元件 1810 設置在其間。

共同電位電極 1808 設置在圖 12B 所示之驅動器電路的電晶體 1803 上，藉以幫電晶體 1803 擋掉靜電，使得能夠防止臨界電壓的變化或寄生通道的產生。

交換元件 1810 可具有與電晶體 1803 相同的結構。具有極小漏電流之這些元件有助於穩定顯示面板的操作。換言之，在顯示靜止影像時，甚至當關掉交換元件 1810 以使共同電位電極變成浮動狀態時，仍可使電位保持恆定。

以此方式，藉由使用具有寬能帶隙的氧化物半導體所形成之電晶體以及設置共同電位電極來阻隔外來電場，甚至在停止驅動器電路的操作之狀態中仍可顯示靜止影像。另外，藉由根據驅動器電路的操作來適當控制共同電位電極之電位，可穩定顯示面板的操作。

如上述，藉由在各像素中設置包括高純度氧化物半導體的電晶體，儲存電容器可保留電壓之週期可長於習知例子中之週期，及可降低用以顯示靜止影像等的電力消耗。而且，當顯示靜止影像時，藉由操作驅動器電路部來停止欲供應到像素部中的所有信號線及/或所有掃描線之信號的輸出，不但像素部而且驅動器電路部的電力消耗可被降低。

（實施例 3）

在此實施例中，將說明實施例 1 所說明之第一電晶體 6401 的結構例子及其製造方法之例子。換言之，將說明包括高純度氧化物半導體之電晶體的結構例子及其製造方法之例子。

首先，圖 13A 及 13B 圖解電晶體的例子之平面結構和橫剖面結構。圖 13A 為具有頂閘極結構之電晶體 410 的

平面圖，而圖 13B 為沿著圖 13A 的 C1-C2 所取之橫剖面圖。

電晶體 410 包括絕緣層 407、氧化物半導體層 412、第一電極（源極電極和汲極電極的其中之一）415a、第二電極（源極電極和汲極電極的其中另一個）415b、閘極絕緣層 402、和閘極電極 411 在基板 400 上。第一配線 414a 和第二配線 414b 分別被設置與第一電極 415a 和第二電極 415b 接觸且電連接到它們。

需注意的是，雖然圖 13A 中的電晶體 410 具有單閘極結構，但是本發明並不侷限於此結構。電晶體可具有包括複數個閘極電極和複數個通道形成區之多閘極結構。

接著，將參考 14A 至 14E 說明電晶體 410 的製造處理。

首先，充作基膜之絕緣層 407 形成在基板 400 上。

雖然並未特別限制可使用作為基板 400 之基板，但是基板必須具有足夠高到能夠承受至少稍後欲執行的熱處理之耐熱性。在稍後欲執行的熱處理之溫度高的例子中，使用具有應變點 730°C 或更高之基板較佳。基板 400 的特有例子包括玻璃基板、結晶玻璃基板、陶瓷基板、石英基板、藍寶石基板，及塑膠基板。另外，玻璃基板之材料之特有例子包括鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃。

作為絕緣層 407，使用諸如氧化矽層、氮氧化矽層、氧化鋁層、或氮氧化鋁層等氧化物絕緣層較佳。絕緣層

407 係可藉由電漿 CVD 法、濺鍍法等等來形成。爲了防止絕緣層 407 含有大量的氫，絕緣層 407 係藉由濺鍍法來形成較佳。在此實施例中，藉由濺鍍法形成氧化矽層作爲絕緣層 407。尤其是，基板 400 被轉移到處理室，及引進包括氫和濕氣被去除之高純度氧的濺鍍氣體，及使用矽和氧化矽的目標，藉以在基板 400 上形成氧化矽層作爲絕緣層 407。需注意的是，在沉積期間可將基板 400 保持在室溫或可加熱。

用於氧化矽膜的沉積條件之特有例子如下：使用石英（合成石英較佳）作爲目標；基板溫度爲 108°C ；目標和基板 400 之間的距離（T-S 距離）爲 60 mm；壓力爲 0.4 Pa；高頻功率爲 1.5 kW；大氣爲氧和氫（氧對氫的流率比爲 25 sccm: 25 sccm = 1:1）；及使用 RF 濺鍍法。膜的厚度爲 100 nm。需注意的是，可使用矽目標作爲目標來取代石英（合成石英較佳）目標。另外，可使用氧氣作爲濺鍍氣體來取代氧和氫的混合氣體。此處，用以形成絕緣層 407 之濺鍍氣體爲高純度氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被降至其濃度可以 ppm 或 ppb 表示之此種位準。

另外，在去除處理室所剩餘的濕氣同時形成絕緣層 407，使得可防止絕緣層 407 包括氫、氫氧根、或濕氣較佳。

爲了去除處理室所剩餘的濕氣，可使用捕獲型真空泵。例如，可使用低溫泵、離子泵、或鈦昇華泵。另外，

作為抽空機構，設置有冷阱之渦輪泵較佳。以低溫泵抽空之處理室較佳，因為從室排出氫原子、諸如水（ H_2O ）等包括氫原子的化合物等等，如此氫原子難以包括在室中所形成的絕緣層 407 中。

濺鍍法的例子包括 RF 濺鍍法，其中使用高頻電源作為濺鍍電源；DC 濺鍍法，其中使用 DC 電源；及脈衝式 DC 濺鍍法，以脈衝方式施加偏壓。RF 濺鍍法主要用於形成絕緣膜時；及 DC 濺鍍法主要用於形成金屬導電膜時。

此外，亦具有多源濺鍍設備，其中可設定複數個不同材料目標。利用多源濺鍍設備，可將不同材料的膜形成堆疊在同一室中，或可在同一室中同時藉由放電來形成複數種材料的膜。

另外，可使用設置有磁性系統在室內且用於磁電管之濺鍍設備；或用於在未使用輝光放電之下使用藉由使用微波所產生的電漿之 ECR 濺鍍用的濺鍍設備。

另外，作為使用濺鍍法之沉積方法，亦具有反應性濺鍍法，其中在沉積期間目標物質和濺鍍氣體成分彼此起化學反應，以形成其薄化合物膜；以及偏壓濺鍍法，其中在沉積期間亦施加電壓到基板。

絕緣層 407 的結構並不侷限於單層結構，而可以是疊層結構。例如，絕緣層 407 可具有疊層結構，其中諸如氮化矽層、氧氮化矽層、氮化鋁層、或氧氮化鋁層等氮化物絕緣層和上述氧化物絕緣層以此順序堆疊在基板 400 上。

例如，包括氫和濕氣被去除之高純度氮的濺鍍氣體被

引進氧化矽層和基板之間，及使用矽目標來形成氮化矽層。同樣在此步驟中，如同在氧化矽層之例子一般，在去除處理室所剩餘的濕氣同時形成氮化矽層較佳。在形成氮化矽層時，在沉積期間亦可加熱基板。

在設置氮化矽層和氧化矽層的堆疊作為絕緣層 407 之例子中，可使用同一矽目標在同一處理室中形成氮化矽層和氧化矽層。首先，引進包括氮之濺鍍氣體，及使用設置在處理室中的矽目標來形成氮化矽層，然後將濺鍍氣體轉換成包括氧之濺鍍氣體，以使用同一矽目標來形成氧化矽層。因為在此方法中，可於未暴露至空氣之下連續形成氮化矽層和氧化矽層，所以可防止諸如氫或濕氣等雜質被吸附於氮化矽層的表面。

然後，藉由濺鍍法在絕緣層 407 上形成氧化物半導體層。

另外，為了在氧化物半導體層中含有盡可能少的氫、氫氧根、及濕氣，在濺鍍設備的預熱室中預熱形成絕緣層 407 之基板 400，作為膜形成用的預處理，使得可去除和抽空吸附到基板 400 之諸如氫和濕氣等雜質。需注意的是，作為抽空機構，在預熱室中設置低溫泵較佳。另外，可在形成稍後欲形成的閘極絕緣層 402 之前，於基板 400 上執行此預熱。另外，同樣在形成上至第一電極 415a 和第二電極 415b 之層的基板 400 上執行此預熱較佳。需注意的是，可省略此預熱處理。

需注意的是，在藉由濺鍍法形成氧化物半導體層之

前，藉由引進氬氣及產生電漿之逆向濺鍍去除附著於絕緣層 407 的表面上之灰塵較佳。逆向濺鍍意指在不施加電壓到目標側之下，在氬大氣中將高頻電源用於施加電壓到基板側，以在基板附近產生電漿來修改表面之方法。需注意的是，可使用氮、氦、氧等等取代氬大氣。

作為形成氧化物半導體層之目標，可使用包括氧化鋅作為其主要成分的金屬氧化物目標。可使用的金屬氧化物目標之另一例子為包括 In、Ga、及 Zn 之金屬氧化物目標（具有組成比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ [莫耳比] 或 $\text{In}:\text{Ga}:\text{Zn} = 1:1:0.5$ [原子百分比]）。另一選擇是，作為包括 In、Ga、及 Zn 之金屬氧化物目標，可使用具有組成比 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ [原子百分比] 之目標或具有組成比 $\text{In}:\text{Ga}:\text{Zn} = 1:1:2$ [原子百分比] 之目標。另外，可使用包括 2 wt%（重量百分比）至 10 wt%（含）之 SiO_2 的目標。金屬氧化物目標的填充因子為 90% 至 100%（含），及 95% 至 99.9%（含）較佳。藉由使用具有高填充因子的金屬氧化物目標，所形成的氧化物半導體層可具有高密度。

需注意的是，可在稀有氣體（典型上為氬）大氣、氧大氣、或稀有氣體（典型上為氬）和氧之大氣中，形成氧化物半導體層。此處，用以形成氧化物半導體層之濺鍍氣體為高純度氣體，其中諸如氫、水、氫氧根、或氫化物等雜質被降至其濃度可以 ppm 或 ppb 表示之此種位準。

以基板支托在維持於降壓之處理室中，在去除處理室所剩餘的濕氣同時引進氬和濕氣被去除之濺鍍氣體，及使

用金屬氧化物作為目標的此種方式，將氧化物半導體層形成在基板 400 上。為了去除處理室所剩餘的濕氣，可使用捕獲型真空泵。例如，可使用低溫泵、離子泵、或鈦昇華泵。在以低溫泵抽空之處理室中，排出氫原子、諸如水（ H_2O ）等包括氫原子的化合物（此外包括碳原子之化合物更好）等等。因此，可降低包括在處理室中所形成之氧化物半導體層中之雜質濃度。另外，在沉積氧化物半導體層期間，可將基板溫度保持在室溫或可增加至低於 400°C 的溫度。

作為氧化物半導體層的沉積條件之例子，可給予下面條件：基板的溫度是室溫；基板和目標之間的距離是 110 mm；壓力為 0.4 Pa；直流（DC）供電為 0.5 kW；及大氣為氧和氫（氧對氫的流率比為 15 sccm: 30 sccm）。需注意的是，脈衝直流（DC）供電較佳，因為沉積時所產生的粉末物質（亦稱作粒子或灰塵）被降低及可使膜厚度均勻。氧化物半導體層的厚度為 2 nm 至 200 nm（含）較佳，5 nm 至 30 nm（含）較佳。需注意的是，依據材料來改變氧化物半導體層的適當厚度；因此，可依據材料來適當決定厚度。

由上述方法所形成之氧化物半導體層的特有例子可以由四元素構成的金屬氧化物之 In-Sn-Ga-Zn-O 層；由三元素構成的金屬氧化物之 In-Ga-Zn-O 層、In-Sn-Zn-O 層、In-Al-Zn-O 層、Sn-Ga-Zn-O 層、Al-Ga-Zn-O 層、或 Sn-Al-Zn-O 層；由二元素構成的金屬氧化物之 In-Zn-O

層、Sn-Zn-O 層、Al-Zn-O 層、Zn-Mg-O 層、Sn-Mg-O 層、或 In-Mg-O 層；In-O 層；Sn-O 層；Zn-O 層等等。這些氧化物半導體層可包括 Si。這些氧化物半導體層可以是非晶或結晶。另外，這些氧化物半導體層可以是非單晶或單晶。在此實施例中，使用 In-Ga-Zn-O 作為目標，藉由濺鍍法來形成非晶 In-Ga-Zn-O 膜。

需注意的是，作為氧化物半導體層，可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表示之薄膜。此處，M 表示選自 Ga (鎵)、Al (鋁)、Mn (錳)、及 Co (鈷) 的一或多個金屬元素。例如，可給定 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等等作為 M。如上述，包括 Ga 作為 M 之氧化物半導體膜的以 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 表示其組成式之氧化物半導體膜被稱作上面所給予的 In-Ga-Zn-O 氧化物半導體膜。

然後，藉由第一光致微影步驟將氧化物半導體層處理成島型氧化物半導體層 412 (見圖 14A)。需注意的是，用以形成島型氧化物半導體層 412 之抗蝕遮罩係可使用噴墨法來形成。以噴墨法形成抗蝕遮罩不使用光遮罩；如此可降低製造成本。

需注意的是，氧化物半導體層的蝕刻可以是乾蝕刻、濕蝕刻、或濕蝕刻和乾蝕刻二者。

在乾蝕刻之例子中，可使用平行板反應性離子蝕刻 (RIE) 法或電感式耦合電漿 (ICP) 蝕刻法。為了將膜蝕刻成想要的形狀，適當調整蝕刻條件 (施加到線圈型電極

之電力量，施加到基板側上之電極的電力量，基板側上的電極之溫度等）。

作為乾蝕刻的蝕刻氣體，包括氯的氣體（氯基的氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等）較佳，但是可使用含氟的氣體（氟基的氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）等）；溴化氫（ HBr ）；氧（ O_2 ）；添加諸如氦（ He ）或氬（ Ar ）等稀有氣體之這些氣體的任一個等等。

作為濕蝕刻的蝕刻劑，可使用磷酸、乙酸、及硝酸的混合溶液等，或過氧化氫銨混合物（31 wt%過氧化氫、28%氨水、及水以體積比 5:2:2 加以混合之溶液）等等。另外可使用 ITO07N（由 KANTO 化學股份有限公司所製造）等等。根據氧化物半導體的材料可適當調整蝕刻條件（如、蝕刻劑、蝕刻週期、及溫度）。

在濕蝕刻的例子中，藉由清潔與蝕刻掉的材料一起去除蝕刻劑。包括蝕刻劑和蝕刻掉的材料之廢棄液體可被淨化，及再使用材料。當在蝕刻之後從廢棄液體收集包括在氧化物半導體層中的材料（如、諸如銦等稀有金屬）及再使用時，可有效使用資源。

在此實施例中，使用磷酸、乙酸、及硝酸的混合溶液作為蝕刻劑，藉由濕蝕刻法將氧化物半導體層處理成島型氧化物半導體層 412。

然後，在氧化物半導體層 412 上執行第一熱處理。第

一熱處理的溫度為 400°C 至 750°C (含)， 400°C 或更高及低於基板的應變點較佳。此處，將基板放入一種熱處理設備的電爐中，及在氮大氣中以 450°C 在氧化物半導體層上執行熱處理一小時。之後，防止氧化物半導體層暴露至空氣以及防止再次包括水和氫。藉由此第一熱處理，可從氧化物半導體層 412 去除氫、水、氫氧根等等。

需注意的是，熱處理設備並不侷限於電爐，及設備可被設置有用以來自諸如電阻加熱器等加熱器的熱傳導或熱輻射來加熱物體之裝置。例如，可使用諸如氣體快速熱退火 (GRTA) 設備或燈快速熱退火 (LRTA) 等快速熱退火 (RTA) 設備。LRTA 設備為用以藉由從諸如鹵素燈、金屬鹵化物燈、氬弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈等燈所發出的光之輻射 (電磁波) 來加熱欲待處理的物體之設備。GRTA 設備為使用高溫氣體的熱處理之設備。作為氣體，可使用鈍氣 (典型上，諸如氬等稀有氣體) 或氮氣。

例如，第一熱處理可利用 GRTA，其中將基板轉移到加熱至高溫 650°C 至 700°C 之鈍氣中，及在那裡加熱幾分鐘，然後從加熱至高溫的鈍氣轉移出基板。GRTA 能夠在短時間高溫熱處理。

在第一熱處理中，水、氫等未包含在大氣中較佳。此外，引進到熱處理設備內之氮或諸如氦、氖、或氬等稀有氣體具有純度 6N (99.9999%) 或更高較佳，7N (99.99999%) 或更高更好 (即、雜質濃度為 1 ppm 或更

低，0.1 ppm 或更低較佳）。

需注意的是，依據第一熱處理的條件或氧化物半導體層的材料，可將氧化物半導體層 412 結晶成微晶或多晶。例如，可將氧化物半導體層結晶，以變成具有晶性 80% 或更多之微晶氧化物半導體層。需注意的是，在第一熱處理之後，在未結晶之下，島型氧化物半導體層 412 可以是非晶氧化物半導體層。另外，島型氧化物半導體層 412 可變成氧化物半導體層，其中微晶部（具有晶粒直徑 1 nm 至 20 nm（含），典型上 2 nm 至 4 nm（含））被混合到非晶氧化物半導體層內。

可在處理成島型氧化物半導體層之前，在氧化物半導體層上執行氧化物半導體層的第一熱處理。在那例子中，在第一熱處理之後，從熱處理設備取出基板及經過光致微影步驟。

雖然主要是爲了從氧化物半導體層去除諸如氫、水、及氫氧根等雜質而執行第一熱處理，但是其會在氧化物半導體層中產生氧缺陷。因此，用以供應氧之處理接在第一熱處理之後較佳。尤其是，例如，在第一熱處理之後可執行氧大氣或包括氮和氧（氮對氧的體積比爲 4 比 1）之大氣中的熱處理。另外，可利用氧大氣中的電漿處理。

可在下面時序的任一個中，執行氧化物半導體層上之具有脫水作用或除氫作用的效果之熱處理：形成氧化物半導體層之後；源極電極和汲極電極形成在氧化物半導體層上之後；及閘極絕緣層形成在源極電極和汲極電極之後。

然後，導電膜形成在絕緣層 407 和氧化物半導體層 412 上。導電膜係可藉由濺鍍法或真空蒸發法來形成。作為導電膜的材料，可給予諸如 Al（鋁）、Cu（銅）、Cr（鉻）、Ta（鉭）、Ti（鈦）、Mo（鉬）、W（鎢）、或 Y（鈮）等金屬材料，包括金屬材料的任一個之合金材料，導電金屬氧化物等等。作為導電金屬氧化物可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ In_2O_3 - SnO_2 ，縮寫作 ITO）、氧化銦-氧化鋅合金（ In_2O_3 - ZnO ）、或包括矽或氧化矽之金屬氧化物材料。另外，可使用防止將在 Al 膜中產生之小丘或鬚狀物的產生之諸如 Si（矽）、Ti（鈦）、Ta（鉭）、W（鎢）、Mo（鉬）、Cr（鉻）、Nd（釹）、Sc（釷）、或 Y（鈮）等元素之 Al 材料。在此例中，可提高耐熱性。

另外，導電膜可具有單層結構或兩或多層之疊層結構。例如，可給定包括矽之鋁膜的單層結構；鋁膜和堆疊在其上之鈦膜的兩層結構；Ti 膜、堆疊在其上的鋁膜、及堆疊在其上之鈦膜的三層結構。另外，可利用堆疊 Al、Cu、等等的金屬層和 Cr、Ta、Ti、Mo、W 等等的耐火金屬層之疊層結構。

然後，藉由第二光致微影步驟，抗蝕遮罩形成在導電膜上，及執行選擇性蝕刻，藉以形成第一電極 415a 和第二電極 415b，然後去除抗蝕遮罩（見圖 14B）。第一電極 415a 充作源極電極和汲極電極的其中之一，而第二電極

415b 充作源極電極和汲極電極的其中另一個。此處，第一電極 415a 和第二電極 415b 被蝕刻，以具有錐形端較佳，因為將提高與形成在其上之閘極絕緣層的覆蓋能力。需注意的是，可藉由噴墨法來形成用以形成第一電極 415a 和第二電極 415b 之抗蝕遮罩。藉由噴墨法形成抗蝕遮罩不使用光遮罩；如此，可降低製造成本。

在此實施例中，作為第一電極 415a 和第二電極 415b，藉由濺鍍法形成 150 nm 厚的鈦膜。

需注意的是，為了防止在蝕刻導電膜時氧化物半導體層 412 被去除及在其下方之絕緣層 407 露出，必須適當調整它們的材料和導電膜的蝕刻條件。因此，在此實施例中，In-Ga-Zn-O 基的氧化物半導體被使用作為氧化物半導體層 412，鈦膜被使用作為導電膜，及過氧化氫銨混合物（氫、水、及過氧化氫溶液的混合物）被使用作為蝕刻劑，使得氧化物半導體層 412 的部分未被蝕刻。然而，本發明並不侷限於此。可藉由第二光致微影步驟蝕刻氧化物半導體層 412 的部分，及可形成具有溝槽（凹下部）的氧化物半導體層。

在第二光致微影步驟中，紫外線、KrF 雷射光、或 ArF 雷射光被用於曝光，以形成抗蝕遮罩。稍後欲形成之電晶體的通道長度 L 視氧化物半導體層 412 上之彼此鄰接的第一電極的下端和第二電極的下端之間的間距之寬度而定。需注意的是，當執行曝光以設置小於 25 nm 之通道長度 L 時，在第二光致微影步驟中，具有幾奈米至幾十奈米

的超短波長之超紫外線被用於曝光，以形成抗蝕遮罩。利用超紫外線的曝光可有高解析度及大的焦距深度。因此，稍後欲形成的電晶體之通道長度 L 可被設定成 10 nm 至 1000 nm（含）。在此例中，可達成電晶體之操作速度的增加，另外，由於極小的關閉電流，可達成電晶體的電力消耗之降低。

然後，閘極絕緣層 402 形成在絕緣層 407、氧化物半導體層 412、第一電極 415a、和第二電極 415b 上（見圖 14C）。

可藉由電漿 CVD 法、濺鍍法等等，將閘極絕緣層 402 形成具有包括氧化矽層、氮化矽層、氮氧化矽層、氧氮化矽層、和氧化鋁層的任一個之單層結構或疊層結構。

閘極絕緣層 402 被形成，使得氫未包括在閘極絕緣層 402 中較佳。如此，藉由濺鍍法形成閘極絕緣層 402 較佳，其中可在沉積期間在大氣中將氫降至極低位準。在藉由濺鍍法形成氧化矽膜之例子中，使用矽目標或石英目標作為目標，及使用氧和氫的混合氣體作為濺鍍氣體。

閘極絕緣層 402 可具有氧化矽層和氮化矽層堆疊在第一電極 415a 和第二電極 415b 上之結構。例如，可形成具有厚度 5 nm 至 300 nm（含）之氧化矽層（ SiO_x （ $x>0$ ））作為第一閘極絕緣層，及可在第一閘極絕緣層上形成具有厚度 50 nm 至 200 nm（含）之氮化矽層（ SiN_y （ $y>0$ ））作為第二閘極絕緣層，以設置具有厚度 100 nm 的閘極絕緣層。在此實施例中，在壓力 0.4 Pa、高頻功率 1.5 kW、

及大氣為氧和氬（氧對氬的流率比為 25 sccm:25 sccm=1:1）之下，藉由 RF 濺鍍法形成具有厚度 100 nm 之氧化矽層。

接著，藉由第三光致微影步驟，形成抗蝕遮罩，及執行選擇性蝕刻，藉以閘極絕緣層 402 的部分被局部去除；如此，形成到達第一電極 415a 和第二電極 415b 之開口 421a 及 421b（見圖 14D）。需注意的是，以噴墨法形成抗蝕遮罩未使用光遮罩；如此，可降低製造成本。

然後，在導電膜形成於閘極絕緣層 402 上以及在開口 421a 及 421b 中之後，在第四光致微影步驟中形成閘極電極 411、第一配線 414a、及第二配線 414b。

使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、或銦等金屬材料，或含這些材料的任一個作為主要成分之合金材料，可將閘極電極 411、第一配線 414a、及第二配線 414b 形成具有單層結構或疊層結構。閘極電極 411、第一配線 414a、及第二配線 414b 的兩層結構之特有例子包括：包括鋁層和其上之鉬層的結構；包括銅層和其上之鉬層的結構；包括銅層和在其上之氮化鈦層或氮化鉭層的結構；及包括氮化鈦層和在其上之鉬層的結構。三層結構的特有例子包括：堆疊鎢層或氮化鎢層、鋁和矽或鋁和鈦之合金層、及氮化鈦層或鈦層之結構。需注意的是，可使用透光導電膜形成閘極電極層。作為透光導電膜，尤其可給予透光導電氧化物的膜。

在此實施例中，作為閘極電極 411、第一配線 414a、

及第二配線 414b，藉由濺鍍法形成 150 nm 厚的鈦膜。

然後，在鈍氣大氣中或在氧氣大氣中執行第二熱處理（以 200°C 至 400°C（含）較佳，例如，以 250°C 至 350°C（含））。在此實施例中，在氮大氣中以 250°C 執行第二熱處理達一小時。需注意的是，可在保護絕緣層或平面化絕緣層形成在電晶體 410 上之後執行第二熱處理。

可另外在空氣中以 100°C 至 200°C（含）執行熱處理達 1 小時至 30 小時（含）。可以固定加熱溫度來執行此熱處理，或者溫度可從室溫增加到加熱溫度 100°C 至 200°C（含），及從加熱溫度下降至室溫，重複複數次。另外，可在形成氧化物絕緣層之前，在降壓下執行此熱處理。在降壓下，可縮短加熱時間，如此較佳。

經由上述處理，可形成包括氫、濕氣、氫化物、氫氧化物的濃度被降低之高純度氧化物半導體層 412 的電晶體 410（見圖 14E）。例如，可使用電晶體 410 作為實施例 1 所說明之第一電晶體 6401。

保護絕緣層或平面化用的平面化絕緣層可設置在電晶體 410 上。保護絕緣層可被形成具有包括氧化矽層、氮化矽層、氮氧化矽層、氧氮化矽層、及氧化鋁層的任一個之單層結構或疊層結構。平面化絕緣層係可由耐熱有機材料所形成，諸如聚醯亞胺、丙烯酸樹脂、苯環丁烯樹脂、聚醯胺、或環氧樹脂等。作為此種有機材料的另一種選擇，亦可使用低介電常數材料（低 k 材料）、矽氧烷基的樹脂、磷矽酸鹽玻璃（PSG）、硼磷矽酸鹽玻璃（BPSG）等

等。平面化絕緣層係可藉由堆疊由這些材料的任一個所形成之複數個絕緣膜來形成。

此處，矽氧烷基的樹脂、對應於使用矽氧烷基的材料作為起始材料所形成之包括 Si-O-Si 鍵的樹脂。矽氧烷基的樹脂可包括有機基（如、烷基或芳香族羥基）或氟基作為取代基。有機基可包括氟基。

並未特別限制形成平面化絕緣層的方法。依據材料，可以諸如濺鍍法、SOG 法、旋轉塗佈法、浸泡法、噴灑塗佈法、或微滴排放法（諸如噴墨法、絲網印刷、或膠版印刷等）等方法，或者藉由使用諸如刮刀、滾輪塗佈機、簾幕式塗佈機、或刀式塗佈機等等之工具（設備）來形成平面化絕緣層。

如上述，藉由在形成氧化物半導體層時去除反應大氣中剩餘的濕氣，可降低氧化物半導體層中的氫和氫化物之濃度。

藉由使用包括此實施例所說明的氧化物半導體層之電晶體在顯示裝置的顯示部之像素中，可降低關閉電流。因此，可延長儲存電容器可保留電壓之週期；如此，可降低用以顯示靜止影像等等之電力消耗。另外，當顯示靜止影像時停止控制信號的供應，藉以可進一步降低電力消耗。此外，可切換靜止影像和移動影像卻沒有故障。

（實施例 4）

在此實施例中，將說明實施例 1 所說明之第一電晶體

6401 的結構例子及其製造方法之例子。換言之，將參考圖 15A 至 15E 說明包括高純度氧化物半導體之電晶體的結構例子及其製造方法之例子。

圖 15A 至 15E 圖解電晶體的橫剖面結構之例子。圖 15E 所示之電晶體 390 為底閘極結構的一種類型，及亦被稱作反相交錯式電晶體。例如，可使用電晶體 390 作為實施例 1 所說明之第一電晶體 6401。需注意的是，雖然電晶體 390 具有單閘極結構，但是本發明並不侷限於此結構。電晶體可具有包括複數個閘極電極和複數個通道形成區之多閘極結構。

下面將參考圖 15A 至 15E 說明在基板 394 上製造電晶體 390 之處理。

首先，導電膜形成在基板 394 上，然後，藉由第一光致微影步驟形成閘極電極 391。所形成的閘極電極之端部位為錐形較佳，因為提高與形成在其上的閘極絕緣層之覆蓋能力。需注意的是，可藉由噴墨法來形成抗蝕遮罩。藉由噴墨法形成抗蝕遮罩不使用光遮罩；如此，可降低製造成本。

關於基板 394 的材料，可利用類似於實施例 3 所說明之基板 400 的材料之材料。關於閘極電極 391 的材料和形成法，可利用類似於實施例 3 所說明之閘極電極 411 的材料和方法之材料和方法。

需注意的是，充作基膜的絕緣膜可設置在基板 394 和閘極電極 391 之間。基膜具有防止雜質元素從基板 394 擴

散之功能，及可被形成具有包括氮化矽膜、氧化矽膜、氧氮化矽膜、及氮氧化矽膜的一或多個之單層結構或疊層結構。

然後，閘極絕緣層 397 形成在閘極電極 391 上。

藉由電漿 CVD 法、濺鍍法等等，可將閘極絕緣層 397 形成具有包括氧化矽層、氮化矽層、氮氧化矽層、氧氮化矽層、和氧化鋁層的任一個之單層結構或疊層結構。需注意的是，爲了防止閘極絕緣層 397 含有大量氫，藉由濺鍍法形成閘極絕緣層 397 較佳。在藉由濺鍍法形成氧化矽膜之例子中，使用矽目標或石英目標作爲目標，及使用氧和氫的混合氣體作爲濺鍍氣體。

閘極絕緣層 397 可具有氮化矽層和氧化矽層堆疊在閘極電極 391 上之結構。例如，可藉由濺鍍法形成具有厚度 50 nm 至 200 nm（含）之氮化矽層（ SiN_y （ $y>0$ ））作爲第一閘極絕緣層，及可在第一閘極絕緣層上形成具有厚度 5 nm 至 300 nm（含）之氧化矽層（ SiO_x （ $x>0$ ））作爲第二閘極絕緣層，以設置具有厚度 100 nm 的閘極絕緣層。

然後，在閘極絕緣層 397 上，氧化物半導體層 393 被形成具有厚度 2 nm 至 200 nm（含）（見圖 15A）。

關於氧化物半導體層 393 的材料和形成方法，可利用類似於實施例 3 所說明之氧化物半導體層（島型氧化物半導體層 412）的材料和方法之材料和方法。

作爲藉由濺鍍法形成氧化物半導體層 393 的沉積條件之例子，可給定下面條件：基板和目標之間的距離爲 100

mm，壓力為 0.6 Pa，直流（DC）供電為 0.5 kW，及大氣為氧（氧流率的比例為 100%）。需注意的是，脈衝直流（DC）供電較佳，因為沉積時所產生的粉末物質（亦稱作粒子或灰塵）被降低及可使膜厚度均勻。氧化物半導體層 393 的厚度為 2 nm 至 200 nm（含）較佳，5 nm 至 30 nm（含）較佳。需注意的是，依據材料來改變氧化物半導體層的適當厚度；因此，可依據材料來適當決定厚度。

需注意的是，在形成氧化物半導體層 393 之前，藉由引進氬氣和產生電漿之逆向濺鍍去除附著於閘極絕緣層 397 的表面上之灰塵較佳。

另外，為了在閘極絕緣層 397 和氧化物半導體層 393 中含有盡可能少的氫、氫氧根、及濕氣，在濺鍍設備的預熱室中預熱形成閘極電極 391 的基板 394 或者形成上至閘極絕緣層 397 之層的基板 394，作為膜形成用的預處理，使得可去除和抽空吸附到基板 394 之諸如氫和濕氣等雜質。預熱的溫度可以是 100°C 至 400°C（含），150°C 至 300°C（含）較佳。作為抽空機構，低溫泵設置在預熱室中較佳。另外，在形成保護絕緣層 396 之前，同樣在形成上至及包括第一電極 395a 和第二電極 395b 之層的基板 394 上執行此預熱。

然後，藉由第二—光致微影步驟將氧化物半導體層處理成島型氧化物半導體層 399（見圖 15B）。需注意的是，關於島型氧化物半導體層 399 之處理方法，可利用類似於實施例 3 所說明之島型氧化物半導體層 412 的處理方

法之處理方法。

需注意的是，爲了去除附著在氧化物半導體層 399 和閘極絕緣層 397 的表面上之抗蝕劑殘餘物等等，在隨後步驟形成導電膜之前執行逆向濺鍍較佳。

然後，導電膜形成在閘極絕緣層 397 和氧化物半導體層 399 上。可藉由濺鍍法或真空蒸發法來形成導電膜。作爲導電膜的材料，可使用選自 Al（鋁）、Cr（鉻）、Cu（銅）、Ta（鉭）、Ti（鈦）、Mo（鉬）、及 W（鎢）的元素；含這些元素的任一個作爲成分之合金；含複數個這些元素的組合之合金等等。另外，可使用選自錳、鎂、鋅、銻、及鈦之一或多個材料。另外，可使用透光導電膜。作爲透光導電膜，尤其可給定透光導電氧化物的膜。

另外，導電膜可具有單層結構或兩或多層的疊層結構。例如，可給定包括矽之鋁膜的單層結構；鋁膜和堆疊在其上之鈦膜的兩層結構；Ti 膜、堆疊在其上之鋁膜、堆疊在其上之 Ti 膜的三層結構。

然後，藉由第三光致微影步驟，抗蝕遮罩形成在導電膜上，及執行選擇性蝕刻，藉以形成第一電極 395a 和第二電極 395b，然後去除抗蝕遮罩（見圖 15C）。此處，爲了防止在蝕刻導電膜時氧化物半導體層 399 被去除及在其下方之閘極絕緣層 397 露出，必須適當調整它們的材料和導電膜的蝕刻條件。因此，在此實施例中，In-Ga-Zn-O 基的氧化物半導體被使用作爲氧化物半導體層 399，鈦膜被使用作爲導電膜，及過氧化氫銨混合物（氨、水、及過氧

化氫溶液的混合物)被使用作為蝕刻劑，使得氧化物半導體層 399 的部分未被蝕刻。然而，本發明並不侷限於此。可藉由第三光致微影步驟蝕刻氧化物半導體層 399 的部分，及可形成具有溝槽(凹下部)的氧化物半導體層。

在第三光致微影步驟中，紫外線、KrF 雷射光、或 ArF 雷射光被用於曝光，以形成抗蝕遮罩。稍後欲形成之電晶體的通道長度 L 視氧化物半導體層 399 上之彼此鄰接的第一電極 395a 的下端和第二電極 395b 的下端之間的間距之寬度而定。需注意的是，當執行曝光以設置小於 25 nm 之通道長度 L 時，在第三光致微影步驟中，具有幾奈米至幾十奈米的超短波長之超紫外線被用於曝光，以形成抗蝕遮罩。利用超紫外線的曝光可具有高解析度和大的焦距深度。因此，稍後欲形成的電晶體之通道長度 L 可被設定成 10 nm 至 1000 nm (含)，如此將可增加電晶體之操作速度，另外，由於極小的關閉電流可降低電晶體的電力消耗。

另外，為了降低光致微影步驟中所使用的光遮罩數目，以及降低光致微影步驟數目，可藉由使用多色調遮罩來執行蝕刻步驟，多色調遮罩為透射光以具有複數個強度之曝光遮罩。使用多色調遮罩所形成之抗蝕遮罩具有複數個厚度，及進一步可藉由被蝕刻而改變形狀，因此可被用在複數個蝕刻步驟以提供不同圖案。因此，對應於至少兩種不同圖案之抗蝕遮罩係可使用一多色調遮罩來形成。如此，可降低曝光遮罩的數目，及亦可降低對應的光致微影

步驟數目，藉以可實現處理的簡化。

此外，可執行使用諸如 N_2O 、 N_2 、或 Ar 等氣體的電漿處理，以去除吸附於氧化物半導體層 399 的露出表面上之水等等。可使用氧和氫的混合氣體來執行電漿處理。在此實施例中，執行任一電漿處理。

然後，在電漿處理之後，在未暴露至空氣下，形成與露出的氧化物半導體層 399 接觸之保護絕緣層 396、第一電極 395a、及第二電極 395b（見圖 15D）。在此時，在去除處理室剩餘的濕氣同時形成保護絕緣層 396，使得可防止氧化物半導體層 399 和保護絕緣層 396 包括氫、氫氧根、或濕氣較佳。爲了去除處理室剩餘的濕氣，使用捕獲型真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。在以低溫泵抽空之處理室中，氫原子、諸如水（ H_2O ）等包括氫原子的化合物等等被排出。因此，可降低包括在處理室中所形成之保護絕緣層 396 中的雜質濃度。

在此實施例中，氧化物絕緣層被形成作爲保護絕緣層 396。關於保護絕緣層 396 的形成，形成上至島型氧化物半導體層 399、第一電極 395a、及第二電極 395b 的層之基板 394 被保持在室溫中或加熱至低於 100°C 的溫度，引進包括氫和濕氣被去除之高純度氧的濺鍍氣體，及使用矽半導體目標，藉以形成氧化矽層。需注意的是，可使用氮化矽層、氧化鋁層、氮氧化鋁層等等來取代氧化矽層作爲氧化物絕緣層。

例如，在下面條件下藉由脈衝式 DC 濺鍍法形成氧化矽層：使用具有純度 6N 之摻硼的矽目標（電阻率為 $0.01\Omega\text{cm}$ ）；基板和目標之間的距離（T-S 距離）為 89 mm；壓力為 0.4 Pa；直流（DC）供電為 6 kW；及大氣為氧（氧流率的比例為 100%）。氧化矽層的厚度為 300 nm。需注意的是，可使用石英（合成石英較佳）來取代矽目標。作為濺鍍氣體，可使用氧氣或氧和氬的混合氣體。

另外，在保護絕緣層 396 和氧化物半導體層 399 彼此接觸同時，以 100°C 至 400°C （含）執行熱處理較佳。藉由熱處理，包含在氧化物半導體層 399 中之諸如氫、濕氣、氫氧根、或氫化物等雜質擴散到保護絕緣層 396 內，使得可進一步降低氧化物半導體層 399 所含有的雜質。

經由上述處理，可形成包括氫、濕氣、氫氧根、和氫氧化物的濃度被降低之氧化物半導體層 392 的電晶體 390（見圖 15E）。如此實施例所說明一般，藉由在形成氧化物半導體層時去除反應室所剩餘的濕氣，可降低氧化物半導體層中之氫和氫化物的濃度。結果，可獲得本質或大體上本質半導體。

需注意的是，絕緣層可額外設置在保護絕緣層 396 上。在此實施例中，保護絕緣層 398 形成在保護絕緣層 396 上。作為絕緣層 398，可使用氮化矽膜、氧氮化矽膜、氮化鋁膜、氧氮化鋁膜等等。

關於絕緣層 398 的形成，形成上至保護絕緣層 496 的

層之基板 394 被加熱至溫度 100°C 至 400°C ，引進包括氫和濕氣被去除的高純度氮之濺鍍氣體，及使用矽半導體目標，藉以形成氮化矽膜。同樣在此步驟中，如在保護絕緣層 396 的例子中一般，在去除處理室所剩餘濕氣同時形成絕緣層 398 較佳。藉由在沉積絕緣層 398 時加熱基板 394 至 100°C 至 400°C ，可將氧化物半導體層 399 中之氫或濕氣擴散到絕緣層 398 內。在那例子中，不需要在形成保護絕緣層 396 之後直接執行熱處理。

在氧化矽層被形成作為保護絕緣層 396 和氮化矽層被形成作為絕緣層 398 之例子中，可使用同一矽目標，在同一處理室中形成氧化矽層和氮化矽層。首先，引進包括氧之蝕刻氣體，及使用設置在處理室中的矽目標來形成氧化矽層，然後蝕刻氣體被切換至包括氮之蝕刻氣體，及使用同一矽目標來形成氮化矽層。因為可在未暴露至空氣下連續形成氧化矽層和氮化矽層，所以可防止諸如氫或濕氣等雜質吸附於氧化矽層的表面上。需注意的是，在形成氧化矽層作為保護絕緣層 396 及在其上形成氮化矽層作為絕緣層 398 之後，執行用以擴散氧化物半導體層中的氫或濕氣到氧化物絕緣層內之熱處理（以溫度 100°C 至 400°C ）較佳。

在形成保護絕緣層 396 之後，可另外在空氣中以 100°C 至 200°C （含）執行熱處理達 1 小時至 30 小時（含）。可以固定加熱溫度來執行此熱處理，或者溫度可從室溫增加到加熱溫度 100°C 至 200°C （含），及從加熱

溫度下降至室溫，重複數次。另外，可在形成氧化物絕緣層之前，在降壓下執行此熱處理。在降壓下，可縮短加熱時間。

因為可以溫度 400°C 或更低來執行上述處理，所以可將處理應用到使用具有一側長於 1 m 和厚度 1 mm 或更少之玻璃基板的製造處理較佳。此外，因為可以處理溫度 400°C 或更低來執行整個處理，所以可利用較低的能量消耗來製造顯示面板。

藉由使用包括此實施例所說明的氧化物半導體層之電晶體在顯示裝置的顯示部之像素中，可降低關閉電流。因此，可延長儲存電容器可保留電壓之週期；如此，可降低用以顯示靜止影像等等之電力消耗。另外，當顯示靜止影像時停止控制信號的供應，藉以可進一步降低電力消耗。此外，可切換靜止影像和移動影像卻沒有故障。

（實施例 5）

在此實施例中，將說明實施例 1 所說明之第一電晶體 6401 的結構例子及其製造方法之例子。換言之，將參考圖 16A 至 16D 說明包括高純度氧化物半導體之電晶體的結構例子及其製造方法之例子。

圖 16A 至 16D 圖解電晶體的橫剖面結構之例子。圖 16A 至 16D 所示之電晶體 360 為被稱作通道保護型（通道停止型）的底閘極結構之一種類型，及亦被稱作反相交錯式電晶體。可使用電晶體 360 作為實施例 1 所說明之第一

電晶體 6401。需注意的是，雖然電晶體 360 具有單閘極結構，但是本發明並不侷限於此結構。電晶體可具有包括複數個閘極電極和複數個通道形成區之多閘極結構。

下面將參考圖 16A 至 16D 說明在基板 320 上製造電晶體 360 之處理。

首先，導電膜形成在基板 320 上，然後，藉由第一光致微影步驟形成閘極電極 361。關於基板 320 的材料，可利用類似於實施例 4 所說明之基板 394 的材料之材料。關於閘極電極 361 的材料和形成方法，可利用類似於實施例 4 所說明之閘極電極 391 的材料和方法之材料和方法。

然後，閘極絕緣層 322 形成在閘極電極 361 上。關於閘極絕緣層 322 的材料，可利用類似於實施例 4 所說明之閘極絕緣層 397 的材料之材料。在此實施例中，藉由電漿 CVD 法形成具有厚度 100 nm 或更少之氮氧化矽層作為閘極絕緣層 322。

然後，藉由第二光致微影步驟，將具有厚度 2 nm 至 200 nm（含）的氧化物半導體層形成在閘極絕緣層 322 上，及處理成島型氧化物半導體層。關於島型氧化物半導體層的材料和形成方法，可利用類似於實施例 4 所說明之島型氧化物半導體層 399 的材料和方法之材料和方法。在此實施例中，使用 In-Ga-Zn-O 基的氧化物半導體目標，藉由濺鍍法形成氧化物半導體層。

然後，執行氧化物半導體層的脫水作用或除氫作用。脫水作用或除氫作用的第一熱處理之溫度為 400°C 至

750°C（含），400°C 或更高及低於基板的應變點較佳。此處，將基板放入一種熱處理設備的電爐中，及在氮大氣中以 450°C 在氧化物半導體層上執行熱處理一小時。之後，防止氧化物半導體層暴露至空氣以及防止再次包括水和氫；如此，獲得氧化物半導體層 332（見圖 16A）。

然後，執行使用諸如 N_2O 、 N_2 、或 Ar 等氣體的電漿處理。藉由此電漿處理，去除氧化物半導體層的露出表面之所吸附的水等等。可使用氧和氫的混合氣體來執行電漿處理。

然後，氧化物絕緣層形成在閘極絕緣層 322 和氧化物半導體層 332 上。然後，藉由第三光致微影步驟，形成抗蝕遮罩，及執行選擇性蝕刻，藉以形成氧化物絕緣層 366，然後去除抗蝕遮罩。

在此實施例中，藉由濺鍍法將 200 nm 厚的氧化矽膜形成作為氧化物絕緣層 366。膜形成時的基板溫度可以是室溫至 300°C（含），及在此實施例中，基板溫度為 100°C。可在稀有氣體（典型上為氬）大氣、氧大氣、或包括稀有氣體（典型上為氬）和氧之大氣中，以濺鍍法形成氧化矽膜。作為目標，可使用氧化矽目標或矽目標。例如，藉由使用矽目標，可在氧和氮的大氣中，藉由濺鍍法形成氧化矽膜。被形成與氧化物半導體層接觸之氧化物絕緣層 366 係使用未包括諸如濕氣、氫離子、及 OH^- 等雜質且防止它們從外面進入之無機絕緣膜所形成；例如，典型上可使用氧化矽膜、氮氧化矽膜、氧化鋁膜、氮氧化鋁膜

等等。

在此時，在去除處理室所剩餘的濕氣同時形成氧化物絕緣層 366，使得可防止氧化物半導體層 332 和氧化物絕緣層 366 包括氫、氫氧根、或濕氣較佳。關於去除處理室所剩餘的濕氣之方法，可利用其他實施例所說明的方法。

然後，在鈍氣大氣或在氧氣大氣中執行第二熱處理（以 200°C 至 400°C （含）較佳，例如，以 250°C 至 350°C （含））較佳。例如，在氮大氣中以 250°C 執行第二熱處理達一小時。在第二熱處理中，在與氧化物絕緣層 366 接觸的同時加熱氧化物半導體層的一部分（通道形成區）。

在此實施例中，在氮、鈍氣大氣、或降壓下，於未覆蓋有氧化物絕緣層 366 的氧化物半導體層 332 之區域上執行熱處理。藉由在氮、鈍氣大氣、或降壓下的熱處理，未覆蓋有氧化物絕緣層 366 的氧化物半導體層 332 之區域被除氫及成為氧不足狀態，藉以降低電阻。例如，可在氮大氣中以 250°C 執行熱處理達一小時。

藉由在氮大氣中，於形成氧化物絕緣層 366 的氧化物半導體層 332 上之熱處理，氧化物半導體層 332 的露出區域之電阻被降低；如此，形成包括具有不同電阻之區域（在圖 16B 中被表示成陰影區和白色區）的氧化物半導體層 362。

然後，導電膜形成在閘極絕緣層 322、氧化物半導體層 362、及氧化物絕緣層 366 上。之後，藉由第四光致微

影步驟，形成抗蝕遮罩，及執行選擇性蝕刻，以形成第一電極 365a 及第二電極 365b。然後，去除抗蝕遮罩（見圖 16C）。

作為第一電極 365a 和第二電極 365b 的材料，可給定選自 Al（鋁）、Cr（鉻）、Cu（銅）、Ta（鉭）、Ti（鈦）、Mo（鉬）、及 W（鎢）的元素；含這些元素的任一個作為成分之合金；含這些元素的任一個之組合的合金膜等等。另外，金屬導電膜可具有單層結構或兩或多層的疊層結構。

經由上述步驟，在沉積之後，於氧化物半導體層上執行脫水作用或除氫作用的熱處理以降低電阻，然後，選擇性使氧化物半導體層的部分變成氧過量狀態。結果，與閘極電極 361 重疊之通道形成區 363 變成 i 型區。此外，以自我對準方式來形成與第一電極 365a 重疊之低電阻源極區 364a 和與第二電極 365b 重疊之低電阻汲極區 364b。經由上述步驟，形成電晶體 360。

可另外在空氣中以 100°C 至 200°C（含）執行熱處理達 1 小時至 30 小時（含）。在此實施例中，以 150°C 執行熱處理達 10 小時。可以固定加熱溫度來執行此熱處理，或者溫度可從室溫增加到加熱溫度 100°C 至 200°C（含），及從加熱溫度下降至室溫，重複數次。另外，可在形成氧化物絕緣膜之前，在降壓下執行此熱處理。在降壓下，可縮短加熱時間。

藉由在與第二電極 365b（或第一電極 365a）重疊之

氧化物半導體層的部分中形成低電阻汲極區 364b（或低電阻源極區 364a），可提高電晶體的可靠性。尤其是，藉由形成低電阻汲極區 364b，可從汲極電極到低電阻汲極區 364b 和通道形成區 363 步階式改變導電性。因此，在以連接到用以供應高供電電位 VDD 之配線的第二電極 365b 操作電晶體之例子中，低電阻汲極區充作緩衝器，及即使高電場施加在閘極電極 361 和第二電極 365b 之間，高電場仍未局部施加；如此，可提高電晶體的破壞電壓。

然後，保護絕緣層 323 形成在第一電極 365a、第二電極 365b、及氧化物絕緣層 366 上。在此實施例中，保護絕緣層 323 係使用氮化矽膜所形成（見圖 16D）。

藉由使用包括此實施例所說明的氧化物半導體層之電晶體在顯示裝置的顯示部之像素中，可降低關閉電流。因此，可延長儲存電容器可保留電壓之週期；如此，可降低用以顯示靜止影像等等之電力消耗。另外，當顯示靜止影像時停止控制信號的供應，藉以可進一步降低電力消耗。此外，可切換靜止影像和移動影像卻沒有故障。

（實施例 6）

在此實施例中，將說明可應用到此說明書所揭示之顯示裝置的電晶體之另一例子。此實施例中的電晶體 350 可被使用作為例如實施例 1 所說明之像素部的各像素中之電晶體 6401。

雖然圖 17D 的電晶體 350 具有單閘結構，但是本發明並不侷限於此結構。電晶體可具有包括複數個閘極電極和複數個通道形成區之多閘極結構。

下面將參考圖 17A 至 17D 說明在基板 340 上製造電晶體 350 之處理。

首先，導電膜形成在基板 340 上，然後，藉由第一光致微影步驟形成閘極電極 351。在此實施例中，藉由濺鍍法形成 150 nm 厚的鎢膜作為閘極電極 351。

然後，閘極絕緣層 342 形成在閘極電極 351 上。在此實施例中，藉由電漿 CVD 法形成具有厚度 100 nm 或更少之氮氧化矽層作為閘極絕緣層 342。

然後，導電膜形成在閘極絕緣層 342 上。藉由第二光致微影步驟，抗蝕遮罩形成在導電膜上，及執行選擇性蝕刻，藉以形成源極電極 355a 和汲極電極 355b，然後去除抗蝕遮罩（見圖 17A）。

然後，形成氧化物半導體層 345（見圖 17B）。在此實施例中，使用 In-Ga-Zn-O 基的金屬氧化物目標，藉由濺鍍法形成氧化物半導體層 345。然後，藉由第三光致微影步驟，將氧化物半導體層 345 處理成島型氧化物半導體層。

在形成氧化物半導體層 345 之步驟中，在去除處理室所剩餘的濕氣同時形成氧化物半導體層 345，使得可防止氧化物半導體層 345 包括氫、氫氧根、或濕氣較佳。關於去除處理室所剩餘的濕氣之方法，可利用其他實施例所說

明的方法。

然後，在氧化物半導體層上執行脫水作用或除氫作用的第一熱處理。第一熱處理的溫度為 400°C 至 750°C （含）， 400°C 或更高及低於基板的應變點較佳。此處，將基板放入一種熱處理設備的電爐中，及在氮大氣中以 450°C 在氧化物半導體層上執行熱處理一小時。之後，防止氧化物半導體層暴露至空氣以及防止再次包括水和氫；如此，獲得氧化物半導體層 346（見圖 17C）。

第一熱處理可利用 GRTA，其中將基板轉移到加熱至高溫 650°C 至 700°C 之鈍氣中，及在那裡加熱幾分鐘，然後從加熱至高溫的鈍氣轉移出基板。

然後，氧化物絕緣層 356 被形成與氧化物半導體層 346 接觸。可適當藉由諸如水或氫等雜質未混合到氧化物絕緣層 356 之方法（如、濺鍍法），將氧化物絕緣層 356 形成具有厚度 1 nm 或更多。當氫包括在氧化物絕緣層 356 中時，產生氫進入氧化物半導體層，或由氫析取氧化物半導體層中的氧，如此氧化物半導體層的背通道具有低電阻（具有 n 型），藉以形成寄生通道。因此，重要的是，藉由盡可能降低包括在氧化物絕緣層 356 中的氫之方法來形成氧化物絕緣層 356。

需注意的是，關於氧化物絕緣層 356 的材料和形成方法，可利用類似於實施例 4 所說明之氧化物絕緣層 396 的材料和方法之材料和方法。

然後，在鈍氣大氣中或在氧氣大氣中執行第二熱處理

(以 200°C 至 400°C (含) 較佳, 例如, 以 250°C 至 350°C (含))。例如, 在氮大氣中以 250°C 執行第二熱處理達一小時。在第二熱處理中, 在與氧化物絕緣層 356 接觸的同時加熱氧化物半導體層。

經由上述步驟, 在沉積之後, 於氧化物半導體層上執行脫水作用或除氫作用的熱處理以降低電阻, 然後, 選擇性使氧化物半導體層的部分變成氧過量狀態。結果, 形成 i 型氧化物半導體層 352。經由上述步驟, 形成電晶體 350。

可另外在空氣中以 100°C 至 200°C (含) 執行熱處理達 1 小時至 30 小時 (含)。在此實施例中, 以 150°C 執行熱處理達 10 小時。可以固定加熱溫度來執行此熱處理, 或者溫度可從室溫增加到加熱溫度 100°C 至 200°C (含), 及從加熱溫度下降至室溫, 重複數次。另外, 可在形成氧化物絕緣膜之前, 在降壓下執行此熱處理。在降壓下, 可縮短加熱時間。利用此種熱處理, 從氧化物半導體層引進氫到氧化物絕緣層; 因此, 可獲得正常關電晶體。如此, 可增加顯示裝置的可靠性。

需注意的是, 絕緣層可額外設置在氧化物絕緣層 356 上。在此實施例中, 絕緣層 343 形成在氧化物絕緣層 356 上 (見圖 17D)。關於絕緣層 343 的材料和形成方法, 可利用類似於實施例 4 所說明之保護絕緣層 398 的材料和方法之材料和方法。

另外, 爲了使絕緣層 343 上的表面平坦可設置平面化

絕緣層。

藉由使用包括此實施例所說明的氧化物半導體層之電晶體在顯示裝置的顯示部之像素中，可降低關閉電流。因此，可延長儲存電容器可保留電壓之週期；如此，可降低用以顯示靜止影像等等之電力消耗。另外，當顯示靜止影像時停止控制信號的供應，藉以可進一步降低電力消耗。此外，可切換靜止影像和移動影像卻沒有故障。

（實施例 7）

在此實施例中，將說明發光層設置在像素部中之顯示裝置的一實施例。

圖 18 為具有底發射結構之像素部的橫剖面圖，及圖解設置在像素部之電晶體 7211 和電連接到電晶體 7211 的發光元件 7212 之橫剖面。

在電晶體 7211 中，絕緣層、氧化物半導體層源極和汲極電極層、閘極絕緣層、和閘極電極層被設置在基板上，及配線層被設置以電連接到源極和汲極電極層。

另外，絕緣層 7231 被形成覆蓋電晶體 7211，及具有開口之發光層 7233 設置在絕緣層 7231 上。另外，透光導電膜 7217 形成在在發光層 7233 上之外罩層 7234 和絕緣層 7235 上。需注意的是，經由形成在發光層 7233、外罩層 7234、絕緣層 7235、及絕緣層 7231 中之開口，將電晶體 7211 的汲極電極 7230 和導電膜 7217 彼此電連接。另外，發光元件 7212 的第一電極 7213 設置在導電膜 7217

上且與其接觸。需注意的是，發光元件 7212 具有電致發光層 7214 插入在第一電極 7213 和第二電極 7215 之間的結構，及阻隔層 7216 設置在第二電極 7215 上。

需注意的是，可藉由實施例 3 至 6 所說明之方法來形成電晶體 7211 和發光元件 7212。因此，此處不給予詳細說明。

發光層 7233 含有發光材料及儲存從鄰接至此的發光元件所發出之光。在鄰接發光元件停止發光之後，發光層 7233 所含有的發光材料繼續發光。在此實施例中，作為發光材料，使用銅活化的硫化鋅（ ZnS:Cu ）。另一選擇是，可使用諸如硫化鋇（ SrS ）等添加活化劑到硫化物之磷光體作為基材，或者添加稀土元素作為活化劑之鹼性土鋁酸鹽。添加稀土元素作為活化劑之鹼性土鋁酸鹽的特有例子為 $\text{CaAl}_2\text{O}_4:\text{Eu}$ 、 $\text{CaAl}_2\text{O}_4:\text{Nd}$ 、 $\text{Sr}_4\text{Al}_{14}\text{O}_{25}:\text{Eu}$ 、 $\text{Sr}_4\text{Al}_{14}\text{O}_{25}:\text{Dy}$ 、 $\text{SrAl}_2\text{O}_4:\text{Eu}$ 、及 $\text{ArAl}_2\text{O}_4:\text{Dy}$ 。需注意的是，在發光材料為無機粒子之例子中，若晶粒尺寸為 1 nm 或更小，則光儲存特性會喪失，及若晶粒尺寸為 10 μm 或更大，則發光層的平面性會降低，如此妨礙發光元件的形成。因此，若使用無機粒子，則晶粒尺寸為 1 nm 至 10 μm （含）較佳。

依據發光材料的種類可改變發光層 7233 保持發光之週期。換言之，發光層 7233 保持發光之週期，即、餘暉時間依據發光材料的種類；因此，根據想要的目的來選擇材料。例如，關於包括不需要經常重寫顯示內容之顯示裝

置的電子裝置（即、電子紙），選擇具有長餘暉時間之發光材料較佳。另外，關於包括需要經常重寫顯示內容之顯示裝置的電子裝置（即、電視機），選擇具有短餘暉時間之發光材料較佳。

此外，發光層 7233 可包括結合劑聚合物。當發光層 7233 包括結合劑聚合物時，可使用發光材料被分散之分散液晶，及使用光致微影技術，藉由適當選擇諸如噴墨法等微滴排放法、印刷法、旋轉塗佈法、蝕刻法來形成發光層 7233。

此外，爲了平面化發光層 7233 的粗糙，發光層 7233 的表面被覆蓋有外罩層 7234 較佳。另外，外罩層 7234 被覆蓋有絕緣層 7235 較佳。需注意的是，在圖 18 中，被形成在外罩層 7234 和保護絕緣層 7235 中及到達汲極電極 7230 之接觸孔位在與隔牆 7219 重疊之位置中。

需注意的是，設置發光層 7233 之位置並不侷限於顯示裝置的使用者和發光元件之間的位置。例如，具有 EL 層夾置在一對透光電極之間的雙發射結構之發光元件具有透光特性。在發光元件具有透光特性之此種例子中，發光層 7233 可排列在與顯示裝置的使用者側邊相對之發光層的表面側上。換言之，可將發光元件設置在發光層和顯示裝置的使用者之間。當發光元件設置在顯示裝置的使用者和發光層之間時，光儲存層不一定必須具有透光特性。如此，可從廣泛材料範圍選擇發光材料。尤其是，可使用具有晶粒尺寸 100 μm 或更小之發光材料。

如上述，此實施例所說明之顯示裝置除了包括高純度氧化物半導體層之電晶體外，還包括發光層在像素部中。在具有除了具有降低關閉電流的電晶體之外還包括發光層的像素之此種顯示裝置中，甚至當發光元件的發射間距長時，閃爍仍不明顯。換言之，此實施例的顯示裝置可降低電力消耗，及具有絕佳的靜止影像顯示品質。

（實施例 8）

在此實施例中，將說明包括上述實施例所說明之顯示裝置的電子裝置之特有例子。需注意的是，可應用本發明之電子裝置並不侷限於下面特有例子。

圖 19A 所示之電子裝置為可攜式遊戲機，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接終端 9636、儲存媒體記錄部 9672 等等。可攜式遊戲機可具有讀取儲存在儲存媒體中之程式或資料以將其顯示在顯示部上的功能，及藉由無線通訊與另一可攜式遊戲機共享資料之功能。需注意的是，除了上述所給予的那些之外，可攜式遊戲機還可具有各種功能。

圖 19B 所示之電子裝置為數位相機，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接終端 9636、快門按鈕 9676、影像接收部 9677 等等。數位相機可具有拍攝靜止影像及/或移動影像之功能，自動或手動校正所拍攝影像之功能，儲存所拍攝影像資料在記憶體元件中之功能，在顯示部上顯示所拍攝影像資料之功能，

電視接收功能等等。需注意的是，除了上述所給予的那些之外，數位相機還可具有各種功能。

圖 19C 所示之電子裝置為電視接收器，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接終端 9636 等等。電視可具有將電視電波轉換成影像信號之功能，將影像信號轉換成顯示用的信號之功能，轉換影像信號的圖框頻率之功能等等。需注意的是，除了上述所給予的那些之外，電視接收器還可具有各種功能。

圖 20A 所示之電子裝置為電腦，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接終端 9636、定位裝置 9681、外部連接埠 9680 等等。電腦可具有在顯示部上顯示各種資料（如、靜止影像、移動影像、及正文）之功能，以各種軟體（程式）控制處理之功能，諸如無線通訊或有線通訊等通訊功能，利用通訊功能連接到各種電腦網路之功能，利用通訊功能傳送或接收各種資料之功能等等。需注意的是，除了上述所給予的那些之外，電腦還可具有各種功能。

圖 20B 所示之電子裝置為行動電話，其包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、麥克風 9638 等等。行動電話可具有在顯示部上顯示各種資料（如、靜止影像、移動影像、及正文）之功能，在顯示部上顯示日曆、日期、時間等之功能，用以管理或編輯顯示在顯示部上之資料的功能，以各種軟體（程式）來控制處理之功能等等。需注意的是，除了上述所給予的那些之

外，行動電話還可具有各種功能。

圖 20C 所示之電子裝置為電子紙，其包括外殼 9630、顯示部 9631、操作鍵 9635 等等。電子紙可具有在顯示部上顯示各種資料（如、靜止影像、移動影像、及正文）之功能，在顯示部上顯示日曆、日期、時間等之功能，用以管理或編輯顯示在顯示部上之資料的功能，以各種軟體（程式）來控制處理之功能等等。需注意的是，除了上述所給予的那些之外，電子紙還可具有各種功能。例如，電子紙尤其可應用到電子書閱讀器（又稱作 e-book 閱讀器）、佈告欄、及諸如火車等交通工具中的廣告。

圖 20D 所示之電子裝置為數位相框，其包括結合在外殼 9701 中之顯示部 9703。顯示部 9703 可顯示各種影像。例如，顯示部 9703 可顯示利用數位相機等所拍攝的影像資料，及可向一般相框一樣運作。

需注意的是，數位相框被設置有操作部、外部連接終端（如、USB 終端和可連接到諸如 USB 纜線等各種纜線之終端）、儲存媒體插入部等等。雖然這些組件可設置在與顯示部相同表面上，但是為了設計美學將它們設置在側表面或背表面較佳。例如，儲存以數位相機所拍攝的影像資料之儲存媒體被插入數位相框的儲存媒體插入部以及下載資料，藉以可在顯示部 9703 上顯示影像。

數位相框可具有經由無線通訊接收和傳送資料之功能。在此例中，經由無線通訊，可將想要的影像資料下載到數位相框來顯示。需注意的是，除了上述所給予的那些

之外，數位相框還可具有各種功能。

藉由使用本發明的一實施例之顯示裝置到那些電子裝置，可降低顯示靜止影像等之電力消耗。因此，當本發明的一實施例之顯示裝置應用到顯示靜止影像比移動影像頻繁的電子裝置，諸如數位相機、電子紙、和數位相框等時，電力消耗的降低效果明顯，如此特別好。

此申請案係依據日本專利局於 2009、11、13 所發表之日本專利申請案序號 2009-259818，以及日本專利局於 2009、12、8 所發表之日本專利申請案序號 2009-278995，藉以併入其全文做為參考。

【符號說明】

10：脈衝輸出電路

11：配線

12：配線

13：配線

14：配線

15：配線

16：配線

17：配線

18：配線

21：終端

22：終端

23：終端

- 24：終端
- 25：終端
- 26：終端
- 27：終端
- 28：終端
- 31：電晶體
- 32：電晶體
- 33：電晶體
- 34：電晶體
- 35：電晶體
- 36：電晶體
- 37：電晶體
- 38：電晶體
- 39：電晶體
- 40：電晶體
- 41：電晶體
- 51：供電線
- 52：供電線
- 53：配線
- 101：配線
- 102A：電極
- 102B：電極
- 103：氧化物半導體層
- 105：配線

- 106：電晶體
- 111：基板
- 112：基膜
- 113：絕緣膜
- 114：氧化物絕緣層
- 121：配線
- 122：配線
- 123：供電線
- 200：基板
- 201：像素
- 202：像素部
- 203：掃描線驅動器電路
- 204：信號線驅動器電路
- 251：週期
- 252：週期
- 261：週期
- 262：週期
- 320：基板
- 322：絕緣層
- 323：絕緣層
- 332：氧化物半導體層
- 340：基板
- 342：絕緣層
- 343：絕緣層

345：氧化物半導體層
 346：氧化物半導體層
 350：電晶體
 351：電極
 352：氧化物半導體層
 355a：電極
 355b：電極
 356：絕緣層
 360：電晶體
 361：電極
 362：氧化物半導體層
 363：通道形成區
 364a：低電阻源極區
 364b：低電阻汲極區
 365a：電極
 365b：電極
 366：絕緣層
 390：電晶體
 391：電極
 392：氧化物半導體層
 393：氧化物半導體層
 394：基板
 395a：電極
 395b：電極

- 396：絕緣層
- 397：絕緣層
- 398：絕緣層
- 399：絕緣層
- 400：基板
- 402：絕緣層
- 407：絕緣層
- 410：電晶體
- 411：電極
- 412：氧化物半導體層
- 414a：配線
- 414b：配線
- 415a：電極
- 415b：電極
- 421a：開口
- 421b：開口
- 1000：顯示裝置
- 1001：顯示面板
- 1002：信號產生電路
- 1003：記憶體電路
- 1004：比較電路
- 1005：選擇電路
- 1006：顯示控制電路
- 1007：驅動器電路部

1008：像素部
1009A：閘極線驅動器電路
1009B：信號線驅動器電路
1010：圖框記憶體
1800：顯示面板
1802：驅動器電路
1803：電晶體
1804：驅動器電路
1806：像素部
1808：電極
1810：交換元件
1812：電極
4501：基板
4502：像素部
4503a：掃描線驅動器電路
4503b：掃描線驅動器電路
4504a：信號線驅動器電路
4504b：信號線驅動器電路
4505：密封劑
4506：基板
4507：填料
4509：電晶體
4510：電晶體
4511：發光元件

4512：電致發光層
 4513：電極層
 4515：電極
 4516：電極
 4517：電極層
 4518a：撓性印刷電路
 4518b：撓性印刷電路
 4519：導電膜
 4520：隔牆
 4540：導電層
 4542：絕緣層
 4543：絕緣層
 4544：絕緣層
 4545：絕緣層
 4548：電極
 6400：像素
 6401：電晶體
 6402：電晶體
 6404：發光元件
 6405：信號線
 6406：掃描線
 6407：供電線
 6408：共同電極
 6410：電容器

7001：電晶體
7002：發光元件
7003：電極
7004：層
7005：電極
7009：隔牆
7011：電晶體
7012：發光元件
7013：電極
7014：層
7015：電極
7016：阻隔膜
7017：導電膜
7019：隔牆
7021：電晶體
7022：發光元件
7023：電極
7024：層
7025：電極
7027：導電膜
7029：隔牆
7030：電極
7031：絕緣層
7033：濾色器

7034 : 外罩層
7035 : 絕緣層
7040 : 電極
7041 : 絕緣層
7043 : 濾色器
7044 : 外罩層
7045 : 絕緣層
7050 : 電極
7051 : 絕緣層
7053 : 絕緣層
7055 : 絕緣層
7211 : 電晶體
7212 : 發光元件
7213 : 電極
7214 : 電致發光層
7215 : 電極
7216 : 阻隔膜
7217 : 導電層
7219 : 隔牆
7230 : 電極
7231 : 絕緣層
7233 : 發光層
7234 : 外罩層
7235 : 絕緣層

9630：外殼

9631：顯示部

9633：揚聲器

9635：操作鍵

9636：終端

9638：麥克風

9672：儲存媒體讀取部

9676：按鈕

9677：影像接收部

9680：外部連接埠

9681：定位裝置

9701：外殼

9703：顯示部

發明摘要

※申請案號：106111196(由105128051分割)

※申請日：099 年 11 月 09 日

※IPC 分類：G09F 9/30 (2006.01)
H01L 21/77 (2017.01)

【發明名稱】(中文/英文)

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)
H01L 27/32 (2006.01)

顯示裝置及包括顯示裝置之電子裝置

Display device and electronic device including the same

【中文】

顯示裝置包括：像素部，其包括複數個像素，該複數個像素各包括第一電晶體、第二電晶體、及發光元件，其中該第一電晶體的閘極電連接到掃描線，該第一電晶體之源極和汲極的其中之一電連接到信號線，及它們的其中另一個電連接到該第二電晶體的閘極；該第二電晶體之源極和汲極的其中之一電連接到供電線，及它們的其中另一個電連接到該發光元件，以及該第一電晶體包括氧化物半導體層。該顯示裝置顯示靜止影像時之週期包括停止輸出信號到該像素部中的所有該等掃描線時之週期。

【英文】

A display device includes a pixel portion including a plurality of pixels each including a first transistor, a second transistor, and a light-emitting element, in which a gate of the first transistor is electrically connected to a scan line, one of a source and a drain of the first transistor is electrically connected to a signal line, and the other of them is electrically connected to a gate of the second transistor; one of a source and a drain of the second transistor is electrically connected to a power supply line and the other of them is electrically connected to the light-emitting element, and the first transistor includes an oxide semiconductor layer. A period when the display device displays a still image includes a period in which output of a signal to all the scan lines in the pixel portion is stopped.

圖式

圖 1

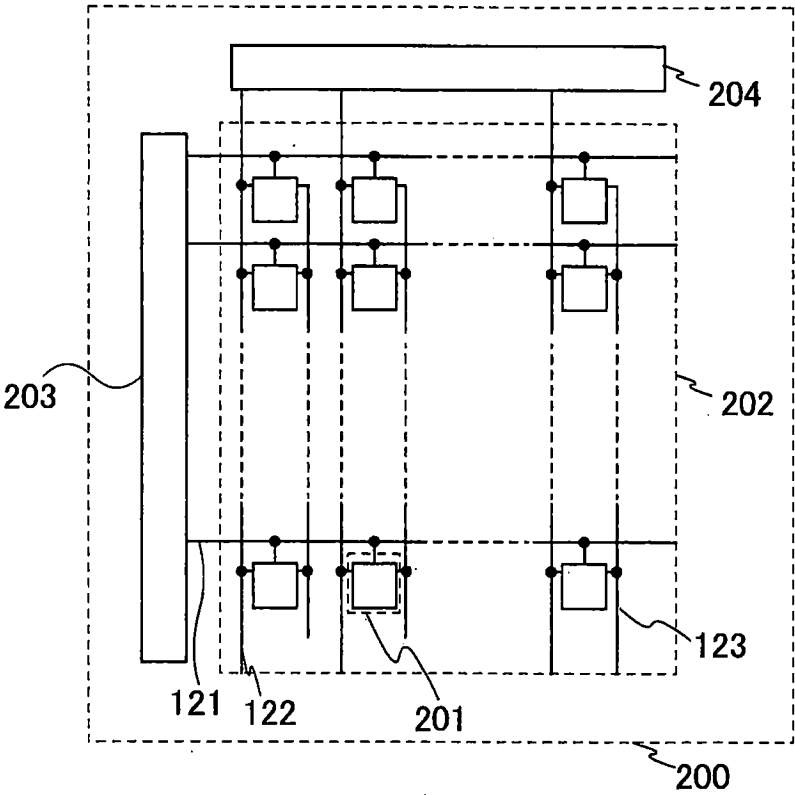


圖 2

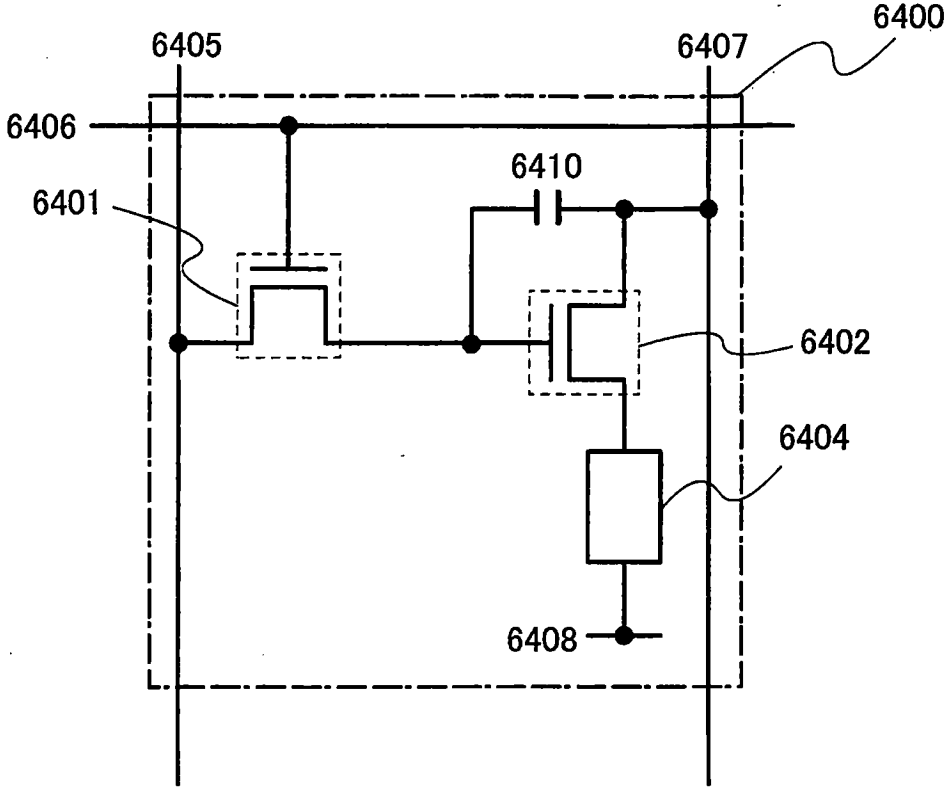


圖3

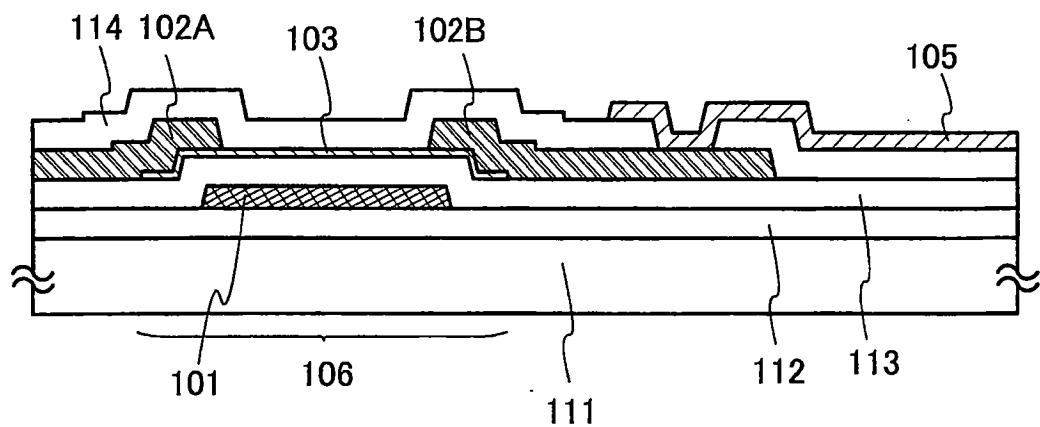


圖4

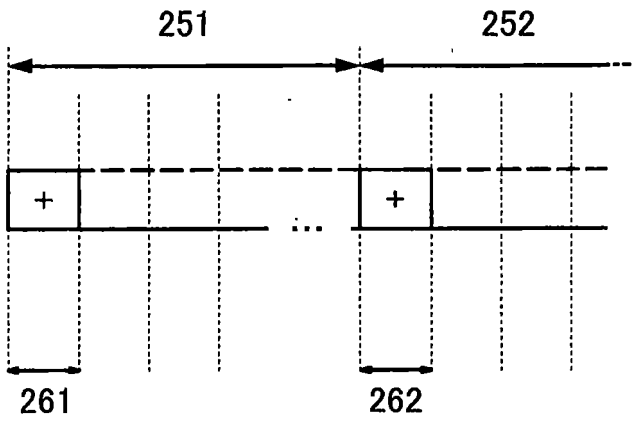


圖 5A

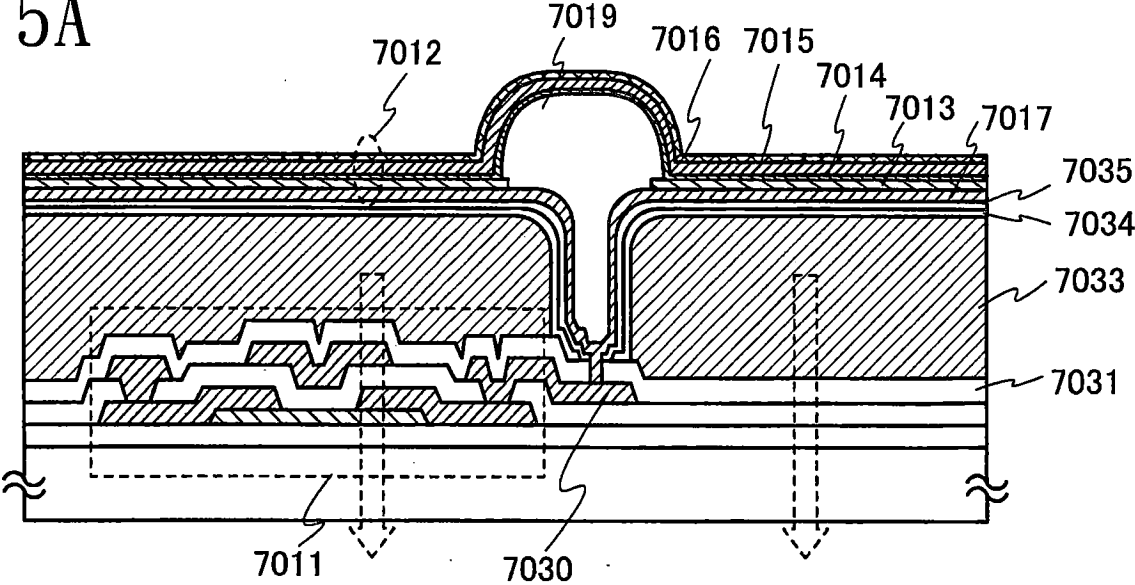


圖 5B

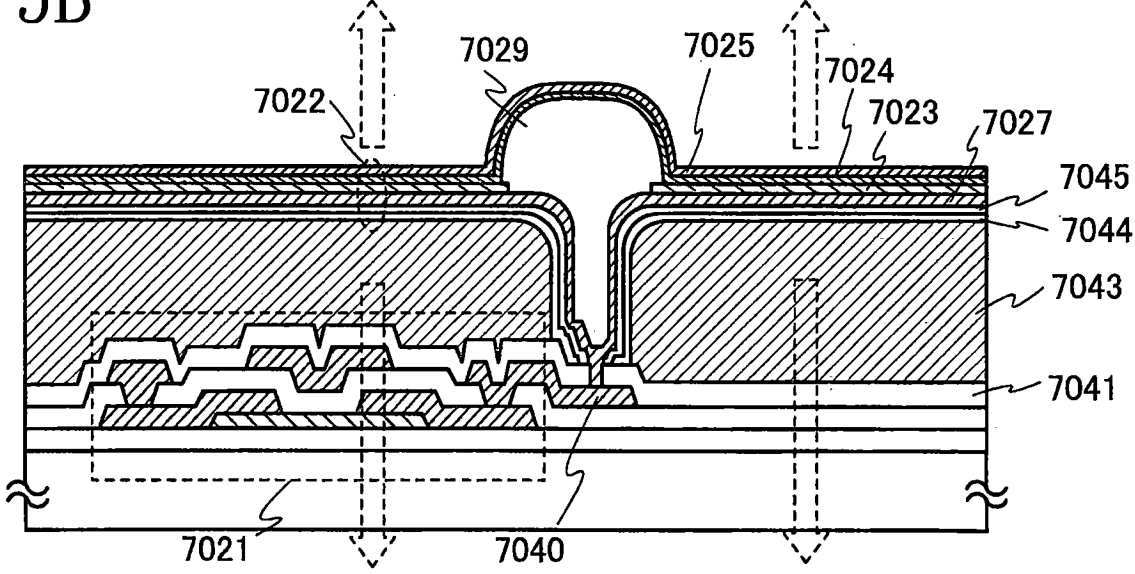


圖 5C

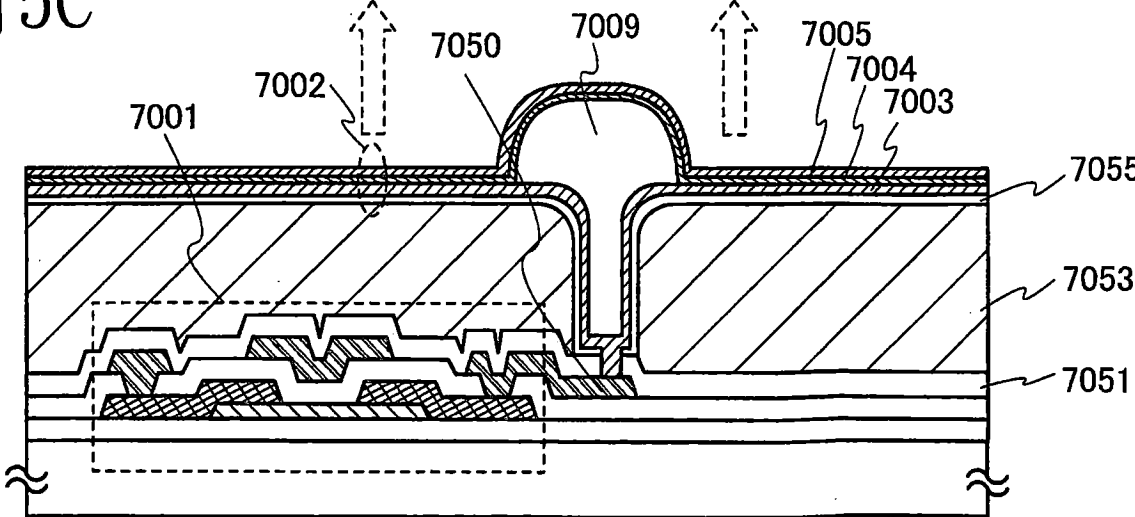


圖 6A

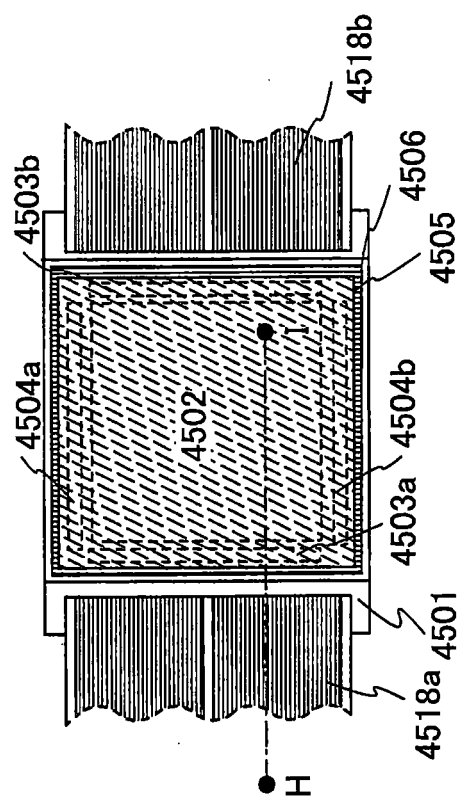


圖 6B

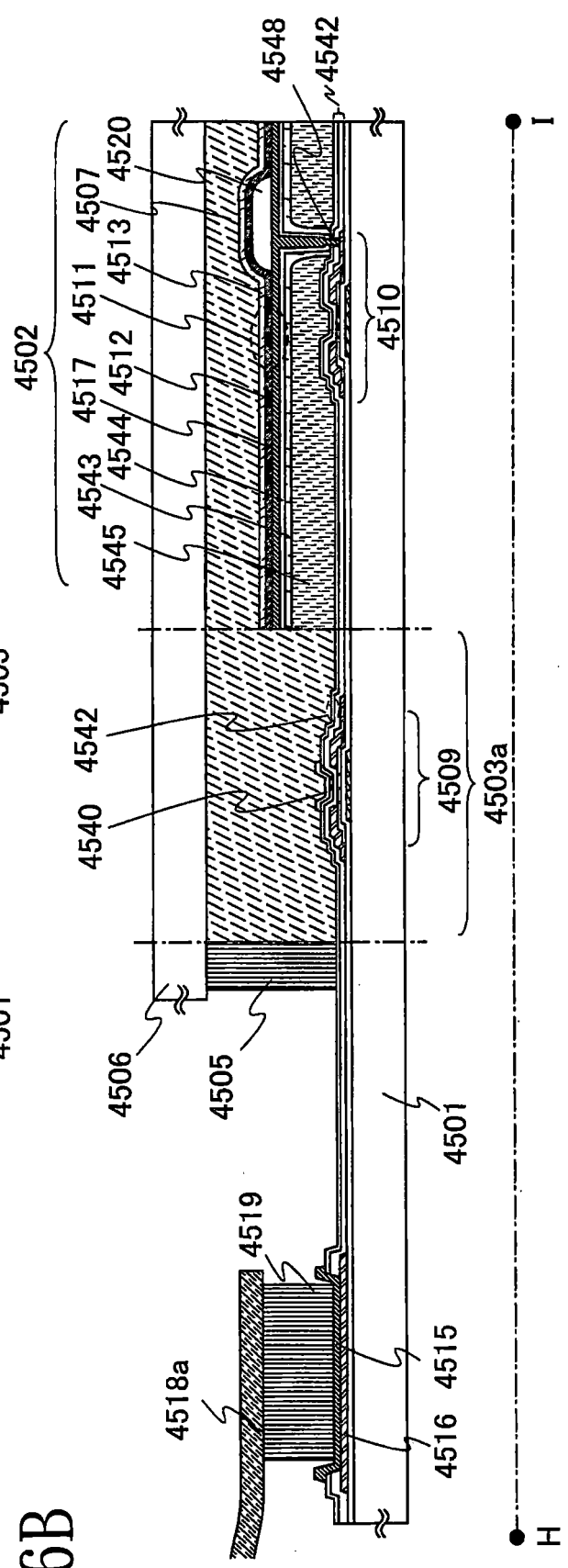
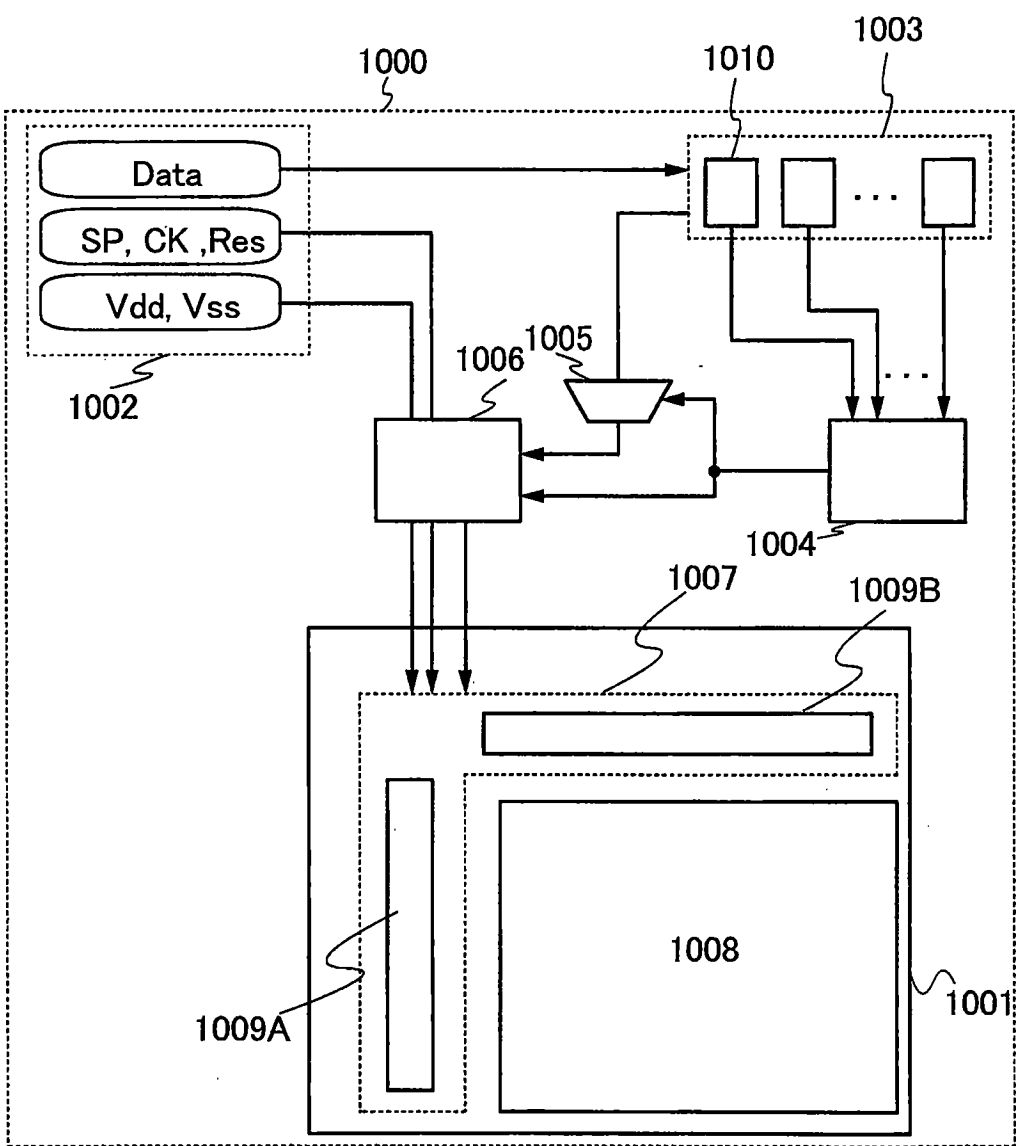


圖 7



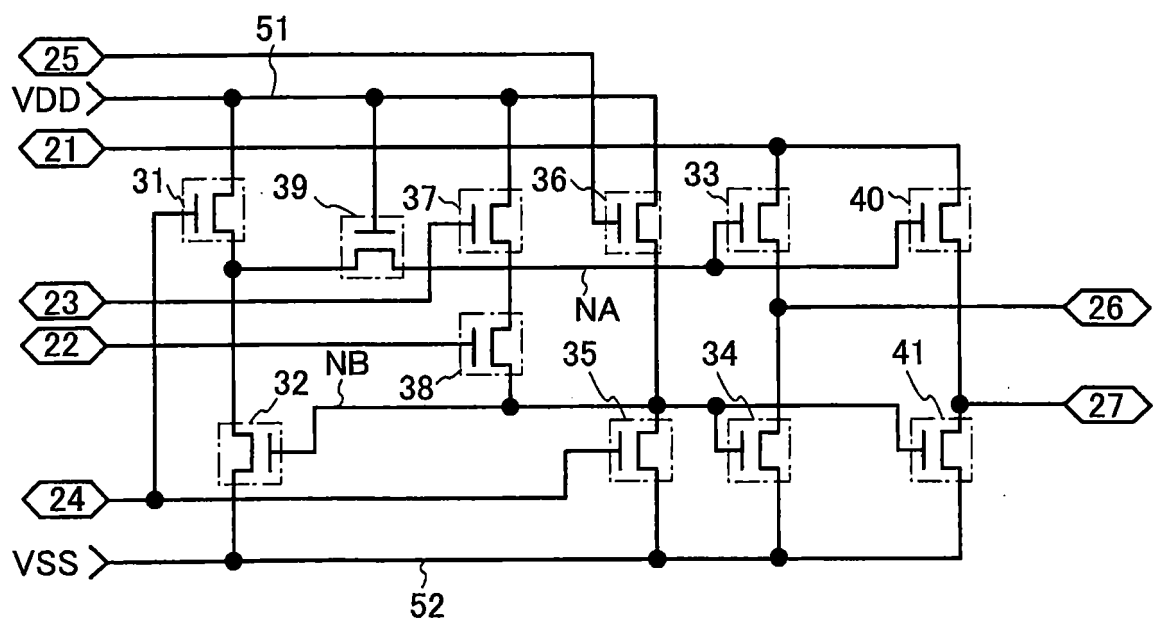


圖 9

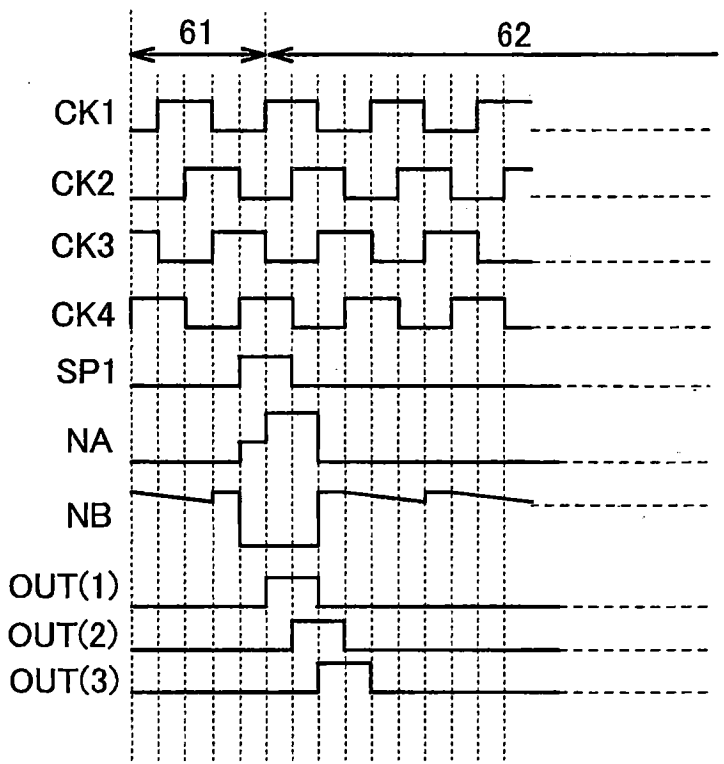


圖 10A

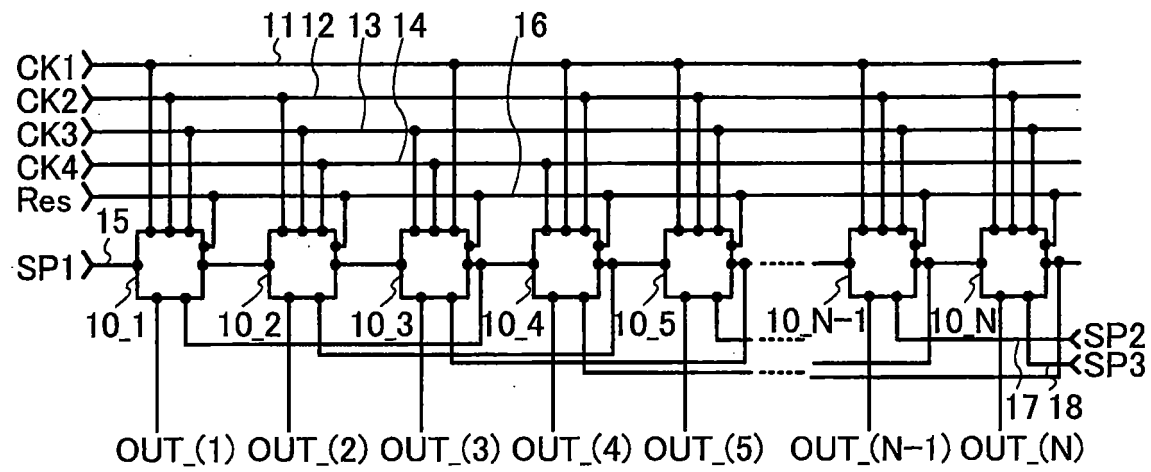


圖 10B

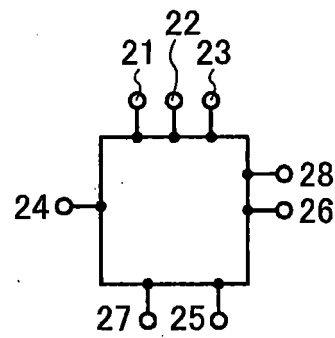


圖 10C

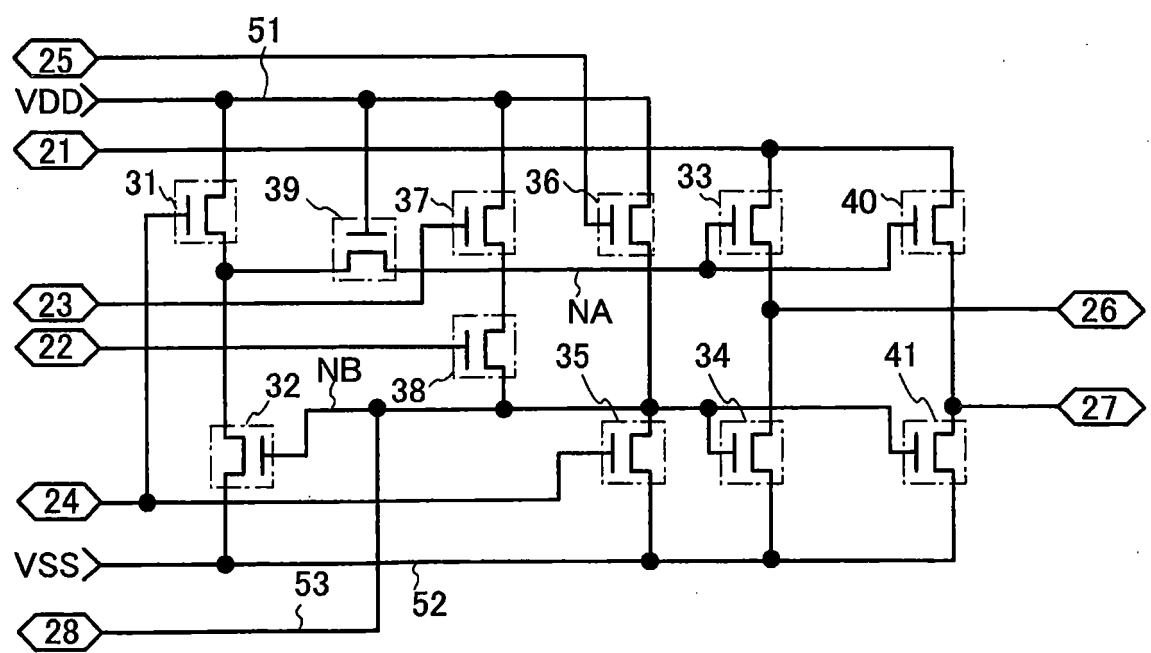


圖 11A

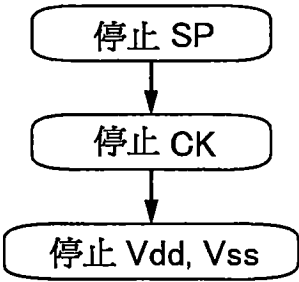


圖 11B

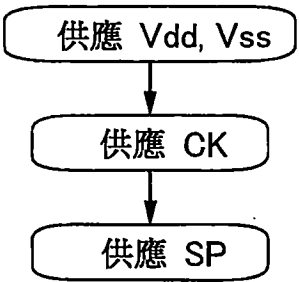


圖 11C

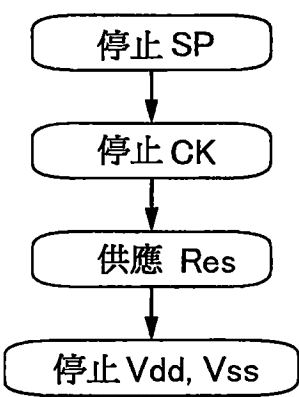


圖 11D

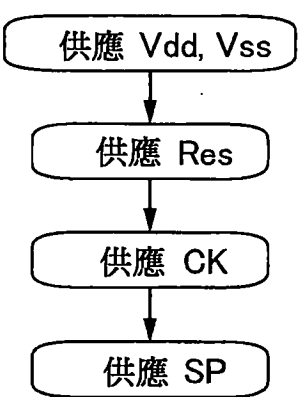


圖 12A

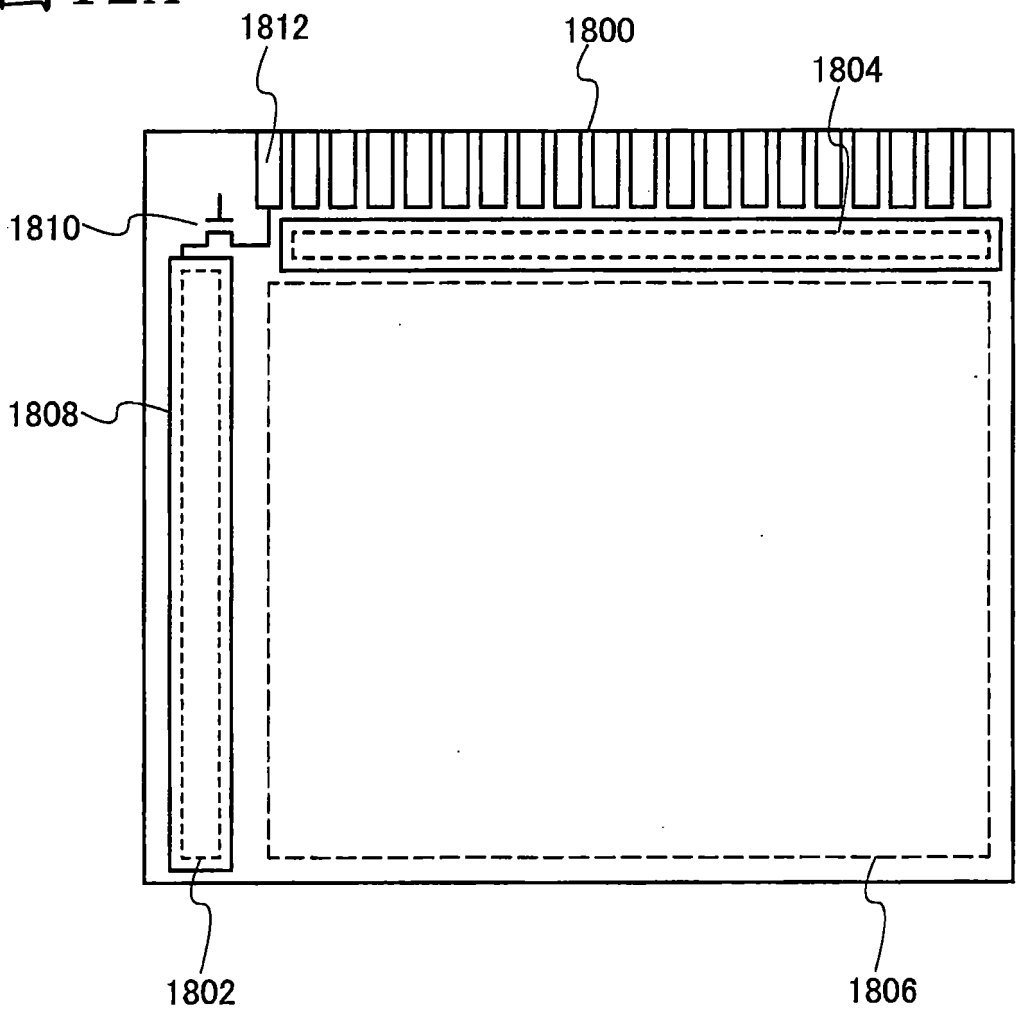


圖 12B

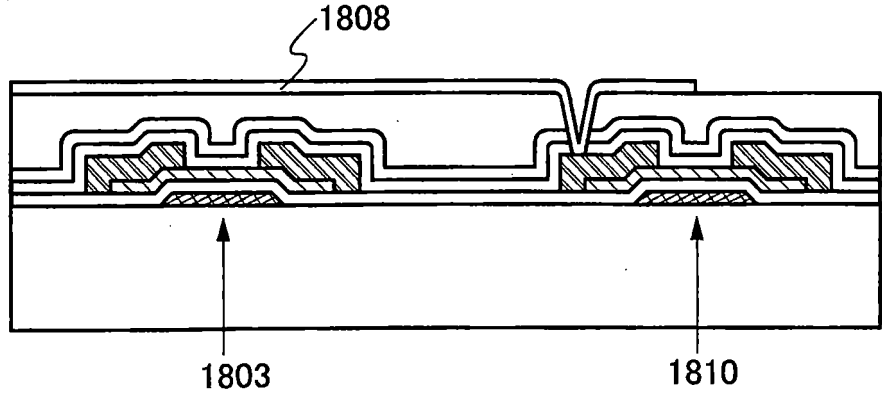


圖 13A

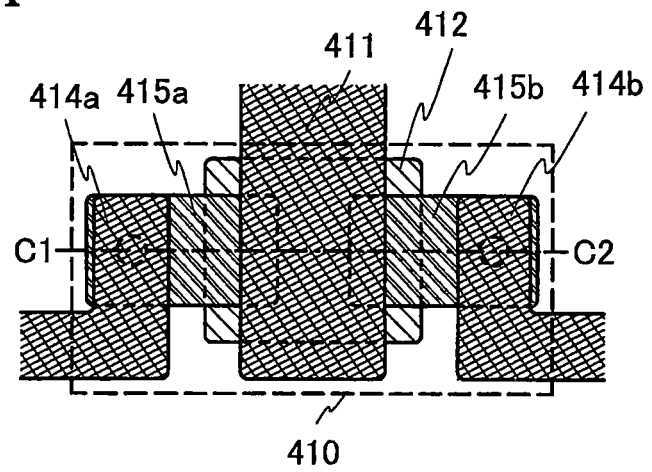


圖 13B

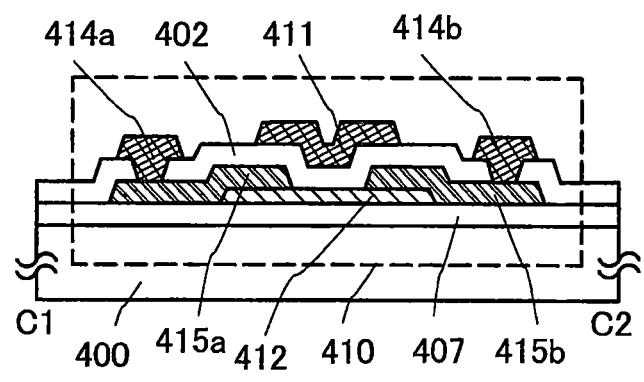


圖 14A

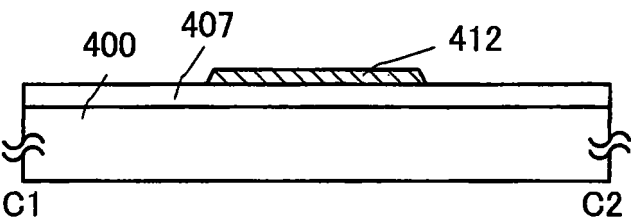


圖 14B

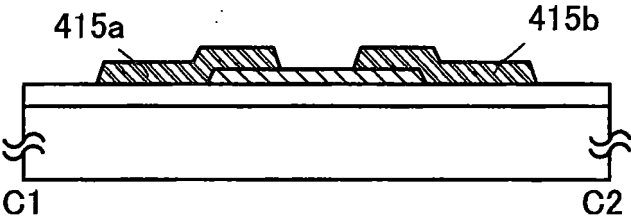


圖 14C

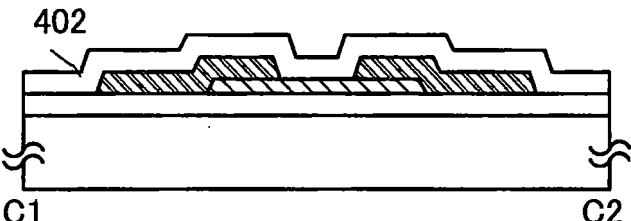


圖 14D

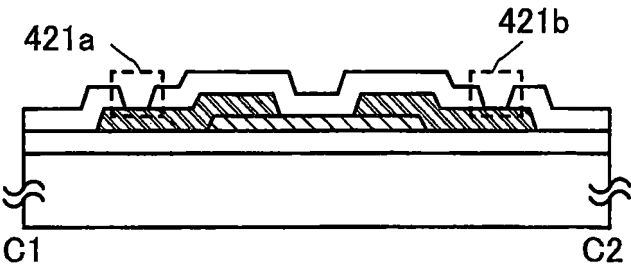


圖 14E

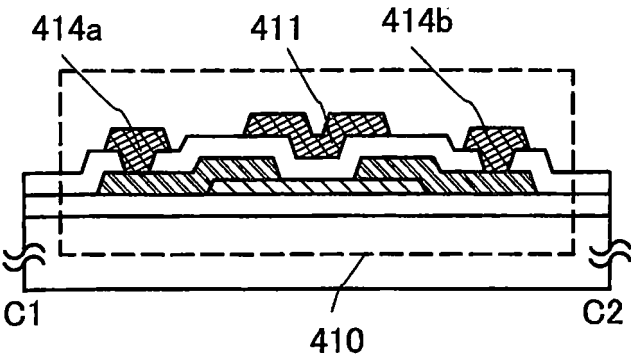


圖 15A

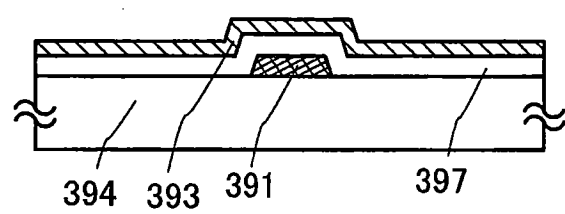


圖 15B

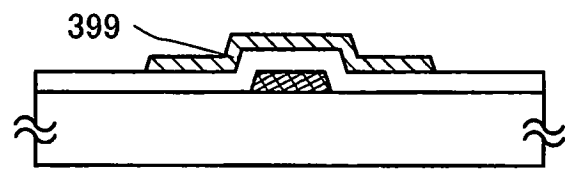


圖 15C

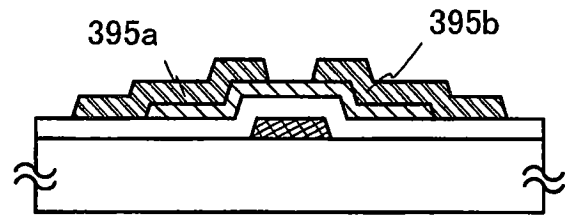


圖 15D

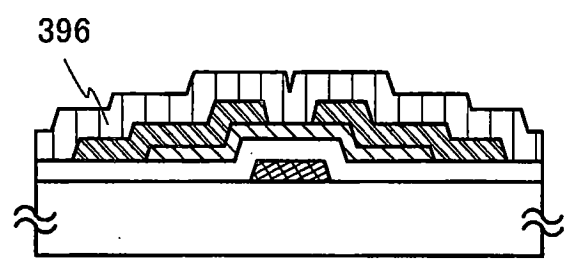


圖 15E

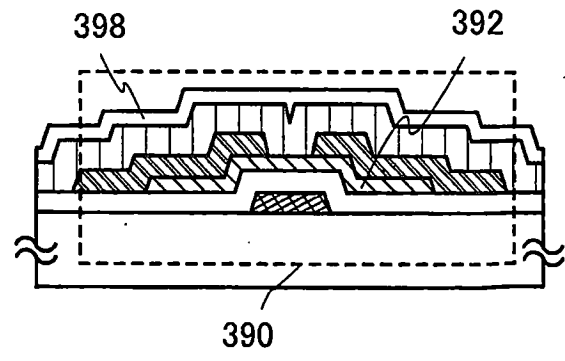


圖 16A

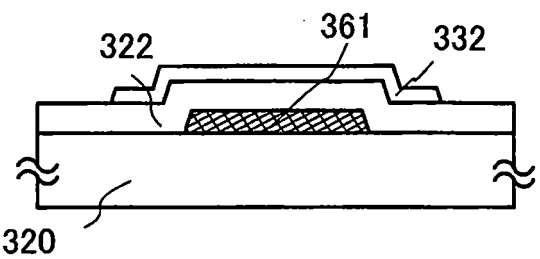


圖 16B

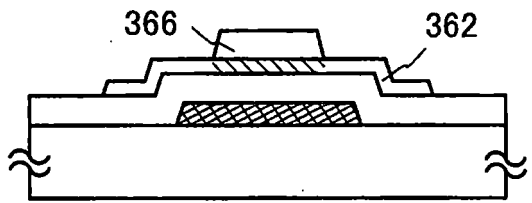


圖 16C

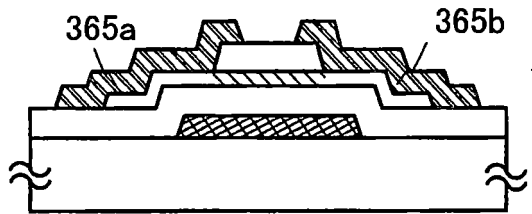


圖 16D

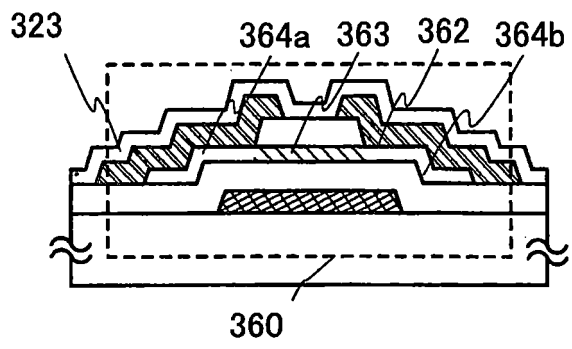


圖 17A

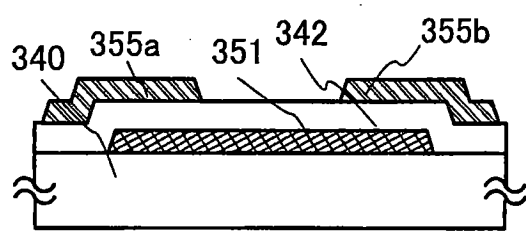


圖 17B

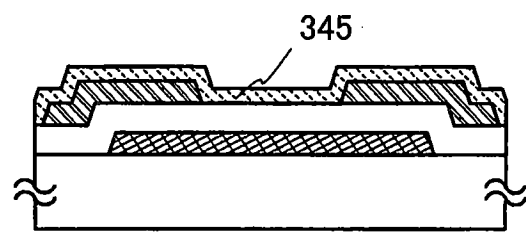


圖 17C

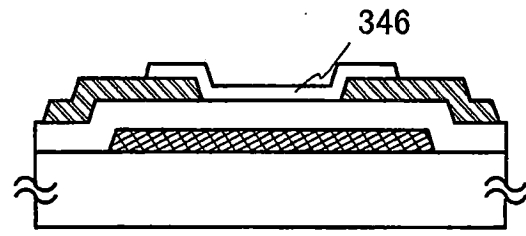


圖 17D

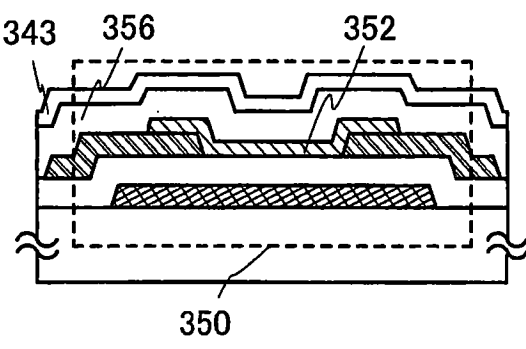


圖 18

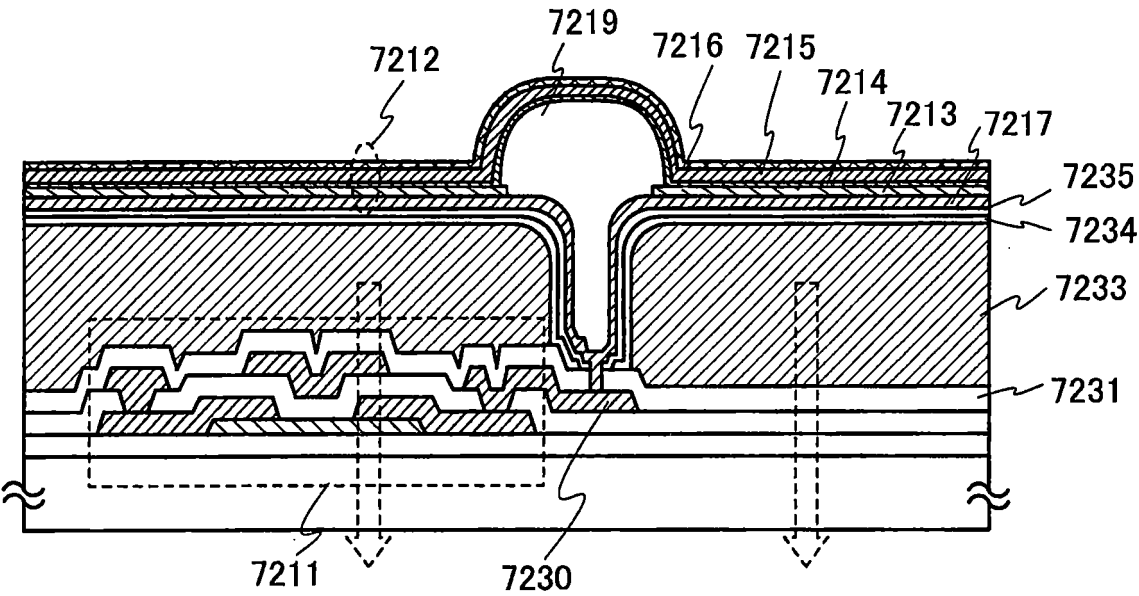


圖 19A

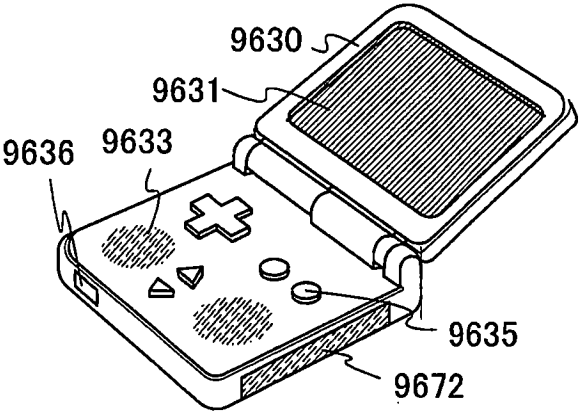


圖 19B

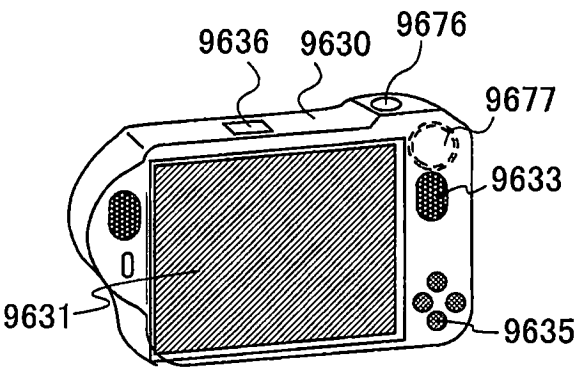


圖 19C

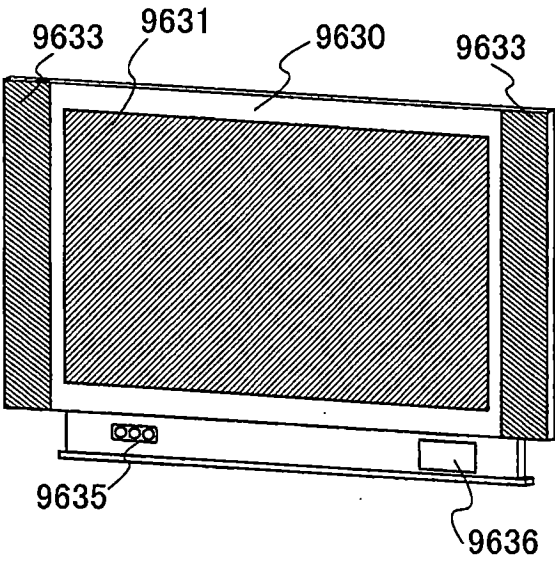


圖 21

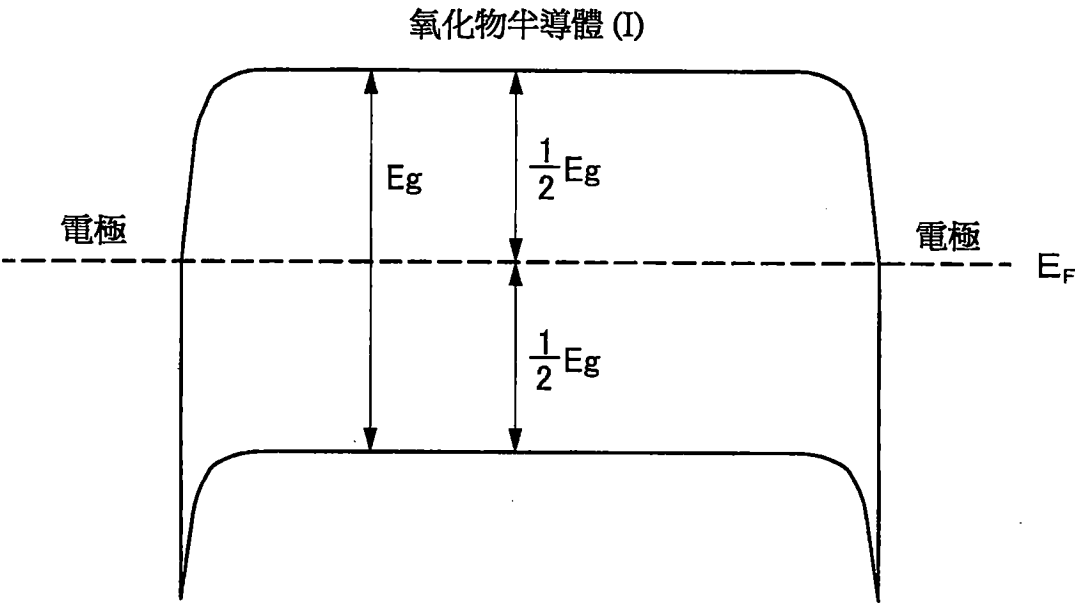
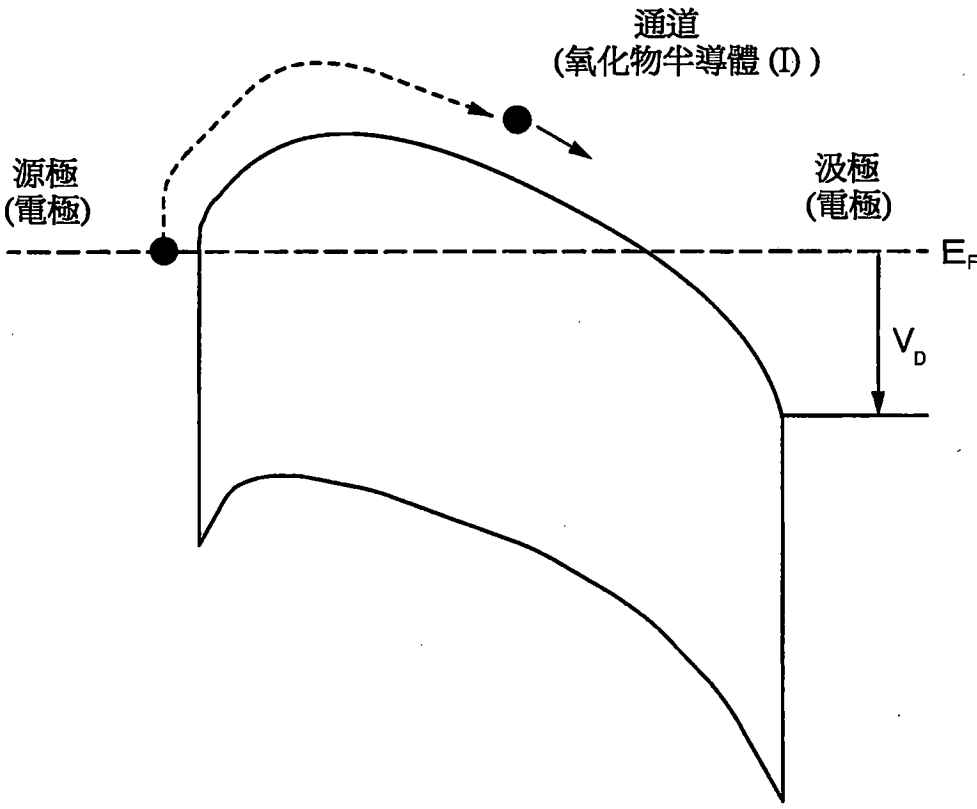


圖 22



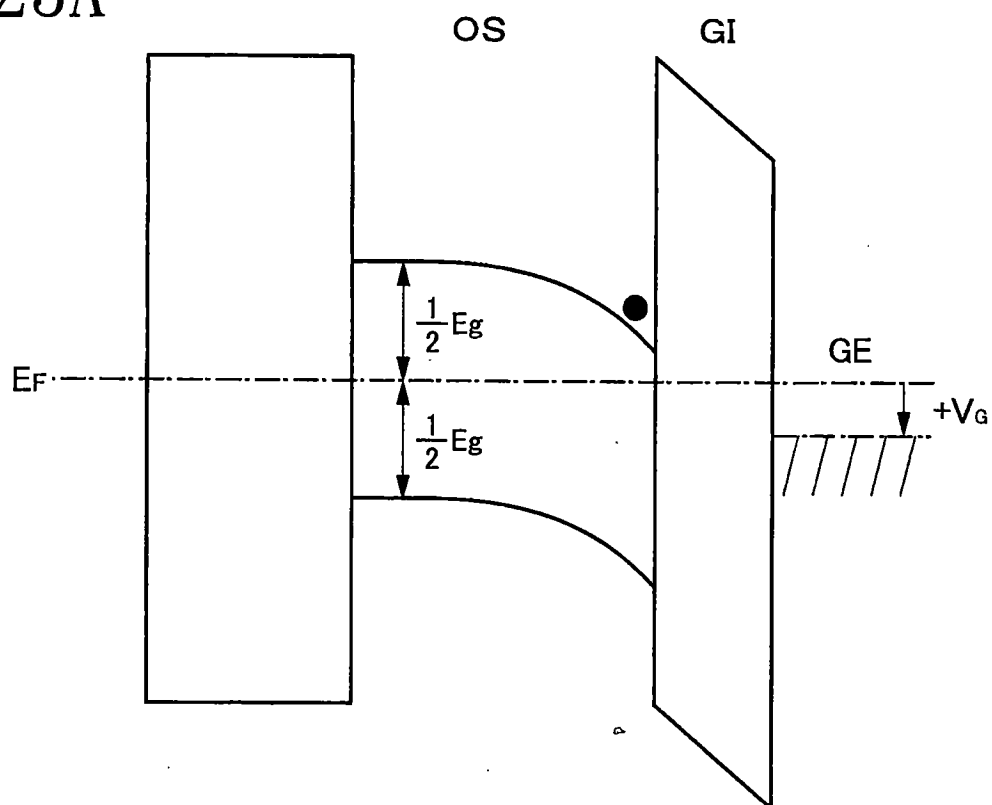


圖 23B

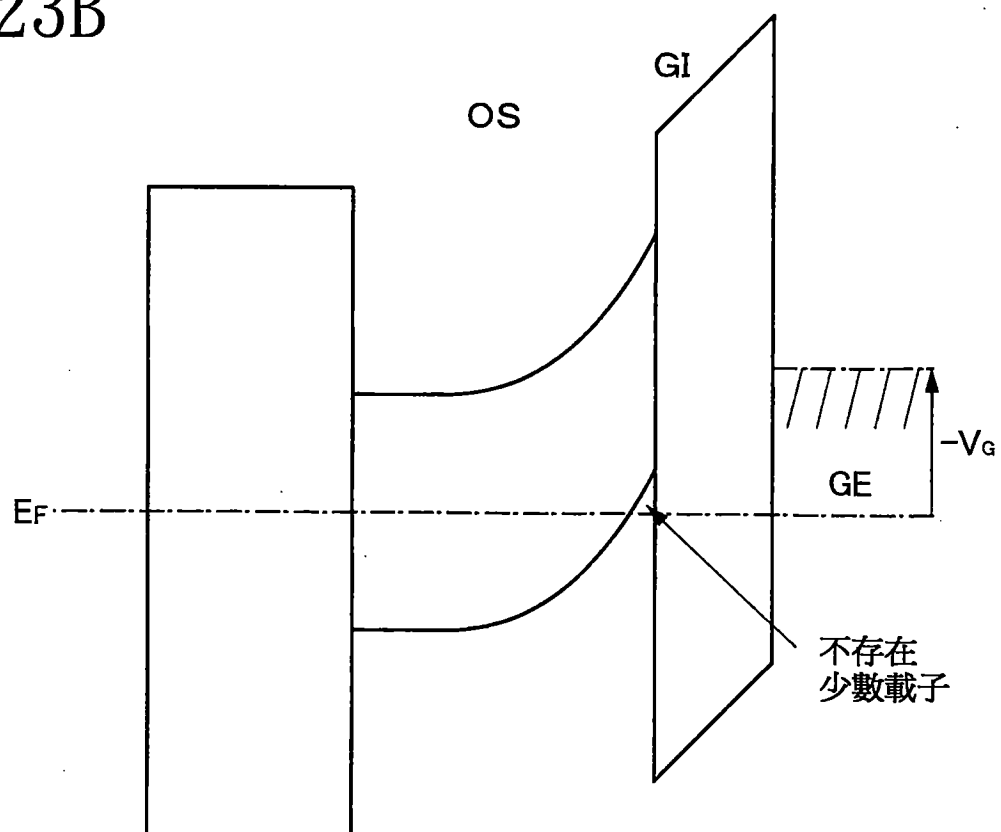


圖 24

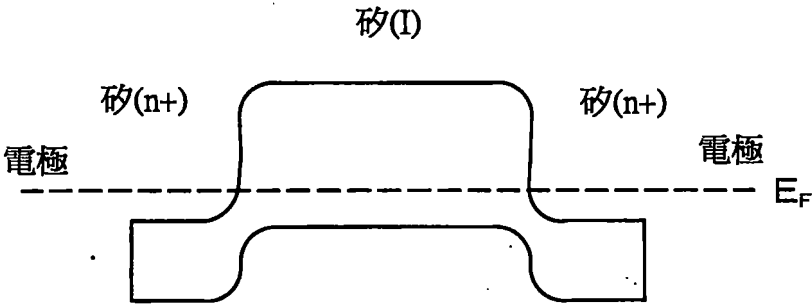


圖 25

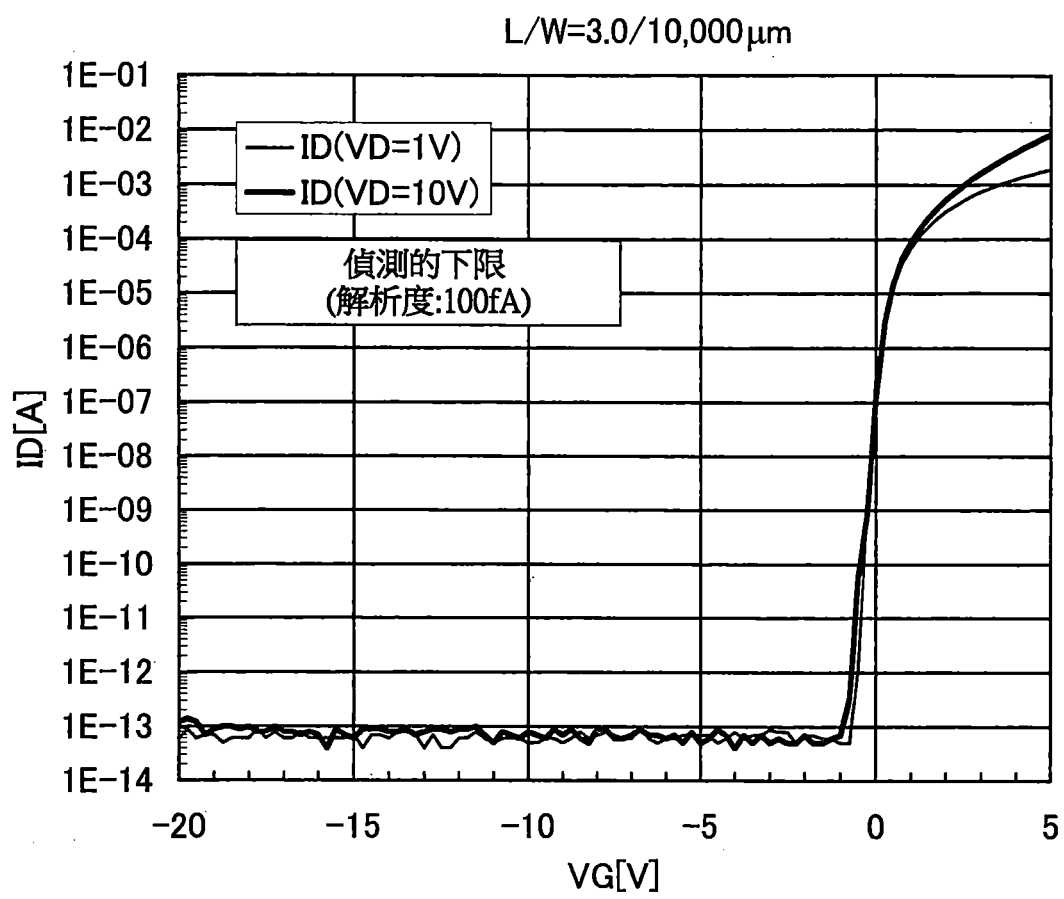


圖 27A

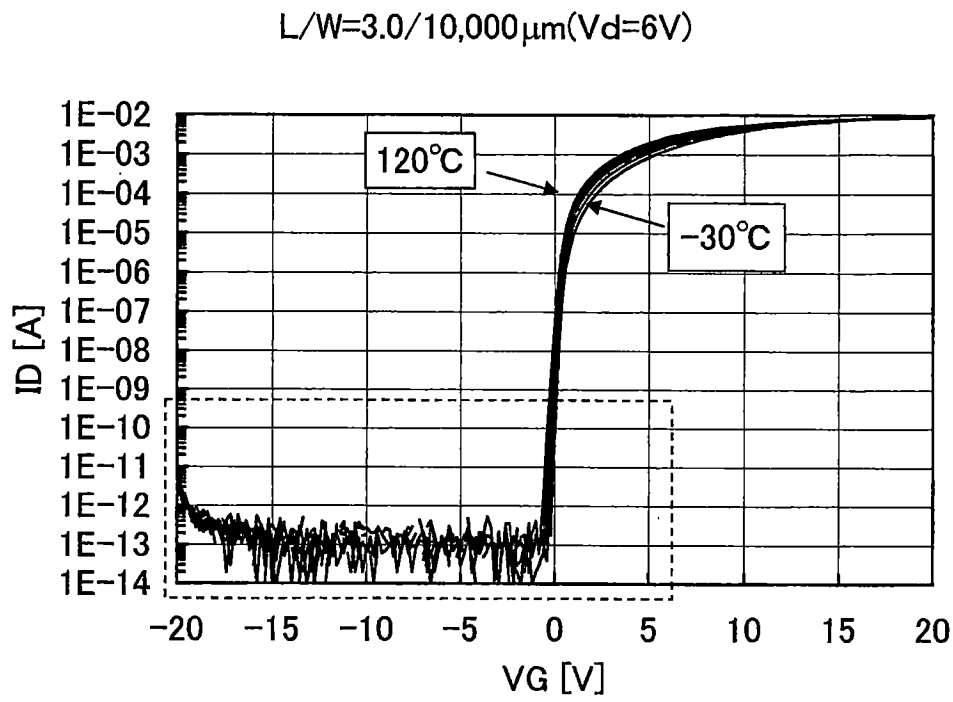


圖 27B

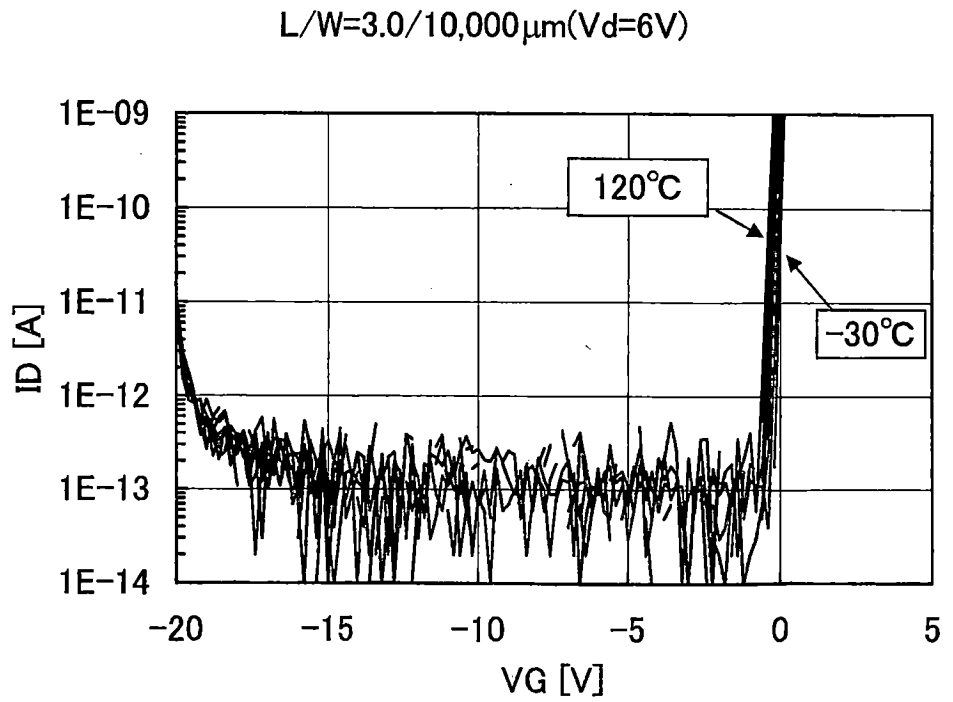
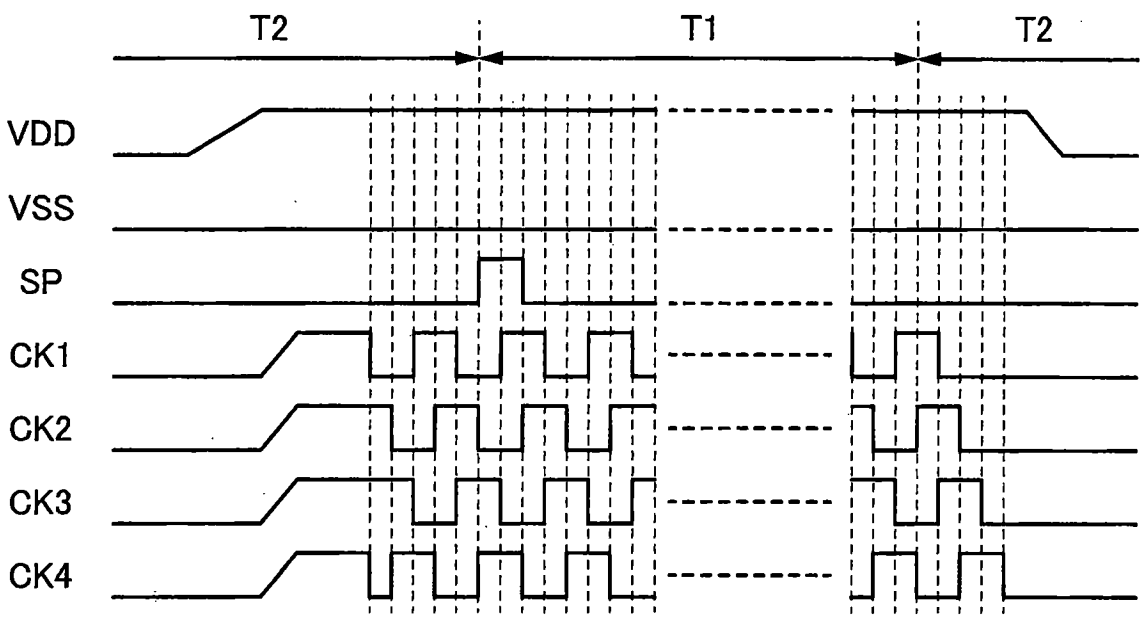


圖 28



【代表圖】

【本案指定代表圖】：第(7)圖。

【本代表圖之符號簡單說明】：

1000：顯示裝置

1001：顯示面板

1002：信號產生電路

1003：記憶體電路

1004：比較電路

1005：選擇電路

1006：顯示控制電路

1007：驅動器電路部

1008：像素部

1009A：閘極線驅動器電路

1009B：信號線驅動器電路

1010：圖框記憶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種顯示裝置，包含：

顯示面板，包含：

像素部，包含：

像素，包含：

第一電晶體，該第一電晶體包含氧化物半導體層，該氧化物半導體層包含通道形成區；以及

顯示元件，該顯示元件電連接到該第一電晶體；以及

驅動器電路部，包含：

閘極線驅動器電路，該閘極線驅動器電路包含第二電晶體；以及

顯示控制電路，用以在至該驅動器電路部的時脈脈衝的供應及停止之間切換，

其中，該氧化物半導體層包含銮、鎳及鋅。

2.一種顯示裝置，包含：

顯示面板，包含：

像素部，包含：

像素，包含：

第一電晶體，該第一電晶體包含氧化物半導體層，該氧化物半導體層包含通道形成區；以及

顯示元件，該顯示元件電連接到該第一電晶體；以及

驅動器電路部，包含：

閘極線驅動器電路，該閘極線驅動器電路包含第二電晶體；以及

信號線驅動器電路；以及

顯示控制電路，用以在至該驅動器電路部的時脈脈衝的供應及停止之間切換，

其中，該氧化物半導體層包含銦、鎵及鋅。

3.一種顯示裝置，包含：

顯示面板，包含：

像素部，包含：

像素，包含：

第一電晶體，該第一電晶體包含氧化物半導體層，該氧化物半導體層包含通道形成區；以及

顯示元件，該顯示元件電連接到該第一電晶體；以及

驅動器電路部，包含：

閘極線驅動器電路，該閘極線驅動器電路包含第二電晶體；

信號產生電路，用以產生時脈脈衝及輸出該時脈脈衝至該驅動器電路部；以及

顯示控制電路，用以在至該驅動器電路部的該時脈脈衝的供應及停止之間切換，

其中，該氧化物半導體層包含銦、鎵及鋅。

4.一種顯示裝置，包含：

顯示面板，包含：

像素部，包含：

像素，包含：

第一電晶體，該第一電晶體包含氧化物半導體層，該氧化物半導體層包含通道形成區；以及

顯示元件，該顯示元件電連接到該第一電晶體；以及

驅動器電路部，包含：

閘極線驅動器電路，該閘極線驅動器電路包含第二電晶體；以及

信號線驅動器電路；

信號產生電路，用以產生時脈脈衝及輸出該時脈脈衝至該驅動器電路部；以及

顯示控制電路，用以在至該驅動器電路部的該時脈脈衝的供應及停止之間切換，

其中，該氧化物半導體層包含銦、鎵及鋅。

5. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，更包含記憶體電路，該記憶體電路包含複數記憶體單元。

6. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，更包含比較電路。

7. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，更包含選擇電路。

8. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，其中，在該第一電晶體中，該氧化物半導體層位於

閘極上。

9. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，其中，該氧化物半導體層包含濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更低的氫。

10. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，其中該氧化物半導體層中的載子濃度為 $1 \times 10^{14}/\text{cm}^3$ 或更低。

11. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，其中該氧化物半導體層的能帶隙為 2 eV 或更大。

12. 根據申請專利範圍第 1 至 4 項中之任一項之顯示裝置，其中該顯示元件為發光元件。