[19]中华人民共和国专利局

[51]Int.Cl[6]
H01L 21/31
H01L 21/3205 H01L 21/28
H01L 21/768

[12] 发明专利申请公开说明书

[21] 申请号 98102092.5

[43]公开日 1998 年 12 月 30 日

[11] 公开号 CN 1203444A

[22]申请日 98.6.11

[30]优先权

[32]97.6.11 [33]KR[31]24146/97

[32]98.4.25 [33]KR[31]14850/98

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 尹普彦 丁寅权 李元成

[74]专利代理机构 中原信达知识产权代理有限责任公司

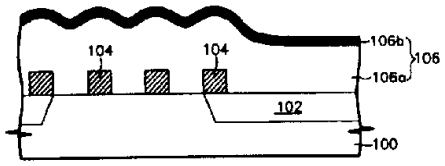
代理人 谢丽娜

权利要求书 4 页 说明书 8 页 附图页数 6 页

[54]发明名称 形成半导体器件接触塞的方法

[57]摘要

形成半导体器件接触塞的方法，包括在绝缘层上形成导电层填充接触孔的步骤。该方法还包括：在形成接触塞之后，通过深腐蚀或 CMP 工艺腐蚀导电层，平面化—腐蚀绝缘层上表面和接触塞，直到暴露绝缘层的上表面。或者用 CMP 工艺同时平面化—腐蚀导电层和绝缘层，以形成接触塞并平面化绝缘层的上表面。



权　利　要　求　书

1. 一种形成半导体器件接触塞的方法，包括步骤：
在其中有多个扩散区的半导体衬底上形成导电结构；
在包括导电结构的半导体衬底上形成绝缘层；
腐蚀绝缘层直到暴露至少一个扩散区，以形成接触孔；
在绝缘层上淀积导电层，用导电层填充接触孔；
腐蚀导电层直到暴露绝缘层的上表面，以形成接触塞；及
用平面化－腐蚀工艺方法腐蚀包括接触塞的绝缘层上表面，
其中，接触塞和绝缘层的上表面都被平面化。

2. 如权利要求 1 的方法，其特征为：所说绝缘层由 SiO_2、USG(未掺杂硅酸盐玻璃)、BPSG(硼磷硅玻璃)、PSG(磷硅玻璃)、SiN、SiON、SiOF、SOG(旋涂玻璃)、FOX(可流动氧化物)、聚合物等构成的组中的至少一种及它们的组合构成。

3. 如权利要求 1 的方法，其特征为：利用 CVD、PVD、回流、或强迫填充工艺，由 W、Al、Cu、Ti、TiN、多晶硅、W-Si、Al-Au、和 Al-Cu-Si 组成的组中的一种工艺构成所说导电层。

4. 如权利要求 1 的方法，其特征为：用选自深腐蚀工艺和 CMP 工艺组成的组中的一个进行导电层的所说腐蚀步骤。

5. 如权利要求 4 的方法，其特征为：用湿法或干法腐蚀工艺进行所说深腐蚀工艺。

6. 如权利要求 4 的方法，其特征为：使用抛光材料进行所说 CMP 工艺，其中使导电层与绝缘层的抛光速度比在几百：1 到 1：几百的范围内。

7. 如权利要求 1 方法，其特征为：腐蚀导电层的步骤包括深腐蚀导电层以形成凹陷接触塞，其中凹陷接触塞在平面化－腐蚀过程中用作腐蚀阻止层。

8. 如权利要求 1 的方法，其特征为：使用抛光材料进行所说平面

化一腐蚀工艺，其中使导电层与绝缘层的抛光速度比在1：几百到几百：1的范围内。

9. 如权利要求 1 的方法，其特征为：该方法还包括：在形成导电层之前在包括接触孔的绝缘层上形成阻挡层。

10. 如权利要求9的方法，其特征为：所说阻挡层至少由 Ti、TiN、Ta、TaN、WN、TiSiN 中的一种及它们的组合构成。

11. 一种形成半导体器件接触塞的方法，包括步骤：

在其中有多个扩散区的半导体衬底上形成导电结构；

随后在包括导电结构的半导体衬底上形成第一和第二绝缘层，所说第二绝缘层有比第一绝缘层相对高的硬度；

接着腐蚀第二和第一绝缘层直到暴露扩散区和导电结构中的至少一个，以形成接触孔；

在第二绝缘层上形成导电层，填充接触孔；

腐蚀导电层直到暴露至少第二绝缘层的上表面，以形成接触塞；及

平面化一腐蚀包括接触塞的第二和第一绝缘层，

其中，在平面化一腐蚀步骤中，所说第二绝缘层的腐蚀速度低于没有形成导电结构和接触孔的第二绝缘层的低台阶部分的腐蚀速度及第一绝缘层的腐蚀速度。

12. 如权利要求 11 的方法，其特征为：所说第一绝缘层由 SiO_2、USG、BPSG、PSG、SiOF、FOX、聚合物等构成的组中的至少一种构成，所说第二绝缘层由 SiN、SiON、AlN、Al_2O_3、BN、类金刚石的碳等构成的组中的至少一种构成。

13. 如权利要求 11 的方法，其特征为：利用 CVD、PVD、回流、或强迫填充工艺中的一种，由 W、Al、Cu、Ti、TiN、多晶硅、W-Si、Al-Au、和 Al-Cu-Si 组成的组中的至少一个构成所说导电层。

14. 如权利要求 11 的方法，其特征为：用选自深腐蚀工艺和 CMP 工艺组成的组中的一种工艺进行导电层的所说腐蚀步骤。

15. 如权利要求 14 的方法，其特征为：用湿法或干法腐蚀工艺进行所说深腐蚀工艺。

16. 如权利要求 14 的方法，其特征为：使用抛光材料进行所说 CMP 工艺，其中使第一绝缘层与第二绝缘层的抛光速度比在 1：几百到几百：1 的范围内。

17. 如权利要求 11 方法，其特征为：腐蚀导电层的步骤包括深腐蚀导电层以形成凹陷接触塞，其中凹陷接触塞在平面化－腐蚀过程中用作腐蚀阻止层。

18. 如权利要求 11 的方法，其特征为：使用抛光材料的 CMP 工艺进行所说平面化－腐蚀工艺，其中使第一绝缘层与第二绝缘层的抛光速度比在 1：几百到几百：1 的范围内。

19. 如权利要求 11 的方法，其特征为：该方法还包括：在形成导电层之前在包括接触孔的绝缘层上形成阻挡层。

20. 如权利要求 19 的方法，其特征为：所说阻挡层至少由 Ti 、TiN 、 Ta 、 TaN 、 WN 、 TiSiN 中的一种及它们的组合构成。

21. 一种形成半导体器件接触塞的方法，包括步骤：

在其中有多个扩散区的半导体衬底上形成导电结构；

随后在包括导电结构的半导体衬底上形成第一和第二绝缘层，所说第二绝缘层有比第一绝缘层相对高的硬度；

接着腐蚀第二和第一绝缘层直到暴露扩散区和导电结构之一的上表面，以形成接触孔；

在第二绝缘层上形成导电层，填充接触孔；

随后平面化－腐蚀导电层、第二绝缘层、和第一绝缘层，以形成接触塞并平面化第一绝缘层，

其中，在平面化－腐蚀步骤中，所说第二绝缘层的腐蚀速度低于没有形成导电结构和接触孔的第二绝缘层的低台阶部分的腐蚀速度及低于第一绝缘层的腐蚀速度。

22. 如权利要求 21 的方法，其特征为：该方法还包括：在形成导电层之前在包括接触孔的第二绝缘层上形成阻挡层。

23. 如权利要求 22 的方法，其特征为：所说阻挡层由 Ti 、 TiN 、

Ta 、 TaN 、 WN 、 TiSiN 中的一种及它们的组合构成。

说　明　书

形成半导体器件接触塞的方法

本发明涉及制备半导体器件的方法，特别涉及制备半导体器件接触塞的方法，该接触塞能防止其上互连之间的桥接。

随着半导体器件的高集成度的提高，更加需要多层互连技术。

为了确保光刻工艺的裕度、并使这种多层互连技术中互连的长度最小化，应该平面化形成在半导体衬底上的绝缘层和导电层。如果它们没有平面化，则由于复杂的形貌，经常使互连出现开路或短路。

为此进行了很多努力来平面化绝缘层和导电层，以形成接触塞。

图 1A 到 1D 表示形成接触塞的现有技术方法的工艺步骤。参见图 1A，例如栅极 4，半导体存储器件的字线形成在半导体衬底 1 上，衬底 1 上形成有器件隔离层 2。在包括栅极 4 的半导体衬底上淀积氧化物绝缘层 6。沿栅极 4 的形貌，氧化物层 6 有不平的表面。而且在绝缘层 6 上产生彼此之间有台阶的两个区域，一个是形成栅极 4 的高台阶区，另一个是不形成栅极的低台阶区。

接着，当用 CMP(化学机械抛光)工艺腐蚀具有不平表面的绝缘层 6 时，如图 1B 所示，可以平面化绝缘层 6 的上表面。

参见图 1C，再腐蚀平面化的绝缘层 6，直到暴露半导体衬底 1 上的扩散区(未示出)，由此形成接触孔 8。随后，在绝缘层 6 上淀积如多晶硅等导电层 10，以填充接触孔 8。

最后，如图 1D 所示，进行 CMP 工艺，腐蚀导电层 10 直到暴露绝缘层 6 的上表面，由此形成多晶硅接触塞 10a。

这里，我们应该注意到：在已有技术方法中，在形成接触塞 10a 之前应先进行绝缘层 6 的 CMP 工艺，在 CMP 工艺过程中绝缘层 6 上会产生划伤。绝缘层 6 的划伤导致因用导电材料覆盖划伤处而在将要形成在

接触塞上的互连之间形成桥接。而且，应该充分淀积绝缘层 6 以覆盖栅极 4，并确保绝缘层的表面平面化。这样，需要足够的时间来平面化－腐蚀绝缘层。这导致了半导体器件制造生产率的下降。

简单地说，已有技术形成接触塞的方法有两个问题：第一，在 CMP 过程中由于抛光材料而在绝缘层 6 上产生微划伤和腐蚀坑。该问题导致在随后金属化形成的互连之间形成桥接。第二，很难减少用来平面化的绝缘层的厚度。这些问题导致可靠性和成品率的降低。

本发明旨在解决上述问题，其目的是提供形成半导体器件接触塞的方法，该方法不会在互连之间形成桥接。

本发明的另一个目的是提供形成半导体器件接触塞的方法，该器件的绝缘层有下绝缘层、和比下绝缘层相对硬的上绝缘层，以便可以有效平面化高台阶和低台阶区。

根据本发明的一个方案，提供的形成半导体器件接触塞的方法，包括步骤：在其上有多个扩散区的半导体衬底上形成导电结构；在包括导电结构的半导体衬底上形成绝缘层；腐蚀绝缘层直到暴露至少一个扩散区，以形成接触孔；在绝缘层上淀积导电层，用导电层填充接触孔；腐蚀导电层直到暴露绝缘层的上表面，以形成接触塞；用平面化－腐蚀工艺方法腐蚀包括接触塞的绝缘层上表面，由此平面化接触塞和绝缘层的上表面。

根据本发明另一个方案，提供的形成半导体器件接触塞的方法，包括步骤：在其上有多个扩散区的半导体衬底上形成导电结构；随后在包括导电结构的半导体衬底上形成第一和第二绝缘层，所说第二绝缘层有比第一绝缘层相对高的硬度；接着腐蚀第二和第一绝缘层直到暴露扩散区和导电结构中的至少一个，以形成接触孔；在第二绝缘层上形成导电层，填充接触孔；腐蚀导电层直到暴露至少第二绝缘层的上表面，以形成接触塞；平面化－腐蚀包括接触塞的第二和第一绝缘层。在平面化－腐蚀的步骤中，第二绝缘层的腐蚀速度低于没有形成导电结构和接触孔处的第二绝缘层的低台阶部分的腐蚀速度及第一绝缘层的腐蚀速度。

根据本发明再一个方案，提供的形成半导体器件接触塞的方法包括步骤：在其上有多个扩散区的半导体衬底上形成导电结构；随后在包括导电结构的半导体衬底上形成第一和第二绝缘层，所说第二绝缘层有比

第一绝缘层相对高的硬度；腐蚀第二和第一绝缘层直到暴露导电结构的上表面，以形成接触孔；在第二绝缘层上形成导电层，填充接触孔；随后平面化－腐蚀导电层、第二绝缘层、和第一绝缘层，以形成接触塞并平面化的第一绝缘层表面。所说第二绝缘层的腐蚀速度低于没有形成导电结构和接触孔处的第二绝缘层的低台阶部分的腐蚀速度以及低于第一绝缘层的腐蚀速度。

上述每个方法还包括：在形成导电层之前，在包括接触孔的绝缘层上形成阻挡层。

参见下面附图，本领域的技术人可以理解本发明及其目的：

图 1A 到图 1D 是表示形成半导体器件接触塞的已有技术方法的工艺步骤的流程图；

图 2A 到图 2E 是表示根据本发明第一实施例形成半导体器件接触塞的新方法的工艺步骤的流程图；

图 3 是根据本发明第一实施例制备的凹陷接触塞的剖面图；

图 4A 到图 4E 是表示根据本发明第二实施例形成半导体器件接触塞的新方法的工艺步骤的流程图；以及

图 5 是根据本发明第二实施例制备的凹陷接触塞的剖面图。

下面参见优选实施例说明本发明，但是必须认识到，本发明可以有很多变形和改变，本发明的范围并不限于此，而是限制在所属权利要求书中。

参见图 2D 和 4D，根据本发明形成半导体器件接触塞的新方法，包括在绝缘层上形成导电层来填充接触孔的步骤。该方法还包括在形成接触塞之后，通过采用深腐蚀或 CMP 方法腐蚀导电层，从而平面化－腐蚀绝缘层上表面以及接触塞，直到至少暴露绝缘层的上表面。或者，一次使用 CMP 工艺同时平面化－腐蚀导电层和绝缘层，以形成接触塞并平面化绝缘层的上表面。采用该方法，在用导电层填充接触孔之后，通过平面化－腐蚀导电层可以防止由于划伤绝缘层上表面而在互连之间产生的桥接。而且，由于绝缘层包括下绝缘层和比下绝缘层相对硬的上绝缘层，可以有效平面化沿栅极或金属互连形貌所形成的绝缘层的高台阶区和低台阶区。由此，可以大大减小绝缘层的厚度。

实施例 1

下面参见图2和图3说明根据本发明第一实施例的形成半导体存储器接触塞的方法。这些图表示本发明的第一实施例。

参见图 2A，如硅片等半导体衬底 100 已经有了器件隔离层 102(此时为场氧化区)，该隔离层已构图用以限定有源区和无源区。在图 2A 所示的实施例中，器件隔离层 102 有 STI(浅沟槽隔离)场氧化物的特征形状，但是本发明当然也可以用其它隔离技术，如 LOCOS 场氧化、侧壁掩模隔离、或直接场隔离。栅极 104 如半导体存储器的字线形成在硅衬底 100 上。该硅衬底包括扩散区(未示出)例如形成在有源区中、栅极 104 两边的源/漏区。

接着，在包括栅极 104 的硅衬底 100 上淀积绝缘层(或层间绝缘层)106，使互连之间电绝缘。可以由 SiO_2、USG(未掺杂硅酸盐玻璃)、BPSG、PSG(磷硅玻璃)、SiN、SiON、SiOF、SOG(旋涂玻璃)、FOX(可流动氧化物)、聚合物等构成的组中的至少一种及它们的组合构成绝缘层 106。绝缘层 106 最好是多层膜，即有不同硬度的下绝缘层 106a 和上绝缘层 106b。下绝缘层 106a 由氧化层构成，厚度最好在 4000 到 12000 埃。可以采用 CVD(化学汽相淀积)工艺、回流工艺、淀积/腐蚀工艺、或 HDP(高密度等离子体)工艺，由 SiO_2、USG、BPSG、PSG 中的至少一种及它们的组合构成下层绝缘层 106a。或者可以用 SOG(旋涂玻璃)工艺或旋涂工艺，由 SiOF、FOX(可流动氧化物)、和聚合物中的一种及它们的组合构成下绝缘层 106a。

上绝缘层 106b 由相对硬度比下绝缘层 106a 高的材料构成，厚度最好在 100 到 1000 埃。上绝缘层 106b 可以由例如 SiN、SiON、AlN、Al_2O_3、BN、类金刚石的碳组成的组中的一种或它们的组合构成。最重要的是，在随后的平面化－腐蚀步骤中，使用硬度相对高的上绝缘层 106b，以低速度腐蚀下绝缘层 106a 的低台阶部分。

实际上，形成的绝缘层 106 沿栅极 104 的形貌有不平的表面，形成栅极 104 的区域比没有形成栅极的区域有相对高的台阶。

参见图 2B，腐蚀绝缘层 106 直到暴露至少一个扩散区，由此形成接触孔 108。

如图 2C 所示，在上绝缘层 106b 上淀积形成接触塞的导电层 110，

其厚度(例如 3000 到 5000 埃)足够填充接触孔 108 。利用 CVD 、 PVD 、回流、或强迫填充工艺，由 W 、 Al 、 Cu 、 Ti 、 TiN 、多晶硅、 W －Si 、 Al-Au 、和 Al-Cu-Si 组成的组中的一个构成导电层 110 。

在第一实施例中，直接在上绝缘层 106b 的上面形成导电层 110 ，填充接触孔 108 ，而在第一实施例的变形中，可以直接在上绝缘层 106b 上和接触孔 108 的侧壁及底部形成阻挡层(未示出)，然后在阻挡层上形成导电层 110 ，用以填充接触孔 108 。阻挡层可以由 Ti 、 TiN 、 Ta 、 TaN 、 WN 、 TiSiN 中的一种及它们的组合构成，以改进接触电阻和粘附性能，并抑制相互反应。

参见图 2D ，腐蚀导电层 110 直到暴露上绝缘层 106b 的上表面，由此形成接触塞 110a 。用湿法或干法腐蚀的 CMP 工艺或深腐蚀工艺进行导电层的腐蚀工艺。当用 CMP 工艺腐蚀导电层 110 时，使用的抛光材料特点是，使导电层 110 与绝缘层 106 的抛光速度比在 1 ：几百到几百： 1 的范围内。最好使用这样的抛光材料，使导电层 110 如多晶硅的抛光速度为如氧化物下绝缘层 106 的抛光速度或如氮化物(SiN 或 SiON)上绝缘层例的抛光速度的五倍。

或者，在用深腐蚀工艺腐蚀导电层 110 的情况下，如果充分深腐蚀填充接触孔 108 的导电层 110 ，则形成如图 3 所示的凹陷接触塞 110b 。图 3 表示根据第一实施例的另一个变形形成的凹陷接触塞 110b 。在下面的绝缘层 106 的平面化－腐蚀过程中，该凹陷接触塞 110b 可以作为腐蚀阻止层。

最后，如图 2E 所示，进行 CMP 平面化－腐蚀工艺，以平面化绝缘层 106 和接触塞 110a 。在 CMP 过程中，去除上绝缘层 106b ，并平面化下绝缘层 106a 的上表面。由此形成的接触塞 110a 或 110b 有平的表面，该表面和下绝缘层 106a 的上表面有相同的水平位置。最好使用使导电层 110 与绝缘层 106 的抛光速度比在 1 ：几百到几百： 1 的范围内的抛光材料。

或者，在形成凹陷接触塞 110b 时，用凹陷接触塞 110b 作为腐蚀停止层来进行平面化绝缘层 106 的 CMP 工艺，如图 3 的点线 111 所示。

由于抛光－腐蚀绝缘层 106 的形成栅极 104 和接触孔 108 的相对高

台阶部分的抛光速度高于平面化－腐蚀没有形成它们的部分的抛光速度，由此可以容易地平面化绝缘层 106 。而且，用比腐蚀下绝缘层 106a 慢的抛光速度来腐蚀比下绝缘层 106a 硬的上绝缘层 106b ，可以得到绝缘层 106 的有效平面化。因此，和已有技术中半导体器件的绝缘层相比，可以大大降低可以用作互连间的层间绝缘层的下绝缘层 106a 的厚度。

另一方面，可以用 CMP 工艺同时平面化－腐蚀导电层 110 和绝缘层 106 。此时，用腐蚀氧化层的抛光材料来进行 CMP 工艺，即抛光材料对多晶硅导电层 110 、氮化物上绝缘层 106b 、和氧化物下绝缘层 106a 的随后腐蚀没有选择性。

随后，形成上互连(未示出)，与接触塞 110a 或 110b 电接触。根据本发明的第一实施例，由于在平面化的绝缘层 106 的上表面形成接触塞所淀积的导电材料没有残留，所以即使在绝缘层上形成互连时也不会在互连之间形成桥接。

实施例 2

下面参见图 4 和图 5 说明根据本发明第二实施例的形成半导体存储器接触塞的方法。

参见图 4A ，在半导体衬底 200 上，如在限定了有源区和无源区的硅片上，形成金属互连 202 。金属互连 202 形成在有源区上。

或者，尽管没有示出，可以在其上形成栅极(未示出)的硅片 200 上淀积 4000 埃到 20000 埃的绝缘层，然后在绝缘层上形成金属互连 202 。

接着，在包括金属互连 202 的硅衬底 200 上淀积绝缘层 204 ，使互连之间电绝缘。可以由 SiO_2 、 USG 、 BPSG 、 PSG 、 SiN 、 SiON 、 SiOF 、 SOG 、 FOX 、聚合物等构成的组中的至少一种及它们的组合构成绝缘层 204 。绝缘层 204 最好是多层薄膜，即有不同硬度的下绝缘层 204a 和上绝缘层 204b 。下绝缘层 204a 由氧化层构成，厚度最好在 10000 到 30000 埃。可以采用 CVD 工艺、回流工艺、淀积/腐蚀工艺、或 HDP 工艺时，由 SiO_2 、 USG 、 BPSG 、 PSG 中的至少一种及它们的组合构成下层绝缘层 204a 。或者，可以用 SOG 工艺或旋涂工艺时，由 SiOF 、 FOX 、和聚合物中的一种及它们的组合构成下绝缘层 204a 。

上绝缘层 204b 由相对硬度比下绝缘层 204a 高的材料构成，厚度最好在 100 到 1000 埃。上绝缘层 204b 可以由例如 SiN 、 SiON 、 AlN 、 Al_2O_3 、 BN 、类金刚石的碳组成的组中的一种及它们的组合构成。在随后的平面化－腐蚀步骤中，使用上绝缘层 204b ，以便以低速度腐蚀下绝缘层 204a 的低台阶部分。

实际上，形成的绝缘层 204 沿金属互连 202 的形貌有不平的表面，形成金属互连 202 的区域比没有形成金属互连的区域有相对高的台阶。

参见图 4B，腐蚀绝缘层 204 直到暴露至少一个金属互连，由此形成接触孔 206 。

如图 4C 所示，可以直接在上绝缘层 204b 上和接触孔 206 的侧壁及底部形成阻挡层 207 。阻挡层 207 可以由 Ti 、 TiN 、 Ta 、 TaN 、 WN 、 TiSiN 中的一种及它们的组合构成，以改进金属互连 202 与接触塞的导电材料之间的接触电阻和粘附性能、并抑制其相互反应。然后，在阻挡层 207 上淀积形成接触塞的导电层 208 ，其厚度(例如 2000 到 6000 埃)足够填充接触孔 206 。利用 CVD 、 PVD 、回流、或强迫填充工艺，由 W 、 Al 、 Cu 、 Ti 、 TiN 、多晶硅、 W － Si 、 Al-Au 、和 Al-Cu-Si 组成的组中的一个构成导电层 208 。

参见图 4D ，依次腐蚀导电层 208 和阻挡层 207 直到暴露上绝缘层 204b 的上表面，由此形成接触塞 208a 。用湿法或干法腐蚀的 CMP 工艺或深腐蚀工艺进行导电层 208 和阻挡层 207 的腐蚀工艺。当用 CMP 工艺腐蚀导电层 208 时，使用的抛光材料的特点是，使导电层 208 与绝缘层 204 的抛光速度比在 1 ：几百到几百： 1 的范围内。最好使用这样的抛光材料，使钨(W)导电层 208 的抛光速度为氧化物下绝缘层 204 的抛光速度或氮化物(SiN 或 SiON)上绝缘层的抛光速度的五倍。

或者，在深腐蚀工艺腐蚀导电层 208 的情况下，如果充分深腐蚀填充接触孔 206 的导电层 208 ，则形成如图 5 所示的凹陷接触塞 208b 。图 5 表示根据第二实施例的一个变形形成的凹陷接触塞 208b 。在随后的绝缘层 204 的平面化－腐蚀过程中，该凹陷接触塞 208b 可以作为腐蚀阻止层。

最后，如图 4E 所示，进行 CMP 平面化－腐蚀工艺，以平面化绝

缘层 204 和接触塞 208a 。在 CMP 过程中，去除上绝缘层 204b ，并平面化下绝缘层 204a 的上表面。由此形成的接触塞 208a 或 208b 有平整的表面，该表面和下绝缘层 204a 的上表面有相同的水平位置。最好使用使导电层 208 与绝缘层 204 的抛光速度比在 1 ：几百到几百： 1 的范围内的抛光材料进行 CMP 工艺。

或者，在用深腐蚀工艺形成凹陷接触塞 208b 时，用凹陷接触塞 208b 作为腐蚀停止层来进行平面化绝缘层 204 的 CMP 工艺，如图 5 的点线 209 所示。最好的是使用使导电层 208 与绝缘层 204 的抛光速度比为 1 ：10 的抛光材料进行 CMP 工艺。

与第一实施例类似，由于抛光－腐蚀绝缘层 204 的形成金属互连 202 和接触孔 206 的相对高台阶部分的抛光速度高于平面化－腐蚀没有形成它们的部分的抛光速度，由此可以容易地平面化绝缘层 204 。而且，用比腐蚀下绝缘层 204a 慢的抛光速度来腐蚀比下绝缘层 204a 硬的上绝缘层 204b ，可以实现绝缘层 204 的有效平面化。因此，与现有技术中半导体器件的绝缘层相比，可以显著减小可以用作互连间的绝缘层的下绝缘层 204a 的厚度。

另一方面，可以用 CMP 工艺同时平面化－腐蚀导电层 208 和绝缘层 204 。此时，用腐蚀氧化层的抛光材料来进行 CMP 工艺，即抛光材料对钨导电层 208 、阻挡层 207 、氮化物上绝缘层 204b 、和氧化物下绝缘层 204a 的随后腐蚀没有选择性。

随后，形成上互连(未示出)，与接触塞 208a 或 208b 电接触。根据本发明的第二实施例，由于在平面化的绝缘层 204 的上表面形成接触塞所淀积的导电材料没有残留，所以即使形成上互连时也不会在互连之间形成桥接。

由此可知，本发明提供的接触塞的优点是：可以防止由于绝缘层上表面划伤导致的互连之间的桥接。这是因为在平面化绝缘层的 CMP 工艺之后进行形成接触塞的 CMP 工艺的缘故。

而且，由于绝缘层包括两层，下绝缘层和比下绝缘层相对硬的上绝缘层，所以可以平面化形成导电结构的高台阶区和没有形成导电结构的低台阶区。因此，本发明的另外优点是：可以显著减小绝缘层的厚度。

图 1A

现有技术

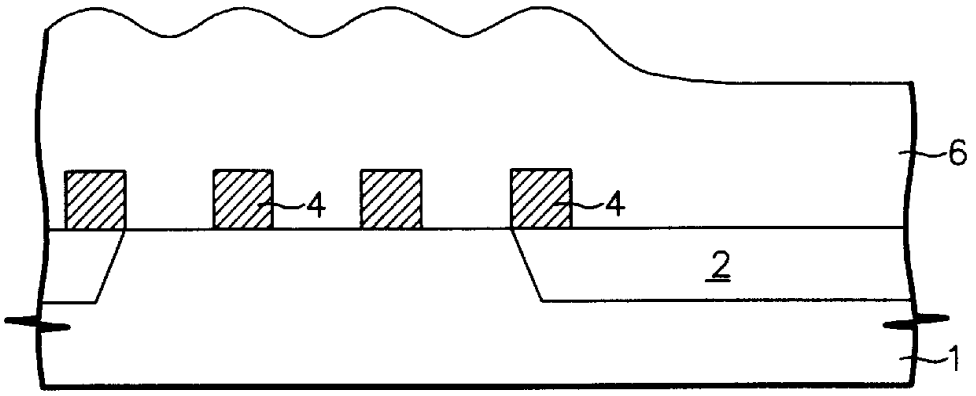


图 1B

现有技术

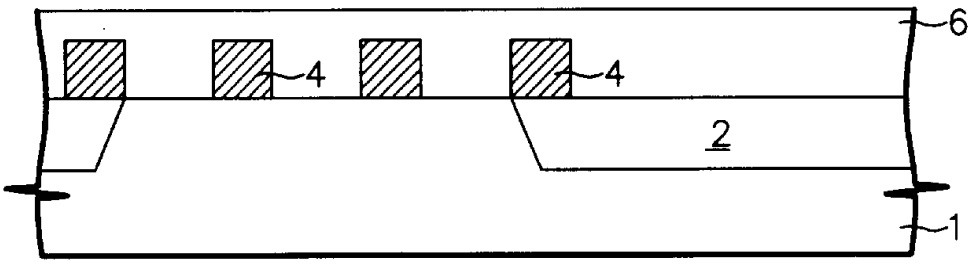


图 1C

现有技术

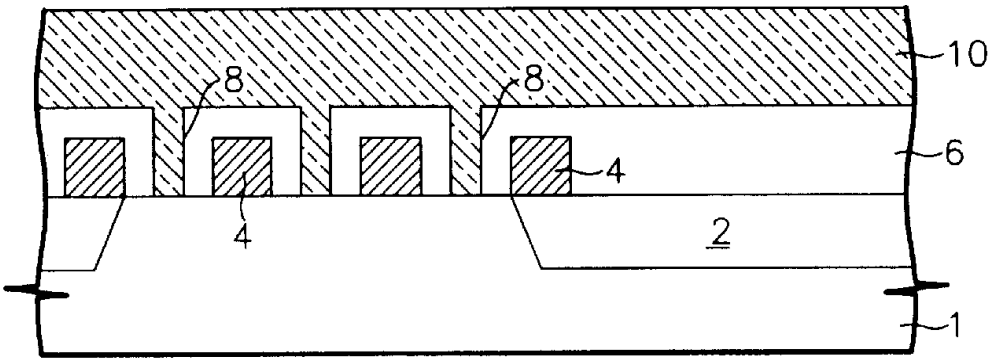


图 1D

现有技术

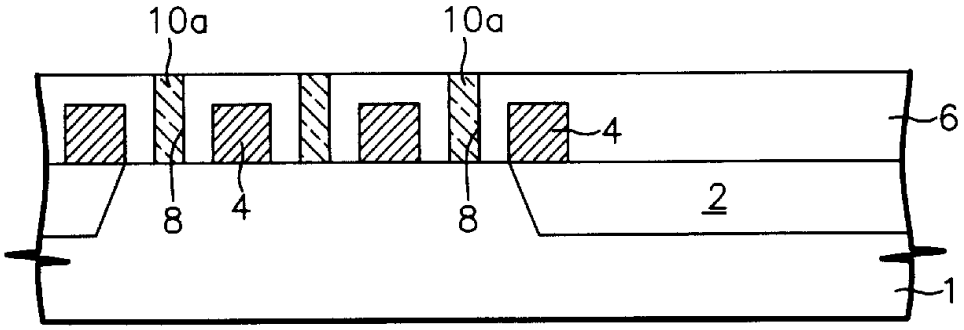


图 2A

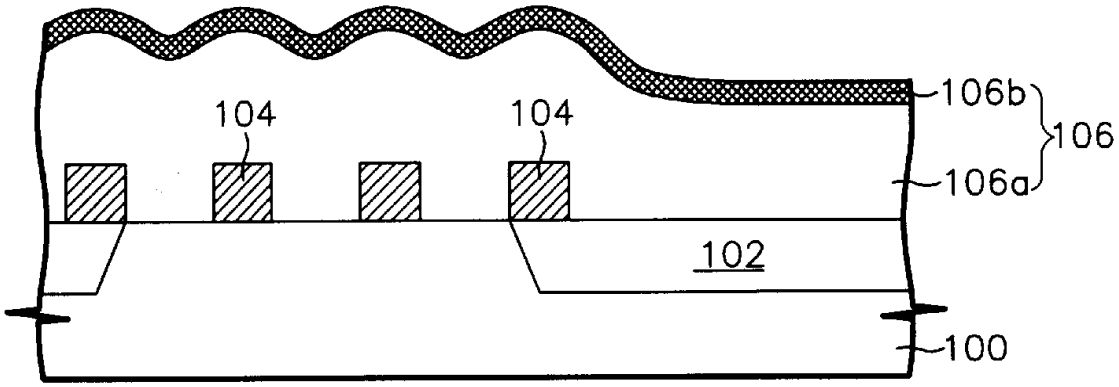


图 2B

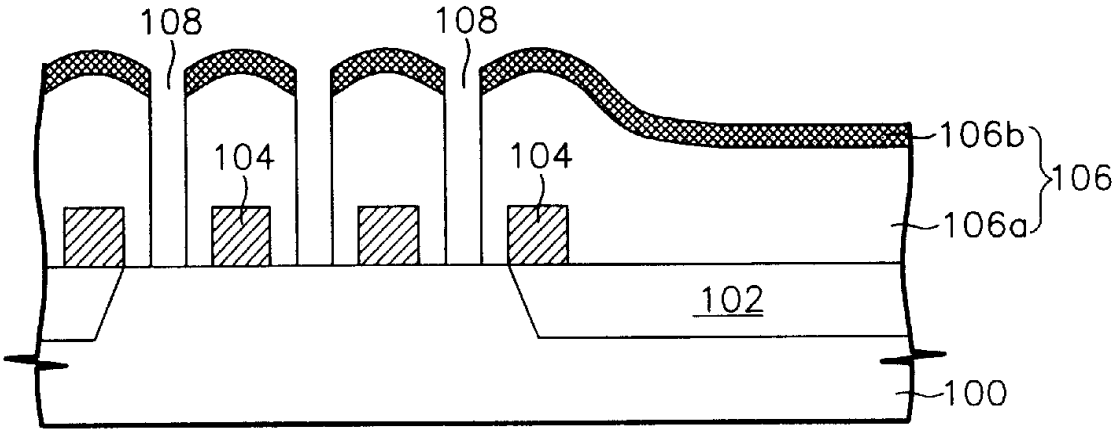


图 2C

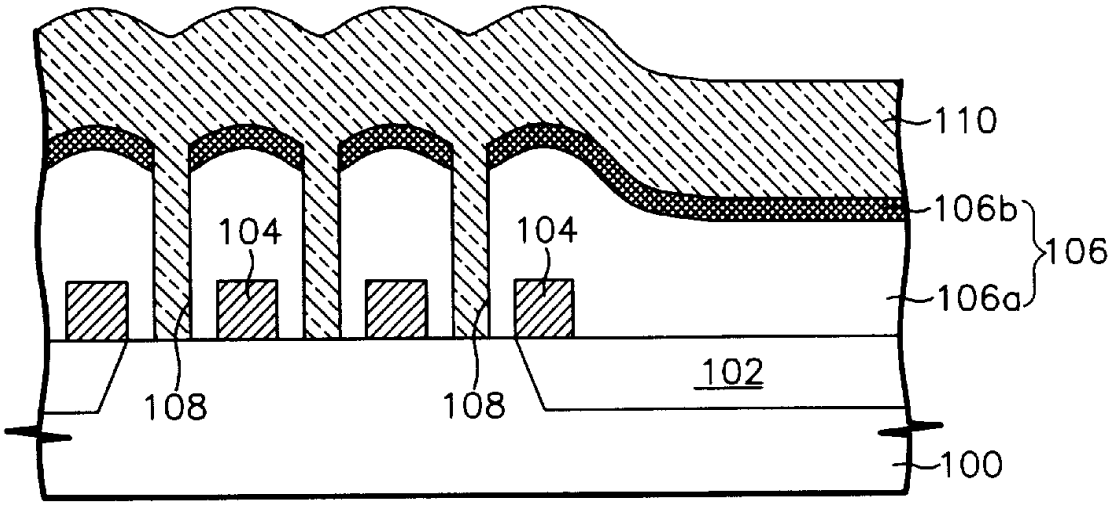

110
106b
106
104
104
106a
102
108
108
100

图 2D

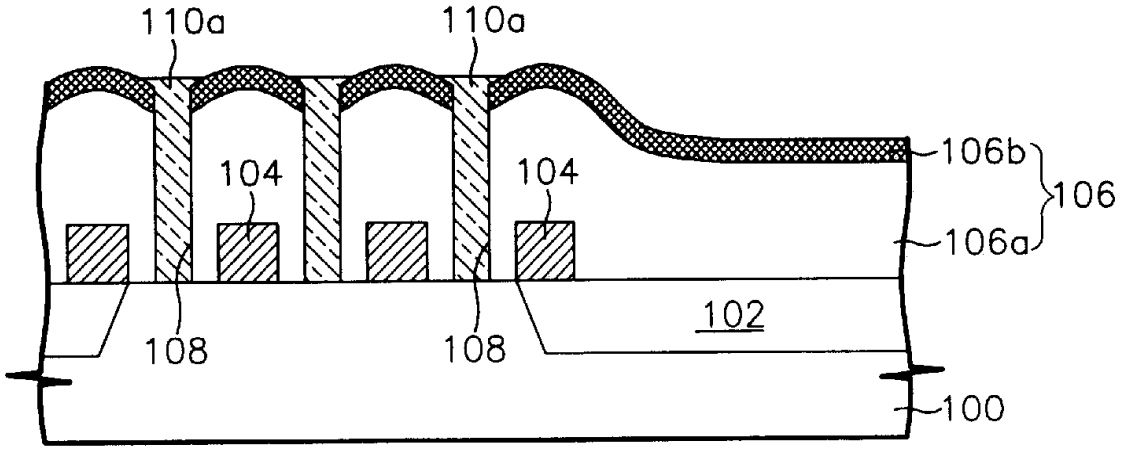

110a
110a
106b
106
104
104
106a
102
108
108
100

图 2E

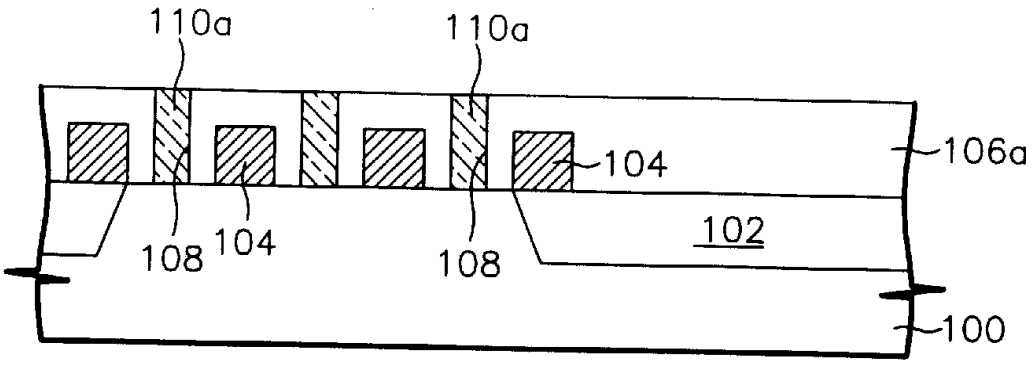

110a
110a
104
106a
108
104
108
102
100

图 3

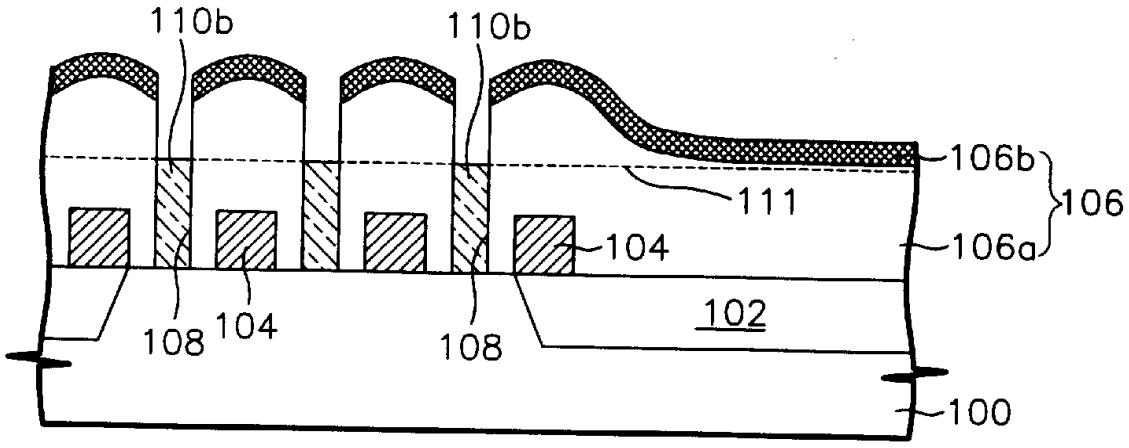

110b
110b
106b
106
111
104
106a
108
104
108
102
100

图 4A

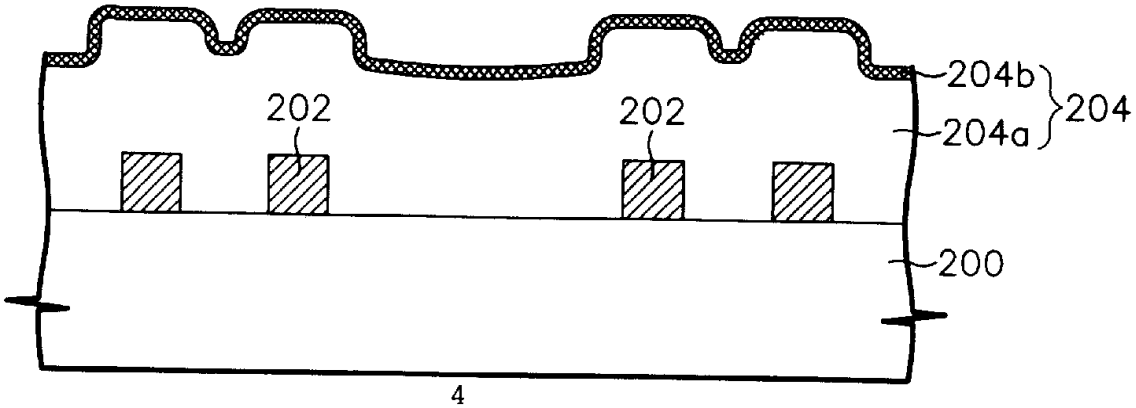

204b
204
202
202
204a
200

图 4B

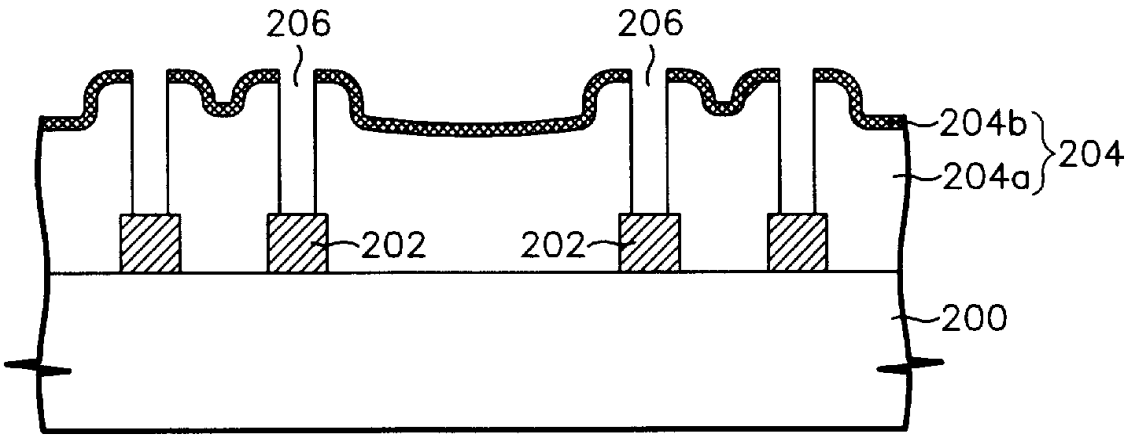

206
206
204b
204
204a
202
202
200

图 4C

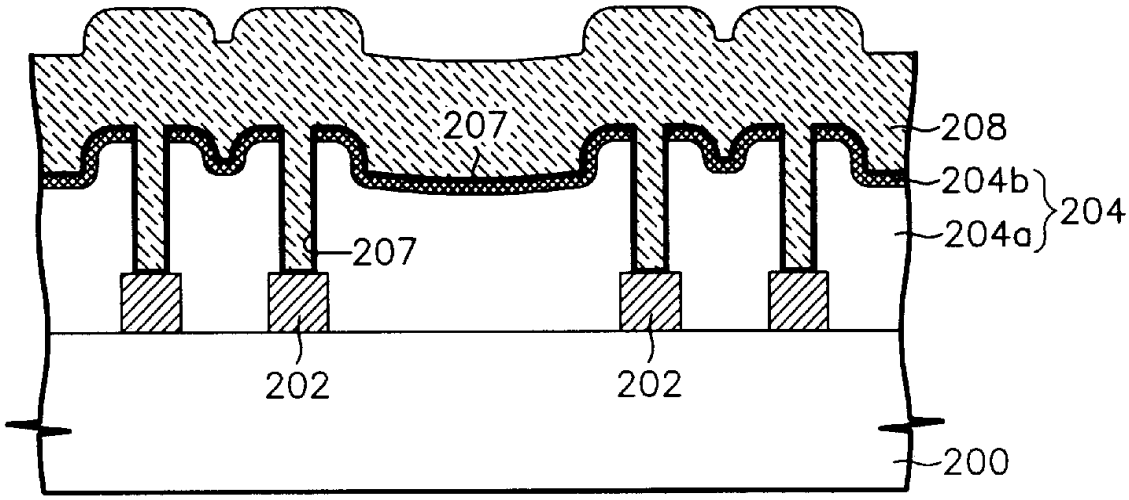

207
208
204b
204
204a
207
202
202
200

图 4D

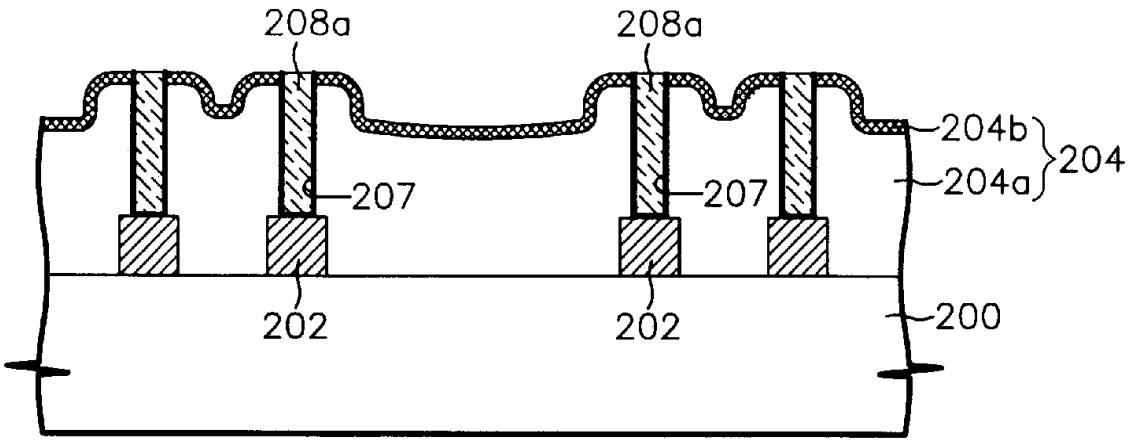

208a
208a
204b
204
204a
207
207
202
202
200

图 4E

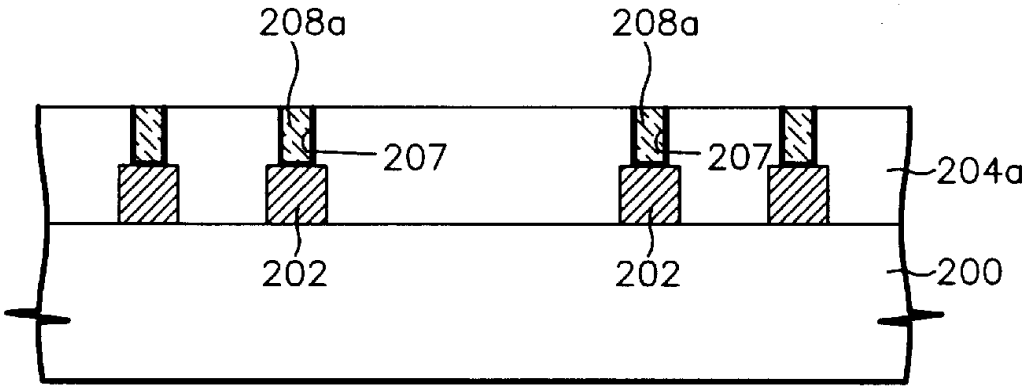
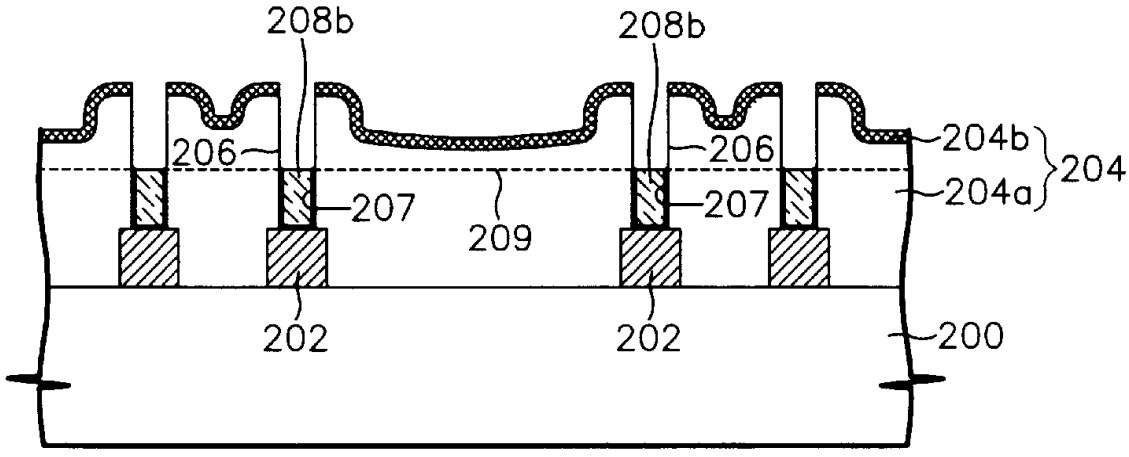

208a
208a
207
207
204a
202
202
200

图 5


208b
208b
206
206
204b
204
204a
207
207
209
202
202
200