

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6956743号
(P6956743)

(45) 発行日 令和3年11月2日(2021.11.2)

(24) 登録日 令和3年10月7日(2021.10.7)

(51) Int.Cl.

G 11 C 5/14 (2006.01)
G 06 F 1/26 (2006.01)

F 1

G 11 C 5/14
G 06 F 1/26

3 7 O

請求項の数 36 (全 38 頁)

(21) 出願番号	特願2018-560982 (P2018-560982)
(86) (22) 出願日	平成29年5月15日 (2017.5.15)
(65) 公表番号	特表2019-517705 (P2019-517705A)
(43) 公表日	令和1年6月24日 (2019.6.24)
(86) 國際出願番号	PCT/US2017/032632
(87) 國際公開番号	W02017/205096
(87) 國際公開日	平成29年11月30日 (2017.11.30)
審査請求日	令和2年5月1日 (2020.5.1)
(31) 優先権主張番号	62/342,560
(32) 優先日	平成28年5月27日 (2016.5.27)
(33) 優先権主張国・地域又は機関	米国(US)
(31) 優先権主張番号	62/459,187
(32) 優先日	平成29年2月15日 (2017.2.15)
(33) 優先権主張国・地域又は機関	米国(US)

(73) 特許権者	507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 921 21 サンディエゴ モアハウス ドラ イブ 5775
(74) 代理人	100108453 弁理士 村山 靖彦
(74) 代理人	100163522 弁理士 黒田 晋平
(72) 発明者	シェラッダー・スリーダー アメリカ合衆国・ノース・カロライナ・2 7617・ローリー・グローブチェース・ レーン・10300

最終頁に続く

(54) 【発明の名称】電力多重化システムにおける供給電力レールから受電回路への多重化電力のドライブ強度の適応制御

(57) 【特許請求の範囲】

【請求項 1】

電力多重化システムであって、

電力多重化回路と少なくとも1つの制御回路とを備え、

前記電力多重化回路が、

第1の電圧を有する第1の供給電力レールと、少なくとも1つの受電回路に結合された出力電力レールとの間に結合された、第1の供給選択回路と、

第2の電圧を有する第2の供給電力レールと、前記出力電力レールとの間に結合された、第2の供給選択回路とを備え、

前記第1の供給選択回路が、第1のドライブ強度インジケータに基づく第1のドライブ強度において、前記出力電力レールに、前記第1の供給電力レールにおける前記第1の電圧を選択的に駆動し、前記第1の供給選択回路の出力インピーダンスを可変的に調整するよう構成され、

前記第2の供給選択回路が、第2のドライブ強度インジケータに基づく第2のドライブ強度において、前記出力電力レールに、前記第2の供給電力レールにおける前記第2の電圧を選択的に駆動し、前記第2の供給選択回路の出力インピーダンスを可変的に調整するよう構成され、

前記第1の供給選択回路は、さらに、第1のダイオードドロップ接続が確立されている間に、前記第1の供給選択回路を介した前記出力電力レールへの電力供給から前記第2の供給選択回路を介した電力供給にスイッチングするための供給電力レールスイッチイネーブ

10

20

ル状態を示す供給電力レールスイッチ信号に応答して、前記第1の供給電力レールと前記出力電力レールとの間の第1のダイオードドロップ接続を確立するように構成されたダイオードドロップ制御回路を備え、

前記少なくとも1つの制御回路は、

しきい値電圧未満の電圧レベルである前記第2の電圧に応答して、第1の供給電力レール選択イネーブル状態を示す第1の供給電力レール選択インジケータを受信すること、

前記しきい値電圧以上の電圧レベルである前記第2の電圧に応答して、第2の供給電力レール選択イネーブル状態を示す第2の供給電力レール選択インジケータを受信すること、

前記出力電力レールの出力電圧を監視すること、

前記第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータに応答して、

前記出力電力レールにおける前記出力電圧の電圧レベルを、前記第1の供給選択回路に関連付けられた第1の基準電圧レベルと比較し

前記出力電力レールにおける前記出力電圧の前記電圧レベルと、前記第1の基準電圧レベルとの前記比較に基づいて、前記第1のドライブ強度インジケータを選択的に生成すること、および

前記第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータに応答して、

前記出力電力レールにおける前記出力電圧の前記電圧レベルを、前記第2の供給選択回路に関連付けられた第2の基準電圧レベルと比較し

前記出力電力レールにおける前記出力電圧の前記電圧レベルと、前記第2の基準電圧レベルとの前記比較に基づいて、前記第2のドライブ強度インジケータを選択的に生成すること

を行うように構成された、電力多重化システム。

【請求項 2】

前記第1の供給選択回路が、前記第1の供給電力レールと、前記少なくとも1つの受電回路に結合された前記出力電力レールとの間に結合された、第1の電力スイッチ回路を備え、前記第1の電力スイッチ回路が、

前記第1のドライブ強度インジケータを受信すること、および

前記第1のドライブ強度インジケータに基づく前記第1のドライブ強度において、前記出力電力レールに、前記第1の供給電力レールにおける前記第1の電圧を選択的に駆動すること

を行うように構成され、

前記第2の供給選択回路が、前記第2の供給電力レールと前記出力電力レールとの間に結合された、第2の電力スイッチ回路を備え、前記第2の電力スイッチ回路が、

前記第2のドライブ強度インジケータを受信すること、および

前記第2のドライブ強度インジケータに基づく前記第2のドライブ強度において、前記出力電力レールに、前記第2の供給電力レールにおける前記第2の電圧を選択的に駆動すること

を行うように構成された、請求項1に記載の電力多重化システム。

【請求項 3】

前記第1の電力スイッチ回路が第1の複数の電力ヘッドスイッチを備え、前記第1の複数の電力ヘッドスイッチは、関連付けられたドライブ強度を各々が有し、前記第1の供給電力レールと前記出力電力レールとの間に結合され、前記第1の複数の電力ヘッドスイッチの各々が、

前記第1のドライブ強度インジケータの関連付けられた第1の電力スイッチ選択信号を受信すること、および

受信された前記関連付けられた第1の電力スイッチ選択信号に応答して、前記出力電力レールに、前記第1の供給電力レールにおける前記第1の電圧を選択的に駆動すること

10

20

30

40

50

を行うように構成され、

前記第2の電力スイッチ回路が第2の複数の電力ヘッドスイッチを備え、前記第2の複数の電力ヘッドスイッチは、関連付けられたドライブ強度を各々が有し、前記第2の供給電力レールと前記出力電力レールとの間に結合され、前記第2の複数の電力ヘッドスイッチの各々が、

前記第2のドライブ強度インジケータの関連付けられた第2の電力スイッチ選択信号を受信すること、および

受信された前記関連付けられた第2の電力スイッチ選択信号に応答して、前記出力電力レールに、前記第2の供給電力レールにおける前記第2の電圧を選択的に駆動することを行うように構成された、請求項2に記載の電力多重化システム。

10

【請求項4】

前記第1の複数の電力ヘッドスイッチが、第1の複数のトランジスタを備え、前記第1の複数のトランジスタの各々が、第1のドレインと、第1のソースと、前記関連付けられた第1の電力スイッチ選択信号を受信するように構成された第1のゲートとを備え、前記第1のゲートに印加された前記関連付けられた第1の電力スイッチ選択信号の電圧に応答して、前記出力電力レールに、前記第1の供給電力レールにおける前記第1の電圧を駆動するよう構成され、

前記第2の複数の電力ヘッドスイッチが、第2の複数のトランジスタを備え、前記第2の複数のトランジスタの各々が、第2のドレインと、第2のソースと、前記関連付けられた第2の電力スイッチ選択信号を受信するように構成された第2のゲートとを備え、前記第2のゲートに印加された前記関連付けられた第2の電力スイッチ選択信号の電圧に応答して、前記出力電力レールに、前記第2の供給電力レールにおける前記第2の電圧を駆動するよう構成される、請求項3に記載の電力多重化システム。

20

【請求項5】

低速ランプ回路をさらに備え、前記低速ランプ回路が、

受信された前記関連付けられた第1の供給電力レール選択インジケータが、第1の電力スイッチ選択イネーブル状態を示すことに応答して、

前記第1のドライブ強度インジケータを受信し、

前記第1のドライブ強度インジケータのランピングレートを制御し、

受信された前記関連付けられた第2の供給電力レール選択インジケータが、第2の電力スイッチ選択イネーブル状態を示すことに応答して、

30

前記第2のドライブ強度インジケータを受信し、

前記第2のドライブ強度インジケータのランピングレートを制御するよう構成された、請求項3に記載の電力多重化システム。

【請求項6】

前記低速ランプ回路が、

イネーブル入力上で受信された前記第1の電力スイッチ選択信号に応答して、ドライブ強度インジケータを提供するように構成されたヘッドスイッチ回路と、

前記第1の電力スイッチ選択信号に応答して、前記ヘッドスイッチ回路により前記ドライブ強度インジケータを提供することを制御するためにランプ制御信号を生成するよう構成されたヘッドスイッチ制御回路と、

40

低速ランプ制御入力に結合される電流シンク回路であって、前記ドライブ強度インジケータのランピングレートを制御するように構成された電流シンク回路とを備える、請求項5に記載の電力多重化システム。

【請求項7】

前記ダイオードドロップ制御回路が、供給電力レールスイッチディセーブル状態を示す前記供給電力レールスイッチ信号に応答して、前記第1の供給電力レールと前記出力電力レールとの間の前記第1のダイオードドロップ接続を切断するようにさらに構成される、請求項1に記載の電力多重化システム。

【請求項8】

50

前記ダイオードドロップ制御回路が、前記供給電力レールスイッチネーブル状態を示す前記供給電力レールスイッチ信号に応答して、前記出力電力レールにおける前記第1の電圧を、第2のしきい値電圧だけ下回るような電圧を維持するようにさらに構成される、請求項1に記載の電力多重化システム。

【請求項9】

前記ダイオードドロップ制御回路が、前記供給電力レールスイッチネーブル状態を示す前記供給電力レールスイッチ信号に応答して、前記出力電力レールから前記第1の供給電力レールへの電流フローを防止または低減するようにさらに構成される、請求項1に記載の電力多重化システム。

【請求項10】

10

前記ダイオードドロップ制御回路が、

前記第1の供給選択回路の第1の電力レール選択入力に結合された、ダイオードドロップ入力と、

前記供給電力レールスイッチ信号を受信するように構成された、ダイオードドロップ制御入力と、

第1の電力出力に結合された、ダイオードドロップ出力と、

前記供給電力レールスイッチネーブル状態を示す前記供給電力レールスイッチ信号に応答して、前記第1の電力レール選択入力と前記第1の電力出力との間に前記第1のダイオードドロップ接続を確立するように構成された、前記ダイオードドロップ制御回路とを備える、請求項1に記載の電力多重化システム。

20

【請求項11】

前記少なくとも1つの制御回路が、第1の適応モード選択回路を備え、前記第1の適応モード選択回路が、

適応モードディセーブル状態を示す第1の適応モード選択信号に応答して、前記第1のドライブ強度インジケータを第1のバイパスドライブ強度インジケータとして選択的に提供すること、および

適応モードイネーブル状態を示す前記第1の適応モード選択信号に応答して、前記第1のドライブ強度インジケータを第1の適応ドライブ強度インジケータとして選択的に提供すること

を行うように構成される、請求項1に記載の電力多重化システム。

30

【請求項12】

前記少なくとも1つの制御回路が、第2の適応モード選択回路をさらに備え、前記第2の適応モード選択回路が、

適応モードディセーブル状態を示す第2の適応モード選択信号に応答して、前記第2のドライブ強度インジケータを第2のバイパスドライブ強度インジケータとして選択的に提供すること、および

適応モードイネーブル状態を示す前記第2の適応モード選択信号に応答して、前記第2のドライブ強度インジケータを第2の適応ドライブ強度インジケータとして選択的に提供すること

を行うように構成される、請求項11に記載の電力多重化システム。

40

【請求項13】

前記第1の適応モード選択回路が、第1のマルチプレクサ回路を備え、前記第1のマルチプレクサ回路が、

前記第1のバイパスドライブ強度インジケータを受信するように構成された、第1の入力と、

前記第1の適応ドライブ強度インジケータを受信するように構成された、第2の入力と、

前記第1の適応モード選択信号を受信するように構成された、選択入力と、

前記第1のドライブ強度インジケータを提供するように構成された出力とを備え、

前記第1のマルチプレクサ回路が、

50

前記適応モードディセーブル状態を示す、前記選択入力からの前記第1の適応モード選択信号に応答して、前記第1の入力からの前記第1のバイパスドライブ強度インジケータを前記出力に選択的に提供すること、および

前記適応モードイネーブル状態を示す、前記選択入力からの前記第1の適応モード選択信号に応答して、前記第2の入力からの前記第1の適応ドライブ強度インジケータを前記出力に選択的に提供すること

を行うように構成される、請求項11に記載の電力多重化システム。

【請求項14】

前記少なくとも1つの制御回路が、

前記出力電圧と基準出力電圧との間の電圧レベルにおける比較を示す比較出力信号を生成するように構成された、比較器回路と、10

前記比較出力信号に基づいて、前記電圧レベルを示すカウンタのカウンタ値を更新し、前記出力電圧の前記電圧レベルを示すドライブ強度インジケータを生成するように構成された、カウンタ回路と、

前記第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータに応答して、前記ドライブ強度インジケータを含む前記第1のドライブ強度インジケータを生成するように構成された、前記少なくとも1つの制御回路とを備える、請求項1に記載の電力多重化システム。

【請求項15】

前記少なくとも1つの制御回路が、

前記第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータに応答して、ドライブ強度インジケータを含む前記第2のドライブ強度インジケータを生成するようにさらに構成された、請求項14に記載の電力多重化システム。20

【請求項16】

前記少なくとも1つの制御回路が、受信されたコードワードに基づいて、前記基準出力電圧を生成するように構成された、デジタルアナログ変換器(DAC)回路をさらに備える、請求項14に記載の電力多重化システム。

【請求項17】

前記カウンタ回路が、受信されたクロック信号に応答して前記カウンタの前記カウンタ値を更新するようにさらに構成された、請求項14に記載の電力多重化システム。30

【請求項18】

前記少なくとも1つの制御回路が、

基準電圧に基づいて、第1の周波数における第1の制御信号を生成するように構成された、第1の電圧制御発振器(VCO)と、

前記出力電力レールにおける前記出力電圧に基づいて、第2の周波数における第2の制御信号を生成するように構成された、第2のVCOと、

状態機械回路であって、

前記第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータに応答して、前記第1の制御信号の前記第1の周波数と、前記第2の制御信号の前記第2の周波数との比較に基づいて、前記第1のドライブ強度インジケータを生成すること40

を行うように構成された、状態機械回路と

を備える、請求項1に記載の電力多重化システム。

【請求項19】

前記状態機械回路が、

前記第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータに応答して、前記第1の制御信号の前記第1の周波数と前記第2の制御信号の前記第2の周波数との比較に基づいて前記第2のドライブ強度インジケータを生成するようにさらに構成された、請求項18に記載の電力多重化システム。

【請求項20】

10

30

40

50

前記状態機械回路が位相周波数検出器を備える、請求項18に記載の電力多重化システム。
。

【請求項 2 1】

前記第1の供給電力レールが、メモリ領域におけるメモリ電力供給から、メモリ電圧を前記第1の電圧として受信するように構成されたメモリ供給電力レールを備え、

前記第2の供給電力レールが、論理領域における論理電力供給から、論理電圧を前記第2の電圧として受信するように構成された論理供給電力レールを備え、

前記少なくとも1つの受電回路が、少なくとも1つのメモリアレイを備え、

前記少なくとも1つの制御回路が、

前記少なくとも1つのメモリアレイにおけるデータ保持のための前記しきい値電圧未満の電圧レベルである前記論理電圧に応答して、第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータを受信し、

前記少なくとも1つのメモリアレイにおけるデータ保持のための前記しきい値電圧以上の電圧レベルである前記論理電圧に応答して、第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータを受信するように構成され、

前記第1の供給選択回路が、前記第1のドライブ強度インジケータに基づく第1のドライブ強度において、前記出力電力レールに、前記メモリ供給電力レールにおける前記メモリ電圧を選択的に駆動するように構成され、

前記第2の供給選択回路が、前記第2のドライブ強度インジケータに基づく前記第2のドライブ強度において、前記出力電力レールに、前記論理電圧を選択的に駆動するように構成される、請求項1に記載の電力多重化システム。

【請求項 2 2】

システムオンチップ(SoC)に組み込まれた、請求項1に記載の電力多重化システム。

【請求項 2 3】

セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム(GPS)デバイス、モバイルフォン、セルラーフォン、スマートフォン、セッション開始プロトコル(SIP)フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、装着型コンピューティングデバイス、デスクトップコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビ、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両構成要素、アビオニクスシステム、ドローン、およびマルチコプターからなるグループから選択されたデバイスに組み込まれた、請求項1に記載の電力多重化システム。

【請求項 2 4】

電力多重化システムであって、

第1のドライブ強度インジケータに基づく第1のドライブ強度において、出力電力レールに、第1の供給電力レールにおける第1の電圧を選択的に駆動するための第1の供給手段と、

第2のドライブ強度インジケータに基づく第2のドライブ強度において、前記出力電力レールに、第2の供給電力レールにおける第2の電圧を選択的に駆動するための第2の供給手段と、

第1のダイオードドロップ接続が確立されている間に、前記第1の供給手段を介した前記出力電力レールへの電力供給から前記第2の供給手段を介した電力供給にスイッチングするための供給電力レールスイッチイネーブル状態を示す供給電力レールスイッチ信号に応答して、前記第1の供給電力レールと前記出力電力レールとの間の第1のダイオードドロップ接続を確立するための手段と、

しきい値電圧未満の電圧レベルである前記第2の電圧に応答して、第1の供給電力レール選択イネーブル状態を示す第1の供給電力レール選択インジケータを受信するための手段

10

20

30

40

50

と、

前記しきい値電圧以上の電圧レベルである前記第2の電圧に応答して、第2の供給電力レール選択イネーブル状態を示す第2の供給電力レール選択インジケータを受信するための手段と、

前記出力電力レールの出力電圧を監視するための手段と、

前記第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータに応答して、前記出力電力レールにおける前記出力電圧の電圧レベルを、第1の供給選択回路に関連付けられた第1の基準電圧レベルと比較するための手段と、

前記第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータに応答して、前記出力電力レールにおける前記出力電圧の電圧レベルを、前記第1の基準電圧レベルと比較するための手段に基づいて、前記第1のドライブ強度インジケータを選択的に生成するための手段と、

前記第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータに応答して、前記出力電力レールにおける前記出力電圧の前記電圧レベルを、第2の供給選択回路に関連付けられた第2の基準電圧レベルと比較するための手段と、

前記第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータに応答して、前記出力電力レールにおける前記出力電圧の前記電圧レベルを、前記第2の基準電圧レベルと比較するための手段に基づいて、前記第2のドライブ強度インジケータを選択的に生成するための手段と

を備える、電力多重化システム。

【請求項 25】

電力多重化回路における供給電力レールから受電回路への多重化電力のドライブ強度を適応制御する方法であって、

出力電力レールの出力電圧を監視するステップと、

第1の供給電力レール選択イネーブル状態を示す第1の供給電力レール選択インジケータに応答する、

前記出力電力レールにおける前記出力電圧の電圧レベルを、第1の供給選択回路に関連付けられた第1の基準電圧レベルと比較するステップ、

前記出力電力レールにおける前記出力電圧の前記電圧レベルと、前記第1の基準電圧レベルとの前記比較に基づいて、第1のドライブ強度インジケータを選択的に生成するステップ、および

前記第1の供給選択回路の出力インピーダンスを可変的に調整する前記第1のドライブ強度インジケータに基づく第1のドライブ強度において、前記出力電力レールに、第1の供給電力レールにおける第1の電圧を前記第1の供給選択回路により選択的に駆動するステップと、

第2の供給電力レール選択イネーブル状態を示す第2の供給電力レール選択インジケータに応答する、

前記出力電力レールにおける前記出力電圧の前記電圧レベルを、第2の供給選択回路に関連付けられた第2の基準電圧レベルと比較するステップ、

前記出力電力レールにおける前記出力電圧の前記電圧レベルと、前記第2の基準電圧レベルとの前記比較に基づいて、第2のドライブ強度インジケータを選択的に生成するステップ、および

前記第2の供給選択回路の前記出力インピーダンスを可変的に調整する前記第2のドライブ強度インジケータに基づく第2のドライブ強度において、前記出力電力レールに、第2の供給電力レールにおける第2の電圧を前記第2の供給選択回路を介して選択的に駆動するステップと、

しきい値電圧未満の電圧レベルである前記第2の電圧に応答して、第1の供給電力レール選択イネーブル状態を示す第1の供給電力レール選択インジケータを受信するステップと、

前記しきい値電圧以上の電圧レベルである前記第2の電圧に応答して、第2の供給電力レ

10

20

30

40

50

ール選択イネーブル状態を示す第2の供給電力レール選択インジケータを受信するステップと、

第1のダイオードドロップ接続が確立されている間に、前記第1の供給選択回路を介した前記出力電力レールへの電力供給から前記第2の供給選択回路を介した電力供給にスイッチングするための供給電力レールスイッチャイネーブル状態を示す供給電力レールスイッチ信号に応答して、前記第1の供給電力レールと前記出力電力レールとの間のダイオードドロップ接続を確立するステップと
を含む、方法。

【請求項 2 6】

前記第1の供給電力レールにおける前記第1の電圧を選択的に駆動するステップが、10

前記第1のドライブ強度インジケータに基づき、第1の複数の電力ヘッドスイッチのうちの1つまたは複数の電力ヘッドスイッチを選択的に駆動するステップであって、前記第1の複数の電力ヘッドスイッチの各々が、関連付けられたドライブ強度を有し、前記第1の供給電力レールと前記出力電力レールとの間に結合される、ステップを含み、

前記第2の供給電力レールにおける前記第2の電圧を選択的に駆動するステップが、

前記第2のドライブ強度インジケータに基づき、第2の複数の電力ヘッドスイッチのうちの1つまたは複数の電力ヘッドスイッチを選択的に駆動するステップであって、前記第2の複数の電力ヘッドスイッチの各々が、関連付けられたドライブ強度を有し、前記第2の供給電力レールと前記出力電力レールとの間に結合される、ステップを含む、請求項25に記載の方法。20

【請求項 2 7】

第1の電力スイッチ選択信号に応答してドライブ強度インジケータを提供することを制御するためにランプ制御信号を生成するステップと、

前記ドライブ強度インジケータのランピングレートを制御するステップと
をさらに含む、請求項26に記載の方法。

【請求項 2 8】

供給電力レールスイッチャイネーブル状態を示す前記供給電力レールスイッチ信号に応答して、前記第1の供給電力レールと前記出力電力レールとの間の前記ダイオードドロップ接続を切断するステップをさらに含む、請求項25に記載の方法。

【請求項 2 9】

前記供給電力レールスイッチャイネーブル状態を示す前記供給電力レールスイッチ信号に応答して、前記ダイオードドロップ接続により、前記出力電力レールにおける前記第1の電圧を、第2のしきい値電圧だけ下回るような電圧を維持するステップをさらに含む、請求項25に記載の方法。30

【請求項 3 0】

前記供給電力レールスイッチャイネーブル状態を示す前記供給電力レールスイッチ信号に応答して、前記出力電力レールから前記第1の供給電力レールへの電流フローを防止または低減するステップをさらに含む、請求項25に記載の方法。

【請求項 3 1】

適応モードディセーブル状態を示す第1の適応モード選択信号に応答して、前記第1のドライブ強度インジケータを第1のバイパスドライブ強度インジケータとして選択的に提供するステップと、40

適応モードイネーブル状態を示す前記第1の適応モード選択信号に応答して、前記第1のドライブ強度インジケータを第1の適応ドライブ強度インジケータとして選択的に提供するステップと

をさらに含む、請求項25に記載の方法。

【請求項 3 2】

適応モードディセーブル状態を示す第2の適応モード選択信号に応答して、前記第2のドライブ強度インジケータを第2のバイパスドライブ強度インジケータとして選択的に提供するステップと、50

適応モードイネーブル状態を示す前記第2の適応モード選択信号に応答して、前記第2のドライブ強度インジケータを第2の適応ドライブ強度インジケータとして選択的に提供するステップと

をさらに含む、請求項31に記載の方法。

【請求項 3 3】

前記出力電力レールにおける前記出力電圧の前記電圧レベルと、前記第1の基準電圧レベルとの前記比較に基づいて、前記第1のドライブ強度インジケータを選択的に生成するステップが、

前記出力電圧と基準出力電圧との間の電圧レベルにおける比較を示す比較出力信号を生成するステップと、

前記比較出力信号に基づいて、前記電圧レベルを示すカウンタのカウンタ値を更新するステップと、

前記出力電圧の前記電圧レベルを示すドライブ強度インジケータを生成するステップと、

前記第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータに応答して、前記ドライブ強度インジケータを含む前記第1のドライブ強度インジケータを生成するステップと

を含む、請求項25に記載の方法。

【請求項 3 4】

前記出力電力レールにおける前記出力電圧の前記電圧レベルと、前記第2の基準電圧レベルとの前記比較に基づいて、前記第2のドライブ強度インジケータを選択的に生成するステップが、

前記出力電圧と基準出力電圧との間の電圧レベルにおける前記比較を示す比較出力信号を生成するステップと、

前記比較出力信号に基づいて、前記電圧レベルを示すカウンタのカウンタ値を更新するステップと、

前記出力電圧の前記電圧レベルを示す第2の電力レールドライブ強度インジケータを生成するステップと、

前記第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータに応答して、前記第2の電力レールドライブ強度インジケータを含む前記第2のドライブ強度インジケータを生成するステップと

を含む、請求項25に記載の方法。

【請求項 3 5】

前記出力電力レールにおける前記出力電圧の前記電圧レベルと、前記第1の基準電圧レベルとの前記比較に基づいて、前記第1のドライブ強度インジケータを選択的に生成するステップが、

基準電圧に基づいて、第1の周波数における第1の制御信号を生成するステップと、

前記出力電力レールにおける前記出力電圧に基づいて、第2の周波数における第2の制御信号を生成するステップと、

前記第1の供給電力レール選択イネーブル状態を示す前記第1の供給電力レール選択インジケータに応答して、前記第1の制御信号の前記第1の周波数と、前記第2の制御信号の前記第2の周波数との比較に基づいて、前記第1のドライブ強度インジケータを生成するステップと

を含む、請求項25に記載の方法。

【請求項 3 6】

前記第2の供給電力レール選択イネーブル状態を示す前記第2の供給電力レール選択インジケータに応答して、前記第1の制御信号の前記第1の周波数と、前記第2の制御信号の前記第2の周波数との前記比較に基づいて、前記第2のドライブ強度インジケータを生成するステップをさらに含む、請求項35に記載の方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】****優先権出願**

本出願は、その全体が参照により本明細書に組み込まれる、2016年5月27日に出願された「ADAPTIVE DRIVE STRENGTH REGULATION OF SUPPLY SELECTION CIRCUITS IN A POWER MULTIPLEXING SYSTEM」と題する米国仮特許出願第62/342,560号の優先権を主張する。

【0002】

本出願はまた、同じくその全体が参照により本明細書に組み込まれる、2017年2月15日に出願された「ADAPTIVELY CONTROLLING DRIVE STRENGTH OF MULTIPLEXED POWER FROM SUPPLY POWER RAILS IN A POWER MULTIPLEXING SYSTEM TO A POWERED CIRCUIT」と題する米国仮特許出願第62/459,187号の優先権を主張する。 10

【0003】

本出願はまた、その全体が参照により本明細書に組み込まれる、2017年5月12日に出願された「ADAPTIVELY CONTROLLING DRIVE STRENGTH OF MULTIPLEXED POWER FROM SUPPLY POWER RAILS IN A POWER MULTIPLEXING SYSTEM TO A POWERED CIRCUIT」と題する米国特許出願第15/593,809号の優先権を主張する。

【0004】

本開示の技術は、一般に、複数の電力レールから演算回路に電力を選択的に供給するように構成された電力多重化システムに関する。

【背景技術】

20

【0005】

回路は、ますます電力節約を念頭に置いて設計されている。このことは、バッテリー電源式であるポータブル電子デバイスにとって特にそうである。一般的な例は、特にモバイルフォンおよびラップトップコンピュータを含む。電力消費の増大は、望ましくなく、より速いバッテリー消耗およびより短いバッテリー寿命をもたらす。電力を節約する1つの方法は、有効電力式 $P=CV^2f$ に従って、回路の動作周波数を下げる事である。しかしながら、動作周波数を低減することは、回路性能(すなわち、速度)をより低くする結果となる。概して、有効電力は、動作電圧の所与の低減に対して2次的に低減するので、電力を節約する別の方法は、動作電圧を下げる事である。しかしながら、回路において動作電圧を下げる事は速度性能を下げ、そのことも望ましくない事がある。さらに、回路のいくつかのセルまたは構成要素は、下回るとデータを読み取りかつ書き込み、ならびにデータを保持するように動作しない最小動作電圧を有することがある。 30

【0006】

性能と電力消費との間のトレードオフに対処するために、回路において複数の動作電圧領域(「電圧領域」)がますます設けられるようになっている。回路の様々な構成要素に異なる動作電圧を与えるために、複数の電圧領域を通過する回路経路が設けられる。複数の電圧領域を設けることは、電力を節約するために、より低い電圧領域が最小電圧レベルを必要としない構成要素に電力を与えることを可能にする。メモリ動作機能性のための最小動作電圧を有するか、または性能を犠牲にできないクリティカルパスをもたらす構成要素は、より高い電圧領域によって電力供給されてよい。複数の電圧領域を設けることはまた、高い方の電圧領域の中の構成要素の動作に影響を及ぼすことなく、低い方の電圧領域がスケールダウンされて電力節約モード中の電力を節約すること、またはスケールアップされて性能の向上(すなわち、ハイパー性能)をもたらすことを可能にする。 40

【0007】

この点について、電力多重化システムは、回路に電力を供給するために、各々が異なる電圧領域(すなわち、電圧レベル)を有する、複数の電力レールの中の電力レールを選択的に結合するために採用され得る。図1は、そのような例示的な電力多重化システム100のブロック図である。図1における電力多重化システム100では、第1の供給電力レール102(1)および第2の供給電力レール102(2)が設けられる。第1の供給電力レール102(1)は、第1の電圧 $V_{DD(1)}$ において、第1の電圧源104(1)を設けるように構成される。第2の供給電力レー 50

ル102(2)は、第2の電圧 $V_{DD(2)}$ において、第2の電圧源104(2)を設けるように構成される。第1の電圧源104(1)および第2の電圧源104(2)は、同じまたは異なる電力供給(図示せず)によって設けられ得る。たとえば、第1の電圧 $V_{DD(1)}$ は1ボルト(V)であり得、第2の電圧 $V_{DD(2)}$ は0.6Vであり得る。一例として、電力多重化システム100は、第1の供給電力レール102(1)または第2の供給電力レール102(2)を、受電回路106の動作モードに基づいて、受電回路106に結合された出力電力レール104に選択的に結合するように構成され得る。たとえば、受電回路106が、プロセッサベースシステムにおけるメモリアレイなど、メモリ回路である場合、電力多重化システム100は、アクティブなメモリ動作中に、第1の供給電力レール102(1)を出力電力レール104に結合すること、および、アイドルモード中に、第2の供給電力レール102(2)を出力電力レール104に結合することを行うように構成され得る。たとえば、第2の電圧 $V_{DD(2)}$ は、受電回路106におけるメモリ保持のために十分であり得る。

【0008】

引き続き図1を参照すると、電力多重化システム100は、P型金属酸化物半導体(MOS)(PMOS)トランジスタ110(1)の形態の第1のヘッドスイッチ回路108(1)を含む。PMOSトランジスタ110(1)は、第1の供給電力レール102(1)と出力電力レール104との間に結合される。PMOSトランジスタ110(1)は、第1の供給電力レール102(1)を出力電力レール104に、それぞれ結合および減結合するために、第1の電力レールイネーブル信号112(1)の状態に応答して、アクティブ化および非アクティブ化されるように構成される。電力多重化システム100はまた、第2の供給電力レール102(2)と出力電力レール104との間に結合される、同じくPMOSトランジスタ110(2)の形態の、第2のヘッドスイッチ回路108(2)を含む。第2のヘッドスイッチ回路108(2)は、第2の電力レールイネーブル信号112(2)に応答して、出力電力レール104との間で第2の供給電力レール102(2)を選択的に結合および減結合するように構成される。

【0009】

第1のヘッドスイッチ回路108(1)および第2のヘッドスイッチ回路108(2)における、第1のPMOSトランジスタ110(1)および第2のPMOSトランジスタ110(2)は、第1の電力レール102(1)および第2の電力レール102(2)から出力電力レール104へ電力を供給するために、所望のドライブ強度を与えるようにサイズ決定される。しかしながら、プロセス電圧温度(PVT)ばらつきによって、第1のPMOSトランジスタ110(1)および第2のPMOSトランジスタ110(2)のドライブ強度が、それらの期待されたドライブ強度から変動され得る。それぞれの第1の電力レール102(1)および第2の電力レール102(2)が出力電力レール104に結合されるとき、出力電力レール104上の第1の電圧源104(1)および第2の電圧源104(2)によって与えられる電圧 $V_{DD(1)}$ 、 $V_{DD(2)}$ におけるドライブ強度マージンを与えるために、ドライブ強度を増すために、それぞれの第1のヘッドスイッチ回路108(1)および第2のヘッドスイッチ回路108(2)において、第1のPMOSトランジスタ110(1)および第2のPMOSトランジスタ110(2)が超過サイズに決定され得、かつ/または追加のトランジスタが設けられ得る。しかしながら、電力多重化システム100において超過サイズに決定された、かつ/または追加のトランジスタを設けることを通して、ドライブ強度を増すことで、漏れ電力が増大する。

【発明の概要】

【課題を解決するための手段】

【0010】

発明を実施するための形態で開示する態様は、電力多重化システムにおける供給電力レールから受電回路への多重化電力のドライブ強度の適応制御を含む。本明細書で開示する例示的な態様では、電力多重化回路が、電力多重化システムにおいて設けられる。電力多重化回路は、複数の供給電力レールの中のそれぞれの供給電力レールと、受電回路に結合されている出力電力レールとの間に各々が結合された、複数の供給選択回路を含む。電力多重化回路は、受電回路に電力供給するために、関連付けられた供給電力レールの結合を出力電力レールにスイッチングするために、複数の供給選択回路の中で選択された供給選択回路をアクティブ化するように構成される。電力多重化回路においてアクティブ化された供給選択回路のドライブ強度を制御するための能力を提供するために、本明細書で開示

10

20

30

40

50

する例示的な態様はまた、電力多重化回路における各供給選択回路が、ドライブ強度インジケータに基づいて、制御されたドライブ強度において、関連付けられた供給電力レールから出力電力レールに電圧を選択的に駆動するように構成されることを提供する。このようにして、一例として、アクティブ化された供給選択回路のドライブ強度は、プロセス電圧温度(PVT)ばらつきを補償して、ドライブ強度マージン、およびしたがって、結果として漏れ電力を低減するために、適応制御および調整され得る。

【0011】

一例として、複数の電圧領域における論理供給電力レールおよびメモリ供給電力レールから、受電回路としてのメモリアレイへの、多重化電力のドライブ強度を適応制御するよう構成される、電力多重化システムが提供され得る。論理供給電力レールの電圧が、データ保持のためにメモリアレイに電力供給するために十分でない場合があるとき、メモリ供給電力レールからの電力が、データ保持のためにメモリアレイに多重化される。電力多重化回路は、論理供給電力レールを、メモリアレイに結合されている出力電力レールに選択的に結合するように構成された、論理供給選択回路を含む。電力多重化回路はまた、メモリ供給電力レールを出力電力レールに選択的に結合するように構成された、メモリ供給選択回路を含む。論理供給選択回路およびメモリ供給選択回路は、それぞれの論理供給電力レールおよびメモリ供給電力レールと、出力電力レールとの間に結合された、それぞれの複数の論理電力スイッチ回路およびメモリ電力スイッチ回路(たとえば、ヘッドスイッチ)を各々含む。論理電力スイッチ回路およびメモリ電力スイッチ回路の各々は、関連付けられたドライブ強度を有する。論理電力スイッチ回路およびメモリ電力スイッチ回路は、論理供給電力レールまたはメモリ供給電力レールを出力電力レールに結合して、アクティブ化された論理供給電力レールまたはメモリ供給電力レールの電圧を出力電力レールに駆動することに寄与するために、個々にアクティブ化されるように各々構成される。制御回路は、アクティブ化された論理供給選択回路またはメモリ供給選択回路のドライブ強度を制御するように構成される。論理供給選択回路は、論理供給電力レールがメモリ領域の最小動作電圧を満たすことができるとき、メモリアレイに電力を供給するために、出力電力レールを論理供給電力レールに結合するように構成され得る。このようにして、非限定的な例として、論理供給電力レールがメモリアレイの最小動作電圧を満たすことができるとき、メモリアレイの追加の固有の減結合キャパシタンスが、論理回路のより高い電力モードの間に論理供給電力レールに結合される。電力レール選択回路が、メモリ供給電力レールを出力電力レールに結合する場合、論理領域における論理回路は、依然として、メモリアレイから別個に電力供給され得る。ただし、論理供給電力レールがメモリアレイの最小動作電圧を満たすことができないとき、メモリ供給選択回路は、メモリ供給レールを出力電力レールに結合して、メモリ電力供給からメモリアレイに電力供給することができる。

【0012】

この点について、例示的な一態様では、電力多重化システムが提供される。電力多重化システムは、電力多重化回路を備える。電力多重化回路は、第1の電圧を有する第1の供給電力レールと、少なくとも1つの受電回路に結合された出力電力レールとの間に結合された、第1の供給選択回路を備える。第1の供給選択回路は、第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、第1のドライブ強度インジケータに基づく第1のドライブ強度において、出力電力レールに、第1の供給電力レールにおける第1の電圧を選択的に駆動するように構成される。電力多重化回路はまた、第2の電圧を有する第2の供給電力レールと、出力電力レールとの間に結合された、第2の供給選択回路を備える。第2の供給選択回路は、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、第2のドライブ強度インジケータに基づく第2のドライブ強度において、出力電力レールに、第2の供給電力レールにおける第2の電圧を選択的に駆動するように構成される。電力多重化システムはまた、少なくとも1つの制御回路を備える。少なくとも1つの制御回路は、出力電力レールの出力電圧を監視するように構成される。第1の供給電力レール選択イネーブル状態を示す、第1の

10

20

30

40

50

供給電力レール選択インジケータに応答して、少なくとも1つの制御回路は、出力電力レールにおける出力電圧の電圧レベルを、第1の供給選択回路に関連付けられた第1の基準電圧レベルと比較すること、および、出力電力レールにおける出力電圧の電圧レベルと、第1の基準電圧レベルとの比較に基づいて、第1のドライブ強度インジケータを選択的に生成することを行うように構成される。第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、少なくとも1つの制御回路は、出力電力レールにおける出力電圧の電圧レベルを、第2の供給選択回路に関連付けられた第2の基準電圧レベルと比較すること、および、出力電力レールにおける出力電圧の電圧レベルと、第2の基準電圧レベルとの比較に基づいて、第2のドライブ強度インジケータを選択的に生成することを行うように構成される。

10

【0013】

別の例示的な態様では、電力多重化システムが提供される。電力多重化システムは、第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、第1のドライブ強度インジケータに基づく第1のドライブ強度において、出力電力レールに、第1の供給電力レールにおける第1の電圧を選択的に駆動するための、第1の供給手段を備える。電力多重化システムはまた、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、第2のドライブ強度において、出力電力レールに、第2の供給電力レールにおける第2の電圧を選択的に駆動するための、第2の供給手段を備える。電力多重化システムはまた、出力電力レールの出力電圧を監視するための手段を備える。電力多重化システムはまた、第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第1の供給選択回路に関連付けられた第1の基準電圧レベルと比較するための手段を備える。電力多重化システムはまた、第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第1の基準電圧レベルと比較するための手段に基づいて、第1のドライブ強度インジケータを選択的に生成するための手段を備える。電力多重化システムはまた、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第2の供給選択回路に関連付けられた第2の基準電圧レベルと比較するための手段を備える。電力多重化システムはまた、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第2の基準電圧レベルと比較するための手段に基づいて、第2のドライブ強度インジケータを選択的に生成するための手段を備える。

20

【0014】

別の例示的な態様では、電力多重化回路における供給電力レールから受電回路への多重化電力のドライブ強度を適応制御する方法が提供される。方法は、出力電力レールの出力電圧を監視するステップを含む。第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、方法はまた、出力電力レールにおける出力電圧の電圧レベルを、第1の供給選択回路に関連付けられた第1の基準電圧レベルと比較するステップと、出力電力レールにおける出力電圧の電圧レベルと、第1の基準電圧レベルとの比較に基づいて、第1のドライブ強度インジケータを選択的に生成するステップと、第1のドライブ強度インジケータに基づく第1のドライブ強度において、出力電力レールに、第1の供給電力レールにおける第1の電圧を選択的に駆動するステップとを含む。第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、方法は、出力電力レールにおける出力電圧の電圧レベルを、第2の供給選択回路に関連付けられた第2の基準電圧レベルと比較するステップと、出力電力レールにおける出力電圧の電圧レベルと、第2の基準電圧レベルとの比較に基づいて、第2のドライブ強度インジケータを選択的に生成するステップと、第2のドライブ強度インジケータに基づく第2のドライブ強度において、出力電力レールに、第2の供給電力レールにおける第2の電

30

40

50

圧を選択的に駆動するステップとを含む。

【図面の簡単な説明】

【0015】

【図1】複数の供給電力レールの中の1つの供給電力レールを、受電回路に選択的に結合するように構成される、例示的な電力多重化システムのブロック図である。

【図2】性能変動を考慮することができる、出力電力レールにおける出力電圧に基づいて、受電回路に電力供給するために、複数の供給電力レールから出力電力レールへの多重化電力のドライブ強度を適応制御するように構成される、例示的な電力多重化システムのブロック図である。

【図3】出力電力レールにおける出力電圧に基づいて、図2における電力多重化回路におけるアクティブな供給選択回路のドライブ強度を適応制御する、図2における制御回路の例示的なプロセスを示すフローチャートである。 10

【図4A】出力電力レールにおける出力電圧に基づいて、電力多重化回路におけるアクティブな供給選択回路のドライブ強度を適応制御するために、図2における電力多重化システム内に含まれ得る、例示的な制御回路のブロック図である。

【図4B】出力電力レールにおける出力電圧に基づいて、電力多重化回路におけるアクティブな供給選択回路のドライブ強度を適応制御するために、図2における電力多重化システム内に含まれ得る、別の例示的な制御回路のブロック図である。

【図5】性能変動を考慮することができる、出力電力レールにおける出力電圧に基づいて、受電回路に電力供給するために、複数の供給電力レールから出力電力レールへの多重化電力のドライブ強度を適応制御するように構成される、別の例示的な電力多重化システムのブロック図である。 20

【図6】図5の電力多重化システム内に含まれ得る、例示的な電力多重化回路のブロック図であって、電力多重化回路が、異なる選択された供給電力レールへの、出力電力レールの結合のスイッチングに応答して、多重化された供給電力レールと出力電力レールとの間にダイオードドロップ接続を与えるためにアクティブ化されるように構成された、ダイオードドロップ制御回路をさらに含む、ブロック図である。

【図7】電力多重化回路における、アクティブな供給選択回路およびダイオードドロップ制御回路のドライブ強度を適応制御するために、図5の電力多重化システム内に含まれ得る、別の例示的な制御回路のブロック図である。 30

【図8】図6における電力多重化回路におけるダイオードドロップ制御回路の制御のため、および、性能変動を考慮するために出力電力レールにおける出力電圧に基づいて、出力電力レールに結合された、アクティブ化された選択された供給選択回路のドライブ強度を適応制御するための、図7における制御回路の例示的な動作を示す論理テーブルである。

【図9】電力多重化回路のドライブ強度制御に応じた、図5における電力多重化システムにおける出力電力レールに転送された供給電力レールにおける供給電圧の例示的なプロットを示すグラフである。

【図10】限定はしないが、図2および図5における電力多重化回路を含む、出力電力レールにおける出力電圧に基づいて、受電回路に電力供給するために、複数の供給電力レールから出力電力レールへの多重化電力のドライブ強度を適応制御するための、電力多重化システム内に含まれ得る別の例示的な制御回路のブロック図である。 40

【図11】限定はしないが、図2および図5における電力多重化回路を含む、電力多重化回路におけるアクティブな供給選択回路のドライブ強度を適応制御する、図10における制御回路の例示的なプロセスを示すフローチャートである。

【図12】電力多重化回路におけるアクティブな供給選択回路のドライブ強度を適応制御するための、限定はしないが、図2および図5における電力多重化回路を含む、電力多重化システムにおける制御回路内に含まれ得る別の例示的な制御回路のブロック図である。

【図13】突入電流関連供給雑音を低減または回避するために、電圧信号を徐々に与えるための、制御回路内に設けられ得る例示的なスイッチングされた電力制御回路の回路図である。 50

【図14】出力電圧に基づいて、および本明細書で開示する態様のいずれかによって、関連付けられたメモリ供給電力レールおよび論理供給電力レールからメモリアレイに電力を供給するために、メモリ供給選択回路を備える第1の供給選択回路、および論理供給選択回路を備える第2の供給選択回路の、ドライブ強度を適応制御するように構成された制御回路を含む、電力多重化システムを含む、例示的なプロセッサベースシステムのブロック図である。

【発明を実施するための形態】

【0016】

次に、図面を参照して、本開示のいくつかの例示的な態様について説明する。「例示的」という語は、本明細書では「例、事例、または例示としての働きをすること」を意味するために使用される。本明細書で「例示的」と記載されている任意の態様は、必ずしも他の態様よりも好ましいまたは有利であると解釈されるべきではない。10

【0017】

図2は、供給電力レールから受電回路への多重化電力のドライブ強度を適応制御するよう構成される、例示的な電力多重化システム200のブロック図である。たとえば、電力多重化システム200は、システムオンチップ(SoC)201内に設けられ得る。電力多重化システム200は、電力多重化回路202を含む。以下により詳細に説明するように、電力多重化回路202は、出力電力レール206に結合された受電回路208に電力を与えるために、出力電力レール206に結合されるべき、複数の供給電力レール204(1)～204(N)のうちの1つを選択するように構成される。供給電力レール204(1)～204(N)は、それぞれの電力源210(1)～210(N)に結合される。電力源210(1)～210(N)は、それらのそれぞれの供給電力レール204(1)～204(N)にそれぞれの電圧 $V_{DD(1)}$ ～ $V_{DD(N)}$ を供給するように構成される。電力多重化回路202は、動作のために受電回路208に電圧 $V_{DD(1)}$ ～ $V_{DD(N)}$ を与えるために、それぞれの供給電力レール204(1)～204(N)から出力電力レール206に、1つの電圧 $V_{DD(1)}$ ～ $V_{DD(N)}$ を結合するように構成される。20

【0018】

たとえば、第1の電力源210(1)は、電力源210(N)によって供給される第2の電圧 $V_{DD(N)}$ (たとえば、0.6V)よりも高い電圧である第1の電圧 $V_{DD(1)}$ (たとえば、1ボルト(V))を供給するように構成され得る。この供給レール構成は、電力多重化システム200において設けられ得、その理由は、一例として、電力消費を節約するために、より高い動作性能モードの間により高い電圧を有する供給電力レールに、受電回路208を結合すること、および、より低い性能モードの間により低い電圧を有する別の供給電力レールに、受電回路208を結合することが望ましくなり得るからである。たとえば、受電回路208は、データを保持するために最小保持電圧を必要とするメモリ回路またはアレイであり得る。第1の供給電力レール204(1)は、受電回路208のための最小保持電圧を超えることが可能な第1の電圧 $V_{DD(1)}$ を供給するように構成され得る。第2の供給電力レール204(N)は、論理領域における論理回路に結合され得る。したがって、第2の電圧 $V_{DD(N)}$ が、受電回路208の最小保持電圧よりも高い場合、電力多重化システム200は、動作のために受電回路208に第2の電圧 $V_{DD(N)}$ を多重化するために、第2の電圧 $V_{DD(N)}$ の結合を出力電力レール206にスイッチングすることができる。このことは、論理領域において意図的な減結合キャパシタンスを与えるための必要を回避または低減する利益を有し得る。しかしながら、第2の電圧 $V_{DD(N)}$ が、受電回路208の最小保持電圧よりも低い場合、電力多重化システム200は、動作のために受電回路208に第1の電圧 $V_{DD(1)}$ を与えるために、第1の電圧 $V_{DD(1)}$ の結合を出力電力レール206にスイッチングすることができる。30

【0019】

引き続き図2を参照すると、受電回路208にそれぞれの電圧 $V_{DD(1)}$ ～ $V_{DD(N)}$ を供給するために、供給電力レール204(1)～204(N)を出力電力レール206に選択的に結合するために、電力多重化回路202は、複数の供給選択回路212(1)～212(N)を含む。供給選択回路212(1)～212(N)は、それぞれの供給電力レール204(1)～204(N)と出力電力レール206との間に結合される。電力多重化システム200は、それぞれの電圧 $V_{DD(1)}$ ～ $V_{DD(N)}$ において受電回路24050

08に電力供給するために、それぞれの供給電力レール204(1)～204(N)を出力電力レール206に結合するように、選択された供給選択回路212(1)～212(N)をアクティブ化するように構成される。

【0020】

出力電力レール206に結合されるべき供給電力レール204(1)～204(N)を選択するために、この例における供給選択回路212(1)～212(N)は、それぞれの電力スイッチ回路214(1)～214(N)を含む。アクティブ化された電力スイッチ回路214(1)～214(N)のドライブ強度は、出力電力レール206上に電圧 $V_{DD(1)} \sim V_{DD(N)}$ を駆動するためのその能力に影響を及ぼす。
電力スイッチ回路214(1)～214(N)のドライブ強度は、その出力インピーダンスを調整し、それによって、スイッチング電流-抵抗(IR)ドロップを制御し、所望の出力電圧を生じる。
たとえば、電力スイッチ回路214(1)～214(N)のドライブ強度が増大されるとき、電力スイッチ回路214(1)～214(N)の出力インピーダンスが減少され、したがって、IRドロップが低減され、出力電圧が増大される。電力スイッチ回路214(1)～214(N)のドライブ強度が減少される場合、電力スイッチ回路214(1)～214(N)の出力インピーダンスが増大され、したがって、IRドロップが増大され、出力電圧が減少される。PVTばらつきもまた、ドライブ強度に影響を及ぼし得る。ドライブ強度は、たとえば、PVTばらつきのために低減されたドライブ強度を補償するために増大され得る。しかしながら、ドライブ強度を増大することで、漏れ電力が増大する。したがって、電力多重化システム200は、PVTばらつきを補償するために使用され得る、供給選択回路212(1)～212(N)のドライブ強度を選択的に制御するための力を提供する。ドライブ強度マージンが、結果として低減され得、したがって、出力電力レール206上の所望のドライブ強度を依然として達成しながら、漏れ電力が低減され得る。
10
20

【0021】

したがって、この例では、アクティブ化された供給選択回路212(1)～212(N)のドライブ強度を制御するための力を提供するために、電力スイッチ回路214(1)～214(N)の各々は、それぞれの供給電力レール204(1)～204(N)と出力電力レール206との間に結合された、4つの並列接続されたP型金属酸化物半導体(MOS)(PMOS)トランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)を含む(N型MOS(NMOS)トランジスタもまた採用され得る)。並列接続されたPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)の各々は、出力電力レール206上にそれぞれの電圧 $V_{DD(1)} \sim V_{DD(N)}$ を駆動するために、関連付けられたドライブ強度を有する。したがって、供給選択回路212(1)～212(N)の全体的なドライブ強度を制御するために、それぞれの並列接続されたPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)は、出力電力レール206上にそれぞれの電圧 $V_{DD(1)} \sim V_{DD(N)}$ を駆動することに向けて寄与するように、アクティブ化または非アクティブ化されるように個々に制御される。この例では、PMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)の各々は、それぞれの電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)の形態で、関連付けられたドライブ強度インジケータ218(1)～218(N)を受信するように構成される。したがって、ドライブ強度インジケータ218(1)～218(N)は、一例では、アクティブ化されるそれぞれの数の並列接続されたPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)を制御するためにコードワードを形成する、それぞれの個々の電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)のイネーブル状態を示す、個々の信号またはビットを各々がもつ、コードワードであると考えられ得る。
30
40

【0022】

この例では、電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)は、それぞれのPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)のゲートGに結合される。したがって、電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)の状態は、それらのそれぞれのPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)が選択的にアクティブ化され、したがって、出力電力レール206上にそれぞれの電圧 $V_{DD(1)} \sim V_{DD(N)}$ を駆動することに寄与するか否かを制御する。電力スイッ
50

チ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)の状態が、電力スイッチ選択イネーブル状態である場合、この例では、PMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)をアクティブ化する(すなわち、オンにする)ために論理低レベル(「0」)であり、それぞれのPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)は、それぞれの供給電力レール204(1)～204(N)と出力電力レール206との間に電流フロー経路を与えるために、アクティブ化されることになる。電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)の状態が、電力スイッチ選択ディセーブル状態である場合、それぞれのPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)は、それぞれの供給電力レール204(1)～204(N)と出力電力レール206との間に電流フロー経路を与えないために、非アクティブ化されることになる。

10

【0023】

この例では、それぞれの供給電力レール204(1)～204(N)を出力電力レール206に結合する、アクティブ化された供給選択回路212(1)～212(N)のドライブ強度の適応制御を提供するために、制御回路222が電力多重化システム200内に設けられる。制御回路222は、ドライブ強度インジケータ218(1)～218(N)を生成するように構成され、ドライブ強度インジケータ218(1)～218(N)は、この例では、個々の、それぞれの電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)である。この例では、PMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)はまた、電力ヘッドスイッチとしても働くので、制御回路222は、どの供給選択回路212(1)～212(N)が出力電力レール206に結合されるか、ならびに、ドライブ強度を制御するために、アクティブ化された供給選択回路212(1)～212(N)とともに、どの個々のPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)がアクティブ化および非アクティブ化されるかを制御するために、ドライブ強度インジケータ218(1)～218(N)の各々の電力スイッチ選択イネーブルおよびディセーブル状態を制御するようになる。この点について、それぞれの電力スイッチ回路214(1)～214(N)における、個々のPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)は、アクティブ化された供給選択回路212(1)～212(N)のドライブ強度を示すために、それぞれの電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)を受信する。アクティブ化されたPMOSトランジスタ216(1)(1)～216(1)(4)および216(N)(1)～216(N)(4)は、出力電力レール206上に電圧 $V_{DD(1)} \sim V_{DD(N)}$ を駆動することに向けて寄与する。

20

【0024】

制御回路222は、電力多重化システム200の性能に基づいて、アクティブ化された供給選択回路212(1)～212(N)のドライブ強度を適応制御するように構成される。このようにして、アクティブ化された供給選択回路212(1)～212(N)のドライブ強度が、動作および/またはPVTばらつきを考慮するために、動作中に調整され得る。したがって、電力多重化システム200の所望の性能を達成するために必要とされるドライブ強度マージンを無駄にし得る、固定ドライブ強度を与えるのではなく、アクティブ化された供給選択回路212(1)～212(N)のドライブ強度マージンを適応的に調整するための能力によって、所望の性能を達成しながら、ドライブ強度マージンが低減されることが可能になる。

30

【0025】

この点について、引き続き図2を参照すると、制御回路222は、出力電力レール206の出力電圧224を監視するように構成される。どの供給選択回路212(1)～212(N)が、関連付けられた供給電力レール204(1)～204(N)を出力電力レール206に結合するためにアクティブ化されるべきであるかを示す、供給電力レール選択インジケータ226(1)～226(N)に応答して、制御回路222は、出力電力レール206上の出力電圧224の電圧レベルを、供給電力レール選択インジケータ226(1)～226(N)に基づいてアクティブ化されるとして示された供給選択回路212(1)～212(N)に関連付けられた第1の事前定義出力電圧レベルと比較する。制御回路222は、出力電力レール206上の出力電圧224の電圧レベルと、アクティブ化された供給選択回路212(1)～212(N)に関連付けられた事前定義出力電圧レベルとの比較に基づいて、ドライブ強度インジケータ218(1)～218(N)を選択的に生成するように構成される。したがって、制御回路222は、出力電圧224に基づいて観測された、電力多重化システム200の

40

50

性能変動に基づいて、アクティブ化された供給選択回路212(1)～212(N)のドライブ強度を調整するために、出力電力レール206上の出力電圧224を継続的に監視するように構成され得る。

【 0 0 2 6 】

図3は、性能変動を考慮するために、出力電力レール206上の出力電圧224に基づいて、電力多重化回路202におけるアクティブな供給選択回路212(1)～212(N)のドライブ強度を適応制御する、図2における制御回路222の例示的なプロセス300を示すフローチャートである。図3におけるプロセス300について、2つの供給選択回路212(1)、212(N)を含む、電力多重化回路202に関して説明する。ただし、図3におけるプロセス300はまた、3つ以上の供給選択回路212(1)、212(N)を含む電力多重化回路202に対しても適用可能であることを理解されたい。10

【 0 0 2 7 】

図3を参照すると、制御回路222は、出力電力レール206の出力電圧224を監視する(ブロック302)。第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータ226(1)に応答して(ブロック304)、制御回路222は、出力電力レール206上の出力電圧224の電圧レベルを、第1の供給選択回路212(1)に関連付けられた第1の事前定義出力電圧レベルと比較する(ブロック306)。次いで、制御回路222は、出力電力レール206上の出力電圧224の電圧レベルと、第1の事前定義出力電圧レベルとの比較に基づいて、第1のドライブ強度インジケータ218(1)を選択的に生成する(ブロック308)。応答して、電力多重化回路202は、第1のドライブ強度インジケータ218(1)に基づく第1のドライブ強度において、出力電力レール206に、第1の供給電力レール204(1)における第1の電圧 $V_{DD(1)}$ を選択的に駆動する(ブロック310)。しかしながら、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータ226(N)に応答して(ブロック312)、制御回路222は、出力電力レール206上の出力電圧224の電圧レベルを、第2の供給選択回路212(N)に関連付けられた第2の事前定義出力電圧レベルと比較する(ブロック314)。制御回路222は、出力電力レール206上の出力電圧224の電圧レベルと、第2の事前定義出力電圧レベルとの比較に基づいて、第2のドライブ強度インジケータ218(N)を選択的に生成する(ブロック316)。応答して、電力多重化回路202は、第2のドライブ強度インジケータ218(N)に基づく第2のドライブ強度において、出力電力レール206に、第2の供給電力レール204(N)における第2の電圧 $V_{DD(N)}$ を選択的に駆動する(ブロック318)。2030

【 0 0 2 8 】

異なる制御回路222が、出力電力レール206に駆動された電圧 $V_{DD(1)} \sim V_{DD(N)}$ のドライブ強度を適応制御するために、図2における電力多重化システム200内に設けられ得る。この点について、図4Aは、たとえば、性能変動を考慮するために、出力電力レール206上の出力電圧224に基づいて、アクティブな供給選択回路212(1)～212(N)のドライブ強度を適応制御するために、図2における電力多重化システム200における制御回路222として設けられ得る、例示的な制御回路222(1)のブロック図である。図4Aにおける制御回路222(1)は、1つの供給選択回路212(1)～212(N)のみを制御するように示されており、したがって、複数の制御回路222(1)が、各供給選択回路212(1)～212(N)のドライブ強度を制御するために設けられることになる。ただし、制御回路222(1)は、供給選択回路212(1)～212(N)の各々のドライブ強度を制御するように適応され得ることに留意されたい。図4に示された制御回路222(1)は、電力多重化回路202において1つの供給選択回路212(1)を制御するためのものである。40

【 0 0 2 9 】

この点について、図4Aを参照すると、出力電圧224は、この例では、アナログ比較器401の形態で設けられた比較器回路400に結合される。比較器回路400はまた、入力として、供給選択回路212(1)のための基準出力電圧 V_{ref_A} 402を受信する。基準出力電圧402は、デジタル基準出力電圧 V_{ref_D} として記憶されており、デジタルアナログ変換器(DAC)回路404によって、基準出力電圧 V_{ref_A} としてのアナログ信号に変換されている場合がある。比較器回路400は、電力多重化回路202の性能を決定するために、出力電圧224と基準出力電圧40250

との間の電圧レベルにおける、大なりまたは小なりの比較を示す、比較出力信号406を生成するように構成される。比較出力信号406は、出力電圧224が、それぞれ基準出力電圧402を下回るかまたは上回るようにドロップするとき、カウント値を増分または減分する(またはその逆も同様)ように構成されたカウンタ408を含む、カウンタ回路407に与えられる。カウンタ408は、カウンタ408がクロック信号410のクロックサイクルごとにアクティブ化されるように、メインクロック信号414から、クロック分周器412によって分周される、クロック信号410によってクロックされ得る。オーバーフロー論理回路418が、カウンタ408のオーバーフロー状態を扱うために設けられる。カウンタ408は、供給選択回路212(1)のドライブ強度を制御するために、電力多重化回路202(および、アクティブ化された供給選択回路212(1))に与えられるべきドライブ強度インジケータ218(1)の形態で、カウンタ値を出力する。

10

【0030】

図4Aにおける制御回路222(1)は、出力電力レール206における電圧が、所望の最小しきい値電圧を下回るようにドロップしないことを保証することができる。カウンタ408は、温度ドリフト、作業負荷変化など、環境条件における変化を考慮するために、カウントアップまたはダウンすることができる。

【0031】

代替的に、図4Bに示されているように、供給選択回路212(1)～212(N)のいずれかを制御することが可能であるように多重化される、共有制御回路222Mが設けられ得る。この制御回路222Mは、選択された供給選択回路212(1)～212(N)のための任意の電力スイッチ選択信号220(1)(1)～220(1)(4)～220(N)(1)～220(N)(4)を出力するように構成される。図4Bにおける制御回路222Mは、共通の要素番号とともに示されている、図4Aにおける制御回路222(1)と共通の構成要素を有する。図4Bに示されているように、比較器回路400は、入力として、選択された供給選択回路212(1)～212(N)のための基準出力電圧Vref_A402を受信する。多重化回路418に入力された選択信号416は、選択された供給選択回路212(1)～212(N)のためのどのデジタル基準出力電圧Vref_D(1)～Vref_D(N)が、基準出力電圧Vref_A402としてDAC回路404に渡されるかを制御する。逆多重化回路420は、選択された供給選択回路212(1)～212(N)のドライブ強度を制御するために、電力多重化回路202におけるどの供給選択回路212(1)～212(N)に、ドライブ強度インジケータ218が与えられるかを制御するために設けられる。

20

【0032】

他のタイプの制御回路が、出力電力レールに駆動された、多重化された電圧のドライブ強度を適応制御するために、図2における電力多重化システム200のような、電力多重化システム内に設けられ得る。たとえば、図5は、性能変動を考慮することができる、出力電力レールにおける出力電圧に基づいて、受電回路に電力供給するために、複数の供給電力レールから出力電力レールへの多重化電力のドライブ強度を適応制御するように構成される、別の例示的な電力多重化システム500のブロック図である。図5に示されているように、制御回路522は、この例ではメモリアレイ508として示されている、受電回路に電力供給するために、出力電力レール506上の出力電圧524として、電力多重化回路502によって駆動された多重化電圧のドライブ強度を適応制御するために設けられる。この例における制御回路522は、監視された性能変動を考慮するために、出力電力レール506上で多重化された出力電圧524のドライブ強度を調整するために、出力電圧524を監視するように構成された、電圧監視回路528を含む。制御回路522はまた、制御された様式で、メモリドライブ強度インジケータ518Mおよび論理ドライブ強度インジケータ518Lを徐々にランプアップするように構成される、オプションの低速ランプ回路530を含み、低速ランプ回路530は、次に、出力電力レール506上で多重化された電圧をランプアップするために、多重化電力スイッチ回路を徐々にランプアップする。これによって、電力多重化システム500における、突入電流関連供給雑音が低減または回避され得、したがって、電力レールのスイッチングのためのメモリアレイ508の性能損失が回避または軽減され得る。

40

【0033】

50

図6は、図5の電力多重化システム500における例示的な電力多重化回路502のブロック図である。電力多重化回路502は、出力電力レール506に結合されたメモリアレイ508に電力を与えるために、出力電力レール506への、論理供給電力レール504Lおよびメモリ供給電力レール504Mのうちの1つの結合を多重化するように構成される。論理供給電力レール504Lおよびメモリ供給電力レール504Mは、メモリ領域におけるメモリ電圧 $V_{DD(M)}$ 、および論理領域における論理電圧 $V_{DD(L)}$ を供給する、それぞれの電力源に結合される。それぞれのメモリ電圧 $V_{DD(M)}$ または論理電圧 $V_{DD(L)}$ をメモリアレイ508に供給するために、論理供給電力レール504Lまたはメモリ供給電力レール504Mを出力電力レール506に選択的に結合するため、電力多重化回路502は、メモリ供給選択回路512Mと論理供給選択回路512Lとを含む。メモリ供給選択回路512Mおよび論理供給選択回路512Lは、それぞれのメモリ供給電力レール504Mと論理供給電力レール504Lとの間に結合される。電力多重化システム500は、それぞれのメモリ電圧 $V_{DD(M)}$ および論理電圧 $V_{DD(L)}$ において、メモリアレイ508に電力供給するために、それぞれのメモリ供給電力レール504Mおよび論理供給電力レール504Lを出力電力レール506に結合するために、メモリ供給選択回路512Mおよび論理供給選択回路512Lのうちの1つをアクティブ化するように構成される。
10

【0034】

出力電力レール506に結合されるべき、メモリ供給電力レール504Mおよび論理供給電力レール504Lを選択するために、メモリ供給選択回路512Mおよび論理供給選択回路512Lは、この例では、それぞれのメモリ電力スイッチ回路514Mおよび論理電力スイッチ回路514Lを各々含む。アクティブ化されたメモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lのドライブ強度は、出力電力レール506上にそれぞれのメモリ電圧 $V_{DD(M)}$ または論理電圧 $V_{DD(L)}$ を駆動するためのその能力に影響を及ぼす。アクティブ化されたメモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lのドライブ強度は、その出力インピーダンスを調整し、それによって、メモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lにわたる電力-抵抗(IR)ドロップのスイッチングを制御し、所望の出力電圧を生じる。たとえば、メモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lのドライブ強度が増大されるとき、メモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lの出力インピーダンスが減少され、したがって、IRドロップと、出力電力レール506上に駆動されたそれぞれのメモリ電圧 $V_{DD(M)}$ または論理電圧 $V_{DD(L)}$ が低減される。しかしながら、メモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lのドライブ強度が減少される場合、メモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lの出力インピーダンスが増大され、したがって、IRドロップが増大され、出力電力レール506上に駆動されたそれぞれのメモリ電圧 $V_{DD(M)}$ または論理電圧 $V_{DD(L)}$ が減少される。PVTばらつきは、ドライブ強度に影響を及ぼし得る。ドライブ強度は、たとえば、PVTばらつきを補償するために増大され得る。しかしながら、ドライブ強度を増大することで、漏れ電力が増大する。したがって、電力多重化システム500は、ドライブ強度を低減し得るPVTばらつきを補償するために使用され得る、メモリ供給選択回路512Mおよび論理供給選択回路512Lのドライブ強度を選択的に制御するための的能力を提供する。ドライブ強度マージンが、結果として低減され得、したがって、出力電力レール506上の所望のドライブ強度を依然として達成しながら、漏れ電力が低減され得る。
20
30
40

【0035】

この例では、アクティブ化されたメモリ供給選択回路512Mおよび論理供給選択回路512Lのドライブ強度を制御するための能力を提供するために、メモリ電力スイッチ回路514Mおよび論理電力スイッチ回路514Lの各々は、複数の並列接続されたPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)を含み、ただし、「T」は、含めるべきPMOSトランジスタ516の所望の数を表す。NMOSトランジスタもまた採用され得ることに留意されたい。PMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)は、それぞれのメモリ供給電力レール504Mおよび論理供給電力レール504Lと、出力電力レール506との間に結合される。並列接続されたPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)の各々は、出力電力レール506上にそれぞれのメモリ電圧 $V_{DD(M)}$ または論理電圧 $V_{DD(L)}$ を駆動するた
50

めに、関連付けられたドライブ強度を有する。したがって、メモリ供給選択回路512Mおよび論理供給選択回路512Lの全体的なドライブ強度を制御するために、それぞれの並列接続されたPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)は、出力電力レール506上にそれぞれのメモリ電圧 $V_{DD(M)}$ または論理電圧 $V_{DD(L)}$ を駆動することに向けて寄与するように、アクティブ化または非アクティブ化されるように個々に制御され得る。この例では、PMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)の各々は、それぞれのメモリ電力スイッチ選択信号520M(1)～520M(T)および論理電力スイッチ選択信号520L(1)～520L(T)の形態で、関連付けられたメモリドライブ強度インジケータ518Mまたは論理ドライブ強度インジケータ518Lを受信するように構成される。したがって、メモリドライブ強度インジケータ518Mおよび論理ドライブ強度インジケータ518Lは、一例では、アクティブ化されるそれぞれの数の並列接続されたPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)を制御するためにコードワードを形成する、それぞれの個々のメモリ電力スイッチ選択信号520M(1)～520M(T)および論理電力スイッチ選択信号520L(1)～520L(T)のイネーブル状態を示す、個々の信号またはビットを各々がもつ、コードワードであると考えられ得る。
10

【 0 0 3 6 】

この例では、メモリ電力スイッチ選択信号520M(1)～520M(T)および論理電力スイッチ選択信号520L(1)～520L(T)は、それぞれのPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)のゲートGに結合される。したがって、メモリ電力スイッチ選択信号520M(1)～520M(T)および論理電力スイッチ選択信号520L(1)～520L(T)の状態は、それらのそれぞれのPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)が選択的にアクティブ化され、したがって、出力電力レール506上にそれぞれのメモリ電圧 $V_{DD(M)}$ および論理電圧 $V_{DD(L)}$ を駆動することに寄与するか否かを制御する。メモリ電力スイッチ選択信号520M(1)～520M(T)または論理電力スイッチ選択信号520L(1)～520L(T)の状態が、電力スイッチ選択イネーブル状態である場合、この例では、論理低レベル(「0」)であり、それぞれのPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)は、それぞれのメモリ供給電力レール504Mまたは論理供給電力レール504Lと出力電力レール506との間に電流フロー経路を与えるために、アクティブ化されることになる。メモリ電力スイッチ選択信号520M(1)～520M(T)または論理電力スイッチ選択信号520L(1)～520L(T)の状態が、電力スイッチ選択ディセーブル状態である場合、それぞれのPMOSトランジスタ516M(1)～516M(T)および516L(1)～516L(T)は、それぞれのメモリ供給電力レール504Mおよび論理供給電力レール504Lと出力電力レール506との間に電流フロー経路を与えないために、非アクティブ化されることになる。
20
30

【 0 0 3 7 】

引き続き図6を参照すると、メモリ供給電力レール504Mから論理供給電力レール504Lへの、出力電力レール506の結合のスイッチング中に、メモリアレイ508に電力供給するために、出力電力レール506においてメモリ電圧 $V_{DD(M)}$ を維持すると同時にまた、メモリ供給電力レール504Mと論理供給電力レール504Lとの間の電流相互伝導経路の作成を回避するために、電力多重化回路502はまた、ダイオードドロップ制御回路600を含む。ダイオードドロップ制御回路600は、この例ではPMOSトランジスタ602の形態で設けられる。ダイオードドロップ制御回路600は、出力電力レール506への、メモリ供給電力レール504Mの結合の、論理供給電力レール504Lへのスイッチングに応答して、ダイオードドロップ動作モードのために、それぞれのメモリ供給電力レール504Mと出力電力レール506との間にダイオードドロップ接続を作成するためにアクティブ化されるように構成される。この点について、ダイオードドロップ制御回路600は、論理供給電力レール504Lへの、供給電力レールスイッチ状態を示す、供給電力レールスイッチ信号603を受信するように構成される。論理供給電力レール504Lへの、供給電力レールスイッチイネーブル状態を示す、供給電力レールスイッチ信号603に応答して、ダイオードドロップ制御回路600は、ダイオードドロップ動作モードにおいて、メモリ供給電力レール504Mと出力電力レール506との間にダイオードドロップ接続を確立する。
40
50

【0038】

より具体的には、ダイオードドロップ制御回路600は、電力レール選択回路612から供給電力レールスイッチ信号603を受信するように構成された、PMOSトランジスタ602のゲートGに結合された、ダイオードドロップ制御入力610を含む。ダイオードドロップ制御回路600はまた、PMOSトランジスタ602のドレインDに結合され、電力スイッチ回路608の第1の電力出力616に結合された、ダイオードドロップ出力614を含む。ダイオードドロップ制御回路600は、メモリ供給電力レール504Mから論理供給電力レール504Lへの供給電力レールスイッチイネーブル状態を示す、供給電力レールスイッチ信号603に応答して、電力レール選択入力606と電力出力616との間で、ダイオードドロップ動作モードにおいて、ダイオードドロップ接続を確立するように構成される。メモリ供給電力レール504Mから論理供給電力レール504Lへの供給電力レールスイッチイネーブル状態を示す、供給電力レールスイッチ信号603に応答して、電力レール選択回路612は、電力レール選択入力606に高インピーダンスを与えるために非アクティブ化される。したがって、ダイオードドロップ動作モードでは、ヘッドスイッチPMOSトランジスタ618のゲートGおよびドレインDが、第1のヘッドスイッチPMOSトランジスタ618をダイオードドロップ構成にするために、一緒に結合される。

【0039】

この例では、電流相互伝導は、より高いメモリ電圧 $V_{DD(M)}$ をもつメモリ供給電力レール504Mから、より低い論理電圧 $V_{DD(L)}$ をもつ論理供給電力レール504Lへの間の一方向のみで発生し得る。したがって、ダイオードドロップ制御回路600は、この例では、順方向バイアス構成において、出力電力レール506上の電圧を調節するように構成される。たとえば、メモリ供給電力レール504M上のメモリ電圧 $V_{DD(M)}$ が、論理供給電力レール504L上の論理電圧 $V_{DD(L)}$ よりも高い場合、ダイオードドロップ制御回路600は、順方向バイアス構成になる。ダイオードドロップ制御回路600は、出力電力レール506上の出力電圧 $V_{DD(A)}$ を維持するために、電流がメモリ供給電力レール504Mから出力電力レール506に流れることを可能にするように構成される。一例では、ダイオードドロップ制御回路600は、出力電力レール506上の出力電圧 $V_{DD(A)}$ を、メモリ電圧 $V_{DD(M)}$ 未満のダイオードドロップ制御回路600のしきい値電圧に調節するように構成される。出力電力レール506上の出力電圧 $V_{DD(A)}$ が、メモリ電圧 $V_{DD(M)}$ 未満のダイオードドロップ制御回路600のしきい値電圧まで放電するとき、ダイオードドロップ制御回路600は、電圧(たとえば、0.8V)を、メモリ電圧 $V_{DD(M)}$ (たとえば、1V)未満のダイオードドロップ制御回路600のしきい値電圧(たとえば、0.2V)に維持するために、電流が流れることを可能にするようになる。このようにして、出力電力レール506への、メモリ供給電力レール504Mの結合を論理供給電力レール504Lにスイッチングするときでも、メモリ供給電力レール504Mから論理供給電力レール504Lへの間で電流相互伝導経路を作成することなしに、ダイオードドロップ動作モードの間に、出力電圧 $V_{DD(A)}$ がメモリアレイ508に継続的に与えられる。ダイオードドロップ動作モードの間に電力消費を低減するために、メモリアレイ508は、非限定的な例では、漏れ電流のみが出力電力レール506から引き込まれる、保持または低減電力消費状態になるように構成され得る。

【0040】

出力電力レール506への、メモリ供給電力レール504Mの結合を論理供給電力レール504Lにスイッチングした後、ダイオードドロップ動作モードが中断され得る。この点について、供給電力レールスイッチ信号603は、供給電力レールスイッチディセーブル状態を示すように制御される。応答して、ダイオードドロップ制御回路600は、メモリ供給電力レール504Mと出力電力レール506との間のダイオードドロップ接続を切断する。ダイオードドロップ動作モードが中断されるとき、電流相互伝導経路は作成されず、その理由は、ダイオードドロップ動作モードの外側の任意の所与の時間に、メモリ供給電力レール504Mまたは論理供給電力レール504Lのいずれかを出力電力レール506に結合するために、メモリ電力スイッチ回路514Mまたは論理電力スイッチ回路514Lのみを選択するために、メモリドライブ強度インジケータ518Mまたは論理ドライブ強度インジケータ518Lのいずれかのみが、

電力レール選択イネーブル状態になるように制御されるからである。

【0041】

図7は、図6における電力多重化回路502における、アクティブなメモリ供給選択回路512Mまたは論理供給選択回路512L、およびダイオードドロップ制御回路600のドライブ強度を適応制御するために、図5の電力多重化システム500内に含まれ得る制御回路522のブロック図である。制御回路522は、図8における論理テーブル800に示されている動作モードを与えるように構成される。両方について、以下で互いに関連して説明する。

【0042】

図7を参照すると、メモリドライブ強度インジケータ518Mは、マルチプレクサ回路702の出力700として設けられる。マルチプレクサ回路702は、第1のバイパスドライブ強度インジケータ706を受信するように構成された第1の入力704と、メモリ適応ドライブ強度インジケータ710を受信するように構成された第2の入力708とを含む。マルチプレクサ回路702は、図6においてメモリ供給電力レール504Mを出力電力レール506に結合するとき、電力多重化回路502の適応ドライブ強度動作をバイパスすることが望ましい場合、バイパスドライブ強度インジケータ706をメモリドライブ強度インジケータ518Mに渡すように制御される。たとえば、バイパスドライブ強度インジケータ706は、たとえば、すべてのアクティビ化された(たとえば、すべての論理「0」)または任意の他の固定設定など、メモリ電力スイッチ選択信号520M(1)～520M(T)の各々のための固定設定であり得る。このようにして、メモリ電圧 $V_{DD(M)}$ のドライブ強度は変動されない。マルチプレクサ回路702はまた、図6においてメモリ供給電力レール504Mを出力電力レール506に結合するとき、電力多重化回路502のドライブ強度動作を適応制御することが望ましい場合、メモリ適応ドライブ強度インジケータ710をメモリドライブ強度インジケータ518Mに渡すように制御されるようにも構成される。たとえば、メモリ適応ドライブ強度インジケータ710は、一例として、図4Aにおいて、制御回路222(1)におけるメモリドライブ強度インジケータ218(1)のカウンタ出力であり得る。メモリ適応ドライブ強度インジケータ710は、図6におけるPMOSトランジスタ516M(1)～516M(T)がアクティビ化されるかを制御するために、メモリ電力スイッチ選択信号520M(1)～520M(T)を制御することになる。

【0043】

引き続き図7を参照すると、マルチプレクサ回路702はまた、メモリドライブ強度インジケータ518Mとして出力700に、第1の入力704からのバイパスドライブ強度インジケータ706が渡されるか、第2の入力708からのメモリ適応ドライブ強度インジケータ710が渡されるかを制御するために、適応モード選択信号714を受信するように構成された選択入力712を含む。この点について、適応モード選択信号714が適応モードディセーブル状態である場合、マルチプレクサ回路702は、第1の入力704から出力700にバイパスドライブ強度インジケータ706を渡す。適応モード選択信号714が適応モードイネーブル状態である場合、マルチプレクサ回路702は、第2の入力708から出力700にメモリ適応ドライブ強度インジケータ710を渡す。適応モード選択信号714が論理低(すなわち、論理「0」)である場合、これは、マルチプレクサ回路702に、メモリドライブ強度インジケータ518Mとして、第1の入力704から出力700にバイパスドライブ強度インジケータ706を出力することを行わせる。適応モード選択信号714が、この例では論理高(すなわち、論理「1」)である場合、適応モード選択信号714は、ドライブ強度の適応制御を提供するために、この例では適応モードイネーブル状態である。

【0044】

図6における制御回路522において説明したダイオードドロップモード動作を制御するために、図7における制御回路522はまた、保持出力信号620の生成を制御するようにも構成される。図6において上記で前に説明したように、保持出力信号620は、供給電力レールスイッチ信号603が渡されるか否かを制御するように構成される。適応モード選択信号714が論理低(すなわち、論理「0」)であり、マルチプレクサ回路702に、メモリドライブ強度インジケータ518Mとして、第1の入力704から出力700にバイパスドライブ強度インジケータ706を出力することを行わせる場合、保持入力信号716および適応電力多重化(APM)イネーブ

10

20

30

40

50

ル信号718は、ドントケア状態(x)であり、その理由は、図7におけるANDベースゲート720が、保持出力信号620のために保持入力信号716を出力722に渡すことになるからである。これはまた、適応モード選択信号714が論理「0」である「ASRバイパス」状態について、図8における論理テーブル800においても示されている。したがって、保持入力信号716は、供給電力レールスイッチ信号603がダイオードドロップ制御回路600に渡されるか否かを制御することになる。

【 0 0 4 5 】

図8における論理テーブル800において示されているような「コラパス」状態では、適応モード選択信号714が、適応モードイネーブル状態であるように論理「1」に設定され、APMイネーブル信号718および保持入力信号716が論理「0」に設定されている。これは、マルチブレクサ回路702に、メモリドライブ強度インジケータ518Mとして、第2の入力708から出力700にメモリ適応ドライブ強度インジケータ710を与えることを行わせる。ORベースゲート724は、ANDベースゲート720へのその出力726において論理「0」を生成して、保持出力信号620のために論理「0」を生成して、ダイオードドロップ制御回路600のダイオードドロップ動作を非アクティブ化することになる。

【 0 0 4 6 】

図8に示されているように、図5における出力電力レール506上への多重化メモリ電圧 $V_{DD(M)}$ のドライブ強度を適応制御するためにセットアップするために、「ASRイネーブル」状態は、適応モード選択信号714が、適応モードイネーブル状態になるように論理「1」に設定されることを提供する。これは、マルチブレクサ回路702に、メモリドライブ強度インジケータ518Mとして、第2の入力708から出力700にメモリ適応ドライブ強度インジケータ710を与えることを行わせる。APMイネーブル信号718は論理「0」に設定され、保持入力信号716は論理「1」に設定される。これは、ANDベースゲート720に、ダイオードドロップ制御回路600のダイオードドロップモード動作をディセーブルにするために、保持出力信号620として、論理「0」を出力することを行わせる。次いで、図8に示されているように、図5におけるどのPMOSトランジスタ516M(1)～516M(T)が、出力電力レール506に結合されたメモリ供給電力レール504Mからのメモリ電圧 $V_{DD(M)}$ のドライブ強度を制御するためにアクティブ化されるかを制御するために、メモリ電力スイッチ選択信号520M(1)～520M(T)を適応制御するための「機能的」状態では、適応モード選択信号714が、適応モードイネーブル状態になるように論理「1」に設定される。これは、マルチブレクサ回路702に、メモリドライブ強度インジケータ518Mとして、第2の入力708から出力700にメモリ適応ドライブ強度インジケータ710を与えることを行わせる。APMイネーブル信号718は論理「1」に設定され、保持入力信号716は論理「0」に設定される。これは、ANDベースゲート720に、ダイオードドロップ制御回路600のダイオードドロップモード動作をディセーブルにするために、保持出力信号620として、論理「0」を出力することを行わせる。

【 0 0 4 7 】

図8に示されているように、「供給電力レールの間のスイッチング」504M、504L状態では、適応モード選択信号714が、出力電力レール506に結合されたメモリ供給電力レール504Mからのメモリ電圧 $V_{DD(M)}$ のドライブ強度を適応制御するために、適応モードイネーブル状態になるように論理「1」に設定される。これは、マルチブレクサ回路702に、メモリドライブ強度インジケータ518Mとして、第2の入力708から出力700にメモリ適応ドライブ強度インジケータ710を与えることを行わせる。APMイネーブル信号718は論理「1」に設定され、保持入力信号716は論理「1」に設定される。これは、ANDベースゲート720に、ダイオードドロップ制御回路600のダイオードドロップモード動作をイネーブルにするために、保持出力信号620として、論理「1」を出力することを行わせる。

【 0 0 4 8 】

図9は、電力多重化回路502のドライブ強度制御に応じた、図5における電力多重化システム500における出力電力レール506に転送された供給電力レールにおける供給電圧の例示的なプロット900を示すグラフである。図9に示されているように、電圧曲線902は、メモリまたは論理供給選択回路512(1)～512(N)のアクティブ化のスイッチングに応じて、出力

10

20

30

40

50

電力レール506上で多重化された例示的な出力電圧を示す。

【0049】

他の制御回路が、出力電力レール506に結合されたメモリ供給電力レール504Mからのメモリ電圧 $V_{DD(M)}$ のドライブ強度を適応制御するために、図5における電力多重化システム500の出力電圧524を監視するために設けられ得る。たとえば、図10は、出力電圧524レベル、および出力電力レール506上のスイッチオン速度を調整するために、図6における電力多重化回路502におけるアクティブなメモリ供給選択回路512Mまたは論理供給選択回路512L(図6)のドライブ強度を適応制御するように構成された、例示的な制御回路1022のブロック図である。図10における制御回路1022は、電力多重化回路502におけるメモリ供給選択回路512M(図6)のみを制御するように示されており、したがって、複数の制御回路1022が、各供給選択回路512(1)～512(N)のドライブ強度を制御するために設けられることになる。10

【0050】

この点について、図10における出力電圧524が、第1の電圧制御発振器(VCO)1000(1)に結合される。メモリ供給選択回路512M(図6)のための事前定義基準出力電圧(V_{ref})1002が、第2のVCO1000(2)に与えられる。VCO1000(1)、1000(2)は、出力電圧524および基準出力電圧1002の振幅を示す、それぞれの周波数信号1004(1)、1004(2)を生成する。周波数信号1004(1)、1004(2)は、有限状態機械(FSM)1006によって受信され、FSM1006は、周波数信号1004(1)、1004(2)の周波数を比較して、基準出力電圧1002が出力電圧524よりも大きいか否かを決定する。この比較に基づいて、FSM1006は、図5における供給選択回路512(1)のバイアスを制御するために、メモリドライブ強度インジケータ518Mを制御するために、DAC1010への出力信号1008を生成する。FSM1006はまた、電力多重化回路502におけるメモリ供給選択回路512Mのドライブ強度を制御するために、メモリドライブ強度インジケータ518Mを制御するために、ドライブ強度インジケータ518(1)を生成する。図10におけるFSM1006によって実行される、図11における例示的なプロセス1100において示されているように、DA C1010は、最初に「0」の制御コードに設定され得る(ブロック1002)。FSM1006は、周波数信号1004(1)が、周波数信号1004(2)よりも高い周波数を有するか否かを決定する(ブロック1104)。そうでない場合、プロセス1100は、メモリドライブ強度インジケータ518Mにおける変更なしに停止する(ブロック1106)。そうである場合、メモリドライブ強度インジケータ518Mは、(たとえば、1最下位ビット LSB)だけ)増分される(ブロック1008)。20

【0051】

図12は、出力電圧524レベル、および出力電力レール506上のスイッチオン速度を調整するために、図6における電力多重化回路502におけるアクティブなメモリ供給選択回路512Mまたは論理供給選択回路512L(図6)のドライブ強度を適応制御するように構成された、例示的な制御回路1222のブロック図である。図12における制御回路1222は、メモリ供給選択回路512Mのみを制御するように示されており、したがって、複数の制御回路1222が、各供給選択回路512(1)～512(N)のドライブ強度を制御するために設けられることになる。30

【0052】

この点について、図12における出力電圧524が、第1のVCO1000(1)に結合される。メモリ供給選択回路512M(図6)のための事前定義基準出力電圧(V_{ref})1002が、第2のVCO1000(2)に与えられる。VCO1000(1)、1000(2)は、出力電圧524および基準出力電圧1002の振幅を示す、それぞれの周波数信号1004(1)、1004(2)を生成する。周波数信号1004(1)、1004(2)は、位相周波数検出器(PFD)1206によって受信され、PFD1206は、周波数信号1004(1)、1004(2)の周波数を比較して、基準出力電圧1002が出力電圧524よりも大きいか否かを決定する。この比較に基づいて、PFD1206は、図6におけるメモリ供給選択回路512Mのドライブ強度を制御するために、メモリドライブ強度インジケータ518Mを制御するために、チャージポンプ(CP)1210への出力信号1208(1)、1208(2)を生成する。40

【0053】

図13は、その中で電力多重化回路502にメモリ電力スイッチ選択信号520Mを徐々に与えるために使用され得る、図5における低速ランプ回路530の一例を示す。図13は、メモリドライブ強度インジケータ518M(図5)の単一のメモリ電力スイッチ選択信号520をランプする50

ことのみを示すが、図13に示されているように、複数の低速ランプ回路530が、各メモリ電力スイッチ選択信号520M(1)～520M(T)のために設けられ得ることに留意されたい。メモリ電力スイッチ選択信号520を徐々にランプアップするために、出力電圧Vが与えられ、ここにおいて、出力電圧Vは、メモリ電圧 $V_{DD(M)}$ までランプアップされる。メモリ電力スイッチ選択信号520の出力電圧Vのこの徐々のランプアップを達成するために、出力電圧Vを電力多重化回路502に与えるように構成されるヘッドスイッチ回路1306が設けられる。ヘッドスイッチ回路1306は、電圧入力1310に結合され、メモリ電圧 $V_{DD(M)}$ を受信するように構成される、電圧入力1308を含む。ヘッドスイッチ回路1306はまた、電圧出力1314に結合され、電力多重化回路502に出力電圧Vのメモリ電力スイッチ選択信号520を与えるように構成される、電圧出力1312を含む。ヘッドスイッチ回路1306は、制御入力1318上で受信された制御信号1316に応答して、電力多重化回路502に出力電圧Vのメモリ電力スイッチ選択信号520を与えるように構成される。制御信号1316は、メモリ電力スイッチ選択信号520Mに応答して、ヘッドスイッチ制御回路1320によって生成される。電流シンク回路1324は、ヘッドスイッチ回路1306によって生成されたメモリ電力スイッチ選択信号520の出力電圧Vのランピングレートを制御し、したがって、ヘッドスイッチ回路1306が、電力多重化回路502における突入電流関連供給雑音を低減または回避するために制御された様式で、電力多重化回路502に全メモリ電圧 $V_{DD(M)}$ を与えることを可能にするように、構成される。ランピングレートを制御することは、ヘッドスイッチ回路1306を経時的に徐々にアクティブ化する(すなわち、徐々にオンにする)ことに対応し、ここにおいて、ヘッドスイッチ回路1306にわたって許容されるメモリ電圧 $V_{DD(M)}$ の量は、そのアクティブ化のレベルによって制限される。
10

【0054】

引き続き図13を参照すると、この態様では、イネーブル入力1326上で受信されたメモリ電力スイッチ選択信号520Mに応答して、ヘッドスイッチ制御回路1320が制御信号1316を生成するとき、ヘッドスイッチ回路1306は、電流シンク回路1324によって制御され得る。制御信号1316は、メモリ電圧 $V_{DD(M)}$ が電力多重化回路502に転送されるべきであることを示す。低速ランプ回路530内の構成要素は、上記で説明した機能を達成するために、様々な回路要素を採用し得る。この態様では、ヘッドスイッチ回路1306は、電圧入力1308に結合されたソースSと、制御入力1318に結合されたゲートGと、電圧出力1312に結合されたドレインDとを含む、PMOSトランジスタ1328を採用する。追加として、この態様では、電流シンク回路1324は、接地源1332に結合されたソースSと、ヘッドスイッチ回路1306のPMOSトランジスタ1328のゲートG(すなわち、制御入力1318)に結合されたドレインDと、ゲートGとを含む、NMOSトランジスタ1330を含む。この態様におけるNMOSトランジスタ1330のゲートGは、定電圧源1334によって駆動される。この例におけるヘッドスイッチ制御回路1320は、メモリ電圧 $V_{DD(M)}$ に結合されたソースSと、メモリ電力スイッチ選択信号520Mを受信するように構成されたゲートGと、ヘッドスイッチ回路1306のPMOSトランジスタ1328のゲートGに結合された、電流シンク回路1324のNMOSトランジスタ1330のドレインDとを含む、PMOSトランジスタ1336を採用する。
20

【0055】

メモリ電力スイッチ選択信号520Mが、ヘッドスイッチ制御回路1320のPMOSトランジスタ1336のゲートGに結合されるので、PMOSトランジスタ1336は、メモリ電力スイッチ選択信号520Mが論理低「0」値を有する間にアクティブ化(すなわち、オンに)される。さらに、メモリ電圧 $V_{DD(M)}$ は、PMOSトランジスタ1336がアクティブ化される間、ヘッドスイッチ回路1306のPMOSトランジスタ1328のゲートGに与えられる。メモリ電圧 $V_{DD(M)}$ をPMOSトランジスタ1328のゲートGに与えることで、PMOSトランジスタ1328を非アクティブ化(すなわち、オフに)し、メモリ電圧 $V_{DD(M)}$ が電力多重化回路502に与えられることを防止する。
40

【0056】

論理高「1」値に遷移するメモリ電力スイッチ選択信号520Mに応答して、ヘッドスイッチ制御回路1320のPMOSトランジスタ1336が非アクティブ化され、それによって、メモリ電圧 $V_{DD(M)}$ がヘッドスイッチ回路1306のPMOSトランジスタ1328のゲートGに与えられること
50

が防止される。しかしながら、PMOSトランジスタ1328のゲートGはメモリ電圧 $V_{DD(M)}$ をもはや受信していないにもかかわらず、PMOSトランジスタ1328のゲートGに関連付けられたゲートキャパシタンスは、メモリ電力スイッチ選択信号520Mが論理低値「0」を有する間にメモリ電圧 $V_{DD(M)}$ で充電されるので、メモリ電圧 $V_{DD(M)}$ は、PMOSトランジスタ1328のゲートG上に残留する。

【0057】

引き続き図13を参照すると、ヘッドスイッチ制御回路1320によって与えられたメモリ電圧 $V_{DD(M)}$ は、ヘッドスイッチ回路1306のPMOSトランジスタ1328をもはや非アクティブ化しないので、PMOSトランジスタ1328は、電力多重化回路502に出力電圧Vを与えるようにアクティブ化され得る。しかしながら、PMOSトランジスタ1328を実質的に瞬時に完全にアクティブ化するのではなく、電流シンク回路1324は、ヘッドスイッチ回路1306によって与えられたメモリ電力スイッチ選択信号520の出力電圧Vが経時的にランプアップするように、PMOSトランジスタ1328を経時に徐々にアクティブ化するように構成される。電流シンク回路1324のNMOSトランジスタ1330のゲートGは、この例では、ヘッドスイッチ回路1306のPMOSトランジスタ1328のゲートG上の電圧を、NMOSトランジスタ1330を通じて接地源1332まで徐々に放電させるレベルに、NMOSトランジスタ1330をアクティブ化するように、定電圧源1334によって駆動される。

【0058】

引き続き図13を参照すると、PMOSトランジスタ1328のゲートG上の電圧は放電するので、PMOSトランジスタ1328は徐々にアクティブ化する。特に、ヘッドスイッチ回路1306による電力多重化回路502へのメモリ電力スイッチ選択信号520の出力電圧Vのレベルは、PMOSトランジスタ1328がアクティブ化されるレベルに対応する。言い換えれば、電流シンク回路1324は、PMOSトランジスタ1328のゲートG上の電圧を放電するので、PMOSトランジスタ1328のゲートG上の電圧は、PMOSトランジスタ1328のしきい値電圧を横切る。PMOSトランジスタ1328のゲートG上の電圧がしきい値電圧を横切るとき、PMOSトランジスタ1328はオンになり、メモリ電力スイッチ選択信号520の次第により高い出力電圧Vを、電力多重化回路502に与える。このようにして、電力多重化回路502に与えられたメモリ電力スイッチ選択信号520の出力電圧Vは、PMOSトランジスタ1328のゲートG上の電圧がしきい値電圧を横切るとき、全メモリ電圧 $V_{DD(M)}$ まで徐々にランプアップする。

【0059】

本開示における態様による、電力多重化システムにおける供給電力レールから受電回路への多重化電力のドライブ強度を適応制御するように構成される、電力多重化システムはまた、第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、第1のドライブ強度インジケータに基づく第1のドライブ強度において、出力電力レールに、第1の供給電力レールにおける第1の電圧を選択的に駆動するための、第1の供給手段を含み得る。そのような電力多重化システムはまた、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、第2のドライブ強度インジケータに基づく第2のドライブ強度において、出力電力レールに、第2の供給電力レールにおける第2の電圧を選択的に駆動するための、第2の供給手段を含み得る。そのような電力多重化システムはまた、出力電力レールの出力電圧を監視するための手段を含み得る。そのような電力多重化システムはまた、第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第1の供給選択回路に関連付けられた第1の基準電圧レベルと比較するための手段を含み得る。そのような電力多重化システムはまた、第1の供給電力レール選択イネーブル状態を示す、第1の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第1の基準電圧レベルと比較するための手段に基づいて、第1のドライブ強度インジケータを選択的に生成するための手段を含み得る。そのような電力多重化システムはまた、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第2の供給選択回路に関連付けられた第2の基準電圧レベルと比較するための手段に基づいて、第2のドライブ強度インジケータを選択的に生成するための手段を含み得る。

10

20

30

40

50

ルと比較するための手段を含み得る。そのような電力多重化システムはまた、第2の供給電力レール選択イネーブル状態を示す、第2の供給電力レール選択インジケータに応答して、出力電力レールにおける出力電圧の電圧レベルを、第2の基準電圧レベルと比較するための手段に基づいて、第2のドライブ強度インジケータを選択的に生成するための手段を含み得る。

【0060】

本開示における態様による、電力多重化システムにおける供給電力レールから受電回路への多重化電力のドライブ強度を適応制御するように構成される、電力多重化システムは、任意のプロセッサベースデバイス内に設けられるか、またはそれに組み込まれ得る。例には、限定はしないが、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム(GPS)デバイス、モバイルフォン、セルラーフォン、スマートフォン、セッション開始プロトコル(SIP)フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、装着型コンピューティングデバイス(たとえば、スマートウォッチ、ヘルスまたはフィットネストラッカー、アイウェアなど)、デスクトップコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビ、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両構成要素、アビオニクスシステム、ドローン、およびマルチコプターが含まれる。10

【0061】

この点について、図14は、上記で説明した特定の態様のいずれかに従って論理領域における意図的な減結合キャパシタンスを低減するなどのために、メモリ領域1405へのメモリ供給電力レール1404Mおよび論理供給電力レール1404Lのうちの1つの選択的な結合を制御するように構成された電力多重化システム1401を含む、プロセッサベースシステム1400の一例を示す。電力多重化システム1401は、適応ドライブ強度制御を含む、電力多重化回路1402を含む。たとえば、電力多重化回路1402は、例として、それぞれ、図2および図5における電力多重化回路202、502のうちのいずれかであり得る。この例では、メモリ領域1405は、一時的に記憶されたデータへの高速アクセスのために、プロセッサ1410の中に含まれ、1つまたは複数の中央処理ユニット(CPU)1412に結合されている、キャッシュメモリ1408を含む。電力多重化システム1401は、メモリ供給電力レール1404Mに結合されたメモリ電力入力1416Mと、論理供給電力レール1404Lに結合された論理電力入力1416Lとを有する。20
電力多重化システム1401は、メモリ領域1405に電力を与えるように構成された出力電力レール1406に結合された電力出力1418を有する。電力多重化システム1401は、論理電圧 $V_{DD(L)}$ が、メモリ領域1405の最小動作電圧であるかまたはそれを上回るとき、出力電力レール1406に、論理供給電力レール1404L上の論理電圧 $V_{DD(L)}$ を多重化するように構成される。30
電力多重化システム1401は、論理電圧 $V_{DD(L)}$ が、メモリ領域1405の最小動作電圧を下回るとき、出力電力レール1406上で、メモリ供給電力レール1404Mからのメモリ電圧 $V_{DD(M)}$ を多重化するように構成される。電力多重化回路202、502に関して上記で説明した特徴および例のいずれも、電力多重化システム1401において与えられ得る。40

【0062】

この例では、プロセッサベースシステム1400はまた、各々が1つまたは複数のCPU1412を含む、1つまたは複数のプロセッサ1410を含む。プロセッサ1410は、一時的に記憶されたデータへの高速アクセスのためにCPU1412に結合されたキャッシュメモリ1408を含む。プロセッサ1410は、システムバス1422に結合され、プロセッサベースシステム1400の中に含まれるマスタデバイスとスレーブデバイスとを相互結合することができる。よく知られているように、プロセッサ1410は、システムバス1422を介してアドレス情報、制御情報、およびデータ情報を交換することによって、これらの他のデバイスと通信する。たとえば、プロセッサ1410は、スレーブデバイスの一例として、メモリシステム1426の中のメモリコ50

ントローラ1424にバストランザクション要求を通信することができる。図14には示されていないが、複数のシステムバス1422が設けられてよく、各システムバス1422は異なるファブリックを構成する。この例では、メモリコントローラ1424は、メモリシステム1426の中の1つまたは複数のメモリアレイ1428にメモリアクセス要求を与えるように構成される。

【0063】

他のデバイスがシステムバス1422に接続され得る。図14に示されているように、これらのデバイスは、例として、1つまたは複数の入力デバイス1430と、1つまたは複数の出力デバイス1432と、1つまたは複数のネットワークインターフェースデバイス1434と、1つまたは複数のディスプレイコントローラ1436とを含み得る。入力デバイス1430は、限定はしないが、入力キー、スイッチ、音声プロセッサなどを含む、任意のタイプの入力デバイスを含み得る。出力デバイス1432は、限定はしないが、オーディオ、ビデオ、他の視覚的インジケータなどを含む、任意のタイプの出力デバイスを含み得る。ネットワークインターフェースデバイス1434は、ネットワーク1438との間のデータの交換を可能にするように構成された任意のデバイスであり得る。ネットワーク1438は、限定はしないが、ワイヤードネットワークまたはワイヤレスネットワーク、プライベートネットワークまたは公衆ネットワーク、ローカルエリアネットワーク(LAN)、ワイヤレスローカルエリアネットワーク(WLAN)、ワイドエリアネットワーク(WAN)、BLUETOOTH(登録商標)ネットワーク、およびインターネットを含む、任意のタイプのネットワークであり得る。ネットワークインターフェースデバイス1434は、任意のタイプの所望の通信プロトコルをサポートするように構成され得る。

10

20

【0064】

プロセッサ1410はまた、1つまたは複数のディスプレイ1440へ送られる情報を制御するために、システムバス1422を介してディスプレイコントローラ1436にアクセスするように構成され得る。ディスプレイコントローラ1436は、1つまたは複数のビデオプロセッサ1442を介して表示されるように情報をディスプレイ1440に送り、ビデオプロセッサ1442は、表示されるべき情報を処理して、ディスプレイ1440に適したフォーマットにする。ディスプレイ1440は、限定はしないが、陰極線管(CRT)、液晶ディスプレイ(LCD)、プラズマディスプレイなどを含む、任意のタイプのディスプレイを含み得る。

【0065】

当業者は、本明細書で開示する態様に関して説明する様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムが、電子ハードウェア、メモリ内もしくは別のコンピュータ可読媒体内に記憶され、プロセッサもしくは他の処理デバイスによって実行される命令、または両方の組合せとして実装され得ることをさらに諒解されよう。本明細書で説明するマスタデバイスおよびスレーブデバイスは、例として、任意の回路、ハードウェア構成要素、集積回路(IC)、またはICチップにおいて採用され得る。本明細書で開示するメモリは、任意のタイプおよびサイズのメモリであってよく、任意のタイプの所望の情報を記憶するように構成され得る。この互換性を明確に示すために、上記では、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップについて、それらの機能に関して概略的に説明した。そのような機能がどのように実装されるのかは、特定の適用例、設計選択、および/またはシステム全体に課される設計制約によって決まる。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装してもよいが、そのような実装決定が本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

30

40

【0066】

本明細書で開示した態様に関連して説明した様々な例示的な論理ブロック、モジュール、および回路は、プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、個別ゲートもしくはトランジスタ論理、個別ハードウェア構成要素、または本明細書で説明する機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行され得る。プロセッサは、マイクロプロセッサであってよいが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態

50

機械であってもよい。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携した1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装され得る。

【0067】

本明細書で開示する態様は、ハードウェアにおいて具現化されてもよく、かつハードウェア内に記憶され、たとえば、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読み取り専用メモリ(ROM)、電気的プログラマブルROM(EPROM)、電気的消去可能プログラマブルROM(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野において知られている任意の他の形態のコンピュータ可読媒体の中に存在し得る命令において具現化されてもよい。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ること、および記憶媒体に情報を書き込むことができるよう、プロセッサに結合される。代替として、記憶媒体は、プロセッサと一体化してよい。プロセッサおよび記憶媒体は、ASICの中に存在する場合がある。ASICは、リモート局の中に存在する場合がある。代替として、プロセッサおよび記憶媒体は、個別構成要素としてリモート局、基地局、またはサーバ内に存在する場合がある。

10

【0068】

本明細書の例示的な態様のいずれかにおいて説明した動作ステップは、例および説明を提供するために記載されていることにも留意されたい。説明した動作は、図示のシーケンス以外の数多くの異なるシーケンスにおいて実行される場合がある。さらに、単一の動作ステップにおいて説明する動作は、実際にはいくつかの異なるステップにおいて実行される場合がある。さらに、例示的な態様において論じられる1つまたは複数の動作ステップが組み合わせられる場合がある。フローチャート図に示された動作ステップが、当業者には容易に明らかであるような数多くの異なる変更を受けてよいことを理解されたい。当業者であれば、様々な異なる技術および技法のいずれかを使用して情報および信号が表され得ることも理解するであろう。たとえば、上記の説明全体にわたって参照される場合があるデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁気粒子、光場もしくは光学粒子、またはそれらの任意の組合せによって表される場合がある。

20

【0069】

本開示のこれまでの説明は、任意の当業者が本開示を作製または使用できるようにするために提供される。本開示の様々な変更が当業者に容易に明らかになり、本明細書で定義する一般原理は、本開示の趣旨または範囲から逸脱することなく他の変形形態に適用されてもよい。したがって、本開示は、本明細書で説明した例および設計に限定されるものではなく、本明細書で開示した原理および新規の特徴と一致する最も広い範囲を与えられるべきである。

30

【符号の説明】

【0070】

- 100、200、500、1401 電力多重化システム
- 102(1) 第1の供給電力レール、第1の電力レール
- 102(2) 第2の供給電力レール、第2の電力レール
- 104、206、506、1406 出力電力レール
- 104(1) 第1の電圧源
- 104(2) 第2の電圧源
- 106、208 受電回路
- 108(1) 第1のヘッドスイッチ回路
- 108(2) 第2のヘッドスイッチ回路
- 110(1) P型金属酸化物半導体(MOS)(PMOS)トランジスタ、PMOSトランジスタ、第1のPMOSトランジスタ
- 110(2) PMOSトランジスタ、第2のPMOSトランジスタ

40

50

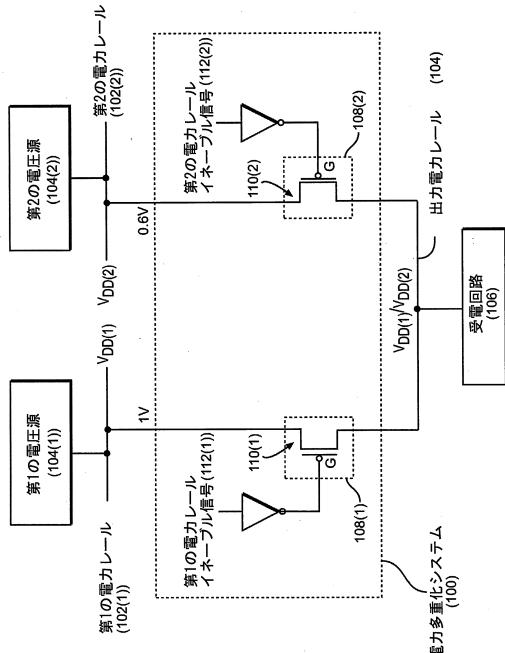
112(1) 第1の電力レールイネーブル信号	
112(2) 第2の電力レールイネーブル信号	
201 システムオンチップ(SoC)	
202、502、1402 電力多重化回路	
204(1) ~ 204(N) 供給電力レール	
204(1) 第1の供給電力レール	
204(N) 第2の供給電力レール	
210(1) ~ 210(N) 電力源	
210(1) 第1の電力源	
212(1) ~ 212(N) 供給選択回路	10
212(1) 第1の供給選択回路	
212(N) 第2の供給選択回路	
214(1) ~ 214(N) 電力スイッチ回路	
216(1)(1) ~ 216(1)(4)、216(N)(1) ~ 216(N)(4) P型金属酸化物半導体(MOS)(PMOS)トランジスタ、PMOSトランジスタ	
218、218(1) ~ 218(N) ドライブ強度インジケータ	
218(1) 第1のドライブ強度インジケータ、メモリドライブ強度インジケータ	
218(N) 第2のドライブ強度インジケータ	
220(1)(1) ~ 220(1)(4) ~ 220(N)(1) ~ 220(N)(4) 電力スイッチ選択信号	
222、222(1)、522、1022、1222 制御回路	20
222M 共有制御回路、制御回路	
224、524 出力電圧	
226(1) ~ 226(N) 供給電力レール選択インジケータ	
226(1) 第1の供給電力レール選択インジケータ	
226(N) 第2の供給電力レール選択インジケータ	
400 比較器回路	
401 アナログ比較器	
402 基準出力電圧 V_{ref_A} 、基準出力電圧	
404 デジタルアナログ変換器(DAC)回路、DAC回路	
406 比較出力信号	30
407 カウンタ回路	
408 カウンタ	
410 クロック信号	
412 クロック分周記	
414 メインクロック信号	
416 選択信号	
418 オーバーフロー論理回路、多重化回路	
420 逆多重化回路	
504L、1404L 論理供給電力レール	
504M、1404M メモリ供給電力レール	40
508、1428 メモリアレイ	
512(1) ~ 512(N) メモリまたは論理供給選択回路、供給選択回路	
512L 論理供給選択回路	
512M メモリ供給選択回路	
514L 論理電力スイッチ回路	
514M メモリ電力スイッチ回路	
516M(1) ~ 516M(T)、516L(1) ~ 516L(T)、602、1328、1336 PMOSトランジスタ	
518(1) ドライブ強度インジケータ	
518L 論理ドライブ強度インジケータ	
518M メモリドライブ強度インジケータ	50

520、520M、520M(1)～520M(T)	メモリ電力スイッチ選択信号	
520L(1)～520L(T)	論理電力スイッチ選択信号	
528	電圧監視回路	
530	低速ランプ回路	
600	ダイオードドロップ制御回路	
603	供給電力レールスイッチ信号	
604	ダイオードドロップ入力	
606	第1の電力レール選択入力、電力レール選択入力	
608	第1の電力スイッチ回路、電力スイッチ回路	
610	ダイオードドロップ制御入力	10
612	電力レール選択回路	
614	ダイオードドロップ出力	
616	第1の電力出力、電力出力	
618	ヘッドスイッチPMOSトランジスタ、第1のヘッドスイッチPMOSトランジスタ	
620	保持出力信号	
700、722、726	出力	
702	マルチプレクサ回路	
704	第1の入力	
706	第1のバイパスドライブ強度インジケータ、バイパスドライブ強度インジケータ	
708	第2の入力	20
710	メモリ適応ドライブ強度インジケータ	
712	選択入力	
714	適応モード選択信号	
716	保持入力信号	
718	適応電力多重化(APM)イネーブル信号、APMイネーブル信号	
720	ANDベースゲート	
724	ORベースゲート	
800	論理テーブル	
900	プロット	
902	電圧曲線	30
1000(1)	第1の電圧制御発振器(VCO)、VCO、第1のVCO	
1000(2)	第2のVCO、VCO	
1002	事前定義基準出力電圧(Vref)、基準出力電圧	
1004(1)、1004(2)	周波数信号	
1006	有限状態機械(FSM)、FSM	
1008、1208(1)、1208(2)	出力信号	
1010	DAC	
1206	位相周波数検出器(PFD)、PFD	
1210	チャージポンプ(CP)	
1306	ヘッドスイッチ回路	40
1308、1310	電圧入力	
1314、1312	電圧出力	
1316	制御信号	
1318	制御入力	
1320	ヘッドスイッチ制御回路	
1324	電流シンク回路	
1326	イネーブル入力	
1330	NMOSトランジスタ	
1332	接地源	
1334	定電圧源	50

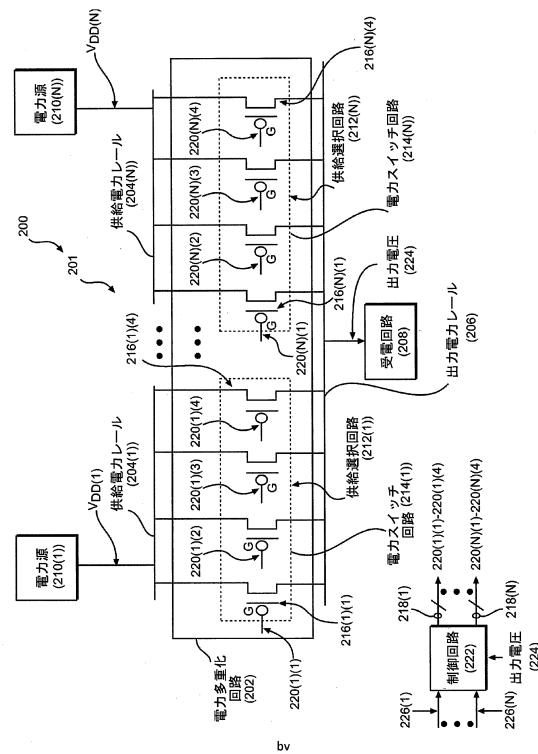
- 1400 プロセッサベースシステム
 1405 メモリ領域
 1408 キャッシュメモリ
 1410 プロセッサ
 1412 中央処理ユニット(CPU)、CPU
 1416L 論理電力入力
 1416M メモリ電力入力
 1418 電力出力
 1422 システムバス
 1424 メモリコントローラ
 1426 メモリシステム
 1430 入力デバイス
 1432 出力デバイス
 1434 ネットワークインターフェースデバイス
 1436 ディスプレイコントローラ
 1438 ネットワーク
 1440 ディスプレイ
 1442 ビデオプロセッサ

10

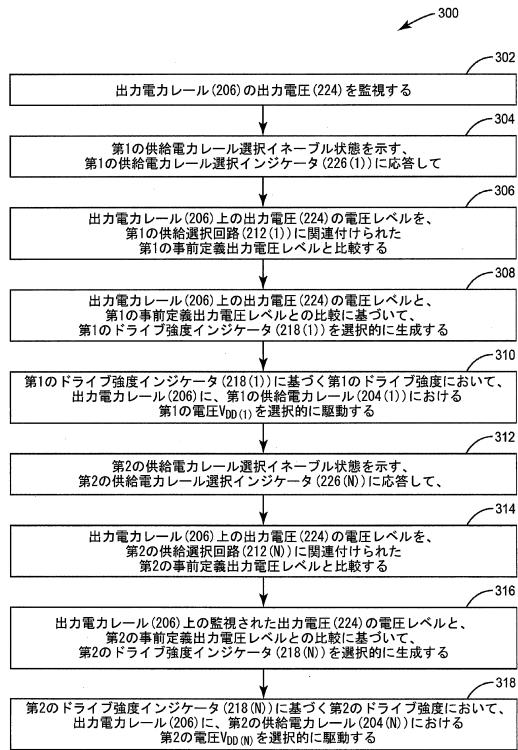
【図1】



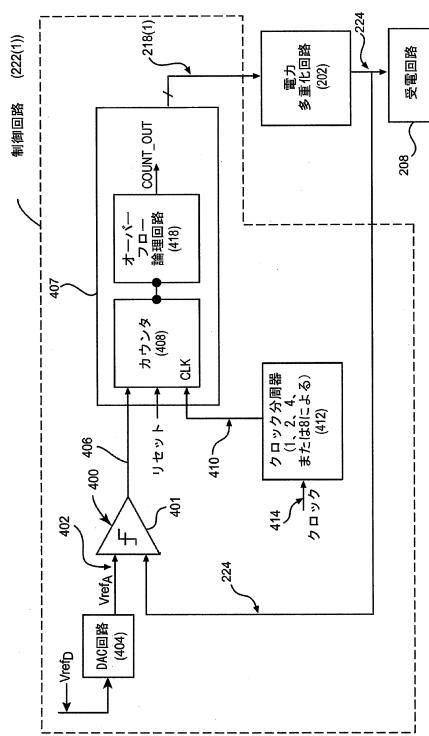
【図2】



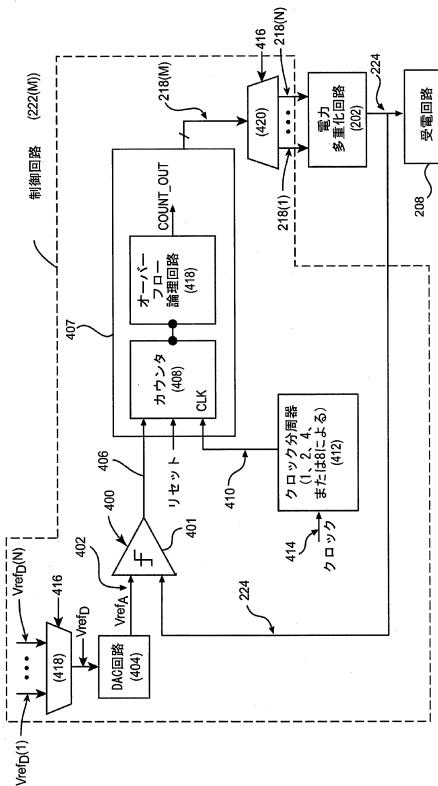
【図3】



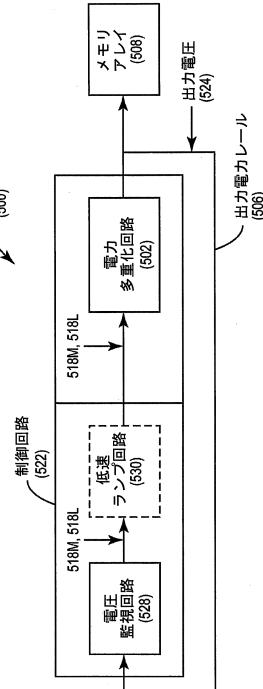
【図4A】



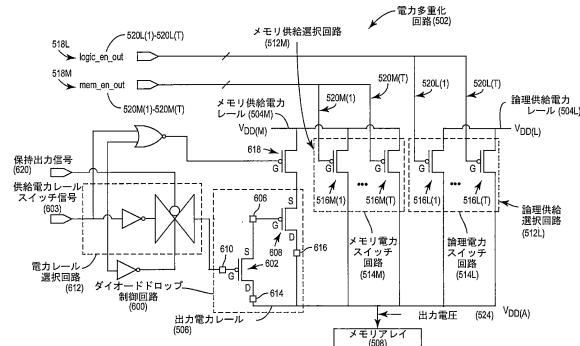
【図4B】



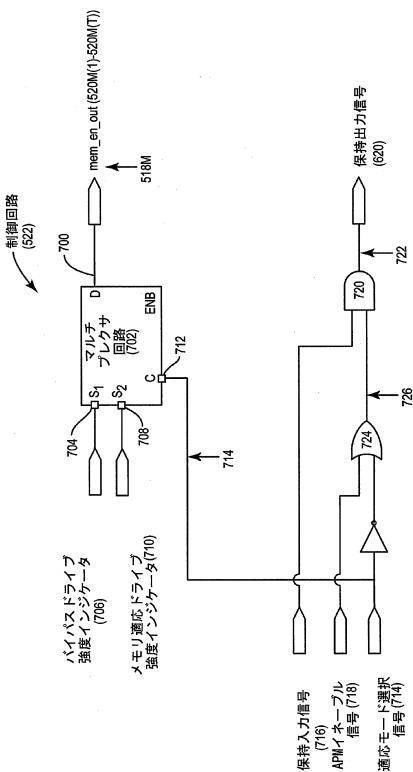
【図5】



【図6】



【図7】



【図8】

This truth table defines the logic for selecting memory modes based on input signals and memory driver types.

入力→	適応モード選択信号 (714)	APMイネーブル信号 (718)	保持出力信号 (716)	保持入力信号 (716)	メモリドライバータイプ
状態			X	X	メモリインジケータ (518M)
ASR/バイバス	0	0	0	0	バイパスドライバ
コラブス	1	0	0	0	強度インジケータ
ASR/キーブル	1	0	1	0	メモリ適応ドライバ
機能的	1	1	0	0	強度インジケータ
供給電力レールの間のスイッチング (504L, 504L)	1	1	1	1	メモリ適応ドライバ

【図9】

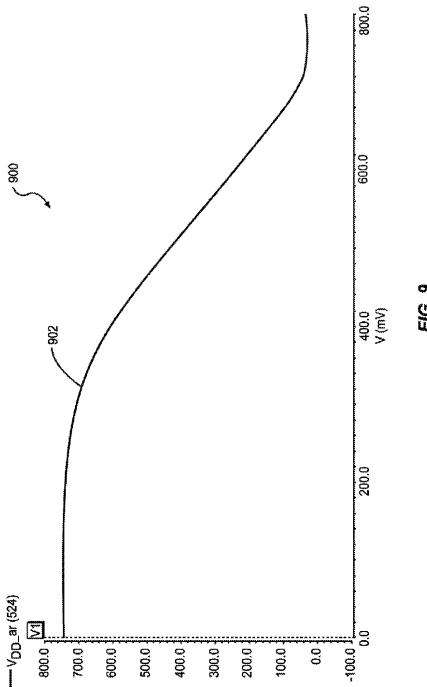
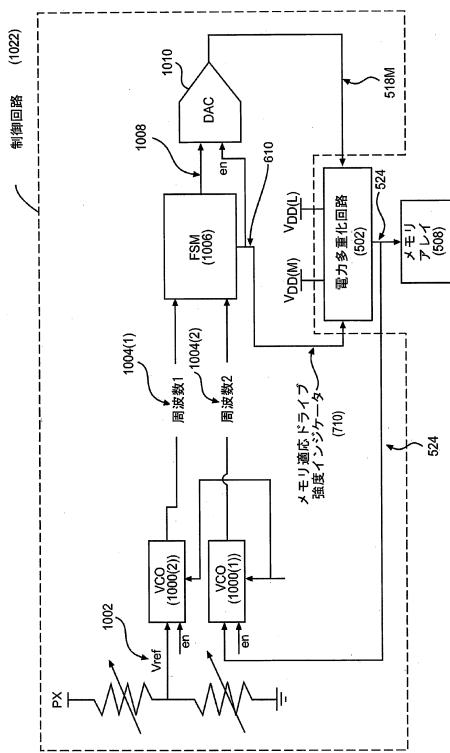
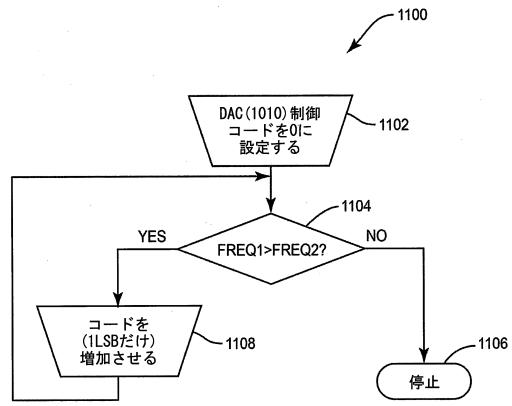


FIG. 9

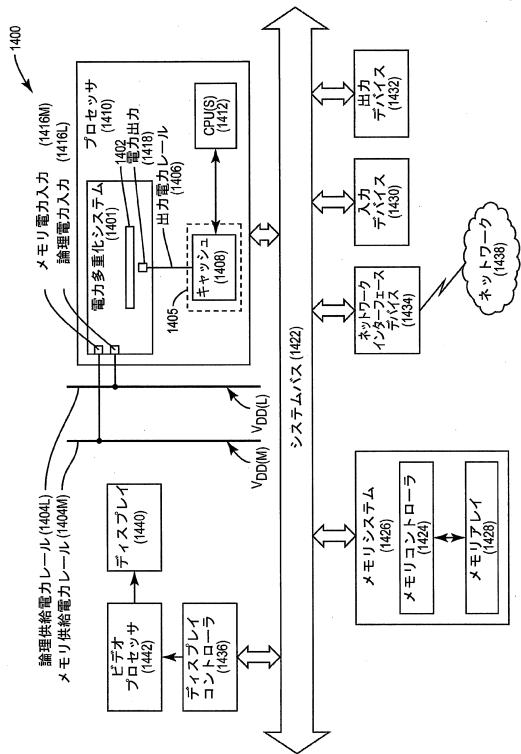
【図 10】



【図 11】



【図14】



フロントページの続き

(31)優先権主張番号 15/593,809

(32)優先日 平成29年5月12日(2017.5.12)

(33)優先権主張国・地域又は機関

米国(US)

早期審査対象出願

(72)発明者 イエシュワント・ナガラジュ・コッラ

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5

(72)発明者 ニール・シャシャンク・ナテカール

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5

審査官 堀田 和義

(56)参考文献 米国特許出願公開第2014/0167813(US,A1)

米国特許出願公開第2012/0117391(US,A1)

米国特許出願公開第2016/0306412(US,A1)

米国特許出願公開第2016/0308372(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 11 C 5 / 14

G 06 F 1 / 26