

República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial

(21) **PI0616823-0 A2**

(22) Data de Depósito: 13/09/2006
(43) Data da Publicação: 05/07/2011
(RPI 2113)



(51) *Int.Cl.:*
H04N 7/24 2011.01
H04N 7/26 2011.01

(54) Título: **TRANSCODIFICAÇÃO DE VÍDEO DIGITAL INTEGRADA EFICIENTE**

(73) Titular(es): MICROSOFT CORPORATION

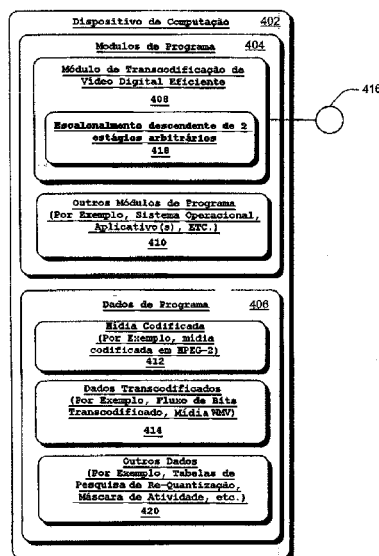
(72) Inventor(es): GUOBIN SHEN, SHIPENG LI, WANYONG CAO, YUWEN HE

(74) Procurador(es): Nellie Anne Daniel Shores

(86) Pedido Internacional: PCT US2006035640 de 13/09/2006

(87) Publicação Internacional: WO 2007/033242 de 22/03/2007

(57) Resumo: TRANSCODIFICAÇÃO DE VIDEO DIGITAL INTEGRADA EFICIENTE. A transcodificação de vídeo digital integrada eficiente é descrita. Em um aspecto, um transcodificador integrado recebe um fluxo de bits codificado. O transcodificador integrado transcodifica o fluxo de bits codificado decodificando parcialmente o fluxo de bits codificado com base em uma primeira transformação associada com um primeiro formato de dados de mídia. As operações de decodificação geram um fluxo de dados intermediário. O transcodificador integrado então codifica o fluxo de dados intermediário usando uma segunda transformação associada com um segundo formato de dados de mídia. A primeira e a segunda transformações não são as mesmas.





PI0616823-0

"TRANSCODIFICAÇÃO DE VÍDEO DIGITAL INTEGRADA EFICIENTE"

ANTECEDENTES

O conteúdo de vídeo digital é tipicamente gerado para atingir um formato de dados específico. Um formato de dados de vídeo geralmente se conforma com um padrão de codificação de vídeo específico ou um algoritmo de codificação proprietário, com uma taxa de transferência específica, resolução espacial, velocidade de projeção, etc. Tais padrões de codificação incluem MPEG-2 e vídeo de mídia do WINDOWS (WMV). A maior parte dos conteúdos de vídeo digital existentes é codificada de acordo com o formato de dados do MPEG-2. WMV é amplamente aceito como um codec qualificado no campo de transferência de dados contínua, sendo amplamente organizado por toda a Internet, adotado pelo consórcio HD-DVD e atualmente sendo considerado como um padrão SMPTE. Padrões de codificação de vídeo diferentes provêm capacidades variadas de compactação e qualidade visual.

A transcodificação se refere ao processo geral de conversão de um fluxo de bits compactado em um outro compactado. Para corresponder com as capacidades do dispositivo e redes de distribuição, é freqüentemente desejável converter um fluxo de bits em um formato de codificação para um outro formato de codificação tal como de MPEG-2 para WMV, para H.264 ou até mesmo para um formato escalável. A transcodificação pode também ser utilizada para atingir alguma funcionalidade específica tal como funcionalidade semelhante ao VCR, inserção de logotipo ou capacidade de resiliência de

erro enriquecida do fluxo de bits para transmissão através de canais sem fio.

A figura 1 mostra um sistema de transcodificador do domínio de pixel em cascata convencional (CPDT), que coloca em cascata um decodificador de primeiro plano para decodificar um fluxo de bits de entrada com um codificador que gera um novo fluxo de bits com um conjunto de parâmetros de codificação diferente ou no novo formato. Um inconveniente dessa arquitetura de transcodificação convencional é que sua complexidade tipicamente apresenta um obstáculo para a organização prática. Como um resultado, a arquitetura de transcodificação do CPDT da figura 1 é tipicamente usada como um teste de desempenho para esquemas aperfeiçoados.

A figura 2 mostra uma arquitetura de transcodificador de domínio DCT em cascata convencional (CDDT), simplificando a arquitetura de CPDT da figura 1. O sistema da figura 2 limita a funcionalidade ao escalonamento descendente da resolução espacial/temporal e mudanças do parâmetro de codificação. CDDT elimina os processos de DCT/IDCT executados pelo transcodificador de CPDT da figura 1. Porém, CDDT executa MC no domínio DCT, que é tipicamente uma operação longa e cara do ponto de vista computacional. Isso é porque os blocos DCT são freqüentemente sobrepostos com blocos MC. Como um resultado, a arquitetura de CDDT tipicamente precisa aplicar operações de matriz de ponto flutuante complexas e caras do ponto de vista computacional a fim de executar MC no domínio DCT. Adicionalmente, refinamento do vetor de movimento (MV) é tipicamente impossível utilizando a arquitetura

tura de CDDT.

SUMÁRIO

Esse sumário é provido para apresentar uma seleção de conceitos em uma forma simplificada que são também descritos abaixo na descrição detalhada. Esse sumário não é planejado para identificar aspectos chaves ou aspectos essenciais da matéria exposta reivindicada, nem ele é planejado para ser usado como um auxílio na determinação do escopo da matéria exposta reivindicada.

10 Em vista do acima, a transcodificação de vídeo digital integrada eficiente é descrita. Em um aspecto, um transcodificador integrado recebe um fluxo de bits codificado. O transcodificador integrado transcodifica o fluxo de bits codificado decodificando parcialmente o fluxo de bits
15 codificado com base em um primeiro conjunto de técnicas de compactação associadas com um primeiro formato de dados de mídia. As operações de decodificação geram um fluxo de dados intermediário. O transcodificador integrado então codifica o fluxo de dados intermediário usando um segundo conjunto de
20 técnicas de compactação associadas com um segundo formato de dados de mídia. O primeiro e o segundo conjuntos de técnicas de compactação não são os mesmos.

BREVE DESCRIÇÃO DOS DESENHOS

Nas figuras, o dígito mais a esquerda de um número
25 de referência do componente identifica a figura particular na qual o componente aparece primeiro.

A figura 1 mostra um sistema de transcodificador de domínio de pixel em cascata convencional (CPDT), que co-

loca em cascata um decodificador de primeiro plano para decodificar um fluxo de bits de entrada com um codificador para gerar um novo fluxo de bits com um conjunto de parâmetro de codificação diferente ou no novo formato.

5 A figura 2 mostra uma arquitetura de transcodificador de domínio de DCT em cascata convencional (CDDT), simplificando a arquitetura de CPDT da figura 1.

10 A figura 3 mostra uma arquitetura dividida de transcodificação de domínio de pixel não integrada exemplar para transcodificar MPEG-2 para WMV, de acordo com uma modalidade. Mais particularmente, essa arquitetura dividida provê uma base conceitual para transcodificação de vídeo digital integrada eficiente.

15 A figura 4 mostra um sistema exemplar para transcodificação de vídeo digital integrada eficiente, de acordo com uma modalidade.

 A figura 5 mostra um transcodificador de domínio de pixel em cascata de laço fechado simplificado exemplar, de acordo com uma modalidade.

20 A figura 6 mostra um transcodificador de domínio de DCT de laço fechado simplificado exemplar, de acordo com uma modalidade.

25 A figura 7 mostra uma operação de intercalação exemplar de quatro blocos de DCT 4x4 em um bloco de DCT de 8x8, de acordo com uma modalidade. Essa operação de intercalação é executada durante a transcodificação de conteúdo de vídeo eficiente.

 A figura 8 mostra uma arquitetura exemplar para um

transcodificador de escalonamento descendente de resolução numeral de 2:1 de domínio de DCT simplificado, de acordo com uma modalidade.

5 A figura 9 mostra uma operação de intercalação e-
xemplar de quatro blocos de DCT 4x4 em um bloco de DCT 8x8 para mídia de entrelaçamento para operações de transcodificação de escalonamento descendente de resolução espacial 2:1, de acordo com uma modalidade.

10 A figura 10 mostra uma arquitetura de transcodifi-
cador de escalonamento descendente 2:1 simplificada exemplar com compensação de flutuação total, de acordo com uma modalidade.

15 A figura 11 mostra um modelo de armazenamento temporário do verificador de armazenamento temporário virtual padrão (VBV) exemplar para um decodificador.

A figura 12 mostra um transcodificador com escalonamento descendente de resolução arbitrariamente espacial de acordo com uma modalidade.

20 A figura 13 mostra um procedimento exemplar para operações de transcodificação de vídeo digital integrada eficiente, de acordo com uma modalidade.

A figura 14 mostra um ambiente exemplar no qual a transcodificação de vídeo digital integrada eficiente pode ser parcial ou totalmente realizada, de acordo com uma modalidade.
25

Para finalidades de discussão e ilustração, cor é usada nas figuras para apresentar as convenções seguintes. Uma seta sólida azul representa um sinal do domínio do pixel

com relação aos dados de imagem reais ou residuais. Uma seta sólida vermelha representa o sinal no domínio da DCT. Uma seta tracejada laranja representa informação de movimento.

DESCRIÇÃO DETALHADA

5 Visão geral

Sistemas e métodos para a transcodificação de vídeo digital eficiente são descritos abaixo com referência às figuras 4 a 14. Esses sistemas e métodos utilizam informação no fluxo de bits de entrada para permitir que uma aplicação dinamicamente controle a propagação do erro, e por meio disso, seletivamente controle a velocidade e a qualidade da transcodificação do fluxo de bits do vídeo. Esse controle seletivo permite que uma aplicação escale sem junção da transcodificação de laço fechado (perfil de transcodificação de alta velocidade) para esquemas de transcodificação de laço aberto (perfil de transcodificação de alta qualidade). Em contraste com as arquiteturas de transcodificação convencionais (por exemplo, o CPDT da figura 1 e o CDDT da figura 2), as arquiteturas para transcodificação de vídeo digital eficiente são integradas e elas combinaram tipos diferentes de transformações de co-seno discreto (DCTs) ou transformações semelhantes a DCT em um módulo de transcodificação. Os sistemas e métodos para a transcodificação de vídeo eficiente realizam re-quantização com uma tabela de pesquisa rápida e provêem mecanismos de controle de flutuação fina usando um algoritmo de limiar triplo.

Em uma realização, onde a transcodificação de vídeo digital eficiente transcodifica um formato de dados do

fluxo de bits (por exemplo, MPEG-2, etc.) para WMV, as operações de transcodificação de perfil de alta qualidade suportam aspectos de codificação avançados do WMV. Em uma realização, as operações de transcodificação de perfil de alta
5 velocidade realizam o escalonamento descendente em dois estágios de resolução arbitrária (por exemplo, quando transcodificando de alta definição (HD) para definição padrão (SD)). Em tais operações de escalonamento descendente de dois estágios, parte da razão do escalonamento descendente é
10 eficientemente realizada no domínio da DCT, enquanto as operações da razão de escalonamento descendente são realizadas no domínio espacial em uma resolução substancialmente reduzida.

Base Conceitual Exemplar

15 A figura 3 mostra a arquitetura dividida de transcodificação de domínio de pixel em cascata não integrada exemplar 300 para converter MPEG-2 para WMV. Essa arquitetura dividida não é integrada porque módulos separados respectivamente executam as operações de decodificação e de codificação.
20 cação. A arquitetura dividida da figura 3 provê uma base conceitual para a descrição subsequente dos sistemas e métodos integrados para transcodificação de vídeo digital eficiente. A tabela I mostra símbolos e seus significados respectivos para a discussão da figura 3.

25 Tabela 1

e_{i+1}	Erro de quadro (i+1) a ser codificado pela porção de codificação do transcodificador
$\hat{B}_i$	Quadro reconstruído i pelo decodificador do MPEG-2 na resolução original
$\tilde{B}_i$	Quadro reconstruído i pelo codificador na resolução original
$\hat{b}_i$	Quadro reconstruído i pelo decodificador do MPEG-2 na resolução reduzida
$\tilde{b}_i$	Quadro reconstruído i pelo codificador na resolução reduzida
$\hat{r}_{i+1}$	Resíduos reconstruídos do quadro (i+1) pelo decodificador do MPEG-2
$\tilde{r}_{i+1}$	Resíduos reconstruídos do quadro (i+1) pelo codificador
$MC_{mp2}(B, mv)$	Resíduos reconstruídos do quadro (i+1) pela predição com movimento compensado do codificador com a imagem de referência B e vetor de movimento mv pelo decodificador do MPEG-2, na base de bloco 16x16
$MC_{vcl}(B, mv)$	Predição com movimento compensado com a imagem de referência B e vetor de movimento mv pelo transcodificador 308 (codificador), na base de bloco 16x16 ou 8x8
$MC'_{mp2}(b, mv)$	Predição com movimento compensado com referência de resolução reduzida b e vetor de movimento mv, usando filtragem de MPEG-2, na base de bloco 8x8 ou menor
$MC'_{vcl}(b, mv)$	Predição com movimento compensado com referência de resolução reduzida B e vetor de movimento mv, usando filtragem do transcodificador 308, na base de bloco 8x8 ou menor
MV	Vetor de movimento na resolução de quadro original
mv	Vetor de movimento na resolução de quadro reduzida

Para finalidades de descrição e ilustração exemplar, o sistema 300 é descrito com relação à transcodificação de MPEG-2 para WMV com redução da taxa de transferência, redução da resolução espacial e sua combinação. Muitos conteúdos de vídeo digital existentes são codificados de acordo com o formato de dados do MPEG-2. WMV é amplamente aceito

como um codec qualificado no campo da transferência contínua de dados, sendo amplamente organizado por toda a Internet, adotado pelo consórcio HD-DVD e atualmente sendo considerado como um padrão SMPTE.

5 MPEG-2 e WMV provêm capacidades variadas de compactação e qualidade visual. Por exemplo, as técnicas de compactação respectivamente usadas por MPEG-2 e WMV são muito diferentes. Por exemplo, as técnicas de filtragem da compensação de movimento (MC) e precisão do vetor de movimento
10 (MV) são diferentes. No MPEG-2, a precisão do movimento é somente até a precisão de meio pixel e o método de interpolação é a filtragem bilinear. Em contraste, no WMV, a precisão do movimento pode subir até a precisão do quarto de pixel, e dois métodos de interpolação, isto é filtragem bilinear e filtragem bicúbica, são suportados. Além do mais, existe um parâmetro de controle de arredondamento envolvido
15 no processo de filtragem. O uso de WMV pode resultar em uma redução de até 50% na taxa de transferência do vídeo com perda de qualidade visual insignificante, quando comparado
20 com a taxa de transferência do MPEG-2.

 Em um outro exemplo, transformações usadas pelo MPEG-2 e WMV são diferentes. Por exemplo, o MPEG-2 usa DCT/IDCT padrão e o tamanho da transformação é fixado para 8x8. Em contraste, WMV usa transformações de número inteiro
25 (VC1-T) onde os elementos da matriz do núcleo de transformação são todos pequenos números inteiros. Adicionalmente, o tamanho da transformação pode ser alterado usando WMV de blocos para blocos usando 8x8, 8x4, 4x8 e 4x4. MPEG-2 não

suporta otimização ao nível do quadro. Enquanto que, WMV suporta várias sintaxes de nível de quadro para otimização do desempenho. WMV suporta muitos outros aspectos de codificação avançados, tais como compensação de intensidade, redução da faixa e mudança de resolução dinâmica, etc.

Em vista do acima, para prover redução da taxa de transferência sem mudança de resolução, o processo de filtragem ligando o decodificador de MPEG-2 e o codificador do WMV mostrado na figura 3 é um filtro de passagem total (isto é, não em vigor). Portanto, a entrada para o codificador para o quadro (i+1) é expressa como:

$$e_{i+1} = \hat{r}_{i+1} + MC_{mp2}(\hat{B}_i, MV_{mp2}) - MC_{vc1}(\bar{B}_i, MV_{vc1})$$

Nessa realização, a eficiência de codificação do WMV da figura 3 obtém resultado de precisão de movimento mais fino. Em WMV, a precisão do movimento do quarto do pixel é permitida comparada com a precisão de meio pixel comum como no MPEG-2. Além do mais, WMV permite interpolação melhor, porém mais complexa, conhecida como interpolação bicúbica para filtragem de MC. A interpolação bilinear é usada para MPEG-2 no módulo do MC (MC_{mp2}) para MC de meio pixel. O método de interpolação bilinear é similar a esse usado no WMV com a exceção que a interpolação bilinear do MPEG-2 não tem controle de arredondamento. Para obter alta velocidade, a precisão de movimento de meio pixel pode ser realizada na porção do codificador. Uma razão para isso é a carência do quadro original absoluto (isto é, os dados de entrada do

fluxo de bits (BS_IN) já estão compactados). Assim, nesse exemplo, é difícil obter um vetor de movimento mais preciso, porém significativo. Por outro lado, a informação de movimento obtida do decodificador do MPEG-2 (isto é, $MV_{vc1} =$
 5 MV_{mp2}) pode ser reutilizada diretamente. Desde que não existe mudança de resolução, não existe perda de precisão do MV com essa suposição. Se o codificador é também restrito para usar a interpolação bilinear e forçar o parâmetro de controle de arredondamento para estar sempre desativado, então sob a su-
 10 posição razoável que a compensação do movimento é uma operação linear e ignorando o erro de arredondamento (isto é, $MC_{vc1} = MC_{mp2}$), a equação 1 é simplificada como segue:

$$e_{i+1} = \hat{r}_{i+1} + MC_{mp2}(\hat{B}_i - \tilde{B}_i, MV_{mp2})$$

De acordo com a equação 2, o transcodificador de CPDT de referência na figura 3 pode ser simplificado. Uma
 15 tal arquitetura simplificada é descrita abaixo com referência à figura 5. Antes de descrever a arquitetura simplificada, um sistema exemplar para transcodificação de vídeo digital eficiente é descrito primeiro.

Um Sistema Exemplar

20 Embora não requerido, a transcodificação de vídeo digital eficiente é descrita no contexto geral de instruções de programa de computador sendo executadas por um dispositivo de computação tal como um computador pessoal. Módulos de programa geralmente incluem rotinas, programas, objetos,
 25 componentes, estruturas de dados, etc., que executam tarefas

particulares ou realizam tipos de dados abstratos particulares. Embora os sistemas e métodos sejam descritos no contexto precedente, as ações e as operações descritas a seguir podem também ser realizadas em hardware.

5 A figura 4 mostra um sistema exemplar 400 para transcodificação de vídeo digital eficiente. Nessa realização, as operações do sistema 400 são descritas com relação a esquemas de codificação de vídeo de compensação de movimento (MC) com base em bloco e DCT híbrida, sobre os quais muitos
10 padrões de codificação de vídeo e formatos proprietários são baseados. Mais particularmente, o sistema 400 é descrito com arquiteturas, componentes e operações usados para transcodificar MPEG-2 para WMV. Entretanto, pode ser verificado que as arquiteturas, os componentes e as operações descritos para
15 complexidade escalável e transcodificação de eficiência personificados pelo sistema 400 para transcodificar MPEG-2 para WMV podem também ser aplicados em outras conversões de formato de dados de fluxo de bits além de MPEG-2 e WMV. Por exemplo, em uma realização, o sistema 400 é utilizado para
20 transcodificar o fluxo de bits do MPEG-2 para fluxo de bits do MPEG-4 e dados de fluxo de bits do MPEG-4 para dados de fluxo de bits do WMV, etc. Em tais modalidades alternadas, as arquiteturas de transcodificação descritas seguintes do sistema 400 (incluindo componentes e operações associados
25 com elas), consideram o tipo de dados de fluxo de bits sendo decodificados, codificados e formatos de dados respectivos.

Nessa realização, o sistema 400 inclui um dispositivo de computação de uso geral 402. O dispositivo de compu-

tação 402 representa qualquer tipo de dispositivo de computação tais como um computador pessoal, um laptop, um servidor, um dispositivo de computação de mão ou móvel, etc. O dispositivo de computação 402 inclui módulos do programa 404 e dados do programa 406 para transcodificar um fluxo de bits codificado em um primeiro formato de dados (por exemplo, MPEG-2) para um fluxo de bits codificado em um formato de dados diferente (por exemplo, WMV). Módulos do programa 404 incluem, por exemplo, módulo de transcodificação de vídeo digital eficiente 408 ("módulo de transcodificação 408") e outros módulos de programa 410. O módulo de transcodificação 408 transcodifica a mídia codificada 412 (por exemplo, mídia de MPEG-2) em mídia transcodificada 414 (por exemplo, mídia de WMV). Outros módulos do programa 410 incluem, por exemplo, um sistema operacional e uma aplicação utilizando as capacidades de transcodificação de fluxo de bits de vídeo do módulo de transcodificação 408, etc. Em uma realização, a aplicação é parte do sistema operacional. Em uma realização, o módulo de transcodificação 408 expõe suas capacidades de transcodificação para a aplicação via uma interface de programação da aplicação (API) 416.

Transcodificação com Perfil de Alta Velocidade

A figura 5 mostra um transcodificador de domínio de pixel em cascata de laço fechado integrado simplificado exemplar sem propagação de erro. Para finalidades de discussão e ilustração, os componentes da figura 5 são descritos com referência aos componentes da figura 4. Por exemplo, a arquitetura da figura 5 é representativa de uma realização

de arquitetura exemplar do módulo de transcodificação 408 da figura 4. Com referência à arquitetura 500 da figura 5, quando comparada com a arquitetura na figura 3, por favor, observe que essa é uma arquitetura integrada sem componentes
5 separados de codificador e decodificador. Adicionalmente, por favor, observe que o módulo de estimativa de movimento de refinamento do MV é removido do MC no decodificador de MPEG-2. Adicionalmente, o MC no codificador de WMV é intercalado para um MC que opera em erros de re-quantização acumulados. Dessa maneira, a arquitetura de transcodificação da
10 figura 5 reduz significativamente a complexidade da computação para transcodificação de alta velocidade dos formatos de dados de vídeo progressivos e entrelaçados.

Por favor, observe que a transformação do WMV é
15 diferente da usada no MPEG-2. No MPEG-2, o ponto flutuante padrão de DCT/IDCT é usado enquanto que a transformação de número inteiro, cuja propriedade de acondicionamento da energia é semelhante à DCT, é adotada no WMV. Como um resultado, a IDCT no decodificador do MPEG-2 e o VC1-T no codifi-
20 cador do WMV não se cancelam. A transformação de número inteiro no WMV é diferente da realização do número inteiro da DCT/IDCT. A transformação de número inteiro no WMV é cuidadosamente projetada com todos os coeficientes de transformação para ser pequenos números inteiros. Transcodificadores
25 convencionais não são integrados para transcodificar um fluxo de bits codificado com relação a uma primeira transformação para uma segunda transformação que não é a mesma que a primeira transformação.

A equação 3 provê uma matriz de transformação exemplar para VC1-T 8x8.

$$T_8 = \begin{bmatrix} 12 & 12 & 12 & 12 & 12 & 12 & 12 & 12 \\ 16 & 15 & 9 & 4 & -4 & -9 & -15 & -16 \\ 16 & 6 & -6 & -16 & -16 & -6 & 6 & 16 \\ 15 & -4 & -16 & -9 & 9 & 16 & 4 & -15 \\ 12 & -12 & -12 & 12 & 12 & -12 & -12 & 12 \\ 9 & -12 & 4 & 15 & -15 & -4 & 16 & -9 \\ 6 & -16 & 16 & -6 & -6 & 16 & -16 & 6 \\ 4 & -9 & 15 & -16 & 16 & -15 & 9 & -4 \end{bmatrix}$$

A equação 3 em combinação com as equações 4 e 5, que são descritas abaixo, indicam como duas transformações diferentes são realizadas em um componente de escalonamento do módulo de transcodificação 408 (figura 4). Em uma realização, a precisão do VC1-T é a precisão de 16 bits, que é muito adequada para a realização MMX. Como um resultado, a complexidade do codec pode ser significativamente reduzida.

A figura 6 mostra um transcodificador de domínio da DCT de laço fechado simplificado exemplar. A arquitetura da figura 6 é representativa de uma realização de arquitetura exemplar do módulo de transcodificação 408 (figura 4). A arquitetura 600 da figura 6 é uma arquitetura simplificada quando comparada com a arquitetura 500 da figura 5. Com referência à figura 6, deixemos C_8 ser a matriz de transformação da DCT padrão, B , o bloco de DCT do MPEG-2 quantizado inverso, e b , a IDCT do B , então a IDCT do MPEG-2 é calculada como segue:

$$b = C_8' B C_8$$

Deixemos (SÍMBOLO) ser o VC1-T de b, então (SÍMBOLO) é calculado como:

$$\hat{B} = T_8 b T_8' \circ N_{88}$$

onde (SÍMBOLO) representa multiplicação no sentido do elemento de duas matrizes e N_{88} é a matriz de normalização para a transformação VC1-T que é calculada como segue:

$$N_{88} = C_8 \cdot C_8'$$

com

$$C_8 = \begin{bmatrix} 8/288 & 8/289 & 8/292 & 8/298 & 8/288 & 8/289 & 8/292 \\ 8/298 \end{bmatrix},$$

(SÍMBOLO) é diretamente calculado de B, usando a seguinte fórmula:

$$\hat{B} = T_8 (C_8' B C_8) T_8' \circ N_{88}$$

Para verificar que $T_8 C_8'$ e $C_8 T_8'$ estão muito próximos das matrizes diagonais, se nós aplicamos a aproximação, então a equação 4 se torna um escalonamento no sentido do elemento da matriz B. Isto é,

$$\hat{B} = B \circ S_{88}$$

onde

$$S_{88} = \text{diag}(T_8 C_8') \cdot \text{diag}(C_8 T_8') \circ N_{88}$$

A equação 5 mostra que o VC1-T no codificador do WMV e a IDCT no decodificador do MPEG-2 podem ser intercalados. Conseqüentemente, a arquitetura na figura 5 pode ser também simplificada para a mostrada na figura 6. A comparação detalhada revela que os dois módulos da DCT/IDCT são substituídos por dois módulos do VC1-T e VC1-T inverso. Em uma realização, um módulo de escalonamento simples é também adicionado. Duas chaves são embutidas junto com uma máscara de atividade nessa arquitetura. Esses componentes embutidos, como descrito abaixo, são usados para controle dinâmico da complexidade das operações de cobertura de transcodificação do transcodificador 408 (figura 4). Nesse ponto, esses componentes são conectados. A propriedade aritmética de 16 bits da transformação do WMV presta-se ao processamento paralelo para PC e DSP. Em vista disso, as complexidades de computação são significativamente reduzidas. Além do mais, desde que todos os elementos da matriz de escalonamento, S_{88} , estão substancialmente em proximidade com relação um ao outro, essa computação, e uma realização, é substituída por uma multiplicação escalar.

As figuras 5 e 6 mostram arquiteturas de transcodificação de laço fechado respectivas exemplares, onde um laço de realimentação está envolvido. Nessa realização, o laço de realimentação, que inclui a desquantização do VC-1, a transformação inversa do VC-1, a acumulação de erro residual e o MC no erro acumulado, compensa o erro causado pelo processo de re-quantização do VC-1. O erro de re-quantização é uma causa principal do erro de flutuação para transcodifi-

cadores com redução de taxa de transferência, tal como esse
 mostrado na figura 1. Embora as arquiteturas de transcodifi-
 cação das figuras 5 e 6 não sejam completamente livres de
 flutuação, mesmo com compensação de erro, o erro de flutua-
 5 ção é muito pequeno. Isso é porque a causa restante do erro
 de flutuação é o erro de arredondamento durante a filtragem
 por compensação de movimento. Um mérito da compensação de
 erro residual é que as arquiteturas das figuras 5 e 6 provê-
 em a ativação ou desativação dinâmica do processo de compen-
 10 sação, como descrito abaixo com relação à tabela 2. A arqui-
 tetura de transcodificação da figura 6 executa a transcodi-
 ficação com redução de taxa de transferência do MPEG-2 para
 WMV tal como a conversão de SD para SD ou HD para HD em uma
 maneira substancialmente ótima.

15 Mais particularmente, arquiteturas convencionais
 de transcodificador em cascata (por exemplo, as arquiteturas
 das figuras 1 e 2) carecem de flexibilidade da complexidade.
 Com relação a economias de computação, o máximo que tal ar-
 quitetura convencional pode atingir é através da reutiliza-
 20 ção do MV e mapeamento do modo. Por outro lado, arquiteturas
 de compensação de erro residual acumuladas, por exemplo, a
 arquitetura da figura 6 (e as arquiteturas das figuras 8 e
 10 como descrito abaixo) tem capacidade escalável incorpora-
 da em termos de complexidade. A tabela 2 mostra significados
 25 exemplares das chaves na figura 6.

TABELA 2

Chaves Exemplares para Controle Dinâmico da Velo-
 cidade e Qualidade Da Transcodificação

S_0	Nível do bloco	Chave de acumulação de erro
S_1	Nível do bloco	Chave de atualização do erro
S_2	Nível do bloco	Chave de decisão do bloco de salto precoce

Depois que o módulo de transcodificação 408 da figura 4 realizou a simplificação livre de flutuação, uma aplicação pode dinamicamente trocar entre a complexidade e a qualidade para acelerar a velocidade da transcodificação.

5 Nessa realização, a qualidade pode ser trocada por velocidade e vice-versa. Em outras palavras, algum erro de flutuação pode ser permitido no transcodificador simplificado adicional. Com essa estratégia, o erro de flutuação introduzido no método mais rápido é limitado e totalmente controlável. Com
10 base nessa consideração, três chaves (S_0 , S_1 e S_2) são providas nas arquiteturas das figuras 6, 8 e 10. As chaves são usadas somente para as arquiteturas com base em compensação do erro residual. As chaves seletivamente saltam algumas operações longas para reduzir a complexidade substancialmente,
15 te, enquanto introduzindo somente uma pequena quantidade de erro. Os significados das várias chaves são resumidos na tabela 2. Decisões computacionais associadas com essas chaves são eficientemente obtidas de acordo com critérios descritos abaixo com relação a cada chave.

20 A chave S_0 controla quando um erro de requantização de um bloco deve ser acumulado no armazenamento temporário do erro residual. Quando comparado com um seletor

de reconstrução padrão, a função da chave S_0 é melhorada adotando uma tabela de pesquisa rápida com base no processo de re-quantização e provendo um mecanismo de controle de flutuação mais apurado via um algoritmo de limiar triplo.

- 5 Como um resultado, todas as observações feitas com relação à chave S_0 são consideradas. Por exemplo, em uma realização, a diferença de energia do domínio da DCT pode ser utilizada como o indicador.

10 A chave S_1 controla quando o modelo mais consumidor de tempo, MC do erro residual acumulado. Em uma realização, a chave S_1 está acionada. Uma máscara de atividade binária é criada para o quadro de referência. Cada elemento da máscara de atividade corresponde com a atividade de um bloco 8×8 , como determinado por

$$Activity(Block_i) = \begin{cases} 1, & Energy(block_i) > Th \\ 0, & Energy(block_i) \leq Th \end{cases}$$

- 15 onde $Energia(bloco_i)$ é a energia do bloco no armazenamento temporário do erro residual acumulado. Em uma realização, $Energia(bloco_i)$ é o domínio espacial calculado ou domínio da DCT. $Energia(bloco_i)$ pode ser aproximada pela soma dos valores absolutos. Se o MV aponta para os blocos pertencentes à área de baixa atividade, então o MC do erro residual acumulado para esse bloco específico é saltado.
- 20

- A chave S_2 executa a detecção precoce para determinar se o erro do bloco deve ser codificado. Isso é especialmente útil na translação de aplicações onde o codificador aplica um tamanho de etapa de quantização mais comum. Nessa
- 25

realização, se o sinal de entrada (a soma do MC do erro residual acumulado e do resíduo reconstruído do decodificador do MPEG-2) é mais fraco do que um limiar, então a chave S_2 é desativada de modo que nenhum erro será codificado.

5 Em uma realização, limiares para as chaves S_0 , S_1 e S_2 são ajustados tal que quadros de referência mais precoces são processados com maior qualidade e em velocidade mais lenta. Isso é porque a finalidade das chaves é atingir uma melhor permuta entre qualidade e velocidade, e por causa da
10 natureza de codificação profética.

Transcodificador de Perfil de Alta Qualidade

Se a mudança da taxa de transferência não é significativa ou a qualidade da fonte de entrada não é muito alta, a arquitetura da figura 6 substancialmente otimiza a redução da taxa de transferência quando convertendo fluxos de
15 bits de MPEG-2 para os fluxos de bits de WMV. Por outro lado, a fonte de entrada pode ser de alta qualidade e saída de alta qualidade pode ser desejada, também a velocidade da transcodificação pode ser uma exigência moderada (por exemplo, em tempo real). Um transcodificador de perfil de alta
20 qualidade, tal como o transcodificador de domínio de pixel em cascata (CPDT) da figura 3 com o refinamento de MV, satisfaz esses critérios. Com essa arquitetura, nós podemos ativar todos os aspectos de codificação avançados do codificador de WMV para garantir que uma eficiência de codificação
25 mais elevada possa ser atingida.

Mudança de Resolução

Em sistemas de transcodificação de mídia conven-

cionais, existem geralmente três fontes de erros para a transcodificação com escalonamento descendente de resolução espacial. Esses erros são como segue:

5 •Escalonamento descendente: erros gerados quando obtendo um vídeo escalonado descendentemente. Essa é tipicamente uma escolha embutida em hardware quando projetando operações do filtro de escalonamento descendente para fazer uma troca entre qualidade visual e complexidade, especialmente quando escalonando descendentemente no domínio espacial.
10 al.

 •Erro de re-quantização: como com o processo de transcodificação com redução de taxa de transferência pura, esse é o erro devido à re-quantização com um tamanho de etapa de re-quantização mais comum.

15 •Erro de MV: o MV incorreto levará a previsão errada com movimento compensado. Como um resultado, não importa como o erro de re-quantização é compensado e não importa quão alta a taxa de transferência chega, um resultado perfeito é difícil de obter se não recalcular a compensação do movimento com base nos novos MVs e modos. Esse é um problema
20 para sistemas convencionais que transcodificam quadros B, porque o WMV suporta somente um modo de MV para os quadros B. Esse poderia também ser um problema se alguém deseja executar a otimização, que levaria à mudança do modo de codificação, por exemplo, do modo de quatro MVs para um MV. Além
25 do mais, o problema geralmente existe para componentes de crominância desde que eles são tipicamente compensados com um único MV. (Esse não é um problema para as arquiteturas de

transcodificação de vídeo digital eficientes descritas quando aplicadas em quadros P. Uma razão para isso é porque o WMV suporta o modo de codificação de quatro MVs para quadros P.)

5 As operações do módulo de transcodificação 408 (figura 4) tratam das duas últimas fontes de erros, como agora descrito.

Compensação do Erro de Re-quantização

Deixemos D representar a filtragem de amostragem inferior. Com referência à arquitetura da figura 3, a entrada para o codificador VC-1 para o quadro (i+1) é derivada como segue:

$$e_{i+1} = D(\hat{r}_{i+1}) + D(MC_{mp2}(\hat{b}_i, MV_{mp2})) - MC_{vc1}(\tilde{b}_i, mv_{vc1})$$

Assuma que $MC_{vc1} = MC_{mp2}$, $mv_{mp2} = mv_{vc1} = MV_{mp2}/2$. Com a aproximação que

$$D(MC_{mp2}(\hat{b}_i, MV_{mp2})) = MC'_{mp2}(D(\hat{b}_i), D(MV_{mp2})) = MC'_{mp2}(\hat{b}_i, mv_{mp2})$$

15 A equação 6 é simplificada para o seguinte:

$$e_{i+1} = D(\hat{r}_{i+1}) + MC'_{mp2}(\hat{b}_i - \tilde{b}_i, mv_{mp2})$$

O primeiro termo na equação 8, (SÍMBOLO), se refere ao processo de escalonamento descendente do sinal residual do MPEG-2 decodificado. Esse primeiro termo pode ser determinado usando filtragem de banda baixa do domínio espaci-

al e dizimação. Entretanto, o uso do escalonamento descendente do domínio da DCT para obter esse termo resulta em uma redução da complexidade e melhor PSNR e qualidade visual. Os resultados do escalonamento descendente de domínio da DCT são substancialmente melhores do que os resultados obtidos através da filtragem bilinear do domínio espacial ou filtragem de 7 derivações do domínio espacial com coeficientes $(-1, 0, 9, 16, 9, 0, -1)/32$. Nessa realização, o escalonamento descendente do domínio da DCT retém somente os coeficientes de DCT de baixa frequência 4×4 da esquerda superior. Isto é, a aplicação de uma IDCT 4×4 padrão nos coeficientes da DCT retidos resultará em uma imagem espacialmente escalonada descendentemente de 2:1 (isto é, mídia transcodificada 414 da figura 4).

O segundo termo na equação 8, (COPIAR), implica na compensação do erro de re-quantização em uma resolução escalonada descendentemente. Nessa realização, o MC no decodificador do MPEG-2 e o MC no decodificador do WMV são intercalados em um único processo de MC que opera em erros de re-quantização acumulados na resolução reduzida.

A figura 7 mostra uma operação de intercalação exemplar de quatro (4) blocos de DCT 4×4 em um bloco de DCT 8×8 . Uma preocupação prática permanece. No escalonamento descendente do domínio da DCT, quatro DCT 8×8 (blocos B_1 a B_4 em um macrobloco (MB) de MPEG-2 na resolução original) são mapeados para os quatro sub-blocos 4×4 de um bloco 8×8 do novo MB na resolução reduzida e ainda no domínio da DCT (por exemplo, por favor, ver figura 7). No WMV, para quadros

P e quadros B, o tipo de transformação de 4x4 é permitido. Como um resultado, nada precisa ser feito a mais exceto o escalonamento acima mencionado. Entretanto, para quadros I, somente o tipo de transformação 8x8 é permitido. Assim, quando lidando com quadros I, o módulo de transcodificação 408 (figura 4) converte os quatro sub-blocos de DCT de baixa frequência 4x4 em um bloco de DCT 8x8: (SÍMBOLO). Em uma realização, isso é realizado pela transformação inversa dos quatro sub-blocos de DCT 4x4 de volta para o domínio do pixel e a seguir aplicando um VC1-T 8x8 novo. Em uma realização, e para reduzir a complexidade da computação, isso é feito no domínio da DCT.

Por exemplo, deixemos (SÍMBOLO) representar os quatro sub-blocos de baixa frequência 4x4 de B_1 , B_2 , B_3 e B_4 , respectivamente, C_4 ser a matriz de transformação de IDCT padrão 4x4, T_8 ser a matriz de transformação do WMV de número inteiro e adicionalmente deixemos $T_8 = [T_L, T_R]$ onde T_L e T_R são matrizes de 8x4. Nesse cenário, (SÍMBOLO) é diretamente calculado a partir de (SÍMBOLO), usando a seguinte equação:

$$\hat{B} = (T_L C'_4) \hat{B}_1 (T_L C'_4)' + (T_L C'_4) \hat{B}_2 (T_R C'_4)' + (T_R C'_4) \hat{B}_3 (T_L C'_4)' + (T_R C'_4) \hat{B}_4 (T_R C'_4)'$$

Depois de alguma manipulação, (SÍMBOLO) é mais eficientemente calculado como segue:

$$\hat{B} = (X + Y)C' + (X - Y)D'$$

onde

$$C = (T_L C'_4 + T_R C'_4) / 2$$

$$D = (T_L C'_4 - T_R C'_4) / 2$$

$$X = C(\hat{B}_1 + \hat{B}_3) + D(\hat{B}_1 - \hat{B}_3)$$

$$Y = C(\hat{B}_2 + \hat{B}_4) + D(\hat{B}_2 - \hat{B}_4)$$

Em uma realização, ambos C e D da equação acima são pré-calculados. Os resultados finais são normalizados com N_{88} .

5 A figura 8 mostra uma arquitetura exemplar 800 para um transcodificador de escalonamento descendente de resolução 2:1 numeral do domínio da DCT simplificado. Em uma realização, o módulo de transcodificação 408 da figura 4 realiza a arquitetura exemplar 800. As chaves nessa arquitetura
10 têm a mesma funcionalidade que essas na figura 6, como descrito acima com referência à tabela 2. Com referência à figura 8, e uma realização, os primeiros dois módulos (VLD do MPEG-2 e quantização inversa) são simplificados quando comparado com o que é mostrado na figura 6. Isso é porque o mó-
15 dulo de transcodificação 408 recupera somente a porção 4x4 da esquerda superior do bloco 8x8.

Comparado com um transcodificador de baixa flutuação convencional com compensação de erro de flutuação na resolução reduzida, os transcodificadores das figuras 6 e 8
20 não incluem um módulo de processamento de bloco misturado. Isso é porque WMV suporta um modo de intra-codificação para blocos de 8x8 em um macrobloco inter-codificado. Em outras

palavras, um intra MB na resolução original é mapeado em um intra bloco de 8x8 de um inter MB na resolução reduzida. Em vista disso, a regra de mapeamento do modo de MB se torna muito simples, como mostrado imediatamente abaixo:

$$\text{mode_new} = \begin{cases} \text{INTRA} & \text{if all mode_orig} = \text{INTRA} \\ \text{SKIP} & \text{if all mode_orig} = \text{SKIP} \\ \text{INTER} & \text{otherwise} \end{cases}$$

5 Operações de processamento de bloco misturado existentes tipicamente exigem um laço de decodificação para reconstruir uma imagem de resolução completa. Portanto, a remoção do processamento de bloco misturado provê economias de computação substanciais quando comparado com os sistemas
10 convencionais.

A arquitetura de transcodificação de escalonamento descendente de resolução 2:1 do domínio da DCT simplificada 800 é substancialmente isenta de flutuação para quadros P. Isso é um resultado do modo de codificação de quatro MVs. A
15 única causa do erro de flutuação, quando comparado com uma arquitetura de CPDT com filtragem de escalonamento descendente, é o arredondamento dos MVs do quarto de resolução para metade da resolução (que garante que $mv_{mp2} = mv_{vc1}$) e a propriedade não comutativa do MC e escalonamento descenden-
20 te. Quaisquer tais erros restantes são insignificantes devido à filtragem de escalonamento descendente de banda baixa (por exemplo, realizada no domínio da DCT ou no domínio do pixel).

A figura 9 mostra uma operação de intercalação e-

xemplar de quatro blocos de DCT 4x4 em um bloco de DCT 8x8 para a média de entrelaçamento para operações de transcodificação de escalonamento descendente de resolução espacial 2:1, de acordo com uma modalidade. O escalonamento descendente 2:1 muda a resolução de um quadro original por dois em ambas as direções horizontal e vertical. Em uma realização, esse processo de entrelaçamento é realizado pelo módulo de transcodificação 408 da figura 4. Mais particularmente, para conteúdo codificado do entrelaçamento, o sub-bloco de 8x4 esquerdo superior em cada MB é reconstruído pelo decodificador de MPEG-2 de atalho, ambos os campos são aplainados pelo filtro de banda baixa na direção vertical, a seguir um campo é suspenso antes do processo de codificação do WMV.

Compensação de Erro do MV

Embora o WMV suporte quatro modos de codificação do MV, ele é tipicamente somente planejado para codificação de quadros P. Como um resultado, o sistema 400 (figura 4) realiza a arquitetura da figura 6 quando não existem quadros B no fluxo do MPEG-2 de entrada ou os quadros B devem ser descartados durante o transcodificador para uma resolução temporal inferior. Uma razão para isso é que o WMV permite somente um MV por MB para quadros B. Em um tal cenário, o módulo de transcodificação 408 (figura 4) compõe um novo vetor de movimento dos quatro MVs associados com os MBs na resolução original. Cada um dos métodos de composição do MV previamente mencionado é compatível. Em uma realização, o módulo de transcodificação 408 realiza a filtragem mediana. Como descrito, o MV incorreto levará a predição errada com

movimento compensado. Para tornar as coisas piores, não importa como o erro de re-quantização é compensado e não importa quão alta a taxa de transferência atinja, resultados perfeitos são difíceis para obter se não refizer a compensação do movimento com base nos novos MVs. Portanto, nós provemos uma arquitetura que permite que tais erros de movimento sejam compensados.

Novamente, com referência à arquitetura da figura 3, a entrada para o codificador do VC-1 para o quadro (i+1), que é assumido como sendo um quadro B, é derivada como segue:

$$e_{i+1} = D(\hat{r}_{i+1}) + D(MC_{mp2}(\hat{B}_i, MV_{mp2})) - MC_{vc1}(\tilde{b}_i, mv_{vc1})$$

com a aproximação que

$$D(MC_{mp2}(\hat{B}_i, MV_{mp2})) = MC'_{mp2}(D(\hat{B}_i), D(MV_{mp2})) = MC'_{mp2}(\hat{b}_i, mv_{mp2})$$

A equação 9 é simplificada para

$$e_{i+1} = D(\hat{r}_{i+1}) + MC'_{mp2}(\hat{b}_i, mv_{mp2}) - MC'_{vc1}(\tilde{b}_i, mv_{vc1})$$

Em vista da equação 11, o seguinte é obtido:

$$\begin{aligned} e_{i+1} &= D(\hat{r}_{i+1}) + MC'_{mp2}(\hat{b}_i, mv_{mp2}) - MC'_{vc1}(\tilde{b}_i, mv_{vc1}) \\ &= D(\hat{r}_{i+1}) + [MC'_{mp2}(\hat{b}_i, mv_{mp2}) - MC'_{vc1}(\hat{b}_i, mv_{vc1})] + MC'_{vc1}(\hat{b}_i, mv_{vc1}) - \\ &\quad MC'_{vc1}(\tilde{b}_i, mv_{vc1}) \\ &= D(\hat{r}_{i+1}) + [MC'_{mp2}(\hat{b}_i, mv_{mp2}) - MC'_{vc1}(\hat{b}_i, mv_{vc1})] + MC'_{vc1}(\hat{b}_i - \tilde{b}_i, mv_{vc1}) \end{aligned}$$

Os dois termos nos colchetes quadrados na equação 12 compensam os erros de movimento causados pelos MVs inconsistentes (isto é, mv_{mp2} é diferente de mv_{vc1}) ou causados pelos métodos de filtragem de MC diferentes entre o MPEG-2 e o WMV. Os módulos correspondentes para essa finalidade são evidenciados e agrupados em um bloco amarelo claro na figura 10.

A figura 10 mostra uma arquitetura de transcodificador de escalonamento descendente simplificada 2:1 exemplar com compensação de flutuação completa, de acordo com uma modalidade. Em uma realização, o módulo de transcodificação 408 da figura 4 realiza a arquitetura exemplar da figura 10. Com referência à equação 12, por favor, observe que (COPIAR) é executado para todos os blocos 8x8 que correspondem com os inter MBs originais, e $mv_{mp2} = MV_{mp2}/2$ com a precisão do quarto de pixel. O MV usado no codificador do VC-1 é um único $MV:mv_{vc1} = \text{mediano}(MV_{mp2})/2$. Observe que com relação ao módulo de compensação de erro de movimento, a precisão de mv_{vc1} pode avançar para o nível do quarto de pixel. O último termo na equação 12 compensa o erro de re-quantização dos quadros de referência. Desde que os quadros B não são uma referência para outros quadros, eles são mais tolerantes ao erro. Como um resultado, uma aplicação pode desativar, com segurança, a compensação do erro para obter maior velocidade. Novamente, tal aproximação é planejada para quadros B somente. Por favor, observe que o MC para a compensação de erro do movimento opera em armazenamentos temporários de pixel reconstruído enquanto o MC para a compensação do erro de re-quantização

opera em armazenamento temporário de erro residual acumulado.

Quanto ao MC, a conversão de intra para inter ou inter para intra pode ser aplicada. Isso é porque o decodificador do MPEG-2 reconstruiu o quadro B e os quadros de referência. Nessa realização, essa conversão é feita no módulo de processamento de bloco misturado na figura 10. Dois métodos de composição de modo são possíveis. E uma realização, o modo dominante é selecionado como o modo composto. Por exemplo, se os modos dos quatro MBs na resolução original são dois modos de predição bidirecional, um modo de predição inverso e um modo de predição direto, então o modo de predição bidirecional é selecionado como o modo para o MB na resolução reduzida. Em uma outra realização, o modo que levará ao maior erro é selecionado. Em vista desse exemplo, suponha que usar o modo inverso causará o maior erro. Nesse cenário, o modo inverso é escolhido tal que o erro pode ser compensado. Os resultados mostram que a última técnica oferece qualidade ligeiramente melhor quando comparada com a técnica de seleção de modo anterior.

Uma arquitetura exemplar de acordo com a equação 12 é mostrada na figura 10. Existem quatro chaves do nível de quadro especificamente para essa arquitetura, como mostrado na tabela 3.

TABELA 3

Chaves de nível de quadro exemplares

S_{IP}	Nível de quadro	Chave para ser fechada para quadros
----------	-----------------	-------------------------------------

		I e P somente
S_P	Nível de quadro	Chave para ser fechada para quadros P somente
S_B	Nível de quadro	Chave para ser fechada para quadros B somente ($= !S_{IP}$)
$S_{IP/B}$	Nível de quadro	Chave para ser fechada para quadros I e P somente se existem quadros B

As quatro chaves de nível de quadro garantem trajetórias de codificação diferentes para tipos diferentes de quadro. Especificamente, a arquitetura não executa: a acumulação de erro residual para quadros B (S_{IP}), não executa
5 compensação de erro do MV para os quadros I e P (S_B) e não reconstrói quadros de referência se não existem quadros B para serem gerados ($S_{IP/B}$). Por favor, observe que a chave do nível de quadro S_B pode ser transformada em chave do nível de bloco desde que o erro do MV precisa ser compensado so-
10 mente quando os quatro MVs originais correspondentes são significativamente inconsistentes.

Mais particularmente, a chave S_{IP} é fechada somente para quadros I ou quadros P, a chave S_P é fechada somente para os quadros P e a chave S_B é fechada somente para os
15 quadros B. A arquitetura resultante não é tão complexa quanto o transcodificador de domínio do pixel em cascata de referência da figura 3. Uma razão para isso é que o processo de escalonamento descendente do domínio de pixel explícito é evitado. No lugar disso, o escalonamento descendente do do-
20 mínio do pixel é implicitamente realizado no domínio da DCT

simplesmente descartando os altos coeficientes da DCT. Essa arquitetura tem excelente capacidade escalável da complexidade realizada pela utilização de várias chaves, como descrito acima com relação à tabela 2.

5 Para aplicações que exigem velocidade de transcodificação ultra-rápida, a arquitetura da figura 10 pode ser configurada em um laço aberto ou pela desativação de todas as chaves. Essa arquitetura de laço aberto pode ser também otimizada pela intercalação do processo de desquantização do
10 MPEG-2 e o processo de re-quantização do WMV. O módulo de varredura em zigue-zague inverso (dentro do VLD) do MPEG-2 pode também ser combinado com o no codificador do WMV.

Componentes de Crominância

Com relação aos componentes de crominância no
15 MPEG-2 e no WMV, o MV e o modo de codificação dos componentes de crominância (UV) são derivados desses do componente de luminância (Y). Se todos os quatros MBs na resolução original que correspondem com o MB na resolução reduzida têm modo de codificação consistente (isto é, todos inter-
20 codificados ou todos intra-codificados), não existe problema. Entretanto, se esse não é o caso, problemas resultam devido às regras de derivação diferentes do MPEG-2 e WMV. No MPEG-2, os blocos de UV são inter codificados quando o MB é codificado com o inter modo. Entretanto, no WMV, os blocos
25 de UV são inter codificados somente quando o MB é codificado com o inter modo e existe menos do que três blocos 8x8 intra-codificados. Essa preocupação existe para ambos os quadros P e quadros B. O módulo de transcodificação 408 da fi-

gura 4 trata desses problemas como segue:

Conversão inter para intra: quando o MB inter-codificado tem três blocos Y 8x8 intra-codificados (é impossível para um MB inter-codificado ter todos os quatro blocos Y 8x8 intra codificados), os blocos de UV são intra codificados. Nesse caso, um MB na resolução original é inter-codificado junto com blocos de UV correspondentes. Esses blocos de UV serão convertidos do inter modo para o intra modo. Desde que o sistema visual humano (HVS) é menos sensível aos sinais de crominância, o módulo de transcodificação 408 utiliza uma técnica de encobrimento espacial para converter os blocos de UV 8x8 do modo inter para o intra. Em uma realização, a distância DC é utilizada como um indicador para determinar a direção do encobrimento. O encobrimento é atingido via uma cópia simples ou qualquer outro método de interpolação.

Conversão de intra para inter: quando um MB inter-codificado tem um ou dois blocos Y 8x8 intra-codificados, o módulo de transcodificação 408 inter-codifica os blocos de UV. Nesse cenário, existe um ou dois MBs intra-codificados entre os quatro MBs correspondentes na resolução original. Esses blocos de UV são convertidos do modo intra para o modo inter. Nessa realização, o módulo de transcodificação 408 utiliza uma técnica de encobrimento temporal chamada o método de zerar para lidar com esses blocos, e dessa maneira, evitar o laço de decodificação.

Usando as operações de encobrimento de erro para lidar com a conversão de modo para o componente de crominân-

cia, o erro introduzido em um quadro atual é insignificante e pode ser ignorado, embora ele possa causar flutuação de cor em quadros subseqüentes. A flutuação para o componente de crominância é tipicamente causada pelo movimento incorreto. Para tratar isso e melhorar a qualidade, em uma realização, o módulo de transcodificação 408 usa a compensação com base na reconstrução para o componente de crominância (isto é, sempre aplicando o módulo amarelo claro para o componente de crominância).

10 Controle de Taxa

A figura 11 mostra um modelo de armazenamento temporário do verificador de armazenamento temporário virtual exemplar (VBV) para um decodificador. Um decodificador com base no modelo VBV da figura 11 tipicamente verificará um
 15 fluxo de bits de MPEG-2 existente. Nessa realização, se a taxa de vídeo é diminuída proporcional à taxa de entrada, então o fluxo de bits de WMV transcodificado automaticamente satisfará as exigências de VBV. Em vista disso, a arquitetura de transcodificação de vídeo digital eficiente desse re-
 20 latório descritivo torna o tamanho do quadro codificado proporcional ao tamanho do quadro de entrada para todos os quadros. Essas novas arquiteturas continuamente compensam as diferenças acumuladas entre o tamanho do quadro alvo e o tamanho do quadro resultante real, e obtém, via treinamento,
 25 uma regra de mapeamento da etapa de quantização (QP) linear para faixas de taxa de transferência diferentes.

Para alta taxa de transferência, existe uma fórmula aproximada entre os bits de codificação (B) e a etapa de

quantização (QP) que é também usada no método de controle de taxa TM-5 do MPEG-2.

$$B = S \cdot \frac{X}{QP}$$

onde S é a complexidade do quadro, X é parâmetros de modelo. Assumindo que a complexidade de um quadro permanece a mesma para codecs diferentes:

$$QP_{vc1} = \left(\frac{X_{vc1}}{X_{mp2}} \right) \cdot \left(\frac{B_{mp2}}{B_{vc1}} \right) \cdot QP_{mp2} = k \cdot \left(\frac{B_{mp2}}{B_{vc1}} \right) \cdot QP_{mp2}$$

onde QP_{vc1} é o valor de QP usado na re-quantização do WMV, QP_{mp2} é o valor de QP da quantização do MPEG-2 e k é o parâmetro do modelo relacionado com a taxa de transferência alvo. Em uma realização, o seguinte modelo linear é utilizado:

$$QP_{vc1} / QP_{mp2} = k \cdot (B_{mp2} / B_{vc1}) + t$$

Os valores dos parâmetros k e t para casos de baixa, média e alta taxa de transferência são listados na tabela 4 usando o método de regressão linear.

TABELA 4

VALORES DE PARÂMETRO EXEMPLARES PARA A METODOLOGIA DE REGRESSÃO LINEAR

Tipo do Quadro	Quadro I		Quadro P		Quadro B	
Parâmetros	k	t	k	t	k	t
Baixo (<1Mbps)	0,612861	-0,194954	0,016081	3,128561	0,076037	2,264825
Médio (<3Mbps)	0,314311	0,070494	0,041140	1,400647	0,207292	0,545977
Alto	0,682409	-0,248120	0,057869	1,115930	0,199024	0,441518

Um algoritmo de controle de taxa detalhado exemplar com base na equação 14 é mostrado na tabela 5, onde os significados dos vários símbolos do algoritmo apresentado na tabela 5 são definidos na tabela 6 seguinte.

TABELA 5

ALGORITMO DE CONTROLE DE TAXA EXEMPLAR

```

Inicializar SumD = 0;
Enquanto (fluxo do MPEG-2 não termina)
{
  Etapa1: Decodificar um quadro do MPEG-2 e obter Bmp2 e QPmp2

  Etapa2:  $B_{pred\_vc1} = B_{mp2} \cdot \frac{R_{vc1}}{R_{mp2}}$ 

            $B_{vc1} = B_{pred\_vc1} + SumD$ 

           Se  $(B_{vc1} < 0)$  então  $B_{vc1} = 1$ ;

            $QP_{vc1} = (k \cdot \frac{B_{mp2}}{B_{vc1}} + t) \cdot QP_{mp2}$ ;

           Arredondar e recortar QPvc1 para [1,31];

  Etapa3: Codificar esse quadro em um quadro de WMV usando QPvc1

  Etapa4: Obter o tamanho do quadro do WMV codificado real Breal vc1

           Atualizar SumD:  $SumD = SumD + B_{pred\_vc1} - B_{actual\_vc1}$ ;
}

```

TABELA 6

DEFINIÇÕES DE SÍMBOLOS USADOS NO ALGORITMO DA

B_{mp2}	Tamanho do quadro do MPEG-2
R_{mp2}	Taxa de transferência de fluxo do MPEG-2
R_{vc1}	Taxa de transferência do fluxo do WMV alvo
B_{pred_vc1}	Tamanho do quadro do WMV predito pela razão da taxa de transferência
B_{vc1}	Tamanho do quadro do WMV esperado para codificar (nova taxa de transferência)
B_{actual_vc1}	Tamanho do quadro do WMV codificado real
$SumD$	Diferenças acumuladas entre o tamanho do quadro do WMV predito e real do começo

Mudança de Resolução Arbitrariamente

A conversão dos conteúdos de resolução de HD para resolução de SD, por exemplo, para suportar receptores/reprodutores de SD legados é útil. Resoluções típicas do formato HD são 1920x1080i e 1280x720p enquanto essas para SD são 720x480i, 720x480p para NTSC. As razões de escalonamento descendente horizontal e vertical de 1920x1080i para 720x480i são 8/3 e 9/4, respectivamente. Para manter a relação entre os eixos, a razão do escalonamento descendente final é escolhida para ser 8/3 e o tamanho da imagem resultante é 720x404. Similarmente, para 1280x720p a 720x480p, a razão do escalonamento descendente é escolhida para ser 16/9 e o tamanho da imagem resultante é 720x404. Títulos pretos são inseridos para fazer uma imagem de 720x480 completa pelo decodificador/reprodutor (ao invés de ser preenchido no fluxo de bits).

De acordo com a teoria de processamento do sinal

digital, uma metodologia de escalonamento descendente substancialmente ótima para uma razão de escalonamento descendente m/n , seria primeiro amostrar superiormente o sinal por n vezes (isto é, inserir $n-1$ zeros entre cada amostra original), aplicar um filtro de banda baixa (por exemplo, uma função de sincronismo com muitas derivações) e a seguir decimar o sinal resultante por m vezes. Executando tais operações, qualquer serrilhado do espectro introduzido pelo escalonamento descendente seria maximamente suprimido. Entretanto, esse processo também seria muito caro do ponto de vista computacional e difícil para executar em tempo real porque o sinal de entrada é de alta definição. Para reduzir essa complexidade computacional, uma nova estratégia de escalonamento descendente de dois estágios é realizada.

A figura 12 mostra um transcodificador com escalonamento descendente de resolução arbitrariamente espacial, de acordo com uma modalidade. Em uma realização, o módulo de transcodificação 408 da figura 4 realiza a arquitetura da figura 12. Em uma realização, o transcodificador de escalonamento descendente arbitrário é um transcodificador não integrado, tal como na figura 12. Em uma outra realização, as operações de transcodificação de escalonamento descendente arbitrárias seguintes, que são descritas abaixo com relação à figura 12, são realizadas em um transcodificador integrado tal como esse mostrado nas figuras 5, 6, 8 e/ou 10.

Com referência à figura 12, o sistema 1200 executa as operações de escalonamento descendente de dois estágios para atingir qualquer alvo de escalonamento descendente ar-

bitrário. Os resultados do escalonamento descendente do primeiro estágio são embutidos no laço de decodificação. Isso reduz a complexidade das operações de decodificação. Por exemplo, para obter uma razão de escalonamento descendente de 8/3, as operações de escalonamento descendente são executadas primeiro para escalonar descendentemente por 2/1. Os resultados desse escalonamento descendente do primeiro estágio são inseridos no laço de decodificação, onde o escalonamento descendente do segundo estágio é executado no domínio espacial. Nesse exemplo, as operações de escalonamento descendente do segundo estágio escalonam descendentemente por 4/3 para obter uma razão de escalonamento descendente de 8/3. Em um outro exemplo, uma razão de escalonamento descendente de 16/9 é obtida pelo sistema 1200 aplicando o escalonamento descendente de 4/3 duas vezes (em dois estágios). Essa metodologia de escalonamento descendente de dois estágios utiliza a estratégia de escalonamento descendente do domínio da DCT previamente discutida e a seguir embute totalmente os resultados do escalonamento descendente do primeiro estágio no laço de decodificação. Desde que a resolução é significativamente reduzida depois do escalonamento descendente do primeiro estágio, nós podemos continuar a aplicar o método de escalonamento descendente ótimo no domínio do pixel.

Com referência à figura 12, por favor, observe que múltiplos MVs (entre $\left\lfloor \frac{m}{n} \right\rfloor \times \left\lfloor \frac{m}{n} \right\rfloor$ and $\left\lceil \frac{m}{n} \right\rceil \times \left\lceil \frac{m}{n} \right\rceil$) são associados com um novo MB (os módulos de escalonamento e filtragem de MV).

Procedimento Exemplar

A figura 13 ilustra um procedimento 1300 para transcodificação de vídeo digital eficiente de acordo com uma modalidade. Em uma realização, o módulo de transcodificação 408 da figura 4 executa as operações do procedimento 1300. Com referência à figura 13, no bloco 1302, o procedimento recebe um fluxo de bits codificado (por exemplo, mídia codificada 412 da figura 4). No bloco 1304, o procedimento parcialmente decodifica o fluxo de bits codificado de acordo com um primeiro conjunto de técnicas de compactação associadas com um primeiro formato de dados de mídia (por exemplo, MPEG-2, MPEG-4, etc.). As operações de decodificação parciais geram um fluxo de dados intermediário. O transcodificador integrado não executa a decodificação completa. Por exemplo, nos casos onde o MC do decodificador de MPEG-2 "conceitual" é intercalado com esse do codificador do WMV, é difícil descrever as operações de decodificação quando executando a decodificação do MPEG-2. No bloco 1306, se o escalonamento descendente do fluxo de dados intermediário é desejado, o procedimento escalona descendentemente os dados associados com o fluxo de bits codificado em um primeiro estágio do escalonamento descendente. O primeiro estágio do escalonamento descendente é implementado no domínio da DCT de um laço de decodificação. No bloco 1308, se o escalonamento descendente de dois estágios é desejado, o procedimento também escalona descendentemente no domínio espacial os dados que foram escalonados descendentemente no domínio da DCT (ver bloco 1306).

No bloco 1310, os dados decodificados de acordo

com o primeiro conjunto de técnicas de compactação são codificados com um segundo conjunto de técnicas de compactação. Em uma realização, o procedimento 1300 é executado dentro de uma arquitetura de transcodificação não integrada, tal como
5 essa mostrada e descrita com relação às figuras 12 e 14. Nessa realização, o segundo conjunto de técnicas de compactação é o mesmo que o primeiro conjunto de técnicas de compactação. Em uma outra realização, o procedimento 1300 é executado dentro de uma arquitetura de transcodificação inte-
10 grada, tal como essa mostrada e descrita com relação às figuras 5-11 e 14. Nessa outra realização, o segundo conjunto de técnicas de compactação não é o mesmo que o primeiro conjunto de técnicas de compactação. Por exemplo, em uma realização, o primeiro conjunto de técnicas de compactação está
15 associado com o MPEG-2 e o segundo conjunto de técnicas de compactação está associado com o WMV.

Um Ambiente de Operação Exemplar

A figura 14 ilustra um exemplo de um ambiente de computação adequado no qual a transcodificação de vídeo digital eficiente pode ser total ou parcialmente executada. O
20 ambiente de computação exemplar 1400 é somente um exemplo de um ambiente de computação adequado para o sistema exemplar 400 da figura 4, e não é planejado para sugerir qualquer limitação quanto ao escopo de uso ou funcionalidade dos sistemas e métodos descritos aqui. Nem deve o ambiente de computação 1400 ser interpretado como tendo qualquer dependência
25 ou exigência relacionada com qualquer um ou combinação de componentes ilustrados no ambiente de computação 1400.

Os métodos e sistemas descritos aqui são operacionais com numerosos outros sistemas de computação, ambientes ou configurações de uso especial ou uso geral. Exemplos de sistemas de computação, ambientes e/ou configurações bem conhecidos que podem ser adequados para uso incluem, mas não são limitados a computadores pessoais, computadores servidores, sistemas de multiprocessador, sistemas com base em microprocessador, PCs de rede, minicomputadores, computadores de grande porte, ambientes de computação distribuídos que incluem qualquer um dos sistemas ou dispositivos acima e assim por diante. Versões compactas ou de subconjunto da estrutura podem também ser realizadas em clientes de recursos limitados, tal como computadores de mão ou outros dispositivos de computação. A invenção é praticada em um ambiente de computação de rede onde as tarefas são executadas por dispositivos de processamento remoto que são ligados através de uma rede de comunicações.

Com referência à figura 14, um sistema exemplar provendo arquitetura de transcodificação de vídeo digital eficiente inclui um dispositivo de computação de uso geral na forma de um computador 1410 executando, por exemplo, operações iniciadoras associadas com o dispositivo de computação 102 da figura 1. Componentes do computador 1410 podem incluir, mas não são limitados a, unidade(s) de processamento 1418, uma memória do sistema 1430 e um barramento do sistema 1421 que une vários componentes do sistema incluindo a memória do sistema na unidade de processamento 1418. O barramento do sistema 1421 pode ser qualquer um de vários tipos

de estruturas de barramento incluindo um barramento de memória ou controlador de memória, um barramento periférico e um barramento local usando qualquer uma de uma variedade de arquiteturas de barramento. Por meio de exemplo, e não limitação, tais arquiteturas incluem barramento da arquitetura padrão industrial (ISA), barramento da arquitetura de micro canal (MCA), barramento ISA aperfeiçoado (EISA), barramento local da associação dos padrões eletrônicos de vídeo (VESA) e barramento de interligação de componente periférico (PCI) também conhecido como barramento Mezanino.

um computador 1410 tipicamente inclui uma variedade de meios legíveis pelo computador. Meios legíveis pelo computador podem ser quaisquer meios disponíveis que possam ser acessados pelo computador 1410, incluindo ambos os meios voláteis e não voláteis, meios removíveis e não removíveis. Por meio de exemplo, e não limitação, meios legíveis por computador podem compreender meios de armazenamento no computador e meios de comunicação. Meios de armazenamento no computador incluem ambos meios voláteis e não voláteis, removíveis e não removíveis implementados em qualquer método ou tecnologia para armazenamento de informação tais como instruções legíveis pelo computador, estruturas de dados, módulos do programa ou outros dados. Meios de armazenamento no computador incluem, mas não são limitados a, RAM, ROM, EEPROM, memória flash ou outra tecnologia de memória, CD-ROM, discos versáteis digitais (DVD) ou outro armazenamento de disco ótico, cassetes magnéticos, fita magnética, armazenamento de disco magnético ou outros dispositivos de armaze-

namento magnético ou qualquer outro meio que possa ser usado para armazenar a informação desejada e que possa ser acessado pelo computador 1410.

Meios de comunicação tipicamente personificam instruções legíveis pelo computador, estruturas de dados, módulos do programa ou outros dados em um sinal de dados modulado tal como uma onda portadora ou outro mecanismo de transporte e incluem quaisquer meios de entrega de informação. O termo "sinal de dados modulado" significa um sinal que tem uma ou mais de suas características ajustadas ou mudadas em uma tal maneira de modo a codificar a informação no sinal. Por meio de exemplo, e não limitação, meios de comunicação incluem meios ligados por fio tal como uma rede ligada por fio ou conexão ligada por fio direta e meios sem fio tais como meios sem fio acústicos, de RF, de infravermelho e outros. Combinações de qualquer um dos acima devem também ser incluídas dentro do escopo de meios legíveis por computador.

A memória do sistema 1430 inclui meios de armazenamento no computador na forma de memória volátil e/ou não volátil tais como memória somente de leitura (ROM) 1431 e memória de acesso aleatório (RAM) 1432. Um sistema básico de entrada/saída 1433 (BIOS), contendo as rotinas básicas que ajudam a transferir a informação entre elementos dentro do computador 1410, tal como durante a partida, é tipicamente armazenado na ROM 1431. A RAM 1432 tipicamente contém dados e/ou módulos de programa que são imediatamente acessíveis para e/ou atualmente sendo operados pela unidade de processamento 1418. Por meio de exemplo, e não limitação, a Figura

14 ilustra o sistema operacional 1434, programas aplicativos 1435, outros módulos de programa 1436 e dados do programa 1437.

O computador 1410 pode também incluir outros meios
5 de armazenamento no computador removíveis/não removíveis, voláteis/não voláteis. Por meio de exemplo somente, a Figura 14 ilustra uma unidade de disco rígido 1441 que lê de ou escreve nos meios magnéticos não removíveis, não voláteis, uma unidade de disco magnético 1451 que lê de ou escreve em um
10 disco magnético removível não volátil 1452 e uma unidade de disco ótico 1455 que lê de ou escreve em um disco ótico removível, não volátil 1456 tal como um CD-ROM ou outros meios óticos. Outros meios de armazenamento no computador removíveis/não removíveis, voláteis/não voláteis que podem ser u-
15 sados no ambiente operacional exemplar incluem, mas não são limitados a, cassetes de fita magnética, placas de memória flash, discos versáteis digitais, fita de vídeo digital, RAM de estado sólido, ROM de estado sólido e assim por diante. A unidade de disco rígido 1441 é tipicamente conectada no bar-
20 ramento do sistema 1421 através de uma interface de memória não removível tal como a interface 1440 e a unidade de disco magnético 1451 e a unidade de disco ótico 1455 são tipicamente conectadas no barramento do sistema 1421 por uma interface de memória removível, tal como a interface 1450.

25 As unidades e seus meios de armazenamento no computador associados, discutidos acima e ilustrados na Figura 14, provêm armazenamento das instruções legíveis por computador, estruturas de dados, módulos do programa e outros da-

dos para o computador 1410. Na Figura 14, por exemplo, a unidade de disco rígido 1441 é ilustrada como armazenando o sistema operacional 1444, programas aplicativos 1445, outros módulos de programa 1446 e dados do programa 1447. Observe
5 que esses componentes podem ser os mesmos que ou diferentes do sistema operacional 1434, programas aplicativos 1435, outros módulos do programa 1436 e dados do programa 1437. O sistema operacional 1444, programas aplicativos 1445, outros módulos do programa 1446 e dados do programa 1447 são fornecidos com números diferentes aqui para ilustrar que eles são
10 pelo menos cópias diferentes.

Um usuário pode inserir comandos e informação no computador 1410 através de dispositivos de entrada tais como um teclado 1462 e um dispositivo de indicação 1461, geralmente
15 citado como um mouse, trackball ou base sensível ao toque. Outros dispositivos de entrada (não mostrados) podem incluir um microfone, barra de direção, caneta gráfica e base, disco de satélite, scanner, etc. Esses e outros dispositivos de entrada são freqüentemente conectados na unidade de
20 processamento 1418 através de uma interface de entrada do usuário 1460 que é acoplada no barramento do sistema 1421, mas pode ser conectada por outra interface e estruturas de barramento, tais como uma porta paralela, porta de jogos ou um barramento serial universal (USB). Nessa realização, um
25 monitor 1491 ou outro tipo de dispositivo de interface do usuário é também conectado no barramento do sistema 1421 através de uma interface, por exemplo, tal como uma interface de vídeo 1490.

O computador 1410 opera em um ambiente de rede usando conexões lógicas para um ou mais computadores remotos, tal como um computador remoto 1480. Em uma realização, o computador remoto 1480 representa o dispositivo de computação 106 de um responder, como mostrado na figura 1. O computador remoto 1480 pode ser um computador pessoal, um servidor, um roteador, um PC de rede, um dispositivo par ou outro nó de rede comum, e como uma função de sua realização particular, pode incluir muitos ou todos os elementos descritos acima em relação ao computador 1410, embora somente um dispositivo de armazenamento de memória 1481 tenha sido ilustrado na Figura 14. As conexões lógicas representadas na Figura 14 incluem uma rede local (LAN) 1481 e uma rede remota (WAN) 1473, mas pode também incluir outras redes. Tais ambientes de rede são comuns em escritórios, redes de computador empresariais, intranets e na Internet.

Quando usado em um ambiente de rede LAN, o computador 1410 é conectado na LAN 1471 através de uma interface de rede ou adaptador 1470. Quando usado em um ambiente de rede WAN, o computador 1410 tipicamente inclui um modem 1472 ou outro dispositivo para estabelecer as comunicações através da WAN 1473, tal como a Internet. O modem 1472, que pode ser interno ou externo, pode ser conectado no barramento do sistema 1421 através da interface de entrada do usuário 1460 ou outro mecanismo apropriado. Em um ambiente de rede, módulos do programa representados em relação ao computador 1410, ou porções do mesmo, podem ser armazenados no dispositivo de armazenamento de memória remoto. Por meio de exemplo, e não

limitação, a Figura 14 ilustra programas aplicativos remotos 1485 como residindo no dispositivo de memória 1481. As conexões de rede mostradas são exemplares e outros modos de estabelecimento de uma ligação de comunicações entre os computadores 5 podem ser usados.

Conclusão

Embora as seções acima descrevam arquiteturas de transcodificação de vídeo digital eficientes na linguagem específica para aspectos estruturais e/ou operações metodológicas 10 lógicas ou ações, as realizações definidas nas reivindicações anexas não são necessariamente limitadas aos aspectos ou ações específicos descritos. De preferência, os aspectos e operações específicos da arquitetura de transcodificação de vídeo digital integrada eficiente descrita são revelados 15 como formas exemplares de executar a matéria exposta reivindicada.

Por exemplo, em uma realização, os sistemas e metodologias de transcodificação rápidos e de alta qualidade descritos, incluindo transcodificação, escalonamento descendente dimensionado arbitrário e redução de taxa são usados 20 para transcodificação de MPEG-2 para MPEG-4 e transcodificação de MPEG-4 para WMV. Por exemplo, o transcodificador de domínio de DCT de laço fechado simplificado na figura 6 pode ser usado para transcodificar MPEG-4 para WMV. Uma diferença 25 entre MPEG-2 (IS-13818 parte 2) é que o MPEG-2 somente utiliza precisão de MV de elemento de meio pixel (pel) e a interpolação bilinear no MC; existe um tal mesmo modo (meio pel bilinear) no WMV. Entretanto, MPEG-4 suporta ambos a

precisão do MV de meio pel e um quarto de pel, bem como a interpolação para posições de um quarto de pel (diferente dessa no WMV). Para cuidar dessa diferença, quando MV de 1/2 pel é usado pelo vídeo MPEG-4, então o processo de transcodificação é o mesmo que o MPEG-2 para transcodificação do WMV, como descrito acima. Adicionalmente, quando MV de 1/4 pel está contido no vídeo do MPEG-4, então o erro é introduzido devido aos diferentes métodos de interpolação no MC como descrito acima com relação à figura 6. Adicionalmente, o transcodificador de escalonamento descendente 2:1 simplificado com compensação de flutuação completa descrito acima com relação à figura 10 é aplicável para a transcodificação reduzida de 2:1 do MPEG-4 para WMV independente da mudança. Além do mais, transcodificação de alta qualidade, incluindo a redução de taxa acima descrita e operações de transcodificação arbitrariamente de escalonamento descendente da figura 12 são efetivas para transcodificação de MPEG-4 para WMV.

REIVINDICAÇÕES

1. Método executado em computador, **CARACTERIZADO** pelo fato de que compreende:

receber, por um transcodificador integrado, um
5 fluxo de bits codificado e

transcodificar, pelo transcodificador integrado, o
fluxo de bits codificado como segue:

parcialmente decodificar, pelo transcodificador
integrado, o fluxo de bits codificado para gerar um fluxo de
10 dados intermediário, o fluxo de bits codificado sendo codi-
ficado com um primeiro conjunto de técnicas de compactação
associadas com o primeiro formato de mídia e

decodificar, pelo transcodificador integrado, o
fluxo de dados intermediário usando um segundo conjunto de
15 técnicas de compactação para gerar um fluxo de bits transco-
dificado, o segundo conjunto de técnicas de compactação cor-
respondendo com o segundo formato de mídia.

2. Método executado em computador, de acordo com a
reivindicação 1, **CARACTERIZADO** pelo fato de que o primeiro
20 formato de mídia é MPEG-2 e onde o segundo formato de mídia
é WMV.

3. Método executado em computador, de acordo com a
reivindicação 1, **CARACTERIZADO** pelo fato de que o primeiro
formato de mídia é MPEG-2 e onde o segundo formato de mídia
25 é MPEG-4.

4. Método executado em computador, de acordo com a
reivindicação 1, **CARACTERIZADO** pelo fato de que o transcodi-
ficador integrado é um transcodificador de laço fechado que

impede a propagação do erro via compensação de erro apropriada.

5. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que o transcodificador integrado é um transcodificador de laço aberto que
5 não impede a propagação do erro.

6. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que o transcodificador integrado intercala a primeira e a segunda transformações respectivamente associadas com o primeiro e o segundo
10 formatos de mídia em um componente de escalonamento .

7. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que a transcodificação também compreende dinamicamente ativar ou desativar
15 uma ou mais operações associadas com a compensação de erro residual para respectivamente aumentar a qualidade ou a velocidade da transcodificação.

8. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que a transcodificação executa compensação de erro residual e onde a trans-
20 codificação também compreende:

responsiva à determinação que quadros de referência anteriores estão sendo processados, dinamicamente ajustar uma ou mais operações para transcodificar os quadros de
25 referência anteriores com alta qualidade e baixa velocidade
e

onde as operações compreendem a acumulação de erro de re-quantização de bloco, compensação de movimento do erro

acumulado e detecção precoce para determinar se um bloco particular é para ser um codificado.

9. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que a transcodificação executa compensação do erro residual, e onde a

responsiva a um mecanismo de controle de flutuação com base no limiar, dinamicamente ativar ou desativar a acumulação do erro de re-quantização do bloco em um armazenamento temporário de erro residual,

responsiva a uma avaliação da atividade do bloco, dinamicamente ativar ou desativar a compensação do movimento do erro acumulado no armazenamento temporário do erro residual e

responsiva a uma determinação com base em uma soma do erro residual acumulado pela compensação de movimento e resíduo reconstruído da decodificação parcial, dinamicamente ativar ou desativar a detecção precoce para determinar se o bloco é para ser codificado.

10. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que parcialmente decodificar também compreende:

executar o controle de taxa com um tamanho de quadro codificado proporcional a um tamanho de quadro de entrada para todos os quadros e

onde o controle de taxa provê compensação continuada para diferenças acumuladas entre um tamanho de quadro alvo e um tamanho de quadro resultante real.

11. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que também compreende:

5 descartar altos coeficientes de transformação do co-seno discreto (DCT) para escalonar descendente o fluxo de dados intermediário em um domínio da DCT e

onde o escalonamento descendente do domínio do pixel explícito não é executado.

12. Método executado em computador, de acordo com 10 a reivindicação 1, **CARACTERIZADO** pelo fato de que transcodificar também compreende escalonar descendente um bloco do fluxo de bits codificado pela reconstrução de uma imagem de resolução completa do fluxo de bits codificado independente do processamento de bloco misturado e um laço de decodificação correspondente. 15

13. Método executado em computador, de acordo com a reivindicação 1, **CARACTERIZADO** pelo fato de que transcodificar também compreende executar operações de escalonamento descendente de dois estágios para obter uma razão alvo de 20 escalonamento descendente arbitrária.

14. Método executado em computador, de acordo com a reivindicação 13, **CARACTERIZADO** pelo fato de que as operações de escalonamento descendente de dois estágios também compreendem:

25 efetuar operações de escalonamento descendente de primeiro estágio em um laço de decodificação de domínio da DCT e

executar operações de escalonamento descendente de

segundo estágio fora do laço de decodificação em um domínio do pixel.

15 15. Método executado em computador, de acordo com a reivindicação 13, **CARACTERIZADO** pelo fato de que as operações de escalonamento descendente de dois estágios também compreendem:

10 executar operações de escalonamento descendente de primeiro estágio para obter um primeiro resultado que é intermediário à razão alvo do escalonamento descendente arbitrária,

 inserir o primeiro resultado em um laço de decodificação e

15 efetuar operações de escalonamento descendente de segundo estágio em um domínio espacial para obter a razão alvo de escalonamento descendente arbitrária.

 16. Método executado em computador, **CARACTERIZADO** pelo fato de que compreende:

 transcodificar, por um transcodificador integrado, um fluxo de bits codificado como segue:

20 parcialmente decodificar, pelo transcodificador integrado, o fluxo de bits codificado para gerar um fluxo de dados intermediário, o fluxo de bits codificado sendo codificado com um primeiro conjunto de técnicas de compactação associadas com o primeiro formato de mídia,

25 codificar, pelo transcodificador integrado, o fluxo de dados intermediário usando um segundo conjunto de técnicas de compactação para gerar um fluxo de bits transcodificado, a segunda transformação correspondendo com o segundo

formato de mídia e

onde o transcodificador integrado intercala a primeira e a segunda transformações respectivamente associadas com o primeiro e o segundo formatos de mídia em um componente de escalonamento .

17. Método executado em computador, de acordo com a reivindicação 16, **CARACTERIZADO** pelo fato de que o primeiro formato de mídia é MPEG-2 e onde o segundo formato de mídia é WMV.

18. Método executado em computador, de acordo com a reivindicação 16, **CARACTERIZADO** pelo fato de que a transcodificação também compreende:

dinamicamente ativar ou desativar uma ou mais operações associadas com a compensação de erro residual para respectivamente aumentar a qualidade ou a velocidade da transcodificação e

onde a uma ou mais operações são alternadamente ativadas ou desativadas com base em um ou mais do seguinte:

um mecanismo de controle de flutuação com base no limiar,

avaliação dos níveis de atividade do bloco e

uma soma de erro residual acumulado pela compensação do movimento e resíduo reconstruído das operações de decodificação.

19. Método executado em computador, de acordo com a reivindicação 16, **CARACTERIZADO** pelo fato de que também compreende:

escalonar descendentemente os dados associados com

o fluxo de bits codificado em um domínio da DCT de um laço de decodificação ou

escalonar descendente os dados em um processo de escalonamento descendente de dois estágios, o processo de escalonamento descendente de dois estágios compreendendo:

escalonar descendente, em um primeiro estágio, os dados no domínio da DCT e

reduzir a resolução dos resultados escalonados descendente do primeiro estágio no domínio espacial.

20. Método executado em computador, **CARACTERIZADO** pelo fato de que compreende:

parcialmente decodificar, por um transcodificador integrado, um fluxo de bits codificado para gerar um fluxo de dados intermediário, o fluxo de bits codificado sendo codificado com um primeiro conjunto de técnicas de compactação associadas com o primeiro formato de mídia, a decodificação parcial compreendendo:

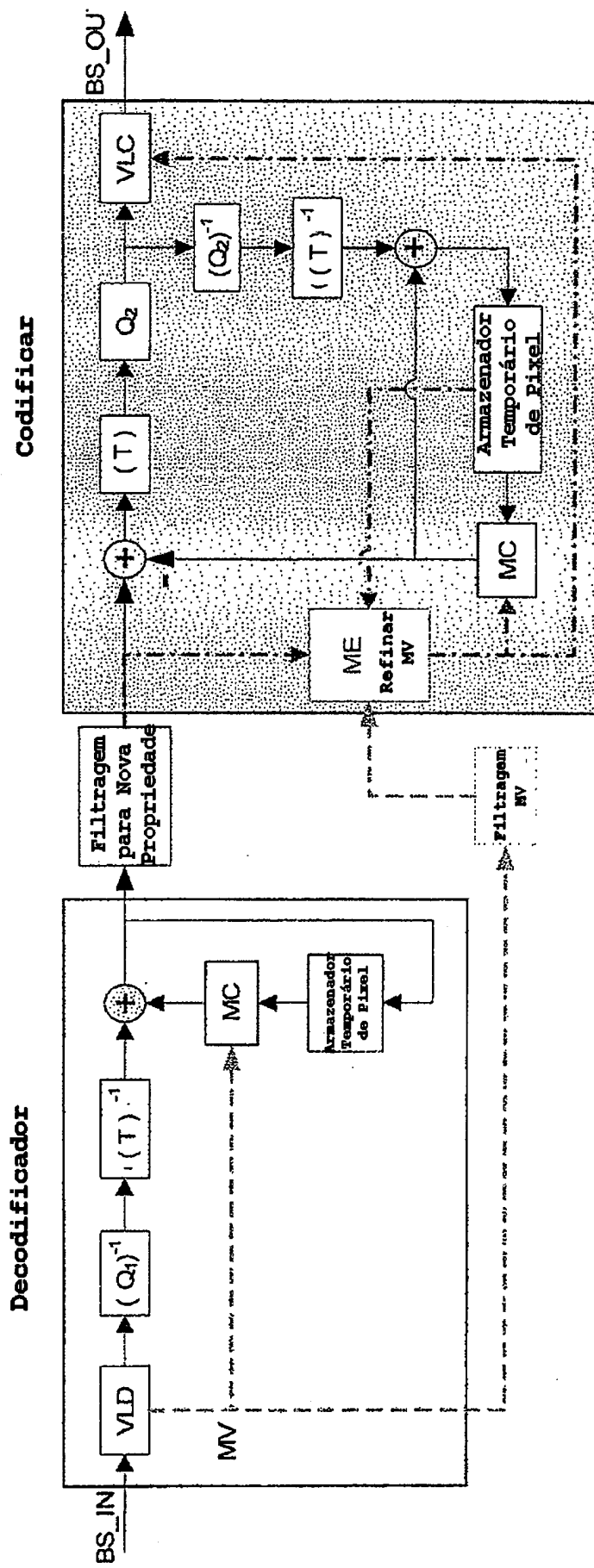
escalonar descendente os dados do fluxo de bits em um domínio da DCT de um laço de decodificação,

determinar se reduzir mais os dados do fluxo de bits fora do laço de decodificação em um domínio espacial, a determinação compreendendo:

reduzir a resolução dos dados do fluxo de bits escalonados descendente do domínio da DCT no domínio espacial ou

permitir que os dados do fluxo de bits escalonados descendente do domínio da DCT passem sem redução de resolução adicional,

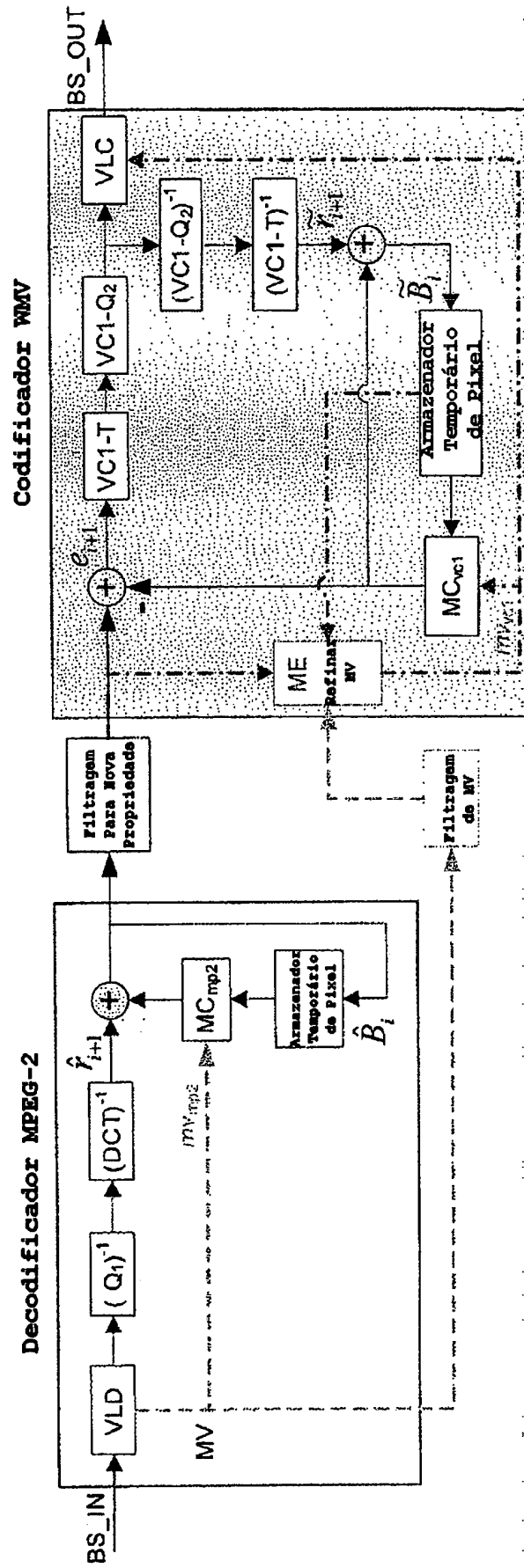
codificar, pelo transcodificador integrado, o fluxo de dados intermediário usando um segundo conjunto de técnicas de compactação para gerar um fluxo de bits transcodificado, o segundo conjunto de técnicas de compactação correspondendo com o segundo formato de mídia.



Técnica
Anterior

Fig. 1

Fig. 2



3.
g.
F.

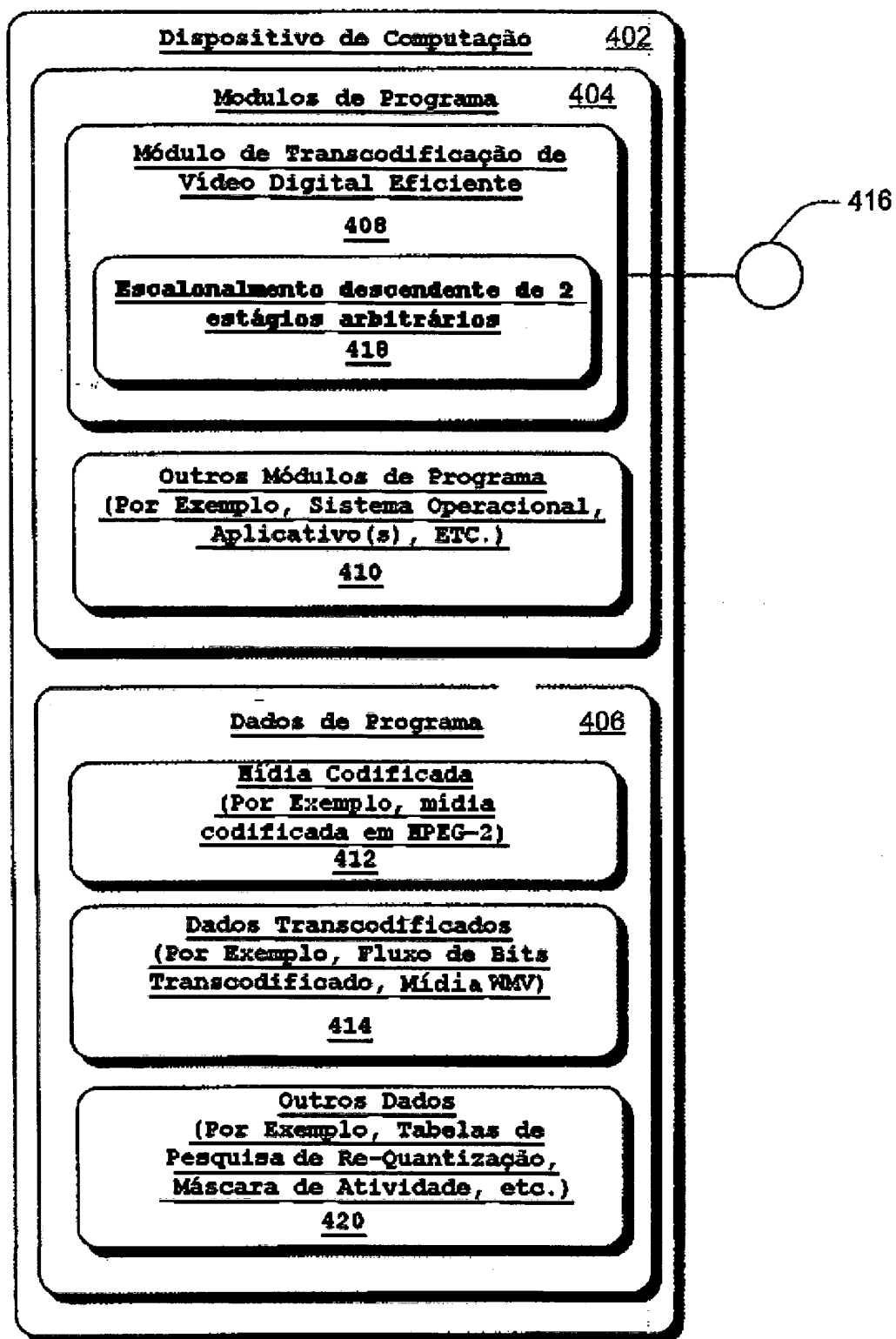


Fig. 4

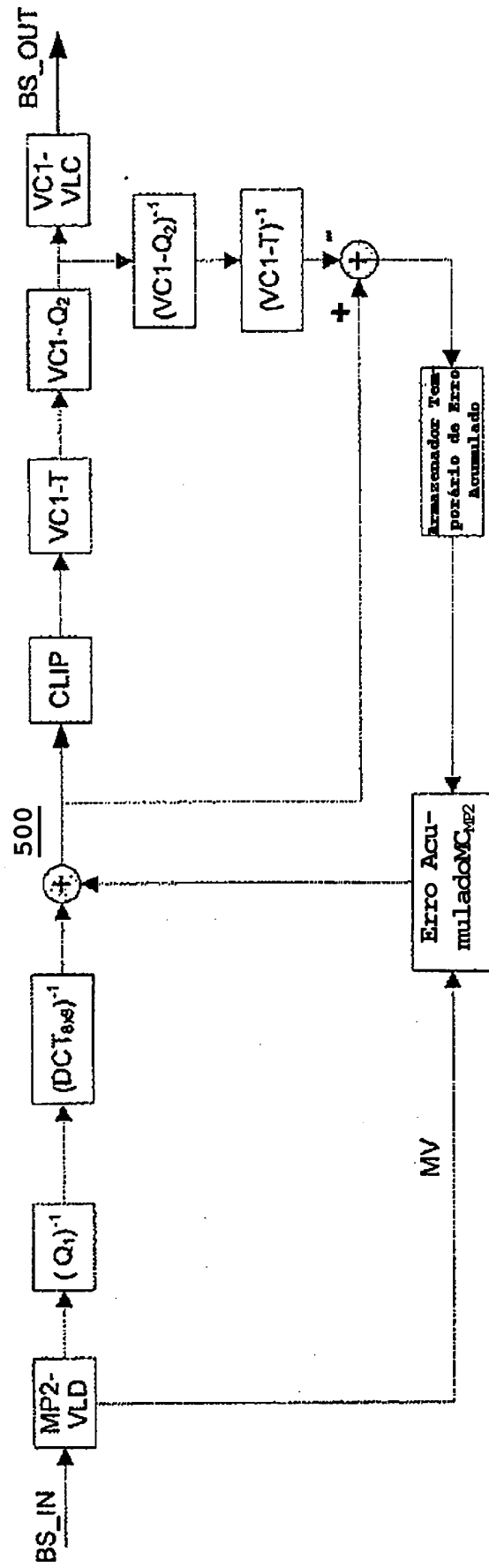


Fig. 5

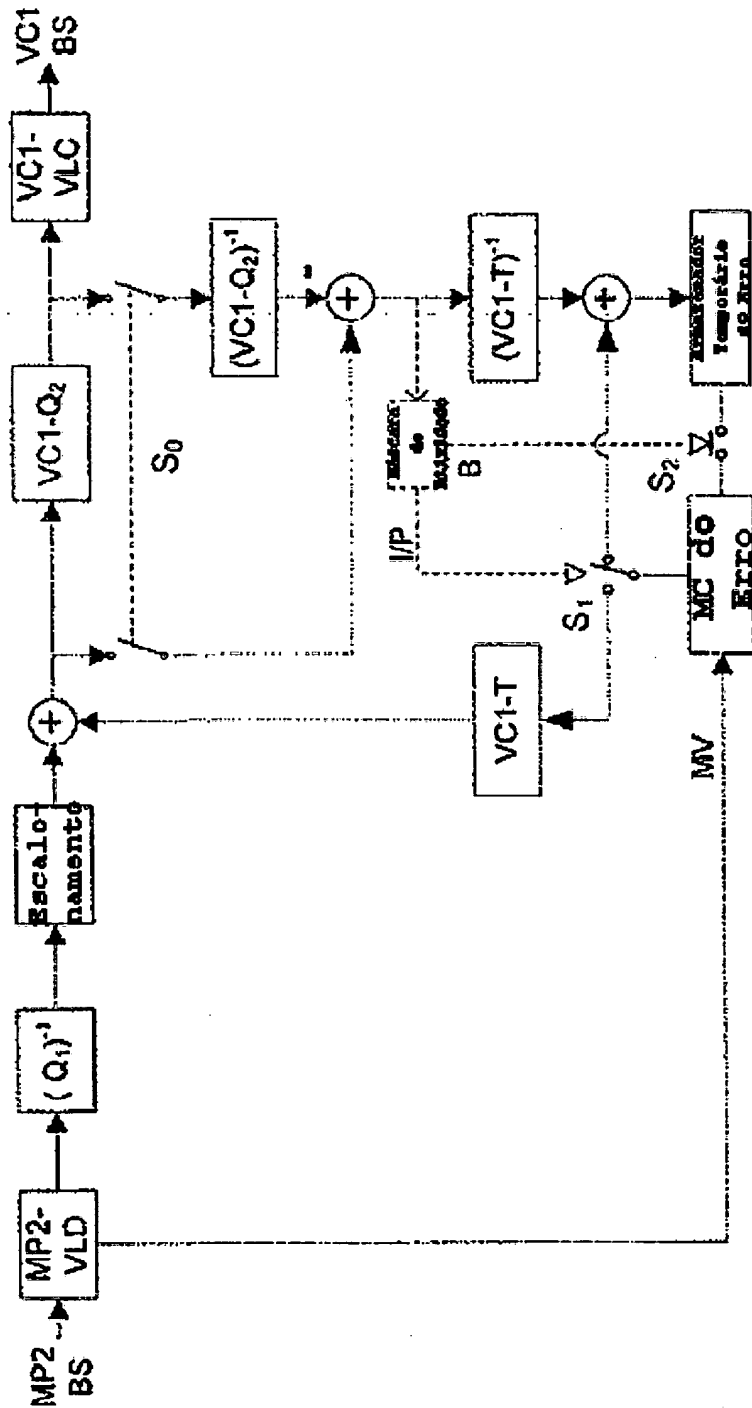


Fig. 6

700

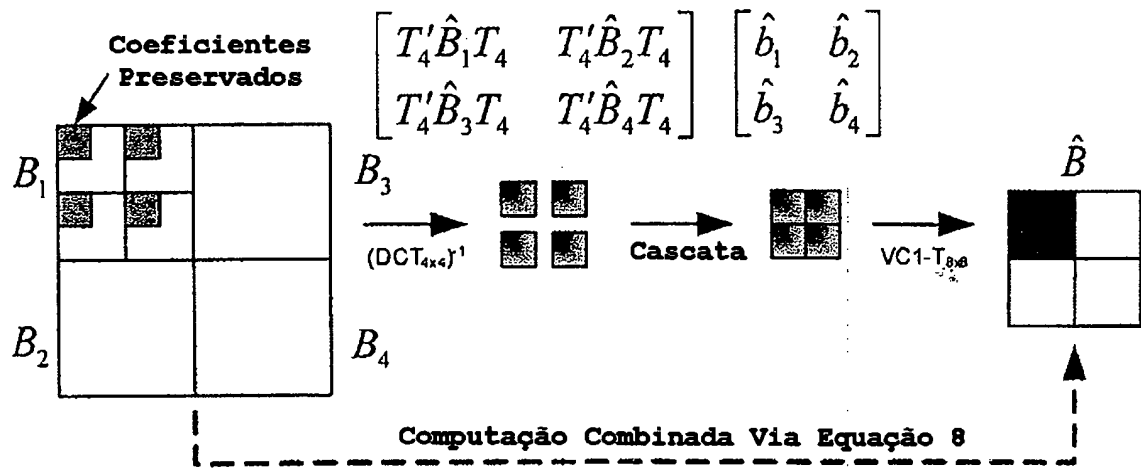
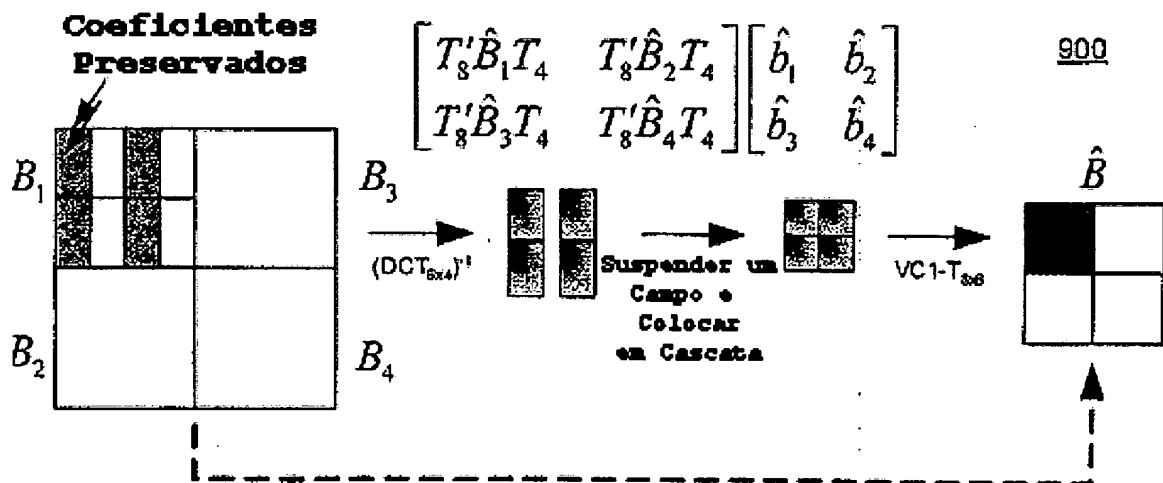
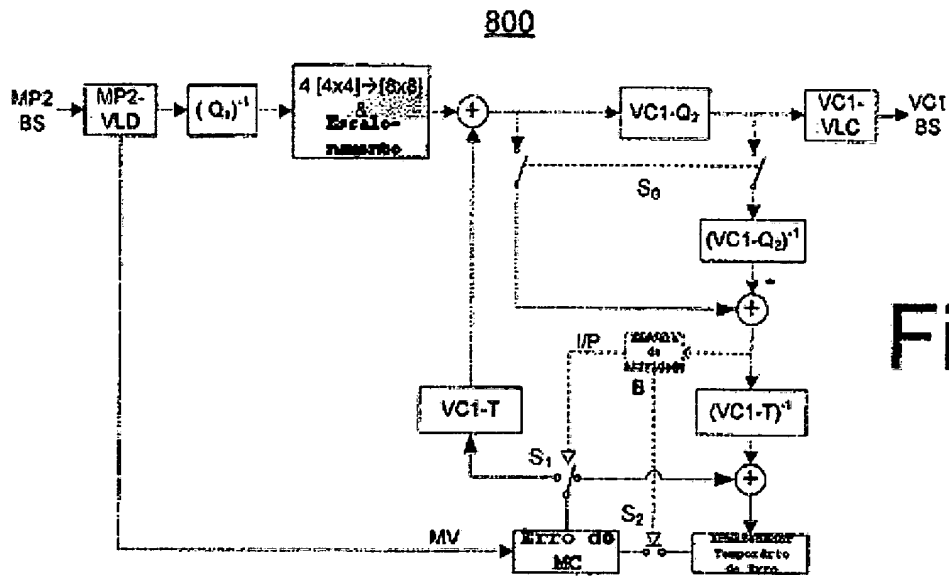


Fig. 7



1000

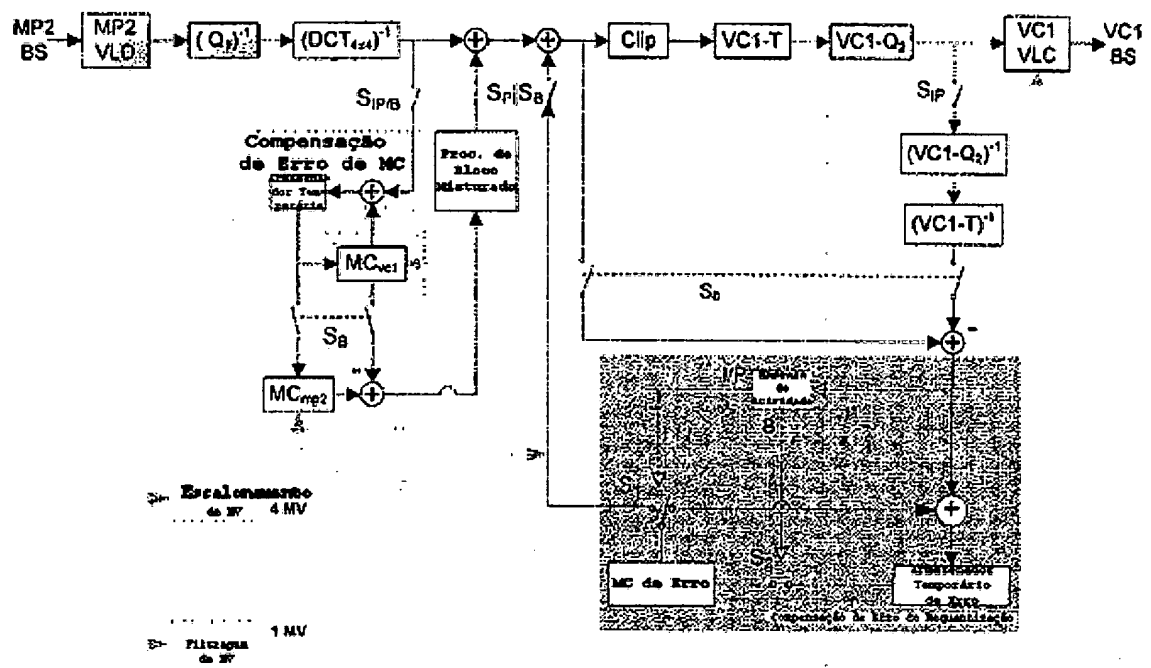


Fig. 10

1100

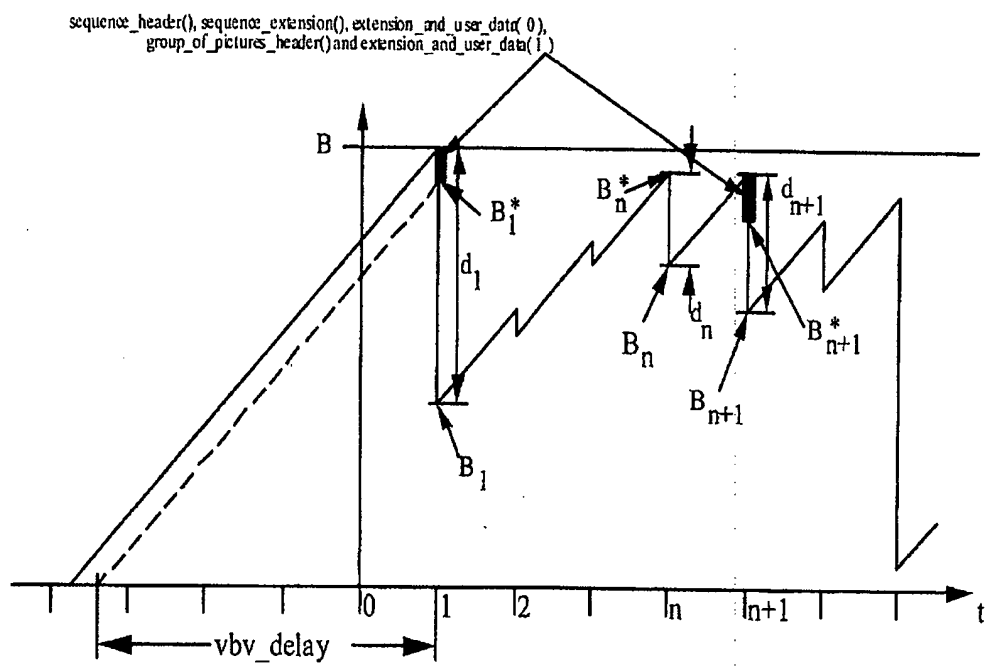


Fig. 11

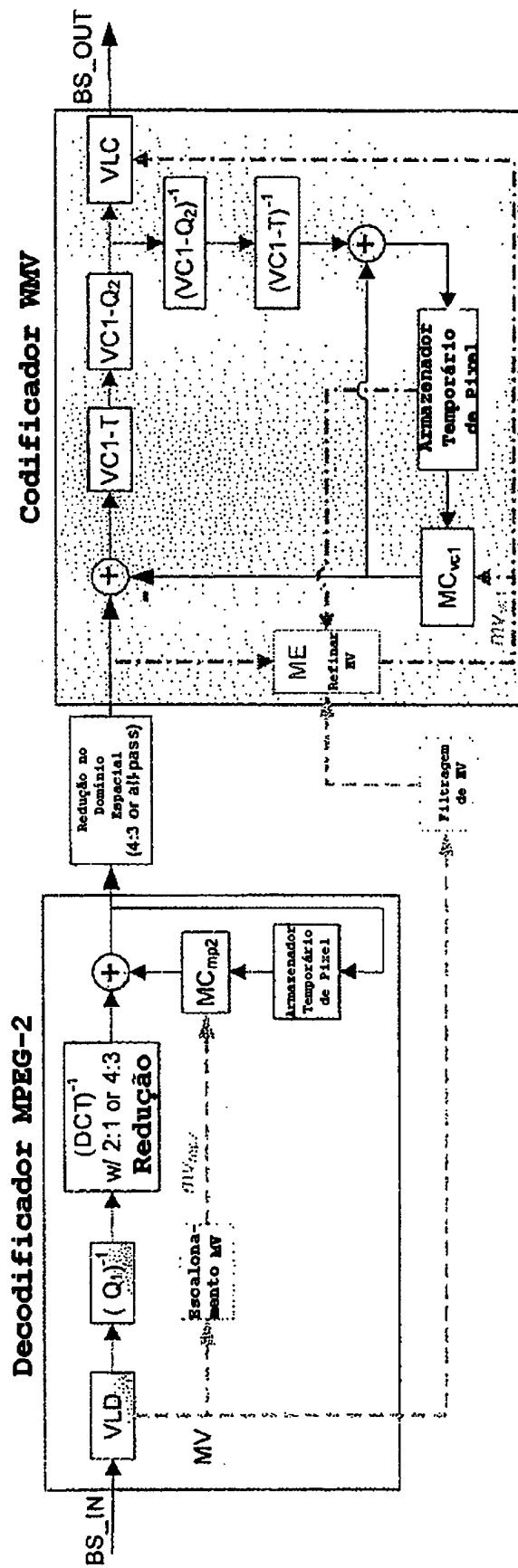


Fig. 12

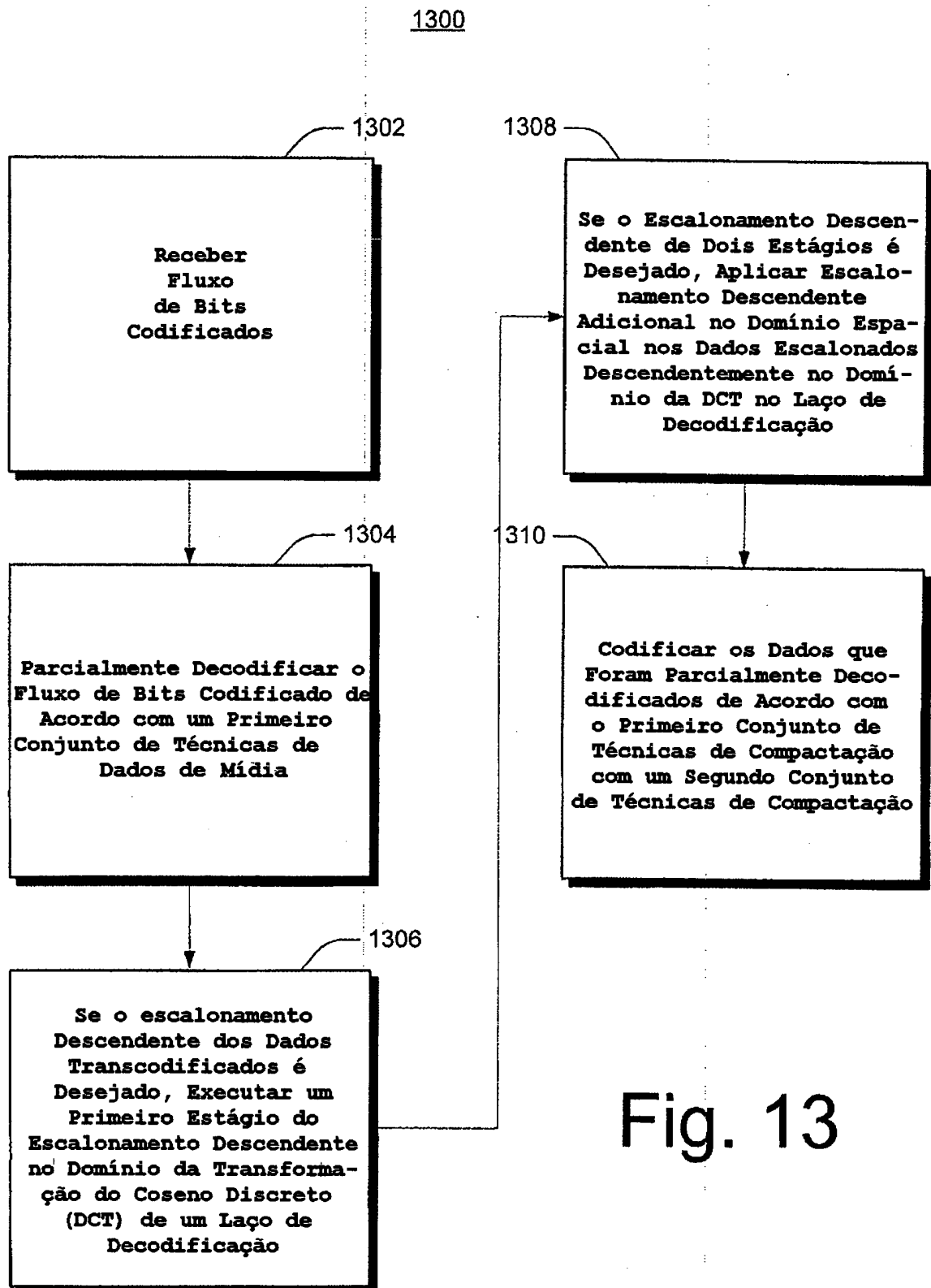
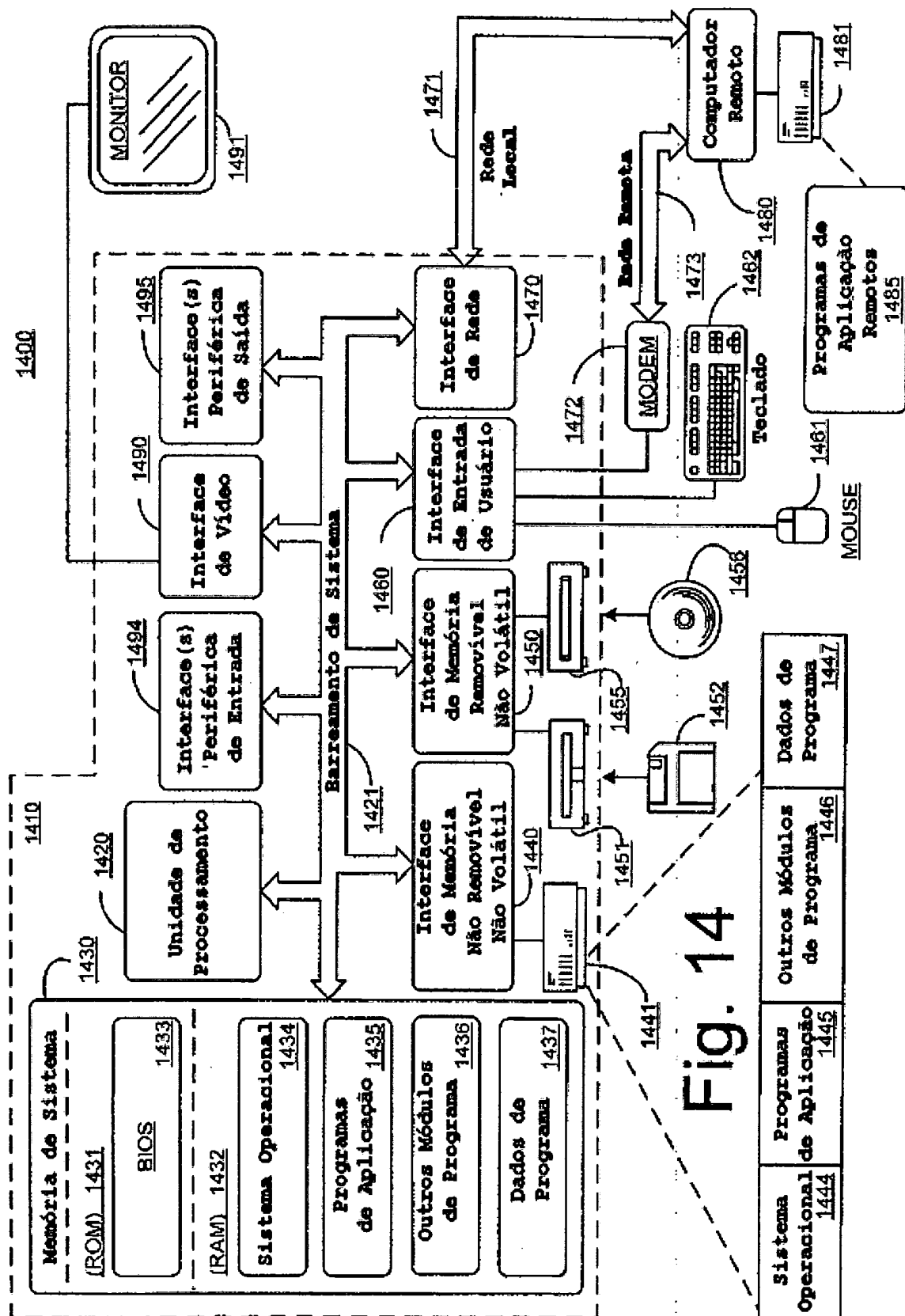


Fig. 13



RESUMO

"TRANSCODIFICAÇÃO DE VÍDEO DIGITAL INTEGRADA EFICIENTE"

A transcodificação de vídeo digital integrada eficiente é descrita. Em um aspecto, um transcodificador integrado recebe um fluxo de bits codificado. O transcodificador integrado transcodifica o fluxo de bits codificado decodificando parcialmente o fluxo de bits codificado com base em uma primeira transformação associada com um primeiro formato de dados de mídia. As operações de decodificação geram um fluxo de dados intermediário. O transcodificador integrado então codifica o fluxo de dados intermediário usando uma segunda transformação associada com um segundo formato de dados de mídia. A primeira e a segunda transformações não são as mesmas.