



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월26일
(11) 등록번호 10-2772133
(24) 등록일자 2025년02월19일

- (51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/29 (2006.01)
H01L 23/31 (2006.01) H01L 23/373 (2006.01)
H01L 23/485 (2006.01) H01L 23/50 (2006.01)
H01L 23/538 (2006.01) H05K 1/11 (2006.01)
- (52) CPC특허분류
H01L 23/481 (2013.01)
H01L 23/293 (2013.01)
- (21) 출원번호 10-2020-0170257
- (22) 출원일자 2020년12월08일
심사청구일자 2023년01월30일
- (65) 공개번호 10-2021-0119866
- (43) 공개일자 2021년10월06일
- (30) 우선권주장
16/829,396 2020년03월25일 미국(US)
- (56) 선행기술조사문헌
KR1020180044905 A*
US20170011993 A1*
KR1020180016384 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
인텔 코포레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자
가네산, 산카
미국 85248 애리조나주 쉐들러 웨스트 캐년 웨이 11
비스와나쓰, 램
미국 85045 애리조나주 피닉스 사우스 32번 레인 16716
(뒷면에 계속)
- (74) 대리인
양영준, 김연송, 백만기

전체 청구항 수 : 총 20 항

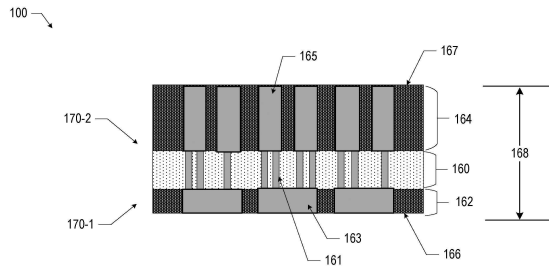
심사관 : 서동수

(54) 발명의 명칭 몰드 관통 비아들을 가진 몰딩된 영역들을 갖는 마이크로전자 어셈블리 및 그 제조 방법

(57) 요약

마이크로전자 어셈블리, 관련 디바이스 및 방법이 본 명세서에 개시된다. 일부 실시예들에서, 마이크로전자 컴포넌트는 제1 면 및 대향하는 제2 면을 갖는 기관 - 기관은 TSV(through-substrate via)를 포함함 -; 제1 면에 있는 제1 몰드 재료 영역 - 제1 몰드 재료 영역은 TSV에 전도성으로 결합된 제1 TMV(through-mold via)를 포함함 -; 및 제2 면에 있는 제2 몰드 재료 영역 - 제2 몰드 재료 영역은 TSV에 전도성으로 결합된 제2 TMV를 포함함을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 23/31 (2013.01)
H01L 23/373 (2013.01)
H01L 23/485 (2013.01)
H01L 23/50 (2013.01)
H01L 23/5381 (2013.01)
H05K 1/115 (2013.01)

(72) 발명자

브룬, 자비에 프란코스

미국 97124 오리건주 힐스보로 노스이스트 64번 애
비뉴 1643

이브라힘, 타렉 에이.

미국 85203 애리조나주 메사 이스트 로렐 서클
1652

감바, 제이슨 엠.

미국 85298 애리조나주 길버트 사우스 파크레스트
스트리트 5793

두비, 마니쉬

미국 85249 애리조나주 찬들러 이스트 미드 드라이브
3662

메이, 로버트 알렌

미국 85249 애리조나주 찬들러 이스트 그래스 플래
이스 2366

청구범위유예 : 있음

임시명세서출원 : 있음

명세서

청구범위

청구항 1

마이크로전자 어셈블리로서,

제1 면 및 상기 제1 면에 대향하는 제2 면을 갖는 패키지 기관;

제1 면 및 상기 제1 면에 대향하는 제2 면을 갖는 마이크로전자 컴포넌트 - 상기 마이크로전자 컴포넌트는 상기 제1 면과 상기 제2 면 사이에 제1 측벽 및 제2 측벽을 갖고, 상기 제1 측벽은 상기 제2 측벽에 측방향으로 대향하고, 상기 마이크로전자 컴포넌트의 상기 제2 면과 상기 패키지 기관의 상기 제1 면 사이에 제1 복수의 인터커넥트들이 있음 -;

상기 마이크로전자 컴포넌트의 상기 제1 측벽에 측방향으로 인접하고 접촉하는 제1 부분 및 상기 마이크로전자 컴포넌트의 상기 제2 측벽에 측방향으로 인접하고 접촉하는 제2 부분을 갖는 제1 절연재료층;

상기 제1 절연재료층의 상기 제1 부분 내의 제1 복수의 관통 비아들 - 상기 제1 복수의 관통 비아들은 상기 마이크로전자 컴포넌트의 상기 제1 측벽으로부터 측방으로 이격되고, 상기 제1 복수의 관통 비아들은 제2 복수의 인터커넥트들에 의해 상기 패키지 기관의 상기 제1 면에 결합됨 -;

상기 제1 절연재료층의 상기 제2 부분 내의 제2 복수의 관통 비아들 - 상기 제2 복수의 관통 비아들은 상기 마이크로전자 컴포넌트의 상기 제2 측벽으로부터 측방으로 이격되고, 상기 제2 복수의 관통 비아들은 제3 복수의 인터커넥트들에 의해 상기 패키지 기관의 상기 제1 면에 결합됨 -;

상기 제1 절연재료층과 상기 패키지 기관 사이의 그리고 상기 마이크로전자 컴포넌트와 상기 패키지 기관 사이의 제1 언더필 층 - 상기 제1 언더필 층은 상기 제1 복수의 인터커넥트들 주위에 있고, 상기 제1 언더필 층은 상기 제2 복수의 인터커넥트들 주위에 있고, 상기 제1 언더필 층은 상기 제3 복수의 인터커넥트들 주위에 있음 -;

상기 마이크로전자 컴포넌트의 제1 부분 위의 그리고 상기 제1 복수의 관통 비아들 위의 제1 다이 - 상기 제1 다이는 제4 복수의 인터커넥트들에 의해 상기 제1 복수의 관통 비아들에 그리고 상기 마이크로전자 컴포넌트의 상기 제1 면에 결합됨 -;

상기 마이크로전자 컴포넌트의 제2 부분 위의 그리고 상기 제2 복수의 관통 비아들 위의 제2 다이 - 상기 제2 다이는 제5 복수의 인터커넥트들에 의해 상기 제2 복수의 관통 비아들에 그리고 상기 마이크로전자 컴포넌트의 상기 제1 면에 결합됨 -;

상기 제1 절연재료층의 상기 제1 부분과 상기 제1 다이 사이의 그리고 상기 제1 절연재료층의 상기 제2 부분과 상기 제2 다이 사이의 제2 언더필 층 - 상기 제2 언더필 층은 상기 제4 복수의 인터커넥트들 주위에 있고, 상기 제2 언더필 층은 상기 제5 복수의 인터커넥트들 주위에 있음 -;

상기 제1 다이의 면에 측방향으로 인접하고 접촉하는 제1 부분을 갖는 제2 절연재료층; 및

상기 패키지 기관의 상기 제2 면 아래의 제6 복수의 인터커넥트들 - 상기 제6 복수의 인터커넥트들은 상기 마이크로전자 컴포넌트의 상기 제2 면 아래에 수직으로, 상기 제1 복수의 관통 비아들 아래에 수직으로 그리고 상기 제2 복수의 관통 비아들 아래에 수직으로 있음 -

을 포함하는, 마이크로전자 어셈블리.

청구항 2

제1항에 있어서, 상기 마이크로전자 컴포넌트의 상기 제2 면은 상기 제1 복수의 인터커넥트들에 의해 상기 패키지 기관의 상기 제1 면에 결합되는, 마이크로전자 어셈블리.

청구항 3

제1항에 있어서, 상기 제2 절연재료층은 상기 제2 다이의 면에 측방향으로 인접하고 접촉하는 제2 부분을 갖는,

마이크로전자 어셈블리.

청구항 4

제1항에 있어서, 상기 제2 절연재료층은 상기 제2 언더필 층과 접촉하는, 마이크로전자 어셈블리.

청구항 5

제1항에 있어서, 상기 제2 절연재료층은 상기 제1 다이 위에 그리고 상기 제2 다이 위에 있는, 마이크로전자 어셈블리.

청구항 6

제1항에 있어서, 상기 마이크로전자 컴포넌트는 실리콘을 포함하는 기판을 갖는, 마이크로전자 어셈블리.

청구항 7

제6항에 있어서, 상기 마이크로전자 컴포넌트는 복수의 실리콘 관통 비아들을 포함하는, 마이크로전자 어셈블리.

청구항 8

제1항에 있어서, 상기 마이크로전자 컴포넌트는 절연 기판을 갖는, 마이크로전자 어셈블리.

청구항 9

마이크로전자 어셈블리로서,

제1 면 및 상기 제1 면에 대향하는 제2 면을 갖는 패키지 기판;

실리콘을 포함하는 기판을 갖는 브리지 - 상기 브리지는 제1 면 및 상기 제1 면에 대향하는 제2 면을 갖고, 상기 브리지는 상기 제1 면과 상기 제2 면 사이에 제1 측벽 및 제2 측벽을 갖고, 상기 제1 측벽은 상기 제2 측벽에 측방향으로 대향하고, 상기 브리지의 상기 제2 면과 상기 패키지 기판의 상기 제1 면 사이에 제1 복수의 인터커넥트들이 있음 -;

상기 브리지의 상기 제1 측벽에 측방향으로 인접하고 접촉하는 제1 부분 및 상기 브리지의 상기 제2 측벽에 측방향으로 인접하고 접촉하는 제2 부분을 갖는 제1 몰드 층;

상기 제1 몰드 층의 상기 제1 부분 내의 제1 복수의 관통 비아들 - 상기 제1 복수의 관통 비아들은 상기 브리지의 상기 제1 측벽으로부터 측방향으로 이격되고, 상기 제1 복수의 관통 비아들은 제2 복수의 인터커넥트들에 의해 상기 패키지 기판의 상기 제1 면에 결합됨 -;

상기 제1 몰드 층의 상기 제2 부분 내의 제2 복수의 관통 비아들 - 상기 제2 복수의 관통 비아들은 상기 브리지의 상기 제2 측벽으로부터 측방향으로 이격되고, 상기 제2 복수의 관통 비아들은 제3 복수의 인터커넥트들에 의해 상기 패키지 기판의 상기 제1 면에 결합됨 -;

상기 제1 몰드 층과 상기 패키지 기판 사이의 그리고 상기 브리지와 상기 패키지 기판 사이의 제1 언더필 층 - 상기 제1 언더필 층은 상기 제1 복수의 인터커넥트들 주위에 있고, 상기 제1 언더필 층은 상기 제2 복수의 인터커넥트들 주위에 있고, 상기 제1 언더필 층은 상기 제3 복수의 인터커넥트들 주위에 있음 -;

상기 브리지의 제1 부분 위의 그리고 상기 제1 복수의 관통 비아들 위의 제1 다이 - 상기 제1 다이는 제4 복수의 인터커넥트들에 의해 상기 제1 복수의 관통 비아들에 그리고 상기 브리지의 상기 제1 면에 결합됨 -;

상기 브리지의 제2 부분 위의 그리고 상기 제2 복수의 관통 비아들 위의 제2 다이 - 상기 제2 다이는 제5 복수의 인터커넥트들에 의해 상기 제2 복수의 관통 비아들에 그리고 상기 브리지의 상기 제1 면에 결합됨 -;

상기 제1 몰드 층의 상기 제1 부분과 상기 제1 다이 사이의 그리고 상기 제1 몰드 층의 상기 제2 부분과 상기 제2 다이 사이의 제2 언더필 층 - 상기 제2 언더필 층은 상기 제4 복수의 인터커넥트들 주위에 있고, 상기 제2 언더필 층은 상기 제5 복수의 인터커넥트들 주위에 있음 -;

상기 제1 다이의 면에 측방향으로 인접하고 접촉하는 제1 부분을 갖는 제2 몰드 층; 및

상기 패키지 기관의 상기 제2 면 아래의 제6 복수의 인터커넥트들 - 상기 제6 복수의 인터커넥트들은 상기 브리지의 상기 제2 면 아래에 수직으로, 상기 제1 복수의 관통 비아들 아래에 수직으로 그리고 상기 제2 복수의 관통 비아들 아래에 수직으로 있음 -

을 포함하는, 마이크로전자 어셈블리.

청구항 10

제9항에 있어서, 상기 브리지의 상기 제2 면은 상기 제1 복수의 인터커넥트들에 의해 상기 패키지 기관의 상기 제1 면에 결합되는, 마이크로전자 어셈블리.

청구항 11

제9항에 있어서, 상기 제2 몰드 층은 상기 제2 다이의 면에 측방향으로 인접하고 접촉하는 제2 부분을 갖고, 상기 제2 몰드 층은 상기 제2 언더필 층과 접촉하는, 마이크로전자 어셈블리.

청구항 12

제9항에 있어서, 상기 브리지는 복수의 실리콘 관통 비아들을 포함하는, 마이크로전자 어셈블리.

청구항 13

마이크로전자 어셈블리를 제조하는 방법으로서,

제1 면 및 상기 제1 면에 대향하는 제2 면을 갖는 패키지 기관을 제공하는 단계;

마이크로전자 컴포넌트를 상기 패키지 기관에 결합하는 단계 - 상기 마이크로전자 컴포넌트는 제1 면 및 상기 제1 면에 대향하는 제2 면을 갖고, 상기 마이크로전자 컴포넌트는 상기 제1 면과 상기 제2 면 사이에 제1 측벽 및 제2 측벽을 갖고, 상기 제1 측벽은 상기 제2 측벽에 측방향으로 대향하고, 상기 마이크로전자 컴포넌트의 상기 제2 면과 상기 패키지 기관의 상기 제1 면 사이에 제1 복수의 인터커넥트들이 있음 -;

상기 마이크로전자 컴포넌트의 상기 제1 측벽에 측방향으로 인접하고 접촉하는 제1 부분을 갖는 제1 절연재료층을 형성하는 단계 - 상기 제1 절연재료층은 상기 마이크로전자 컴포넌트의 상기 제2 측벽에 측방향으로 인접하고 접촉하는 제2 부분을 가짐 -;

상기 제1 절연재료층의 상기 제1 부분에 제1 복수의 관통 비아들을 형성하는 단계 - 상기 제1 복수의 관통 비아들은 상기 마이크로전자 컴포넌트의 상기 제1 측벽으로부터 측방향으로 이격되고, 상기 제1 복수의 관통 비아들은 제2 복수의 인터커넥트들에 의해 상기 패키지 기관의 상기 제1 면에 결합됨 -;

상기 제1 절연재료층의 상기 제2 부분에 제2 복수의 관통 비아들을 형성하는 단계 - 상기 제2 복수의 관통 비아들은 상기 마이크로전자 컴포넌트의 상기 제2 측벽으로부터 측방향으로 이격되고, 상기 제2 복수의 관통 비아들은 제3 복수의 인터커넥트들에 의해 상기 패키지 기관의 상기 제1 면에 결합됨 -;

상기 제1 절연재료층과 상기 패키지 기관 사이에 그리고 상기 마이크로전자 컴포넌트와 상기 패키지 기관 사이에 제1 언더필 층을 형성하는 단계 - 상기 제1 언더필 층은 상기 제1 복수의 인터커넥트들 주위에 있고, 상기 제1 언더필 층은 상기 제2 복수의 인터커넥트들 주위에 있고, 상기 제1 언더필 층은 상기 제3 복수의 인터커넥트들 주위에 있음 -;

상기 마이크로전자 컴포넌트의 제1 부분 위에 그리고 상기 제1 복수의 관통 비아들 위에 제1 다이를 제공하는 단계 - 상기 제1 다이는 제4 복수의 인터커넥트들에 의해 상기 제1 복수의 관통 비아들에 그리고 상기 마이크로전자 컴포넌트의 상기 제1 면에 결합됨 -;

상기 마이크로전자 컴포넌트의 제2 부분 위에 그리고 상기 제2 복수의 관통 비아들 위에 제2 다이를 제공하는 단계 - 상기 제2 다이는 제5 복수의 인터커넥트들에 의해 상기 제2 복수의 관통 비아들에 그리고 상기 마이크로전자 컴포넌트의 상기 제1 면에 결합됨 -;

상기 제1 절연재료층의 상기 제1 부분과 상기 제1 다이 사이에 그리고 상기 제1 절연재료층의 상기 제2 부분과 상기 제2 다이 사이에 제2 언더필 층을 형성하는 단계 - 상기 제2 언더필 층은 상기 제4 복수의 인터커넥트들 주위에 있고, 상기 제2 언더필 층은 상기 제5 복수의 인터커넥트들 주위에 있음 -;

상기 제1 다이의 면에 측방향으로 인접하고 접촉하는 제1 부분을 갖는 제2 절연재료층을 형성하는 단계; 및

상기 패키지 기판의 상기 제2 면 아래에 제6 복수의 인터커넥트들을 형성하는 단계 - 상기 제6 복수의 인터커넥트들은 상기 마이크로전자 컴포넌트의 상기 제2 면 아래에 수직으로, 상기 제1 복수의 관통 비아들 아래에 수직으로 그리고 상기 제2 복수의 관통 비아들 아래에 수직으로 있음 -

를 포함하는, 방법.

청구항 14

제13항에 있어서, 상기 마이크로전자 컴포넌트의 상기 제2 면은 상기 제1 복수의 인터커넥트들에 의해 상기 패키지 기판의 상기 제1 면에 결합되는, 방법.

청구항 15

제13항에 있어서, 상기 제2 절연재료층은 상기 제2 다이의 면에 측방향으로 인접하고 접촉하는 제2 부분을 갖는, 방법.

청구항 16

제13항에 있어서, 상기 제2 절연재료층은 상기 제2 언더필 층과 접촉하는, 방법.

청구항 17

제13항에 있어서, 상기 제2 절연재료층은 상기 제1 다이 위에 그리고 상기 제2 다이 위에 있는, 방법.

청구항 18

제13항에 있어서, 상기 마이크로전자 컴포넌트는 실리콘을 포함하는 기판을 갖는, 방법.

청구항 19

제18항에 있어서, 상기 마이크로전자 컴포넌트는 복수의 실리콘 관통 비아들을 포함하는, 방법.

청구항 20

제13항에 있어서, 상기 마이크로전자 컴포넌트는 절연 기판을 갖는, 방법.

발명의 설명

배경 기술

[0001] 집적 회로(IC) 패키지들은 2개 이상의 IC 다이를 결합시키기 위한 또는 메모리 또는 전력 관리와 같은 특정 기능을 제공하기 위한 EMIB(embedded multi-die interconnect bridge)를 포함할 수 있다. 이러한 초박형 EMIB들은 IC 패키지들에 임베딩하는 동안의 손상과 IC 패키지의 동작 동안의 뒤틀림의 영향을 받기 쉽다.

발명의 내용

도면의 간단한 설명

[0002] 실시예들은 첨부 도면과 연계된 다음의 상세한 설명에 의해 쉽게 이해될 것이다. 본 설명을 용이하게 하기 위해서, 유사한 참조 번호들은 유사한 구성 요소들을 나타낸다. 실시예들은 첨부 도면들의 그림들에서 제한으로서가 아니라 예로서 도해된다.

도 1은 다양한 실시예들에 따른 예시적인 마이크로전자 컴포넌트의 측단면도이다.

도 2는 다양한 실시예들에 따른, 도 1의 마이크로전자 컴포넌트를 포함하는 예시적인 마이크로전자 어셈블리의 측단면도이다.

도 3은 다양한 실시예들에 따른, 도 1의 마이크로전자 컴포넌트를 포함하는 예시적인 마이크로전자 어셈블리의 측단면도이다.

도 4는 다양한 실시예들에 따른, 도 1의 마이크로전자 컴포넌트를 포함하는 또 다른 예시적인 마이크로전자 어셈블리의 측단면도이다.

도 5a 내지 도 5i는 다양한 실시예들에 따른, 도 1의 마이크로전자 컴포넌트를 제조하기 위한 예시적인 공정에서의 다양한 스테이지들의 측단면도들이다.

도 6a 내지 도 6i는 다양한 실시예들에 따른, 도 3의 마이크로전자 어셈블리를 제조하기 위한 예시적인 공정에서의 다양한 스테이지들의 측단면도들이다.

도 7은 다양한 실시예들에 따른, 도 1의 마이크로전자 컴포넌트를 포함하는 또 다른 예시적인 마이크로전자 어셈블리의 측단면도이다.

도 8은 본 명세서에 개시된 실시예들 중 임의의 것에 따른, 마이크로전자 어셈블리에 포함될 수 있는 웨이퍼 및 다이들의 평면도이다.

도 9는 본 명세서에 개시된 실시예들 중 임의의 것에 따른, 마이크로전자 어셈블리에 포함될 수 있는 IC 디바이스의 측단면도이다.

도 10은 본 명세서에 개시된 실시예들 중 임의의 것에 따른, 마이크로전자 어셈블리를 포함할 수 있는 IC 디바이스 어셈블리의 측단면도이다.

도 11은 본 명세서에 개시된 실시예들 중 임의의 것에 따른, 마이크로전자 어셈블리를 포함할 수 있는 예시적인 전기 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0003] 마이크로전자 컴포넌트들, 및 관련 어셈블리들, 디바이스들 및 방법들이 본 명세서에 개시된다. 예를 들어, 일부 실시예들에서, 마이크로전자 컴포넌트는 제1 면 및 대향하는 제2 면을 갖는 기관 - 기관은 TSV(through-substrate via)를 포함함 - ; 제1 면에 있는 제1 몰드 재료 영역 - 제1 몰드 재료 영역은 TSV에 전도성으로 결합된 제1 TMV(through-mold via)를 포함함 -; 및 제2 면에 있는 제2 몰드 재료 영역 - 제2 몰드 재료 영역은 TSV에 전도성으로 결합된 제2 TMV를 포함함 - 을 포함한다. 일부 실시예들에서, 마이크로전자 어셈블리는 제1 표면 및 대향하는 제2 표면을 갖는 제1 기관 - 제1 기관은 제1 TSV를 포함함 -; 제1 기관에 임베딩된 마이크로전자 컴포넌트 - 마이크로전자 컴포넌트는 제1 면 및 대향하는 제2 면을 갖는 제2 기관 - 제2 기관은 제2 TSV를 포함함 -, 제1 면에 있는 제1 몰드 재료 영역 - 제1 몰드 재료 영역은 제2 TSV에 전도성으로 결합된 제1 TMV를 포함함 -, 및 제2 면에 있는 제2 몰드 재료 영역 - 제2 몰드 재료 영역은 제2 TSV에 전도성으로 결합된 제2 TMV를 포함함 -, 및 제1 몰드 재료 영역은 제1 기관의 제1 표면에 있고 제2 몰드 재료 영역은 제1 기관의 제2 표면에 있음 - 을 포함함 - ; 및 제1 기관의 제2 표면에서, 제1 TSV에 및 제2 TMV에 전기적으로 결합된 다이를 포함한다.

[0004] IC 디바이스들의 소형화를 위한 추구는 패키지 어셈블리에서의 다이들 사이의 조밀한 인터커넥트들을 제공하기 위한 유사한 추구를 낳았다. 예를 들어, 인터포저들 및 브리지들과 같은 마이크로전자 컴포넌트들은 다이들 또는 다른 전기 컴포넌트들 사이의 조밀한 인터커넥트 라우팅을 제공하기 위해 부상하고 있다. 패키지 기관의 가능성을 증가시키기 위해, 인터포저 또는 브리지가 EMIB 아키텍처들에서와 같이 하나 이상의 다이 사이에서 신호들을 라우팅하기 위해 패키지 기관에 임베딩될 수 있다. 종래의 제조 장비를 사용하여 훨씬 더 조밀한 인터커넥트들을 제공하는 스케일링 가능한 고 중형비 컴포넌트들이 요구될 수 있다. 본 명세서에 개시된 공정들은 기존의 반도체 처리 기술들을 고 중형비 컴포넌트들을 제조하고 이들을 IC 패키지에 통합시키는 데에 적용하기 위해 사용될 수 있다. 컴퓨팅 밀도에서의 이러한 개선은 치수들이 제약되는 웨어러블 컴퓨팅 디바이스들 및 시스템-인-패키지(system-in-package) 응용들에 대한 새로운 폼 팩터들을 가능하게 해줄 수 있다. 본 명세서에 개시된 실시예들 중 다양한 실시예들은 종래의 접근법들에 비해 제조의 용이성을 개선하면서 종래의 접근법들에 비해 더 큰 설계 유연성, 더 낮은 비용, 및/또는 감소된 크기에 의해 IC 패키지 성능을 개선할 수 있다. 본 명세서에 개시된 마이크로전자 어셈블리들은 컴퓨터들, 태블릿들, 산업용 로봇들, 및 소비자 전자장치들(예를 들어, 웨어러블 디바이스들)에서의 작고 낮은 프로파일의 응용들에 대해 특히 유리할 수 있다.

[0005] 이하의 상세한 설명에서는, 이 문서의 일부를 형성하고 - 유사한 번호들이 전반에 걸쳐 유사한 부분들을 지칭함 -, 실시될 수 있는 실시예들이 예시로서 도시되어 있는 동반된 도면들에 대해 참조가 이루어진다. 다른 실시예들이 활용될 수 있으며, 구조적 또는 논리적 변경들이 본 개시내용의 범위로부터 벗어날 수 있고 이루어질

수 있다는 점이 이해되어야 한다. 따라서, 이하의 상세한 설명은 한정하는 의미로 취해지지 않는다.

[0006] 다양한 동작들은, 청구 대상을 이해하는 데 가장 도움이 되는 방식으로, 다중의 개별 작용 또는 동작으로서 차례로 설명될 수 있다. 그렇지만, 설명의 순서는 이 동작들이 꼭 순서 의존적임을 암시하는 것으로 해석해서는 안된다. 특히, 이들 동작은 제시의 순서대로 수행되지 않을 수 있다. 설명되는 동작들은 설명된 실시예와 상이한 순서로 수행될 수 있다. 다양한 추가적인 동작들이 수행될 수 있고, 및/또는 설명된 동작들이 추가적인 실시예들에서 생략될 수 있다.

[0007] 본 개시내용의 목적을 위해, "A 및/또는 B"이라는 문구는 (A), (B), 또는 (A 및 B)를 의미한다. 본 개시내용의 목적을 위해, "A, B 및/또는 C"라는 문구는 (A), (B), (C), (A 및 B), (A 및 C), (B 및 C), 또는 (A, B 및 C)를 의미한다. 도면들은 반드시 비율에 맞게 그려지지 않았다. 도면들 중 다수가 평탄한 벽들 및 직각 코너들을 갖는 직선 구조들을 예시하지만, 이것은 단지 예시의 편의를 위한 것이며, 이러한 기술들을 사용하여 만들어진 실제 디바이스들은 둥근 코너들, 표면 거칠기, 및 다른 특징들을 나타낼 것이다.

[0008] 설명은 "실시예에서(in an embodiment)" 또는 "실시예들에서(in embodiments)"라는 문구들을 사용하고, 이들은 동일한 또는 상이한 실시예들 중 하나 이상을 각각 지칭할 수 있다. 또한, 본 개시내용의 실시예들에 대해 사용되는 바와 같이, 용어 "포함하는(comprising, including)", "갖는(having)" 등은 유의어이다. 본 명세서에서 사용되는 바와 같이, "패키지" 및 "IC 패키지"는 "다이" 및 "IC 다이"에서 그런 것처럼 동의어이다. 용어들 "상단(top)" 및 "하단(bottom)"은 도면들의 다양한 특징들을 설명하기 위하여 본 명세서에서 이용될 수 있지만, 이 용어들은 단순히 논의의 용이함을 위한 것이고, 바람직하거나 요구된 오리엔테이션을 함의하지는 않는다. 본 명세서에서 사용되는 바와 같이, "절연"이라는 용어는 달리 명시되지 않는 한 "전기 절연"을 의미한다. 명세서 전체에 걸쳐, 그리고 청구항들에서, 용어 "결합된"은 연결되는 것들 사이의 직접적인 전기적, 기계적, 또는 자기적 연결과 같은 직접적인 또는 간접적인 연결, 또는 하나 이상의 수동 또는 능동 중간 디바이스를 통한 간접적인 연결을 의미한다. 단수형("a", "an" 및 "the")의 의미는 복수 참조(plural reference)를 포함한다. 예에서(in)의 의미는 "에서(in)" 및 "상에(on)"를 포함한다.

[0009] 치수들의 범위를 기술하기 위해 사용될 때, "X와 Y 사이" 라는 문구는 X와 Y를 포함하는 범위를 나타낸다. 편의상, "도 5"라는 문구는 도 5a 내지 도 5i의 도면들의 모음을 가리키기 위해 사용될 수 있고, "도 6"이라는 문구는 도 6a 내지 도 6i의 도면들의 모음을 가리키기 위해 사용될 수 있으며, 기타 등등이다. 특정 요소들이 본 명세서에서 단수로 언급될 수 있지만, 이러한 요소들은 다중의 서브 요소를 포함할 수 있다. 예를 들어, "절연 재료"는 하나 이상의 절연 재료를 포함할 수 있다. 본 명세서에서 사용될 때, "전도성 콘택트"는 상이한 컴포넌트들 사이의 전기적 인터페이스로서 역할하는 전도성 재료(예를 들어, 금속)의 일부분을 지칭할 수 있다; 전도성 콘택트들은 컴포넌트의 표면에 리세스되거나, 그와 동일한 평면에 있거나, 또는 컴포넌트의 표면으로부터 연장될 수 있으며, 임의의 적합한 형태(예를 들어, 전도성 패드 또는 소켓, 또는 전도성 라인 또는 비아의 일부)를 취할 수 있다. 본 명세서에서 사용되는 바와 같이, "더 낮은 밀도" 및 "더 높은 밀도"라는 용어는 더 낮은 밀도 매체에서의 전도성 경로들(예컨대, 전도성 인터커넥트들, 전도성 라인들, 및 전도성 비아들을 포함함)이 더 높은 밀도 매체에서의 전도성 경로들보다 더 크고 및/또는 더 큰 피치를 갖는다는 것을 나타내는 상대적 용어들이다. 본 명세서에서 사용될 때, 용어 "TSV"는 "기관 관통 비아("through-substrate via)"로서 정의되며, 도 1을 참조하여 후술하는 바와 같이, 기관이 실리콘 재료를 포함할 수 있지만 실리콘 재료를 포함하도록 요구되지는 않는다는 점에서 일반적인 용어 "실리콘 관통 비아(through-silicon via)"와 구별된다.

[0010] 도 1은 다양한 실시예들에 따른 마이크로전자 컴포넌트(100)의 측면도이다. 마이크로전자 컴포넌트(100)는 제1 표면(170-1)에서 제1 몰드 재료 층(162)을 갖고 대향하는 제2 표면(170-2)에서 제2 몰드 재료 층(164)을 갖는 기관(160)을 포함할 수 있고, 여기서 기관은 복수의 TSV(161)를 포함한다. 제1 몰드 재료 층(162)은 제1 몰드 재료(166) 및 복수의 TSV(161)에 전도성으로 결합된 복수의 제1 TMV(through-mold via)(163)를 포함할 수 있고, 제2 몰드 재료 층(164)은 제2 몰드 재료(167) 및 복수의 TSV(161)에 전도성으로 결합된 복수의 제2 TMV(165)를 포함할 수 있다. 일부 실시예들에서, 개별 제1 TMV(163)는 개별 TSV(161)에 전도성으로 결합될 수 있다. 일부 실시예들에서, 개별 제1 TMV(163)는 2개 이상의 TSV(161)에 전도성으로 결합될 수 있다. 일부 실시예들에서, 개별 제2 TMV(165)는 개별 TSV(161)에 전도성으로 결합될 수 있다. 일부 실시예들에서, 개별 제2 TMV(165)는 2개 이상의 TSV(161)에 전도성으로 결합될 수 있다. 본 명세서에서 사용될 때, "전기적으로 결합된" 및 "전도성으로 결합된"이라는 용어는 서로 바꾸어 사용될 수 있다. 본 명세서에서 사용될 때, "몰드 재료 층", "몰드 재료 영역", "몰드 층", 및 "몰드 영역"은 서로 바꾸어 사용될 수 있다.

[0011] 기관(160)은 임의의 적합한 절연 재료(예컨대, 본 기술분야에 공지된 바와 같이, 다중 층에 형성된 유전체

재료)로 형성될 수 있다. 기판(160)의 절연 재료는 실리콘 이산화물, 실리콘 질화물, 산질화물, 폴리이미드 재료들, 유리 강화 에폭시 매트릭스 재료들, 또는 로우-k 또는 울트라-로우-k 유전체(예컨대, 탄소 도핑된 유전체들, 불소 도핑된 유전체들, 다공성 유전체들, 유기 중합체 유전체들, 포토-이미징가능 유전체들, 및/또는 벤조시클로부텐계 폴리머(benzocyclobutene-based polymer)들)와 같은 유전체 재료를 포함할 수 있다. 일부 실시예들에서, 절연 재료는, 실리콘, 게르마늄, 또는 III-V족 재료(예컨대, 갈륨 질화물)와 같은 반도체 재료, 및 하나 이상의 추가적인 재료를 포함할 수 있다. 예를 들어, 절연 재료는 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 일부 실시예들에서, 기판(160)은 다이 또는 웨이퍼, 예컨대 능동 웨이퍼 또는 수동 웨이퍼일 수 있다. 일부 실시예들에서, 기판은 신호 트레이스들, 저항기들, 커패시터들, 또는 인덕터들과 같은 추가적인 전도성 컴포넌트들을 포함할 수 있다. TSV들(161)은 예를 들어, 구리, 은, 니켈, 금, 알루미늄, 또는 다른 금속들 또는 합금들과 같은 임의의 적합한 전도성 재료로 형성될 수 있다. 일부 실시예들에서, 기판(160)은 30 마이크로(micron) 내지 55 마이크로(micron)의 두께(즉, z-높이)를 가질 수 있다.

[0012] 제1 몰드 재료(166) 및 제2 몰드 재료(167)는 마이크로전자 컴포넌트(100)에 기계적 지지를 제공하는 임의의 적합한 절연 재료일 수 있다. 제1 및 제2 몰드 재료들(166, 167)은 제각기 복수의 제1 및 제2 TMV(163, 165)에 대한 손상의 가능성을 감소시킬 수 있고, 이는 기능성 및 제조 수율들을 증가시킬 수 있다(즉, 거절들의 수를 감소시킬 수 있다). 제1 몰드 재료(166)는 제1 TMV들(163)과 동일한 두께(즉, z-높이)를 가질 수 있다. 일부 실시예들에서, 제1 몰드 재료(166)는 15 마이크로 내지 40 마이크로(micron)의 두께를 가질 수 있다. 제2 몰드 재료(167)는 제2 TMV들(165)과 동일한 두께(즉, z-높이)를 가질 수 있다. 일부 실시예들에서, 제2 몰드 재료(167)는 15 마이크로 내지 40 마이크로(micron)의 두께를 가질 수 있다. 일부 실시예들에서, 마이크로전자 컴포넌트(100)는 60 마이크로 내지 135 마이크로(micron)의 전체 두께(168) 및 1:10 내지 1:20(예를 들어, 대략 1:15)의 높은 종횡비(폭:길이)를 가질 수 있고, 몰드 재료는 마이크로전자 컴포넌트(100)에 낮은 뒤틀림을 갖는 단단한 구조체를 제공하도록 선택될 수 있다.

[0013] 일부 실시예들에서, 몰드 재료는 무기 실리카 입자들을 갖는 유기 폴리머이다. 일부 실시예에서, 몰드 재료는, 유기 유전체 재료, 난연성 등급 4 재료(FR-4), 비스말레이미드 트리아진(BT) 수지, 폴리이미드 재료, 유리 강화 에폭시 매트릭스 재료, 또는 로우-k 및 울트라-로우-k 유전체(예를 들어, 탄소 도핑된 유전체, 불소 도핑된 유전체, 다공성 유전체, 및 유기 중합체 유전체)이다. 일부 실시예들에서, 제1 몰드 재료(166) 및 제2 몰드 재료(167)는 동일한 몰드 재료를 갖는다. 일부 실시예들에서, 제1 몰드 재료(166) 및 제2 몰드 재료(167)는 상이한 몰드 재료를 갖는다.

[0014] TMV들(163, 165)은 예를 들어 구리, 은, 니켈, 금, 알루미늄, 또는 다른 금속들 또는 합금들과 같은 임의의 적합한 전도성 재료로 형성될 수 있다. TMV들(163, 165)은 예를 들어, 도 5를 참조하여 설명된 공정을 포함하는 임의의 적합한 공정을 이용하여 형성될 수 있다. TMV들(163, 165)은 임의의 적합한 크기 및 형상을 가질 수 있다. 일부 실시예들에서, TMV들(163, 165)은 원형, 직사각형, 또는 다른 형상의 단면을 가질 수 있다. 일부 실시예들에서, 제1 TMV들(163)은 15 마이크로 내지 40 마이크로(micron)의 두께(예를 들어, z-높이)를 가질 수 있고, 개별 제1 TMV(163)는 30 내지 70 마이크로(micron)의 단면을 가질 수 있다. 일부 실시예들에서, 제1 TMV들(163)은 15 마이크로 내지 25 마이크로(micron)의 두께를 가질 수 있다. 일부 실시예들에서, 제1 TMV들(163)은 90 마이크로 내지 300 마이크로(micron)의 피치를 가질 수 있다. 본 명세서에서 사용되는 바와 같이, 피치는 인접한 TMV들 사이의 중심간으로(center-to-center)(예를 들어, 제1 TMV의 중심으로부터 인접한 제1 TMV의 중심까지) 측정된다. 일부 실시예들에서, 제2 TMV들(165)은 15 마이크로 내지 40 마이크로(micron)의 두께(예를 들어, z-높이)를 가질 수 있고, 개별 제2 TMV들(165)은 5 마이크로 내지 40 마이크로(micron)의 단면을 가질 수 있다. 일부 실시예들에서, 제2 TMV들(165)은 20 마이크로 내지 30 마이크로(micron)의 두께를 가질 수 있다. 일부 실시예들에서, 제2 TMV들(165)은 20 마이크로 내지 100 마이크로(micron)의 피치를 가질 수 있다. 일부 실시예들에서, 제1 TMV들의 피치는 제2 TMV들의 피치와 동일할 수 있다. 일부 실시예들에서, 제1 TMV들의 피치는 제2 TMV들의 피치와 상이할 수 있다.

[0015] 마이크로전자 컴포넌트(100)는 60 마이크로 내지 100 마이크로(micron)의 전체 두께(168)(즉, z-높이)를 가질 수 있다. 일부 실시예들에서, 제1 몰드 재료 층(162)은 10 마이크로 내지 40 마이크로(micron)의 두께를 가질 수 있다. 일부 실시예들에서, 제1 몰드 재료 층(162)은 10 마이크로 내지 20 마이크로(micron)의 두께를 가질 수 있다. 일부 실시예들에서, 제2 몰드 재료 층(164)은 15 마이크로 내지 50 마이크로(micron)의 두께를 가질 수 있다. 일부 실시예들에서, 제2 몰드 재료 층(164)은 20 마이크로 내지 30 마이크로(micron)의 두께를 가질 수 있다.

[0016] 도 1은 기판(160)에서의 특정 수의 TSV, 특정 수의 제1 TMV(163), 특정 수의 제2 TMV(165), 및 TSV들(161)에 전기적으로 결합된 TMV들(163, 165)의 특정 배열을 갖는 마이크로전자 컴포넌트(100)의 특정 배열을 도시하지만, 마이크로전자 컴포넌트(100)는 임의의 수 및 배열의 TSV들(161) 및 TMV들(163, 165)을 포함할 수

있다.

[0017] 도 2는 다양한 실시예들에 따른 다층 다이 서브어셈블리(200)의 측면면도이다. 본 명세서에서 사용될 때, "다층 다이 서브어셈블리" 및 "복합 다이"라는 용어는 서로 바꾸어 사용될 수 있다. 다층 다이 서브어셈블리(200)는 복수의 TSV(211) 및 임베딩된 마이크로전자 컴포넌트(100)를 갖는 기관(210)을 갖는 제1 층(204-1), 및 복수의 TSV(211)에 및 마이크로전자 컴포넌트(100)에 전기적으로 결합된 제1 다이(114-1) 및 제2 다이(114-2)를 갖는 제2 층(204-2)을 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, "다층 다이 서브어셈블리"(200)라는 용어는 2개의 층을 포함하는 복합 다이를 지칭할 수 있는데; 제1 층(204-1)은 복수의 TSV 및 임베딩된 마이크로전자 컴포넌트(100)를 갖는 기관을 갖고, 제2 층(204-2)은 복수의 TSV(211)에 및 임베딩된 마이크로전자 컴포넌트(100)의 복수의 제2 TMV(165)에 전기적으로 결합된 하나 이상의 다이(114)를 갖는다. 도 1을 참조하여 설명된 바와 같이, 제1 및 제2 TMV들(163, 165)은 상이한 피치들을 가져서, 다층 다이 서브어셈블리(200)의 다이(114)가 또한 상이한 피치들을 갖는 콘택트들(예를 들어, TSV들(211)에 결합하기 위한 "더 거친(coarser)" 전도성 콘택트들 및 제2 TMV들(165)에 결합하기 위한 "더 미세한(finer)" 전도성 콘택트들)을 가질 수 있도록 한다. 다층 다이 서브어셈블리(200)의 다이(114)는 (다이(114)가 단일 표면상의 전도성 콘택트들만을 갖는다는 의미에서) 단면 다이일 수 있고, (다이(114)가 상이한 피치를 갖는 전도성 콘택트들의 세트들을 갖는다는 의미에서) 혼합 피치 다이일 수 있다.

[0018] 기관(210)은 임의의 적합한 절연 재료(예컨대, 본 기술 분야에 공지된 바와 같이, 다중 층에 형성된 유전체 재료)로 형성될 수 있다. 기관(210)의 절연 재료는 실리콘 이산화물, 실리콘 질화물, 산질화물, 폴리이미드 재료들, 유리 강화 에폭시 매트릭스 재료들, 또는 로우-k 또는 울트라-로우-k 유전체(예컨대, 탄소 도핑된 유전체들, 불소 도핑된 유전체들, 다공성 유전체들, 유기 중합체 유전체들, 포토-이미징가능 유전체들, 및/또는 벤조시클로부텐계 폴리머(benzocyclobutene-based polymer)들)와 같은 유전체 재료를 포함할 수 있다. 일부 실시예들에서, 다이(114)의 절연 재료는, 실리콘, 게르마늄, 또는 III-V 재료(예컨대, 갈륨 질화물)와 같은 반도체 재료, 및 하나 이상의 추가적인 재료를 포함할 수 있다. 예를 들어, 절연 재료는 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 복수의 TSV(211)는, 예를 들어, 구리, 은, 니켈, 금, 알루미늄, 또는 다른 금속들 또는 합금들과 같은 임의의 적합한 전도성 재료로 형성될 수 있다. 복수의 TSV(211)는 장벽 산화물에 의해 주변 절연 재료로부터 분리될 수 있다. 전력, 접지, 및/또는 신호들은 TSV들(211)을 통해 그리고 다른 전도성 경로들을 통해 다이들(114-1, 114-2)로 그리고 그들로부터 전송될 수 있다.

[0019] 본 명세서에 개시된 다이(114)는 절연 재료(예컨대, 본 기술분야에 공지된 바와 같이, 다중 층에 형성된 유전체 재료) 및 절연 재료를 통해 형성된 다중의 전도성 경로들을 포함할 수 있다. 일부 실시예들에서, 다이(114)의 절연 재료는, 실리콘 이산화물, 실리콘 질화물, 산질화물, 폴리이미드 재료들, 유리 강화 에폭시 매트릭스 재료들, 또는 로우-k 또는 울트라-로우-k 유전체(예컨대, 탄소 도핑된 유전체들, 불소 도핑된 유전체들, 다공성 유전체들, 유기 중합체 유전체들, 포토-이미징가능 유전체들, 및/또는 벤조시클로부텐계 폴리머들)와 같은 유전체 재료를 포함할 수 있다. 일부 실시예들에서, 다이(114)의 절연 재료는, 실리콘, 게르마늄, 또는 III-V 재료(예컨대, 갈륨 질화물)와 같은 반도체 재료, 및 하나 이상의 추가적인 재료를 포함할 수 있다. 예를 들어, 절연 재료는 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 다이(114)에서의 전도성 경로들은 전도성 트레이스들 및/또는 전도성 비아들을 포함할 수 있고, 임의의 적합한 방식으로 다이(114)에서의 전도성 콘택트들 중 임의의 것을 연결시킬 수 있다(예컨대, 다이(114)의 동일한 표면 상의 또는 상이한 표면들 상의 다중의 전도성 콘택트들을 연결시킴). 본 명세서에 개시된 다이들(114)에 포함될 수 있는 예시적인 구조체들이 도 9를 참조하여 이하에 논의된다. 다이들(114)에서의 전도성 경로들은, 적합한 경우, 접착 라이너들 및/또는 장벽 라이너들과 같은 라이너 재료들에 의해 경계지어질 수 있다. 일부 실시예들에서, 다이(114)는 웨이퍼이다. 일부 실시예들에서, 다이(114)는 모놀리식 실리콘, 팬-아웃 또는 팬-인 패키지 다이, 또는 다이 스택(예컨대, 웨이퍼 스택, 다이 스택, 또는 다층 다이 스택)이다.

[0020] 도 2에서 FLI(first level interconnect)들(250-1 및 250-2)로서 제각기 묘사된 바와 같이, 다이들(114-1, 114-2)은 FLI들(250)을 통해 기관(210)에서의 마이크로전자 컴포넌트(100)에 및 TSV들(211)에 결합될 수 있다. 본 명세서에 개시된 FLI들(250)은 임의의 적합한 형태를 취할 수 있다. 일부 실시예들에서, FLI들(250)은 솔더(예컨대, 인터커넥트들을 형성하기 위해 열 리플로우를 겪은 솔더 범프들 또는 볼들)를 포함할 수 있다. 일부 실시예들에서, FLI들(250)은, 이방성 전도성 필름 또는 이방성 전도성 페이스트와 같은 이방성 전도성 재료를 포함할 수 있다. 이방성 전도성 재료는 비전도성 재료에 분산된 전도성 재료들을 포함할 수 있다. 일부 실시예들에서, FLI들(250-1)(즉, 다이들(114)과 마이크로전자 컴포넌트(100) 사이의 FLI들)은 15 마이크로 내지 100 마이크로(예컨대, 20 마이크로 내지 30 마이크로)의 피치를 갖는다. 일부 실시예들에서, FLI들(250-2)(즉, 다이들

(114)과 기판(210)에서의 TSV들(211) 사이의 FLI들)은 80 미크론 내지 500 미크론(예컨대, 80 미크론 내지 120 미크론)의 피치를 갖는다.

[0021] 도 2의 다층 다이 서브어셈블리(200)는 또한 언더필 재료(217)를 포함할 수 있다. 일부 실시예들에서, 언더필 재료(217)는 다이들(114-1, 114-2)과 연관된 FLI들(250) 주위의 기판(210) 사이에서 연장될 수 있다. 언더필 재료(217)는 적합한 에폭시 재료와 같은 절연 재료일 수 있다. 일부 실시예들에서, 언더필 재료(217)는 모세관 언더필, 비전도성 필름(non-conductive film, NCF), 또는 몰딩된 언더필을 포함할 수 있다. 일부 실시예들에서, 언더필 재료(217)는 FLI들(250)을 형성할 때 다이들(114-1, 114-2)을 기판(210)에 솔더링하는 것을 돕고 그 후 FLI들(250)을 중합하고 캡슐화하는 에폭시 플럭스(epoxy flux)를 포함할 수 있다. 언더필 재료(217)는 다층 다이 서브어셈블리(200)에서의 불균일한 열 팽창으로부터 생기는 다이들(114-1, 114-2)과 기판들(210) 사이의 응력을 완화하거나 최소화할 수 있는 열 팽창 계수(coefficient of thermal expansion, CTE)를 갖도록 선택될 수 있다. 일부 실시예들에서, 언더필 재료(217)의 CTE는 기판(210)의 CTE(예를 들어, 기판(210)의 유전체 재료의 CTE) 및 다이들(114-1, 114-2)의 CTE에 중간인 값을 가질 수 있다.

[0022] 도 2의 다층 다이 서브어셈블리(200)는 오버몰드 재료(219)를 또한 포함할 수 있다. 일부 실시예들에서, 오버몰드 재료(219)는 다이들(114-1, 114-2) 주위에 그리고 기판(210)의 표면(271)과 접촉하여 배치될 수 있다. 오버몰드 재료(219)는 적합한 에폭시 재료와 같은 절연 재료일 수 있다.

[0023] 도 3은 다양한 실시예들에 따른 마이크로전자 어셈블리(300)의 측면면도이다. 도 3의 마이크로전자 어셈블리(300)는 다층 다이 서브어셈블리(200), 패키지 기판(306), 및 인터포저(302)를 포함할 수 있다. 다층 다이 서브어셈블리(200)는 중간 레벨 인터커넥트들(mid-level interconnects, MLI들)(352)을 통해 패키지 기판(306)에 결합될 수 있고, 인터포저(302)는 제2 레벨 인터커넥트들(second level interconnects, SLI들)(354)을 통해 패키지 기판(306)에 결합될 수 있다. 본 명세서에 개시된 MLI들(352) 및 SLI들(354)은 임의의 적합한 형태를 취할 수 있다. 일부 실시예들에서, MLI들(352) 및 SLI들(354)은 솔더(예컨대, 인터커넥트들을 형성하기 위해 열 리플로우를 겪는 솔더 범프들 또는 볼들)를 포함할 수 있다. 일부 실시예들에서, MLI들(352) 및 SLI들(354)은 볼 그리드 어레이 배열을 위한 솔더 볼들, 핀 그리드 어레이 배열에서의 핀(pin)들 또는 랜드 그리드 어레이 배열에서의 랜드(land)들을 포함할 수 있다. 일부 실시예들에서, 인터포저(302)는 회로 보드일 수 있다. 회로 보드는 예를 들어 마더보드일 수 있고, 그것에 부착된 다른 컴포넌트들을 가질 수 있다. 회로 보드는, 본 기술 분야에 공지된 바와 같이, 회로 보드를 통해 전력, 접지, 및 신호들을 라우팅하기 위한 전도성 경로들 및 다른 전도성 콘택트들을 포함할 수 있다. 일부 실시예들에서, SLI들(354)은 패키지 기판(306)을 또 다른 IC 패키지, 또는 임의의 다른 적합한 컴포넌트에 결합시킬 수 있다. 일부 실시예들에서, 다층 다이 서브어셈블리(200)는 패키지 기판(306)에 결합되지 않을 수 있지만, 대신에 PCB와 같은 회로 보드에 결합될 수 있다.

[0024] 패키지 기판(306)은 절연 재료(예컨대, 본 기술분야에 공지된 바와 같이, 다중 층에 형성된 유전체 재료) 및 (예컨대, 도식된 바와 같이, 전도성 트레이스들 및/또는 전도성 비아들을 포함하여) 유전체 재료를 통해 전력, 접지, 및 신호들을 라우팅하기 위한 하나 이상의 전도성 경로를 포함할 수 있다. 일부 실시예들에서, 패키지 기판(306)의 절연 재료는, 유기 유전체 재료, 난연성 등급 4 재료(FR-4), BT 수지, 폴리이미드 재료들, 유리 강화 에폭시 매트릭스 재료들, 무기 충전재들 또는 로우-k 및 울트라-로우-k 유전체를 갖는 유기 유전체들(예컨대, 탄소 도핑된 유전체들, 불소 도핑된 유전체들, 다공성 유전체들, 및 유기 중합체 유전체들)과 같은 유전체 재료일 수 있다. 특히, 패키지 기판(306)이 표준 인쇄 회로 보드(PCB) 공정들을 이용하여 형성될 때, 패키지 기판(306)은 FR-4를 포함할 수 있고, 패키지 기판(306)에서의 전도성 경로들은 FR-4의 빌드-업 층(build-up layer)들에 의해 분리되는 패터닝된 구리 시트들에 의해 형성될 수 있다. 패키지 기판(306)에서의 전도성 경로들은, 적합한 경우, 접착 라이너들 및/또는 장벽 라이너들과 같은 라이너 재료들에 의해 경계지어질 수 있다.

[0025] 일부 실시예들에서, 패키지 기판(306)은 패키징 공정을 통해 리소그래피적으로 정의된 것을 사용하여 형성될 수 있다. 일부 실시예들에서, 패키지 기판(306)은 표준 유기 패키지 제조 공정들을 사용하여 제조될 수 있고, 따라서 패키지 기판(306)은 유기 패키지의 형태를 취할 수 있다. 일부 실시예들에서, 패키지 기판(306)은 유전체 재료 상에 라미네이팅 또는 스피닝하고, 및 레이저 드릴링 및 플레이팅(plating)에 의해 전도성 비아들 및 라인들을 생성함으로써 패널 캐리어 상에 형성된 재분배 층들의 세트일 수 있다. 일부 실시예들에서, 패키지 기판(306)은 재분배 층 기술과 같은 임의의 적합한 기술을 이용하여 제거 가능 캐리어 상에 형성될 수 있다. 패키지 기판(306)의 제조를 위해 본 기술분야에 공지된 임의의 방법이 사용될 수 있고, 간결성을 위해, 그러한 방법들은 본 명세서에서 더 상세히 논의되지는 않을 것이다.

- [0026] 도 3의 마이크로전자 어셈블리(300)는 또한 언더필 재료(327)를 포함할 수 있다. 일부 실시예들에서, 언더필 재료(327)는 다층 다이 서브어셈블리(200)와 연관된 MLI들(352) 주위의 패키지 기관(306) 사이에서 연장될 수 있다. 언더필 재료(327)는 적합한 에폭시 재료와 같은 절연 재료일 수 있다. 일부 실시예들에서, 언더필 재료(327)는 모세관 언더필, 비전도성 필름(NCF), 또는 몰딩된 언더필을 포함할 수 있다. 일부 실시예들에서, 언더필 재료(327)는 MLI들(352)을 형성할 때 패키지 기관(306)에 다층 다이 서브어셈블리(200)를 솔더링하는 것을 돕고 그 후 MLI들(352)을 중합하고 캡슐화하는 에폭시 플럭스를 포함할 수 있다. 언더필 재료(327)는 불균일한 열 팽창으로부터 생기는 다층 다이 서브어셈블리(200)와 패키지 기관(306) 사이의 응력을 완화하거나 최소화할 수 있는 열 팽창 계수(CTE)를 갖도록 선택될 수 있다.
- [0027] 도 3의 마이크로전자 어셈블리(300)는 또한 오버몰드 재료(329)를 포함할 수 있다. 일부 실시예들에서, 오버몰드 재료(329)는 다층 다이 서브어셈블리(200) 주위에 그리고 패키지 기관(306)의 표면(371)과 접촉하여 배치될 수 있다. 오버몰드 재료는 적합한 에폭시 재료와 같은 절연 재료일 수 있다.
- [0028] 도 3의 마이크로전자 어셈블리(300)는 또한 히트 스프레더(heat spreader: 333)를 포함할 수 있다. 히트 스프레더(333)는 (예를 들어, 열이 히트 싱크 또는 다른 열 관리 디바이스에 의해 더 쉽게 소산될 수 있도록) 다이들(114-1, 114-2)로부터 멀리 열을 이동시키는데 사용될 수 있다. 히트 스프레더(333)는 임의의 적합한 열 전도성 재료(예를 들어, 금속, 적합한 세라믹 등)를 포함할 수 있고, 임의의 적합한 특징들(예를 들어, 핀(fin)들)을 포함할 수 있다. 일부 실시예들에서, 히트 스프레더(333)는 통합된 히트 스프레더일 수 있다.
- [0029] 도 3의 마이크로전자 어셈블리(300)는 또한 열전도성이 높은 몰드 재료 또는 열 인터페이스 재료(thermal interface material, TIM)(331)를 포함할 수 있다. TIM(331)은 폴리머 또는 다른 바인더 내에 열 전도성 재료(예를 들어, 금속 입자들)를 포함할 수 있다. TIM(331)은 열 인터페이스 재료 페이스트 또는 열 전도성 에폭시(본 기술분야에 공지된 바와 같이, 가해질 때 유체일 수 있고 경화 시에 단단해질 수 있음)일 수 있다. TIM(331)은 다이들(114-1, 114-2)에 의해 발생된 열이 확산 및/또는 소산될 수 있는 히트 스프레더(333)로 쉽게 흐르기 위한 경로를 제공할 수 있다.
- [0030] 도 4는 다양한 실시예들에 따른 마이크로전자 어셈블리(400)의 측면면도이다. 도 4의 마이크로전자 어셈블리(400)는 도 3의 마이크로전자 어셈블리(300)와 유사하고, 다층 다이 서브어셈블리(200)가 복수의 TSV(211)에 및 마이크로전자 컴포넌트(100)에 전기적으로 결합된, 다중 다이가 아닌 단일 다이(114)를 포함한다는 점에서만 차이가 있다.
- [0031] 도 5a는 기관(513) 및 복수의 TSV(516)를 갖는 웨이퍼(514)를 포함하는 어셈블리(500A)를 예시하는데, 여기서 TSV들(516)의 상단 표면이 노출된다. 일부 실시예들에서, 웨이퍼(514)는 활성 층(도시되지 않음) 및 TSV들을 갖는 후면 층을 갖는 활성 웨이퍼이고, 여기서 TSV들의 상단 표면을 노출시키기 위해 웨이퍼의 후면 층으로부터 비-전기 재료가 제거된다. 웨이퍼의 비활성 부분인 비-전기 재료는 다른 재료들 중에서도 실리콘, 세라믹, 또는 석영을 포함할 수 있다. 비-전기 재료는, 예를 들어, 그라인딩, RIE(reactive ion etching) 또는 화학적 에칭과 같은 에칭을 포함하는 임의의 적합한 기술을 사용하여 제거될 수 있다. 일부 실시예들에서, 웨이퍼(514)는 수동 웨이퍼이다. 일부 실시예들에서, 웨이퍼(514)는 제조 동작들 동안 캐리어(도시되지 않음) 상에 배치된다. 캐리어는 제조 동작들 동안 기계적 안정성을 제공하기 위한 임의의 적합한 재료를 포함할 수 있다. 캐리어를 이용할 때, 웨이퍼(514)는 임시 접착제 층 또는 DAF(die attach film)를 포함하는 임의의 적합한 기술을 이용하여 캐리어에 부착될 수 있다.
- [0032] 도 5b는 TSV들(516)의 상단 표면 상에 전도성 기둥들(592)을 형성한 후의 어셈블리(500B)를 예시한다. 전도성 기둥들(592)은 본 명세서에 개시된 실시예들 중 임의의 것의 형태를 취할 수 있고, 임의의 적절한 기법, 예를 들어, 리소그래피 공정 또는, 저온 스프레이 또는 3차원 프린팅과 같은 가법 공정(additive process)을 사용하여 형성될 수 있다. 예를 들어, TSV들(516)의 상단 표면 상에 포토레지스트 층을 퇴적, 노광, 및 현상함으로써 전도성 기둥들(592)이 형성될 수 있다. 포토레지스트 층은 전도성 기둥들의 형상으로 캐비티들을 형성하도록 패터닝될 수 있다. 전도성 기둥들(592)을 형성하기 위해, 구리와 같은 전도성 재료가 패터닝된 포토레지스트 층에서의 개구부들에 퇴적될 수 있다. 전도성 재료는 전기 도금, 스퍼터링, 또는 무전해 도금과 같은 임의의 적합한 공정을 사용하여 퇴적될 수 있다. 포토레지스트가 제거되어 전도성 기둥들(592)을 노출시킬 수 있다. 또 다른 예에서, 전도성 기둥들(592)을 형성하기 위해 포토-이미징가능 유전체(photo-imageable dielectric)가 사용될 수 있다. 일부 실시예들에서, 포토레지스트 재료 및 전도성 재료를 퇴적하기 전에 TSV들의 상단 표면 상에 시드 층(도시되지 않음)이 형성될 수 있다. 시드 층은 구리를 포함하는 임의의 적합한 전도성 재료일 수 있다. 시드 층은, 포토레지스트 층을 제거한 후에, 무엇보다도 화학적 에칭을 포함하는 임의의 적합한 공정을

이용하여 제거될 수 있다. 일부 실시예들에서, 시드 층은 생략될 수 있다.

- [0033] 도 5c는 전도성 기둥들(592) 주위에 몰드 재료(594)를 제공한 후의 어셈블리(500C)를 예시한다. 몰드 재료(594)는 압축 성형 또는 라미네이션과 같은 임의의 적합한 기술을 사용하여 퇴적될 수 있다. 일부 실시예들에서, 몰드 재료는 퇴적에 후속하여 경화된다. 일부 실시예들에서, 몰드 재료(594)는 초기에 전도성 기둥들(592)의 상단들 상에 그리고 그 위에 퇴적되고, 이어서 전도성 기둥들(592)의 상단 표면들을 노출시키도록 연마되고(polished back) 평탄화될 수 있다. 몰드 재료를 퇴적하기 위해 이용되는 기술은 이용되는 몰드 재료의 타입에 의존할 수 있다. 몰드 재료는 예를 들어, 그라인딩, RIE(reactive ion etching) 또는 화학적 에칭과 같은 에칭을 포함하는 임의의 적합한 기술을 이용하여 제거될 수 있다. 일부 실시예들에서, 사용되는 몰드 재료는 마이크로전자 컴포넌트(예를 들어, 마이크로전자 컴포넌트(100))에 대한 원하는 특성들에 의존할 수 있다. 몰드 재료(594)는 도 1을 참조하여 기술된 바와 같이, 임의의 적합한 몰드 재료일 수 있다. 전도성 기둥들(592)은 도 1의 제2 TMV들(165)과 유사하다.
- [0034] 도 5d는 어셈블리(500C)의 상단 표면(570-2) 상에 캐리어(512)를 퇴적한 후의 어셈블리(500D)를 예시한다. 캐리어는 제조 동작들 동안 기계적 안정성을 제공하기 위한 임의의 적합한 재료를 포함할 수 있다. 어셈블리(500C)는, 임시 접착제 층 또는 DAF(die attach film)를 포함하는 임의의 적합한 기법을 사용하여 캐리어(512)에 부착될 수 있다.
- [0035] 도 5e는 어셈블리(500D)의 하단 표면(570-1)으로부터 비-전기 재료를 제거하고 평탄화하여 TSV들(516)의 하단 표면을 노출시킨 후의 어셈블리(500E)를 예시한다. 웨이퍼의 비활성 부분인 비-전기 재료는 다른 재료들 중에서도 실리콘, 세라믹, 또는 석영을 포함할 수 있다. 비-전기 재료는, 예를 들어, 그라인딩, RIE(reactive ion etching) 또는 화학적 에칭과 같은 에칭을 포함하는 임의의 적합한 기술을 사용하여 제거될 수 있다.
- [0036] 도 5f는 TSV들(516)의 노출된 하단 표면(570-1) 상에 전도성 기둥들(598)을 형성한 후의 어셈블리(500F)를 예시한다. 전도성 기둥들(598)은 본 명세서에서 전도성 범프들 또는 패키지측 범프들이라고도 지칭될 수 있다. 전도성 기둥들(598)은 본 명세서에 개시된 실시예들 중의 임의의 것의 형태를 취할 수 있고, 임의의 적합한 기법, 예를 들어, 리소그래픽 공정 또는 저온 스프레이 또는 3차원 프린팅과 같은 가법 공정을 이용하여 형성될 수 있다. 일부 실시예들에서, 전도성 기둥들(598)은 실리콘 질화물 패시베이션 층을 퇴적하고, 실리콘 질화물 패시베이션 층을 개방하여 TSV들(516)의 표면들(즉, 하단 표면(570-1))을 노출시키고, TSV들의 노출된 표면 상에 전도성 시드 층을 퇴적하고, 포토레지스트 층을 스핀 온하고, 전도성 기둥들(598)을 형성하기 위해 포토레지스트 층을 현상하여 개구부들을 생성하고, 개구부들 내에 전도성 재료들을 전기 도금하여 전도성 기둥들(598)을 형성하고, 포토레지스트 층을 제거하고, 및 선택적으로, 적합한 경우, 시드 층을 에칭함으로써 형성될 수 있다. 전도성 기둥들(598)은 임의의 적합한 전도성 재료로 만들어질 수 있고, 도 1을 참조하여 위에 설명된 바와 같이, 임의의 적합한 크기 및 형상을 가질 수 있다. 전도성 기둥들(598)은 도 1의 제1 TMV들(163)과 유사하다.
- [0037] 도 5g는 전도성 기둥들(598) 주위에 몰드 재료(595)를 제공한 후의 어셈블리(500G)를 예시한다. 몰드 재료(595)는 압축 성형 또는 라미네이션과 같은 임의의 적합한 기술을 사용하여 퇴적될 수 있다. 일부 실시예들에서, 몰드 재료는 퇴적에 후속하여 경화된다. 일부 실시예들에서, 몰드 재료(595)는 전도성 기둥들(598) 상에 그리고 그 위에 초기에 퇴적되고, 이후 연마되고 평탄화되어 전도성 기둥들(598)의 하단 표면들(즉, 570-1에서의 것)을 노출시킬 수 있다. 몰드 재료를 퇴적하기 위해 이용되는 기술은 이용되는 몰드 재료의 타입에 의존할 수 있다. 몰드 재료는 예를 들어, 그라인딩, RIE(reactive ion etching) 또는 화학적 에칭과 같은 에칭을 포함하는 임의의 적합한 기술을 이용하여 제거될 수 있다. 일부 실시예들에서, 사용되는 몰드 재료는 마이크로전자 컴포넌트(예를 들어, 마이크로전자 컴포넌트(100))에 대한 원하는 특성들에 의존할 수 있다. 몰드 재료(595)는 도 1을 참조하여 기술한 바와 같이 임의의 적합한 몰드 재료일 수 있다.
- [0038] 도 5h는 캐리어(512)의 제거에 후속하여 그리고 본딩 층(517)을 하단 표면(570-1) 상에 부착한 이후의 어셈블리(500H)를 예시한다. 본딩 층(517)은 접착제 층 또는 DAF(die attach film)와 같은 임의의 적합한 본딩 층일 수 있고, 임시 접착제 또는 라미네이션을 포함하는 임의의 적합한 기법을 사용하여 부착될 수 있다. 일부 실시예들에서, 본딩 층(517)은 2 마이크로미터 내지 15 마이크로미터의 두께를 갖는다. 일부 실시예들에서, 본딩 층(517)은 3 마이크로미터 내지 7 마이크로미터의 두께를 갖는다.
- [0039] 도 5i는 개별 유닛들로 싱글레이팅하는 것 이후의, 본 명세서에서 마이크로전자 컴포넌트(100)와 같은 마이크로전자 컴포넌트로도 지칭되는 어셈블리(500I)를 예시한다. 일부 실시예들에서, 개별 유닛들은 동일할 수 있다. 일부 실시예들에서, 개별 유닛들은 상이할 수 있다.

[0040] 도 6a-6i는 다양한 실시예들에 따른, 도 3의 마이크로전자 어셈블리(300)를 제조하기 위한 예시적인 공정의 다양한 스테이지들의 측면도들이다. 본 명세서에 개시된 마이크로전자 어셈블리들을 제조하기 위해 임의의 적합한 기술들이 사용될 수 있다. 도 6a 내지 도 6i를 참조하여 이하에서 논의되는 동작들(및 제조 공정들을 나타내는 첨부 도면들의 다른 동작들)이 특정의 순서로 예시되어 있지만, 이 동작들은 임의의 적합한 순서로 수행될 수 있다. 추가적으로, 특정 어셈블리들 및 특정 다층 다이 서브어셈블리들이 도 6a 내지 도 6i(및 제조 공정들을 나타내는 첨부 도면들 중 다른 도면들)에 예시되지만, 도 6a 내지 도 6i를 참조하여 이하에서 논의되는 동작들은 임의의 적합한 어셈블리들 및 서브어셈블리들을 형성하기 위해 사용될 수 있다. 도 6a 내지 도 6i의 실시예에서, 마이크로전자 컴포넌트(예를 들어, 어셈블리(500I))는 먼저 복합 다이(예를 들어, 어셈블리(600G))가 되도록 조립될 수 있고, 이후 복합 다이는 인터포저 및/또는 패키지 기판(예를 들어, 어셈블리(600I))에 결합될 수 있다. 이 접근법은 더 엄격한 공차들을 허용할 수 있고, 비교적 작은 다이들(114)에 대한 마이크로전자 컴포넌트(예를 들어, 도 1의 마이크로전자 컴포넌트(100))를 복합 다이(예를 들어, 도 2의 서브어셈블리(200))에 통합하는 데에 특히 바람직할 수 있다.

[0041] 도 6a는 캐리어(605), 및 선택적으로, 본딩 필름(616)의 상단 표면 상에 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611)을 형성한 것 후의 본딩 필름(616)을 포함하는 어셈블리(600A)를 예시한다. 캐리어(605)는, 예를 들어, 유리 캐리어를 포함하여, 제조 동작들 동안 기계적 안정성을 제공하기 위한 임의의 적합한 재료를 포함할 수 있다. 본딩 필름(616)은 임의의 적합한 임시 본딩 필름, 예를 들어, 임시 접착제 층 또는 DAF일 수 있다. 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611)은 어떤 전도성 구조체들도 존재하지 않는 하나 이상의 디-포플레이션(de-population) 영역(655)을 형성하도록 배치될 수 있다. 본 명세서에서 사용되는 바와 같이, "전도성 패드들", "전도성 인터커넥트들", 및 "전도성 콘택트들"이라는 용어들은 상호교환가능하게 사용될 수 있다. 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611)은 임의의 적합한 기법, 예를 들어, 리소그래피 공정 또는, 저온 스프레이 또는 3차원 프린팅과 같은 가법 공정을 사용하여 형성될 수 있다. 예를 들어, 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611)은 다층의 포토레지스트 층을 퇴적, 노광, 및 현상하고, 그리고 본딩 필름(616) 상에 금속과 같은 전도성 재료를 퇴적함으로써 형성될 수 있다. 포토레지스트 층들은 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611)의 형상으로 캐비티들을 형성하도록 패터닝될 수 있다. 제1 전도성 패드들(607), 제2 전도성 패드들(609), 및 전도성 TSV들(611)을 형성하기 위해, 구리와 같은 전도성 재료가 패터닝된 포토레지스트 층들의 개구부들에 퇴적될 수 있다. 에칭 정지 층(613)을 형성하기 위해, 니켈과 같은 에칭 정지 재료가 패터닝된 포토레지스트 층의 개구부들에 퇴적될 수 있다. 전도성 재료 및 에칭 정지 재료는 전기 도금, 스퍼터링, 또는 무전해 도금과 같은 임의의 적합한 공정을 사용하여 퇴적될 수 있다. 일부 실시예들에서, 포토레지스트는, 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611)을 제각기 노출시키기 위해 각각의 재료 퇴적 후에 제거될 수 있다. 일부 실시예들에서, 제1 포토레지스트 재료가 퇴적되고 현상되어 제1 전도성 패드들(607), 에칭 정지 층(613), 및 제2 전도성 패드들(609)을 형성할 수 있고, 이어서 제1 포토레지스트 재료가 제거될 수 있고, 제2 포토레지스트 재료가 퇴적되고 현상되어 전도성 TSV들(611)을 형성할 수 있고, 이어서 제2 포토레지스트 재료가 제거될 수 있다. 또 다른 예에서, 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611)을 형성하기 위해 포토-이미징가능 유전체(photo-imageable dielectric)가 사용될 수 있다. 일부 실시예들에서, 포토레지스트 재료 및 전도성 재료를 퇴적하기 전에 본딩 필름(616)의 상단 표면 상에 시드 층(도시되지 않음)이 형성될 수 있다. 시드 층은 구리 또는 티타늄/구리를 포함하는 임의의 적합한 전도성 재료일 수 있다. 시드 층은, 최종 포토레지스트 층을 제거한 후에, 무엇보다도 화학적 에칭을 포함하는 임의의 적합한 공정을 이용하여 제거될 수 있다. 일부 실시예들에서, 시드 층은 생략될 수 있다.

[0042] 제1 전도성 패드들(607)은 임의의 적합한 치수들을 가질 수 있고 임의의 적합한 전도성 재료로 만들어질 수 있는데, 예를 들어, 제1 전도성 패드들(607)은 2 미크론 내지 10 미크론의 두께를 가질 수 있고 구리로 만들어질 수 있다. 에칭 정지 층(613)은 임의의 적합한 치수들을 가질 수 있으며, 예를 들어, 에칭 정지 층(613)은 제1 전도성 패드들(607)과 동일한 길이 및 폭을 가질 수 있고 2 미크론 내지 5 미크론의 두께를 가질 수 있다. 에칭 정지 층은 니켈과 같은 임의의 적합한 재료로 만들어질 수 있다. 제2 전도성 패드들(609)은 임의의 적합한 치수들을 가질 수 있고 임의의 적합한 전도성 재료로 만들어질 수 있는데, 예를 들어, 제2 전도성 패드들(609)은 제1 전도성 패드들(607)과 동일한 길이 및 폭을 가질 수 있고 10 미크론 내지 20 미크론의 두께를 가질 수 있다.

- [0043] 도 2를 참조하여 설명된 바와 같이, 전도성 TSV들(611)은 임의의 적합한 치수들을 가질 수 있고 임의의 적합한 전도성 재료로 만들어질 수 있다. 일부 실시예들에서, 개별 전도성 TSV(611)는 10 마이크로미터 내지 1000 마이크로미터의 직경(예를 들어, 단면)을 가질 수 있다. 예를 들어, 개별 전도성 TSV(611)는 50 마이크로미터 내지 400 마이크로미터의 직경을 가질 수 있다. 일부 실시예들에서, 개별 전도성 TSV(611)는 50 마이크로미터 내지 150 마이크로미터의 높이(예를 들어, z-높이 또는 두께)를 가질 수 있다. 전도성 기둥들은, 무엇보다도, 임의의 적합한 단면 형상, 예를 들어, 정사각형, 삼각형, 및 타원형을 가질 수 있다.
- [0044] 도 6b는 어셈블리(600A)(도 6a)의 디-파플레이션 영역(655)에 마이크로전자 컴포넌트(100)를 배치한 후의 어셈블리(600B)를 예시한다. 마이크로전자 컴포넌트(100)는 도 1의 마이크로전자 컴포넌트(100)일 수 있거나, 또는 제1 몰드 관통 전도성 구조체들을 갖는 제1 표면에서의 제1 몰드 영역 및 제2 몰드 관통 전도성 구조체들을 갖는 대향하는 제2 표면에서의 제2 몰드 영역을 가지는 기관을 포함하는 또 다른 유사한 컴포넌트일 수 있고, 여기서 기관은 복수의 TSV를 포함하고, 여기서 제1 및 제2 몰드 관통 전도성 구조체들은 TSV들에 전기적으로 결합된다. 마이크로전자 컴포넌트(100)는 어셈블리(600A)의 디-파플레이션 영역(655)에 부착하기 위한 접촉층(618), 또는 DAF, DBF(die bonding film), 또는 릴리스 층과 같은 다른 유사한 층을 포함할 수 있다. 릴리스 층(본 명세서에서 디본딩(debonding) 층이라고도 함)은 예를 들어, 임시 접착제, 또는 열 또는 광에 노출될 때 릴리스하는 다른 재료를 포함할 수 있다. 도 1 및 도 5i의 마이크로전자 컴포넌트와 같은 마이크로전자 컴포넌트는 픽 앤 플레이스 툴링(pick and place tooling)과 같은, 다이를 배치하는 기술과 동일하거나 유사한 기술을 사용하여 디-파플레이션 영역(655)에 배치될 수 있다.
- [0045] 도 6c는 마이크로전자 컴포넌트(100), 제1 전도성 패드들(607), 에칭 정지 층(613), 제2 전도성 패드들(609), 및 전도성 TSV들(611) 주위에 절연 재료(630)를 제공한 후의 어셈블리(600C)를 예시한다. 절연 재료(630)는 임의의 적절한 기술을 사용하여, 예를 들어, 라미네이션에 의해 퇴적될 수 있다. 일부 실시예들에서, 절연 재료(630)는 마이크로전자 컴포넌트(100) 및 전도성 TSV들(611)의 상단들 상에 그리고 그 위에 초기에 퇴적되고, 이어서 마이크로전자 컴포넌트(100)의 상단 표면 및 전도성 TSV들(611)의 상단 표면들을 노출시키기 위해 연마될 수 있다. 일부 실시예들에서, 절연 재료(630)는 무기 실리카 입자들을 갖는 유기 폴리머와 같은 몰드 재료이다. 일부 실시예들에서, 절연 재료(630)는 유전체 재료이다. 일부 실시예들에서, 유전체 재료는, 유기 유전체 재료, 난연성 등급 4 재료(FR-4), BT 수지, 폴리이미드 재료, 유리 강화 에폭시 매트릭스 재료, 또는 로우-k 및 울트라-로우-k 유전체(예를 들어, 탄소 도핑된 유전체, 불소 도핑된 유전체, 다공성 유전체, 및 유기 중합체 유전체)를 포함할 수 있다. 유전체 재료는 라미네이션, 또는 슬릿 코팅 및 경화를 포함하는 임의의 적합한 공정을 사용하여 형성될 수 있다. 유전체 층이 전도성 TSV들(611) 및 마이크로전자 컴포넌트(100)를 완전히 커버하도록 형성되는 경우, 유전체 층은, 그라인딩, 또는 습식 에칭, 건식 에칭(예를 들어, 플라즈마 에칭)과 같은 에칭, 습식 블라스트, 또는 레이저 어블레이션(예를 들어, 엑시머 레이저를 사용함)을 포함하는 임의의 적합한 기술을 사용하여 마이크로전자 컴포넌트(100)의 상단 표면 및 전도성 TSV들(611)의 상단 표면들을 노출시키도록 제거될 수 있다. 일부 실시예들에서, 요구된 에칭 시간을 감소시키기 위해 절연 재료(630)의 두께가 최소화될 수 있다. 일부 실시예들에서, RDL(redistribution layer)(도시되지 않음)이 어셈블리(600C)의 상단 표면 상에 형성될 수 있다. RDL은 PCB 기술 또는 재분배 층(redistribution layer) 기술과 같은 임의의 적합한 기술을 이용하여 제조될 수 있다.
- [0046] 도 6d는 전도성 TSV들(611)의 상단 표면들 상에 전도성 콘택트들(652)을 형성하고 마이크로전자 컴포넌트(100)의 상단 표면 상에 전도성 콘택트들(654)을 형성한 후의 어셈블리(600D)를 예시한다. 전도성 콘택트들(652, 654)은 (진보된 레이저 또는 리소그래피 공정들에 의해 형성되는 작은 수직 인터커넥트 피치들을 갖는) 리소그래피를 이용하는 것을 포함하는 임의의 적합한 기술을 이용하여 형성될 수 있다. 전도성 콘택트들(652, 654)은 구리를 포함하는 임의의 적합한 전도성 재료로 만들어질 수 있다. 일부 실시예들에서, 전도성 콘택트들(652, 654)은 다중 금속 층을 가질 수 있고, 각각의 금속 층은 상이한 금속 재료를 포함할 수 있다. 예를 들어, 전도성 콘택트들(652, 654)은 3개의 금속 층 - 구리를 포함하는 제1 금속 층, 니켈을 포함하는 제2 금속 층, 및 주석을 포함하는 제3 금속 층 - 을 포함할 수 있다. 주석 층(652-3, 654-3)은 임의의 적합한 화학적 또는 기계적 에칭을 이용하여 평탄화될 수 있다. 일부 실시예들에서, 제2 금속 층(652-2, 654-2)은 에칭 정지 층일 수 있다.
- [0047] 도 6e는 다이드들(114-1, 114-2)을 배치하고 인터커넥트들(650-1, 650-2) 주위에 언더필 재료(617) 및 다이드들 주위에 절연 재료(619)를 제공한 후의 어셈블리(600E)를 예시한다. 다이드들(114-1, 114-2)은 인터커넥트들(650-2)에 의해 전도성 TSV들에 전기적으로 및 기계적으로 결합될 수 있고 인터커넥트들(650-1)에 의해 마이크로전자 컴포넌트(100)에 전기적으로 및 기계적으로 결합될 수 있다. 인터커넥트들(650-1, 650)은 임의의 적합한 형태

를 취할 수 있다. 일부 실시예들에서, 인터커넥트들(650-1, 650)은 솔더(예를 들어, 솔더 범프들 또는 볼들)를 포함할 수 있다. 언더필 재료(617) 및 절연 재료(619), 또는 오버몰드 재료는 임의의 적합한 재료일 수 있고, 도 2를 참조하여 기술한 바와 같이 임의의 적합한 기술을 이용하여 형성될 수 있다.

[0048] 도 6f는 제1 전도성 패드들(607) 및 접착제 층(618)을 노출시키기 위해 캐리어(605) 및 본딩 필름(616)을 제거한 후의, 그리고 어셈블리(600E)의 상단 표면에서의 캐리어(603)의 부착 후의 어셈블리(600F)를 예시한다. 캐리어(603)는, 예를 들어, 유리 캐리어를 포함하여, 제조 동작들 동안 기계적 안정성을 제공하기 위한 임의의 적합한 재료를 포함할 수 있다. 캐리어(603)는 임의의 적합한 기술, 예를 들어, 임시 본딩 필름, 접착제, 또는 DAF(도시되지 않음)를 이용하여 부착될 수 있다. 일부 실시예들에서, 히트 스프레더 및/또는 TIM(도시되지 않음)이 캐리어(603)의 부착 전에 어셈블리(600E)의 상단 표면에 부착될 수 있다. 히트 스프레더 및/또는 TIM은 도 3을 참조하여 설명된 바와 같이 임의의 적합한 형태를 가질 수 있다.

[0049] 도 6g는 마이크로전자 컴포넌트(100)의 하단 표면(예를 들어, 도 1의 제1 TMV들(163)) 상의 제2 전도성 패드들(609) 및 TMV들(663)을 노출시키기 위해 어셈블리(600F)의 하단으로부터 제1 전도성 패드들(607), 에칭 정지 층(613), 절연 재료(630), 및 접착제 층(618)을 제거한 후의 어셈블리(600G)를 예시한다. 제1 전도성 패드들(607), 에칭 정지 층(613), 및 접착제 층(618) 각각은, 무엇보다도, 예를 들어, 건식 에칭 또는 기계적 그라인딩을 포함하는 임의의 적절한 기술을 사용하여 제거될 수 있다.

[0050] 도 6h는 캐리어(603) 제거 후의 어셈블리(600H)를 예시한다. 캐리어(603)는 임의의 적합한 공정을 이용하여 제거될 수 있다. 다중 복합 다이(예를 들어, 도 2의 다층 다이 서브어셈블리(200))가 함께 제조되는 경우, 복합 다이들은 캐리어(603)의 제거 후에 싱글레이팅될 수 있다. 추가적인 동작들(예를 들어, TIM을 제공하는 것, 히트 스프레더를 부착하는 것, 솔더 레지스트 층을 퇴적하는 것, 인터포저 또는 패키지 기판에 결합하기 위해 솔더 볼들을 부착하는 것 등)은 싱글레이팅 전 또는 후에 적절하게 수행될 수 있다.

[0051] 도 6i는 어셈블리(600H)를 패키지 기판(606)에 결합하고 패키지 기판(606)을 인터포저(602)에 결합한 후의 어셈블리(600I)를 예시한다. 도 3을 참조하여 설명된 바와 같이, 어셈블리(600H)는 패키지 기판(606)에 기계적으로 및 전기적으로 결합될 수 있고, 인터포저(602)는 임의의 적합한 인터커넥트들을 이용하여 패키지 기판(606)에 기계적으로 및 전기적으로 결합될 수 있다. 일부 실시예들에서, 언더필 재료(627) 및 오버몰드 재료(629)가 도 3을 참조하여 설명된 바와 같이 제공될 수 있다.

[0052] 본 명세서에 개시된 마이크로전자 컴포넌트들(100), 다층 다이 서브어셈블리들(200), 및 마이크로전자 어셈블리들(300, 400)이 특정 수의 TSV들, 다이들, 및 인터커넥트들을 갖는 특정 수 및 배열의 마이크로전자 컴포넌트들(100) 및 다층 다이 서브어셈블리들(200)을 도시하지만, 임의의 수 및 배열의 마이크로전자 컴포넌트들(100), 다층 다이 서브어셈블리들(200), TSV들, 다이들, 및 인터커넥트들이 사용될 수 있다.

[0053] 본 명세서에 개시된 마이크로전자 컴포넌트들(100) 및 다층 다이 서브어셈블리들(200)은 임의의 적합한 응용에 대해 사용될 수 있다. 예를 들어, 일부 실시예들에서, 다층 다이 서브어셈블리(200)는 특히 모바일 디바이스들 및 소형 폼 팩터 디바이스들에서 필드 프로그래머블 게이트 어레이(FPGA) 또는 처리 유닛들(예를 들어, 중앙 처리 유닛, 그래픽 처리 유닛, FPGA, 모뎀, 애플리케이션 프로세서 등)을 위한 매우 작은 폼 팩터 전압 조절을 가능하게 하기 위해 사용될 수 있다. 또 다른 예에서, 다층 다이 서브어셈블리(200)에서의 다이(114)는 처리 디바이스(예를 들어, 중앙 처리 유닛, 그래픽 처리 유닛, FPGA, 모뎀, 애플리케이션 프로세서 등)일 수 있다.

[0054] 도 7은 다양한 실시예들에 따른, 또 다른 예시적인 다층 다이 서브어셈블리(200)의 측면면도이다. 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400)에서, 다층 다이 서브어셈블리(200)는 RDL(748)을 포함할 수 있다. 예를 들어, 도 7은 다이들(114-1, 114-2) 아래에 RDL(748)을 갖는 다층 다이 서브어셈블리(200)의 실시예를 예시한다. 다이들(114-1, 114-2)은 RDL(748)에서의 전도성 경로들(796)을 통해 전도성 TSV들(211)에 그리고 마이크로전자 컴포넌트(100)에 전기적으로 결합될 수 있다. RDL(748)은 덜 조밀한 피치를 갖는 컴포넌트들을 더 조밀한 피치를 갖는 컴포넌트들에 결합할 수 있다.

[0055] 본 명세서에 개시된 마이크로전자 어셈블리(300, 400)는 임의의 적합한 전자 컴포넌트에 포함될 수 있다. 도 8 내지 도 11은 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400) 중 임의의 것을 포함하거나 그에 포함될 수 있는 장치들의 다양한 예들을 예시한다.

[0056] 도 8은 (예를 들어, 다이들(114) 중 임의의 적합한 것들로서) 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400) 중 임의의 것에 포함될 수 있는 웨이퍼(1500) 및 다이들(1502)의 평면도이다. 웨이퍼(1500)는 반도체 재료로 구성될 수 있고, 웨이퍼(1500)의 표면 상에 형성된 IC 구조체들을 갖는 하나 이상의 다이(1502)를 포

함할 수 있다. 다이들(1502) 각각은 임의의 적합한 IC를 포함하는 반도체 제품의 반복 유닛일 수 있다. 반도체 제품의 제조가 완료된 후에, 웨이퍼(1500)는 다이들(1502)이 서로 분리되어 반도체 제품의 개별 "칩들"을 제공하는 싱글레이션 공정을 겪을 수 있다. 다이(1502)는 본 명세서에 개시된 다이들(114) 중 임의의 것일 수 있다. 다이(1502)는 하나 이상의 트랜지스터(예를 들어, 이하에서 논의되는, 도 9의 트랜지스터들(1640) 중 일부), 전기 신호들을 트랜지스터들에 라우팅하기 위한 지원 회로, 수동 컴포넌트들(예를 들어, 신호 트레이스들, 저항기들, 커패시터들, 또는 인덕터들), 및/또는 임의의 다른 IC 컴포넌트들을 포함할 수 있다. 일부 실시예들에서, 웨이퍼(1500) 또는 다이(1502)는 메모리 디바이스(예를 들어, SRAM(static RAM) 디바이스, MRAM(magnetic RAM) 디바이스, RRAM(resistive RAM) 디바이스, CBRAM(conductive-bridging RAM) 디바이스 등과 같은 RAM(random access memory) 디바이스), 로직 디바이스(예를 들어, AND, OR, NAND, 또는 NOR 게이트), 또는 임의의 다른 적합한 회로 요소를 포함할 수 있다. 이 디바이스들 중 다중 디바이스가 단일 다이(1502) 상에 조합될 수 있다. 예를 들어, 다중 메모리 디바이스에 의해 형성된 메모리 어레이는 처리 디바이스(예를 들어, 도 11의 처리 디바이스(1802)) 또는 메모리 디바이스들에 정보를 저장하거나 메모리 어레이에 저장된 명령어들을 실행하도록 구성되는 다른 로직과 동일한 다이(1502) 상에 형성될 수 있다. 일부 실시예들에서, 다이(1502)(예컨대, 다이(114))는 중앙 처리 유닛, 무선 주파수 칩, 전력 변환기, 또는 네트워크 프로세서일 수 있다. 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400)의 다양한 것들은 일부 다이들(114)이 다이들(114) 중 다른 다이들을 포함하는 웨이퍼(1500)에 부착되고, 웨이퍼(1500)가 후속하여 싱글레이팅되는 다이-대-웨이퍼 어셈블리 기술을 이용하여 제조될 수 있다.

[0057] 도 9는 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400) 중 임의의 것(예를 들어, 다이들(114) 중 임의의 것)에 포함될 수 있는 IC 디바이스(1600)의 측면면도이다. IC 디바이스들(1600) 중 하나 이상은 하나 이상의 다이(1502)(도 8)에 포함될 수 있다. IC 디바이스(1600)는 다이 기관(1602)(예를 들어, 도 8의 웨이퍼(1500)) 상에 형성될 수 있고, 다이(예를 들어, 도 8의 다이(1502))에 포함될 수 있다. 다이 기관(1602)은, 예를 들어, n-형 또는 p-형 재료 시스템들(또는 둘 모두의 조합)을 포함하는 반도체 재료 시스템들로 구성되는 반도체 기관일 수 있다. 다이 기관(1602)은, 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator) 서브구조체를 사용하여 형성되는 결정질 기관을 포함할 수 있다. 일부 실시예들에서, 다이 기관(1602)은, 이에 제한되지 않는 않지만 게르마늄, 안티몬화 인듐, 텔루르화 납, 비화 인듐, 인화 인듐, 비화 갈륨, 또는 안티몬화 갈륨을 포함하는, 실리콘과 조합될 수 있거나 조합되지 않을 수 있는 대안 재료를 이용하여 형성될 수 있다. II-VI족, III-V족, 또는 IV족으로 분류되는 추가의 재료들이 또한 다이 기관(1602)을 형성하기 위해 사용될 수 있다. 다이 기관(1602)이 그로부터 형성될 수 있는 재료들의 몇몇 예들이 본 명세서에 설명되지만, IC 디바이스(1600)에 대한 기초로서 역할을 할 수 있는 임의의 재료가 사용될 수 있다. 다이 기관(1602)은 싱글레이팅된 다이(예를 들어, 도 8의 다이들(1502)) 또는 웨이퍼(예를 들어, 도 8의 웨이퍼(1500))의 일부일 수 있다.

[0058] IC 디바이스(1600)는 다이 기관(1602) 상에 배치된 하나 이상의 디바이스 층(1604)을 포함할 수 있다. 디바이스 층(1604)은 다이 기관(1602) 상에 형성된 하나 이상의 트랜지스터(1640)(예를 들어, MOSFET(metal oxide semiconductor field-effect transistor)들)의 피쳐들을 포함할 수 있다. 디바이스 층(1604)은, 예를 들어, 하나 이상의 소스 및/또는 드레인(S/D) 영역(1620), S/D 영역들(1620) 사이에서 트랜지스터(1640)의 전류 흐름을 제어하는 게이트(1622), 및 S/D 영역들(1620)로/로부터 전기 신호들을 라우팅하는 하나 이상의 S/D 콘택트(1624)를 포함할 수 있다. 트랜지스터들(1640)은, 디바이스 격리 영역들, 게이트 콘택트들 등과 같이, 명료성을 위해 묘사되지 않은 추가적인 피쳐들을 포함할 수 있다. 트랜지스터들(1640)은 도 9에 도시된 타입 및 구성으로 제한되지 않고, 예를 들어, 평면 트랜지스터들, 비평면 트랜지스터들, 또는 둘 모두의 조합과 같은 다양한 다른 타입들 및 구성들을 포함할 수 있다. 비평면 트랜지스터들은 더블-게이트 트랜지스터들 또는 트라이-게이트 트랜지스터들과 같은 핀펫(FinFET) 트랜지스터들, 및 나노리본 및 나노와이어 트랜지스터들과 같은 랩-어라운드(wrap-around) 또는 올-어라운드(all-around) 게이트 트랜지스터들을 포함할 수 있다.

[0059] 각각의 트랜지스터(1640)는 적어도 2개의 층인 게이트 유전체 및 게이트 전극으로 형성된 게이트(1622)를 포함할 수 있다. 게이트 유전체는 하나의 층 또는 층들의 스택을 포함할 수 있다. 하나 이상의 층은 실리콘 산화물, 실리콘 이산화물, 실리콘 탄화물, 및/또는 하이-k 유전체 재료를 포함할 수 있다. 하이-k 유전체 재료는 하프늄, 실리콘, 산소, 티타늄, 탄탈륨, 란탄, 알루미늄, 지르코늄, 바륨, 스트론튬, 이트륨, 납, 스칸듐, 니오븀, 및 아연과 같은 원소들을 포함할 수 있다. 게이트 유전체에서 사용될 수 있는 하이-k 재료들의 예들은 하프늄 산화물, 하프늄 실리콘 산화물, 란탄 산화물, 란탄 알루미늄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈륨 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 이트륨 산화물, 알루미늄 산화물, 납 스칸듐 탄탈륨 산화물, 및 납 아연 니오브산염을 포함하지만, 이들로 제한되지는 않는다. 일부 실시예에서, 하이-k 재료가 이용될 때 그 품질을 개선하기 위해서 게이트 유전

체에 대해 어닐링 공정이 수행될 수 있다.

- [0060] 게이트 전극은 게이트 유전체 상에 형성될 수 있고, 트랜지스터(1640)가 PMOS 트랜지스터인지 NMOS 트랜지스터인지에 좌우되어, 적어도 하나의 p-형 일함수 금속 또는 n-형 일함수 금속을 포함할 수 있다. 일부 구현들에서, 게이트 전극은 둘 이상의 금속 층의 스택으로 이루어질 수 있고, 여기서 하나 이상의 금속 층은 일함수 금속 층들이고, 적어도 하나의 금속 층은 충전(fill) 금속 층이다. 장벽 층과 같은 추가의 금속 층들이 다른 목적을 위해 포함될 수 있다. PMOS 트랜지스터의 경우, 게이트 전극에 대해 사용될 수 있는 금속들은 루테튬, 팔라듐, 백금, 코발트, 니켈, 전도성 금속 산화물들(예컨대, 루테튬 산화물), 및 (예컨대, 일함수 튜닝을 위해) NMOS 트랜지스터를 참조하여 이하에서 논의되는 금속들 중 임의의 것을 포함하지만, 이들로 제한되지는 않는다. NMOS 트랜지스터의 경우, 게이트 전극에 대해 사용될 수 있는 금속들은 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄, 이 금속들의 합금들, 이 금속들의 탄화물들(예컨대, 하프늄 탄화물, 지르코늄 탄화물, 티타늄 탄화물, 탄탈륨 탄화물, 및 알루미늄 탄화물), 및 (예컨대, 일함수 튜닝을 위해) PMOS 트랜지스터를 참조하여 앞서 논의된 금속들 중 임의의 것을 포함하지만, 이들로 제한되지는 않는다.
- [0061] 일부 실시예들에서, 소스-채널-드레인 방향을 따른 트랜지스터(1640)의 단면에서 볼 때, 게이트 전극은 다이 기판(1602)의 표면에 실질적으로 평행한 하단 부분 및 다이 기판(1602)의 상단 표면에 실질적으로 수직인 2개의 측벽 부분을 포함하는 U자형 구조체로 구성될 수 있다. 다른 실시예들에서, 게이트 전극을 형성하는 금속 층들 중 적어도 하나는 단순히, 다이 기판(1602)의 상단 표면과 실질적으로 평행하고 다이 기판(1602)의 상단 표면과 실질적으로 수직인 측벽 부분을 포함하지 않는 평면 층일 수 있다. 다른 실시예들에서, 게이트 전극은 U자형 구조체들과 평면의 비 U자형 구조체들의 조합으로 구성될 수 있다. 예를 들어, 게이트 전극은 하나 이상의 평면의 비 U자형 층 위에 형성된 하나 이상의 U자형 금속 층으로 구성될 수 있다.
- [0062] 일부 실시예들에서, 게이트 스택을 브래킷(bracket)하기 위해 게이트 스택의 대향하는 측들 상에 한 쌍의 측벽 스페이서들이 형성될 수 있다. 측벽 스페이서들은 실리콘 질화물, 실리콘 산화물, 실리콘 탄화물, 탄소로 도핑된 실리콘 질화물, 및 실리콘 산질화물과 같은 재료들로부터 형성될 수 있다. 측벽 스페이서들을 형성하기 위한 공정들은 본 기술분야에 널리 알려져 있으며, 일반적으로 퇴적 및 에칭 공정 단계들을 포함한다. 일부 실시예들에서, 복수의 스페이서 쌍들이 사용될 수 있다; 예를 들어, 2쌍, 3쌍, 또는 4쌍의 측벽 스페이서들이 게이트 스택의 대향하는 측들 상에 형성될 수 있다.
- [0063] S/D 영역들(1620)은 각각의 트랜지스터(1640)의 게이트(1622)에 인접하여 다이 기판(1602) 내에 형성될 수 있다. S/D 영역들(1620)은 예를 들어, 주입/확산 공정 또는 에칭/퇴적 공정을 사용하여 형성될 수 있다. 전자의 공정에서, 붕소, 알루미늄, 안티몬, 인, 또는 비소와 같은 도펀트들이 다이 기판(1602) 내로 이온 주입되어 S/D 영역들(1620)을 형성할 수 있다. 도펀트들을 활성화시키고 도펀트들이 다이 기판(1602) 내로 더 멀리 확산되게 야기하는 어닐링 공정이 이온 주입 공정을 뒤따를 수 있다. 후자의 공정에서, 다이 기판(1602)은 먼저 에칭되어 S/D 영역들(1620)의 위치들에 리세스들을 형성할 수 있다. 그 다음, S/D 영역들(1620)을 제조하기 위해 사용되는 재료로 리세스들을 채우기 위해 에피택셜 퇴적 공정이 수행될 수 있다. 일부 구현들에서, S/D 영역들(1620)은 실리콘 게르마늄 또는 실리콘 탄화물과 같은 실리콘 합금을 이용하여 제조될 수 있다. 일부 실시예들에서, 에피택셜 방식으로 퇴적된 실리콘 합금은 붕소, 비소, 또는 인과 같은 도펀트들로 인 시츄(in situ) 도핑될 수 있다. 일부 실시예들에서, S/D 영역들(1620)은 게르마늄 또는 III-V족 재료 또는 합금과 같은 하나 이상의 대안적인 반도체 재료를 이용하여 형성될 수 있다. 추가 실시예들에서, 금속 및/또는 금속 합금들의 하나 이상의 층이 S/D 영역들(1620)을 형성하기 위해 사용될 수 있다.
- [0064] 전력 및/또는 입/출력(I/O) 신호들과 같은 전기 신호들은 디바이스 층(1604) 상에 배치된 하나 이상의 인터커넥트 층(인터커넥트 층들(1606-1610)로서 도 9에 예시됨)을 통해 디바이스 층(1604)의 디바이스들(예를 들어, 트랜지스터들(1640))로 및/또는 그로부터 라우팅될 수 있다. 예를 들어, 디바이스 층(1604)의 전기 전도성 피쳐들(예컨대, 게이트(1622) 및 S/D 콘택트들(1624))이 인터커넥트 층들(1606 내지 1610)의 인터커넥트 구조체들(1628)과 전기적으로 결합될 수 있다. 하나 이상의 인터커넥트 층(1606 내지 1610)은 IC 디바이스(1600)의 금속화 스택("ILD 스택"이라고도 지칭됨)(1619)을 형성할 수 있다.
- [0065] 인터커넥트 구조체들(1628)은 매우 다양한 설계에 따라 전기 신호들을 라우팅하기 위해 인터커넥트 층들(1606 내지 1610) 내에 배열될 수 있다; 특히, 배열은 도 9에 묘사된 인터커넥트 구조체들(1628)의 특정 구성에 한정되지는 않는다. 특정 수의 인터커넥트 층들(1606-1610)이 도 9에 묘사되어 있지만, 본 개시내용의 실시예들은 묘사된 것보다 더 많거나 더 적은 인터커넥트 층들을 갖는 IC 디바이스들을 포함한다.
- [0066] 일부 실시예들에서, 인터커넥트 구조체들(1628)은 금속과 같은 전기 전도성 재료로 충전된 라인들(1628a) 및/또

는 비아들(1628b)을 포함할 수 있다. 라인들(1628a)은 디바이스 층(1604)이 그 상에 형성되는 다이 기관(1602)의 표면과 실질적으로 평행한 평면의 방향으로 전기 신호들을 라우팅하도록 배열될 수 있다. 예를 들어, 라인들(1628a)은 도 9의 관점에서 페이지의 안쪽으로의 방향으로 전기 신호들을 라우팅할 수 있다. 비아들(1628b)은 디바이스 층(1604)이 그 상에 형성되는 다이 기관(1602)의 표면에 실질적으로 수직인 평면의 방향으로 전기 신호들을 라우팅하도록 배열될 수 있다. 일부 실시예들에서, 비아들(1628b)은 상이한 인터커넥트 층들(1606-1610)의 라인들(1628a)을 함께 전기적으로 결합할 수 있다.

[0067] 인터커넥트 층들(1606-1610)은, 도 9에 도시된 바와 같이, 인터커넥트 구조체들(1628) 사이에 배치된 유전체 재료(1626)를 포함할 수 있다. 일부 실시예들에서, 인터커넥트 층들(1606-1610) 중 상이한 것들에서의 인터커넥트 구조체들(1628) 사이에 배치된 유전체 재료(1626)는 상이한 조성들을 가질 수 있다; 다른 실시예들에서, 상이한 인터커넥트 층들(1606-1610) 사이의 유전체 재료(1626)의 조성은 동일할 수 있다.

[0068] 제1 인터커넥트 층(1606)(금속 1 또는 "M1"이라고 지칭됨)은 디바이스 층(1604) 바로 위에 형성될 수 있다. 일부 실시예들에서, 제1 인터커넥트 층(1606)은, 도시된 바와 같이, 라인들(1628a) 및/또는 비아들(1628b)을 포함할 수 있다. 제1 인터커넥트 층(1606)의 라인들(1628a)은 디바이스 층(1604)의 콘택트들(예를 들어, S/D 콘택트들(1624))과 결합될 수 있다.

[0069] 제2 인터커넥트 층(1608)(금속 2 또는 "M2"이라고 지칭됨)이 제1 인터커넥트 층(1606) 바로 위에 형성될 수 있다. 일부 실시예들에서, 제2 인터커넥트 층(1608)은 제2 인터커넥트 층(1608)의 라인들(1628a)을 제1 인터커넥트 층(1606)의 라인들(1628a)과 결합하기 위한 비아들(1628b)을 포함할 수 있다. 명확함을 위해 라인들(1628a) 및 비아들(1628b)이 각각의 인터커넥트 층 내의(예컨대, 제2 인터커넥트 층(1608) 내의) 라인으로 구조적으로 그려져 있지만, 일부 실시예들에서 라인들(1628a) 및 비아들(1628b)은 구조적으로 및/또는 물질적으로 연속적일 수 있다(예컨대, 듀얼 다마신 공정 동안 동시에 충전됨).

[0070] 제3 인터커넥트 층(1610)(금속 3 또는 "M3"이라고 지칭됨)(및 원하는 대로, 추가적인 인터커넥트 층들)은 제2 인터커넥트 층(1608) 또는 제1 인터커넥트 층(1606)과 관련하여 설명된 유사한 기술들 및 구성들에 따라 제2 인터커넥트 층(1608) 상에 연속하여 형성될 수 있다. 일부 실시예들에서, IC 디바이스(1600)에서의 금속화 스택(1619)에서의 "더 높은"(즉, 디바이스 층(1604)으로부터 더 멀리 떨어진) 인터커넥트 층들은 더 두꺼울 수 있다.

[0071] IC 디바이스(1600)는 솔더 레지스트 재료(1634)(예컨대, 폴리이미드 또는 유사한 재료) 및 인터커넥트 층들(1606-1610) 상에 형성된 하나 이상의 전도성 콘택트(1636)를 포함할 수 있다. 도 9에서, 전도성 콘택트들(1636)은 본드 패드(bond pad)들의 형태를 취하는 것으로 예시되어 있다. 전도성 콘택트들(1636)은 인터커넥트 구조체들(1628)과 전기적으로 결합되고 트랜지스터(들)(1640)의 전기 신호들을 다른 외부 디바이스들에 라우팅하도록 구성될 수 있다. 예를 들어, 솔더 본드(solder bond)들은 IC 디바이스(1600)를 포함하는 칩을 또 다른 컴포넌트(예를 들어, 회로 보드)와 기계적으로 및/또는 전기적으로 결합하기 위해 하나 이상의 전도성 콘택트(1636) 상에 형성될 수 있다. IC 디바이스(1600)는 인터커넥트 층들(1606-1610)로부터 전기 신호들을 라우팅하기 위한 추가적인 또는 대안적인 구조체들을 포함할 수 있다; 예를 들어, 전도성 콘택트들(1636)은 전기 신호들을 외부 컴포넌트들에 라우팅하는 다른 유사한 피처들(예컨대, 포스트들)을 포함할 수 있다.

[0072] IC 디바이스(1600)가 양면 다이인 일부 실시예들에서, IC 디바이스(1600)는 디바이스 층(들)(1604)의 대향 측 상에 또 다른 금속화 스택(도시되지 않음)을 포함할 수 있다. 이 금속화 스택은, 디바이스 층(들)(1604)과 전도성 콘택트들(1636)로부터 IC 디바이스(1600)의 대향 측 상에 있는 부가의 전도성 콘택트들(도시되지 않음) 사이에 전도성 경로들(예컨대, 전도성 라인들 및 비아들을 포함함)을 제공하기 위해, 인터커넥트 층들(1606-1610)을 참조하여 앞서 논의된 바와 같은 다중의 인터커넥트 층을 포함할 수 있다.

[0073] IC 디바이스(1600)가 양면 다이인 다른 실시예들에서, IC 디바이스(1600)는 다이 기관(1602)을 관통하는 하나 이상의 TSV를 포함할 수 있다; 이 TSV들은 디바이스 층(들)(1604)과 접촉할 수 있고, 디바이스 층(들)(1604)과 전도성 콘택트들(1636)로부터 IC 디바이스(1600)의 대향 측 상에 있는 부가의 전도성 콘택트들(도시되지 않음) 사이의 전도성 경로들을 제공할 수 있다.

[0074] 도 10은 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400) 중 임의의 것을 포함할 수 있는 IC 디바이스 어셈블리(1700)의 측면도이다. 일부 실시예들에서, IC 디바이스 어셈블리(1700)는 마이크로전자 어셈블리(300, 400)일 수 있다. IC 디바이스 어셈블리(1700)는 회로 보드(1702)(예를 들어, 마더보드일 수 있음) 상에 배치된 다수의 컴포넌트를 포함한다. IC 디바이스 어셈블리(1700)는 회로 보드(1702)의 제1 면(1740) 및 회로

보드(1702)의 대향하는 제2 면(1742) 상에 배치된 컴포넌트들을 포함한다; 일반적으로, 컴포넌트들은 한쪽 면 또는 양쪽 면(1740 및 1742) 상에 배치될 수 있다. IC 디바이스 어셈블리(1700)를 참조하여 이하에서 논의되는 IC 패키지들 중 임의의 것은 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400)의 실시예들 중 임의의 적합한 것의 형태를 취할 수 있다.

[0075] 일부 실시예들에서, 회로 보드(1702)는 유전체 재료의 층들에 의해 서로로부터 분리되고 전기 전도성 비아들에 의해 인터커넥트되는 다중의 금속 층을 포함하는 PCB일 수 있다. 금속 층들 중 임의의 하나 이상은 회로 보드(1702)에 결합된 컴포넌트들 사이에서 (선택적으로 다른 금속 층들과 연계하여) 전기 신호들을 라우팅하기 위해 원하는 회로 패턴으로 형성될 수 있다. 다른 실시예들에서, 회로 보드(1702)는 비-PCB 기관일 수 있다. 일부 실시예들에서, 회로 보드(1702)는 예를 들어, 회로 보드일 수 있다.

[0076] 도 10에 예시된 IC 디바이스 어셈블리(1700)는 결합 컴포넌트들(1716)에 의해 회로 보드(1702)의 제1 면(1740)에 결합된 패키지-온-인터포저 구조체(1736)를 포함한다. 결합 컴포넌트들(1716)은 패키지-온-인터포저 구조체(1736)를 회로 보드(1702)에 전기적으로 그리고 기계적으로 결합시킬 수 있고, (도 10에 도시된 바와 같은) 솔더 볼들, 소켓의 메일(male) 및 피메일(female) 부분들, 접착제, 언더필 재료, 및/또는 임의의 다른 적절한 전기적 및/또는 기계적 결합 구조체를 포함할 수 있다.

[0077] 패키지-온-인터포저 구조체(1736)는 결합 컴포넌트들(1718)에 의해 인터포저(1704)에 결합된 IC 패키지(1720)를 포함할 수 있다. 결합 컴포넌트들(1718)은, 결합 컴포넌트들(1716)을 참조하여 앞서 논의된 형태들과 같은, 응용을 위한 임의의 적절한 형태를 취할 수 있다. 단일 IC 패키지(1720)가 도 10에 도시되어 있지만, 다중의 IC 패키지가 인터포저(1704)에 결합될 수 있다; 실제로, 추가적인 인터포저들이 인터포저(1704)에 결합될 수 있다. 인터포저(1704)는 회로 보드(1702)와 IC 패키지(1720)를 브리지하기 위해 사용되는 개재 기관을 제공할 수 있다. IC 패키지(1720)는 예를 들어, 다이(도 8의 다이(1502)), IC 디바이스(예를 들어, 도 9의 IC 디바이스(1600)), 또는 임의의 다른 적합한 컴포넌트일 수 있거나 이것을 포함할 수 있다. 일반적으로, 인터포저(1704)는 연결을 보다 넓은 피치로 확산(spread)시키거나 연결을 상이한 연결로 리라우팅(reroute)할 수 있다. 예를 들어, 인터포저(1704)는 IC 패키지(1720)(예를 들어, 다이)를, 회로 보드(1702)에 결합하기 위한 결합 컴포넌트들(1716)의 BGA(ball grid array) 전도성 콘택트들의 세트에 결합시킬 수 있다. 도 10에 예시된 실시예에서, IC 패키지(1720) 및 회로 보드(1702)는 인터포저(1704)의 대향 측들에 부착된다; 다른 실시예들에서, IC 패키지(1720) 및 회로 보드(1702)는 인터포저(1704)의 동일한 측에 부착될 수 있다. 일부 실시예들에서, 3개 이상의 컴포넌트가 인터포저(1704)에 의해 인터커넥트될 수 있다.

[0078] 일부 실시예들에서, 인터포저(1704)는 유전체 재료의 층들에 의해 서로 분리되고 전기적 전도성 비아들에 의해 인터커넥트되는 다중의 금속 층을 포함하는 PCB로서 형성될 수 있다. 일부 실시예들에서, 인터포저(1704)는 에폭시 수지, 유리섬유 강화(fiberglass-reinforced) 에폭시 수지, 무기 충전재들을 갖는 에폭시 수지, 세라믹 재료, 또는 폴리이미드와 같은 폴리머 재료로 형성될 수 있다. 일부 구현들에서, 인터포저(1704)는 실리콘, 게르마늄, 및 다른 III-V족 및 IV족 재료들과 같이, 반도체 기관에 사용하기 위해 위에서 설명한 동일한 재료들을 포함할 수 있는 대안적인 강성 또는 연성 재료들로 형성될 수 있다. 인터포저(1704)는 TSV들(1706)을 포함하지 않음에 제한되지는 않는, 금속 인터커넥트들(1708) 및 비아들(1710)을 포함할 수 있다. 인터포저(1704)는 수동 및 능동 디바이스들 둘 모두를 포함하는 임베딩된 디바이스들(1714)을 추가로 포함할 수 있다. 그러한 디바이스들은 커패시터들, 디커플링 커패시터들(decoupling capacitors), 저항기들, 인덕터들, 퓨즈들, 다이오드들, 트랜스포머들, 센서들, 및 정전기 방전(electrostatic discharge, ESD) 디바이스들, 및 메모리 디바이스들을 포함할 수 있지만 이들로 제한되지는 않는다. 무선 주파수(radio frequency) 디바이스들, 전력 증폭기들, 전력 관리 디바이스들, 안테나들, 어레이들, 센서들, 및 MEMS(microelectromechanical system) 디바이스들과 같은 보다 복잡한 디바이스들이 또한 인터포저(1704) 상에 형성될 수 있다. 패키지-온-인터포저 구조체(1736)는 본 기술분야에 공지된 패키지-온-인터포저 구조체들 중 임의의 것의 형태를 취할 수 있다.

[0079] IC 디바이스 어셈블리(1700)는 결합 컴포넌트들(1722)에 의해 회로 보드(1702)의 제1 면(1740)에 결합된 IC 패키지(1724)를 포함할 수 있다. 결합 컴포넌트들(1722)은 결합 컴포넌트들(1716)을 참조하여 앞서 논의된 실시예들 중 임의의 것의 형태를 취할 수 있고, IC 패키지(1724)는 IC 패키지(1720)를 참조하여 앞서 논의된 실시예들 중 임의의 것의 형태를 취할 수 있다.

[0080] 도 10에 예시된 IC 디바이스 어셈블리(1700)는 결합 컴포넌트들(1728)에 의해 회로 보드(1702)의 제2 면(1742)에 결합된 패키지-온-패키지 구조체(1734)를 포함한다. 패키지-온-패키지 구조체(1734)는, IC 패키지(1726)가 회로 보드(1702)와 IC 패키지(1732) 사이에 배치되도록 결합 컴포넌트들(1730)에 의해 함께 결합된 IC 패키지

(1726) 및 IC 패키지(1732)를 포함할 수 있다. 결합 컴포넌트들(1728 및 1730)은 위에 논의된 결합 컴포넌트들(1716)의 실시예들 중 임의의 것의 형태를 취할 수 있고, IC 패키지들(1726 및 1732)은 위에 논의된 IC 패키지(1720)의 실시예들 중 임의의 것의 형태를 취할 수 있다. 패키지-온-패키지 구조체(1734)는 본 기술분야에 공지된 패키지-온-패키지 구조체들 중 임의의 것에 따라 구성될 수 있다.

[0081] 도 11은 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400) 중 하나 이상을 포함할 수 있는 예시적인 전기 디바이스(1800)의 블록도이다. 예를 들어, 전기 디바이스(1800)의 컴포넌트들 중 임의의 적합한 것들은 본 명세서에 개시된 IC 디바이스 어셈블리들(1700), IC 디바이스들(1600), 또는 다이들(1502) 중 하나 이상을 포함할 수 있고, 본 명세서에 개시된 마이크로전자 어셈블리들(300, 400) 중 임의의 것에 배열될 수 있다. 도 11에서는 다수의 컴포넌트가 전기 디바이스(1800)에 포함된 것으로서 예시되어 있지만, 이 컴포넌트들 중 임의의 하나 이상은, 응용을 위해 적합한 경우, 생략되거나 중복될 수 있다. 일부 실시예들에서, 전기 디바이스(1800)에 포함된 컴포넌트들 중 일부 또는 전부는 하나 이상의 마더보드에 부착될 수 있다. 일부 실시예들에서, 이러한 컴포넌트들 중 일부 또는 전부는 단일 SoC(system-on-a-chip) 다이 상에 제조된다.

[0082] 추가적으로, 다양한 실시예들에서, 전기 디바이스(1800)는 도 11에 도시된 컴포넌트들 중 하나 이상을 포함하지 않을 수 있지만, 전기 디바이스(1800)는 하나 이상의 컴포넌트에 결합하기 위한 인터페이스 회로를 포함할 수 있다. 예를 들어, 전기 디바이스(1800)는 디스플레이 디바이스(1806)를 포함하지 않을 수 있지만, 디스플레이 디바이스(1806)가 결합될 수 있는 디스플레이 디바이스 인터페이스 회로(예를 들어, 커넥터 및 드라이버 회로)를 포함할 수 있다. 또 다른 세트의 예들에서, 전기 디바이스(1800)는 오디오 입력 디바이스(1824) 또는 오디오 출력 디바이스(1808)를 포함하지 않을 수 있지만, 오디오 입력 디바이스(1824) 또는 오디오 출력 디바이스(1808)가 결합될 수 있는 오디오 입력 또는 출력 디바이스 인터페이스 회로(예를 들어, 커넥터들 및 지원 회로)를 포함할 수 있다.

[0083] 전기 디바이스(1800)는 처리 디바이스(1802)(예를 들어, 하나 이상의 처리 디바이스)를 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, "처리 디바이스" 또는 "프로세서"라는 용어는 레지스터들 및/또는 메모리로부터의 전자 데이터를 처리하여 그 전자 데이터를 레지스터들 및/또는 메모리에 저장될 수 있는 다른 전자 데이터로 변환하는 임의의 디바이스 또는 디바이스의 부분을 지칭할 수 있다. 처리 디바이스(1802)는 하나 이상의 디지털 신호 프로세서(DSP), ASIC(application-specific IC), 중앙 처리 유닛(CPU), 그래픽 처리 유닛(GPU), 암호 프로세서(cryptoprocessor)(하드웨어 내에서 암호 알고리즘들을 실행하는 특수화된 프로세서), 서버 프로세서, 또는 임의의 다른 적합한 처리 디바이스를 포함할 수 있다. 전기 디바이스(1800)는 메모리(1804)를 포함할 수 있고, 메모리 자체는 휘발성 메모리(예컨대, 동적 랜덤 액세스 메모리(DRAM)), 비휘발성 메모리(예컨대, 판독 전용 메모리(ROM)), 플래시 메모리, 솔리드 스테이트 메모리, 및/또는 하드 드라이브와 같은 하나 이상의 메모리 디바이스를 포함할 수 있다. 일부 실시예들에서, 메모리(1804)는 다이를 처리 디바이스(1802)와 공유하는 메모리를 포함할 수 있다. 이 메모리는 캐시 메모리로서 사용될 수 있으며, eDRAM(embedded dynamic random access memory) 또는 STT-MRAM(spin transfer torque magnetic random access memory)를 포함할 수 있다.

[0084] 일부 실시예들에서, 전기 디바이스(1800)는 통신 칩(1812)(예를 들어, 하나 이상의 통신 칩)을 포함할 수 있다. 예를 들어, 통신 칩(1812)은 전기 디바이스(1800)로/로부터 데이터를 전송하기 위한 무선 통신을 관리하도록 구성될 수 있다. 용어 "무선" 및 그 파생어들은 비고체 매체(nonsolid medium)를 통해 변조된 전자기 방사를 사용하여 데이터를 통신할 수 있는 회로들, 디바이스들, 시스템들, 방법들, 기술들, 통신 채널들 등을 기술하기 위해 사용될 수 있다. 이 용어가 연관된 디바이스들이 어떤 유선들도 포함하지 않는다는 것을 함의하지는 않지만, 일부 실시예들에서는 그렇지 않을 수 있다.

[0085] 통신 칩(1812)은, 이에 제한되지는 않지만, Wi-Fi를 포함하는 IEEE(Institute for Electrical and Electronic Engineers) 표준(IEEE 802.11 패밀리), IEEE 802.16 표준(예를 들어, IEEE 802.16-2005 수정판), 임의의 수정판, 업데이트 및/또는 개정판과 함께 하는 LTE(Long-Term Evolution) 프로젝트(예를 들어, 어드밴스드 LTE 프로젝트, UMB(ultra mobile broadband) 프로젝트("3GPP2"로도 지칭됨), 등)을 포함하는 다수의 무선 표준 또는 프로토콜 중 임의의 것을 구현할 수 있다. IEEE 802.16 호환 BWA(Broadband Wireless Access) 네트워크들은 일반적으로, IEEE 802.16 표준들에 대한 부합성 및 상호운용성 평가들을 통과한 제품들을 위한 인증 마크인, Worldwide Interoperability for Microwave Access를 나타내는 약어인 WiMAX 네트워크라고 불린다. 통신 칩(1812)은 GSM(Global System for Mobile Communication), GPRS(General Packet Radio Service), UMLS(Universal Mobile Telecommunications System), HSPA(High Speed Packet Access), E-HSPA(Evolved HSPA), 또는 LTE 네트워크에 따라 동작할 수 있다. 통신 칩(1812)은 EDGE(Enhanced Data for GSM Evolution), GERAN(GSM EDGE Radio Access Network), UTRAN(Universal Terrestrial Radio Access Network), 또는 E-

UTRAN(Evolved UTRAN)에 따라 동작할 수 있다. 통신 칩(1812)은 CDMA(Code Division Multiple Access), TDMA(Time Division Multiple Access), DECT(Digital Enhanced Cordless Telecommunications), EV-DO(Evolution-Data Optimized), 및 이들의 파생물들은 물론이고, 3G, 4G, 5G, 및 그 이상으로 지정되는 임의의 다른 무선 프로토콜들에 따라 동작할 수 있다. 통신 칩(1812)은 다른 실시예들에서 다른 무선 프로토콜들에 따라 동작할 수 있다. 전기 디바이스(1800)는 무선 통신들을 용이하게 하기 위해 및/또는 (AM 또는 FM 무선 송신들과 같은) 다른 무선 통신들을 수신하기 위해 안테나(1822)를 포함할 수 있다.

- [0086] 일부 실시예들에서, 통신 칩(1812)은, 전기, 광학, 또는 임의의 다른 적당한 통신 프로토콜들(예컨대, 이더넷)과 같은 유선 통신을 관리할 수 있다. 앞서 살펴본 바와 같이, 통신 칩(1812)은 다중의 통신 칩을 포함할 수 있다. 예를 들어, 제1 통신 칩(1812)은 Wi-Fi 또는 블루투스과 같은 단거리 무선 통신들(shorter-range wireless communications)에 전용될 수 있고, 제2 통신 칩(1812)은 GPS(global positioning system), EDGE, GPRS, CDMA, WiMAX, LTE, EV-DO, 또는 다른 것들과 같은 장거리 무선 통신들(longer-range wireless communications)에 전용될 수 있다. 일부 실시예들에서, 제1 통신 칩(1812)은 무선 통신에 전용될 수 있고, 제2 통신 칩(1812)은 유선 통신에 전용될 수 있다.
- [0087] 전기 디바이스(1800)는 배터리/전력 회로(1814)를 포함할 수 있다. 배터리/전력 회로(1814)는 하나 이상의 에너지 저장 디바이스(예를 들어, 배터리들 또는 커패시터들) 및/또는 전기 디바이스(1800)의 컴포넌트들을 전기 디바이스(1800)와 분리된 에너지 소스(예를 들어, AC 라인 전력)에 결합하기 위한 회로를 포함할 수 있다.
- [0088] 전기 디바이스(1800)는 디스플레이 디바이스(1806)(또는 앞서 논의된 바와 같은 대응 인터페이스 회로)를 포함할 수 있다. 디스플레이 디바이스(1806)는, 헤드 업 디스플레이, 컴퓨터 모니터, 프로젝터, 터치스크린 디스플레이, 액정 디스플레이(LCD), 발광 다이오드 디스플레이, 또는 평판 디스플레이와 같은 임의의 시각적 표시기들(visual indicators)을 포함할 수 있다.
- [0089] 전기 디바이스(1800)는 오디오 출력 디바이스(1808)(또는 앞서 논의된 바와 같은 대응 인터페이스 회로)를 포함할 수 있다. 오디오 출력 디바이스(1808)는, 스피커, 헤드셋, 또는 이어폰과 같이 가청 표시자를 생성하는 임의의 디바이스를 포함할 수 있다.
- [0090] 전기 디바이스(1800)는 오디오 입력 디바이스(1824)(또는 앞서 논의된 바와 같은 대응하는 인터페이스 회로)를 포함할 수 있다. 오디오 입력 디바이스(1824)는, 마이크로폰들, 마이크로폰 어레이들, 또는 디지털 기기들(예컨대, MIDI(musical instrument digital interface) 출력을 갖는 기기들)과 같이 사운드를 나타내는 신호를 생성하는 임의의 디바이스를 포함할 수 있다.
- [0091] 전기 디바이스(1800)는 GPS 디바이스(1818)(또는 앞서 논의된 바와 같은 대응하는 인터페이스 회로)를 포함할 수 있다. GPS 디바이스(1818)는 본 기술분야에 알려진 바와 같이, 위성 기반 시스템과 통신할 수 있고, 전기 디바이스(1800)의 위치를 수신할 수 있다.
- [0092] 전기 디바이스(1800)는 다른 출력 디바이스(1810)(또는 앞서 논의된 바와 같은 대응하는 인터페이스 회로)를 포함할 수 있다. 다른 출력 디바이스(1810)의 예들은 오디오 코덱, 비디오 코덱, 프린터, 다른 디바이스들에 정보를 제공하기 위한 유선 또는 무선 송신기, 또는 부가의 저장 디바이스를 포함할 수 있다.
- [0093] 전기 디바이스(1800)는 다른 입력 디바이스(1820)(또는 앞서 논의된 바와 같은 대응 인터페이스 회로)를 포함할 수 있다. 다른 입력 디바이스(1820)의 예들은 가속도계, 자이로스코프, 나침반, 이미지 캡처 디바이스, 키보드, 마우스, 스타일러스, 터치패드와 같은 커서 제어 디바이스, 바코드 판독기, QR(Quick Response) 코드 판독기, 임의의 센서, 또는 RFID(radio frequency identification) 판독기를 포함할 수 있다.
- [0094] 전기 디바이스(1800)는 컴퓨팅 디바이스 또는 핸드헬드, 휴대용 또는 모바일 컴퓨팅 디바이스(예를 들어, 셀 폰, 스마트 폰, 모바일 인터넷 디바이스, 음악 플레이어, 태블릿 컴퓨터, 랩톱 컴퓨터, 넷북 컴퓨터, 울트라북 컴퓨터, PDA(personal digital assistant), 울트라 모바일 개인용 컴퓨터 등), 데스크톱 전기 디바이스, 서버, 또는 다른 네트워크화된 컴퓨팅 컴포넌트, 프린터, 스캐너, 모니터, 셋톱 박스, 엔터테인먼트 제어 유닛, 차량 제어 유닛, 디지털 카메라, 디지털 비디오 레코더, 또는 웨어러블 컴퓨팅 디바이스와 같은 임의의 원하는 품 팩터를 가질 수 있다. 일부 실시예들에서, 전기 디바이스(1800)는 데이터를 처리하는 임의의 다른 전자 디바이스일 수 있다.
- [0095] 이하의 단락들은 본 명세서에 개시된 실시예들의 다양한 예들을 제공한다.
- [0096] 예 1은 마이크로전자 컴포넌트이고, 이 마이크로전자 컴포넌트는 제1 면 및 대향하는 제2 면을 갖는 기판 - 기

관은 TSV(through-substrate via)를 포함함 -; 제1 면에 있는 제1 몰드 재료 영역 - 제1 몰드 재료 영역은 TSV에 전도성으로 결합된 제1 TMV(through-mold via)를 포함함 -; 및 제2 면에 있는 제2 몰드 재료 영역 - 제2 몰드 재료 영역은 TSV에 전도성으로 결합된 제2 TMV를 포함함 - 을 포함한다.

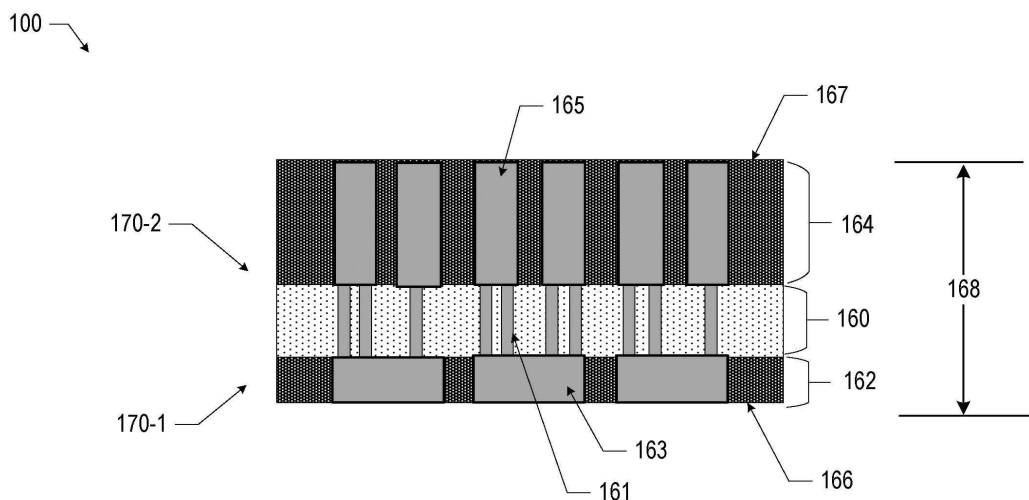
- [0097] 예 2는 예 1의 주제를 포함할 수 있고, 제1 TMV는 제1 피치를 갖는 복수의 제1 TMV인 것을 추가로 특정할 수 있고, 제2 TMV는 제1 피치와 상이한 제2 피치를 갖는 복수의 TMV이다.
- [0098] 예 3은 예 1 및 예 2 중 임의의 것의 주제를 포함할 수 있고, 제1 피치는 90 미크론 내지 300 미크론이고 제2 피치는 20 미크론 내지 100 미크론이라는 것을 추가로 특정할 수 있다.
- [0099] 예 4는 예들 1 내지 3 중 임의의 것의 주제를 포함할 수 있고, 제1 몰드 재료 영역의 두께는 15 미크론 내지 40 미크론인 것을 추가로 특정할 수 있다.
- [0100] 예 5는 예들 1 내지 4 중 임의의 것의 주제를 포함할 수 있고, 제2 몰드 재료 영역의 두께는 15 미크론 내지 40 미크론인 것을 추가로 특정할 수 있다.
- [0101] 예 6은 예 1 내지 예 5 중 임의의 것의 주제를 포함할 수 있고, 마이크로전자 컴포넌트의 전체 두께가 60 미크론 내지 135 미크론인 것을 추가로 특정할 수 있다.
- [0102] 예 7은 예 1 내지 예 6 중 임의의 것의 주제를 포함할 수 있고, 제1 몰드 재료 영역의 몰드 재료는 유기 폴리머, 유기 유전체 재료, 난연성 등급 4 재료, 비스말레이미드 트리아진 수지, 폴리이미드 재료, 유리 강화 에폭시 매트릭스 재료, 로우-k 유전체, 및 울트라-로우-k 유전체 중 하나 이상을 포함한다는 것을 추가로 특정할 수 있다.
- [0103] 예 8은 마이크로전자 어셈블리이고, 이 마이크로전자 어셈블리는 제1 표면 및 대향하는 제2 표면을 갖는 제1 기판 - 제1 기판은 제1 TSV(through-substrate via)를 포함함 -; 제1 기판에 임베딩된 마이크로전자 컴포넌트 - 마이크로전자 컴포넌트는 제1 면 및 대향하는 제2 면을 갖는 제2 기판 - 제2 기판은 제2 TSV를 포함함 -; 제1 면에 있는 제1 몰드 재료 영역 - 제1 몰드 재료 영역은 제2 TSV에 전도성으로 결합된 제1 TMV(through-mold via)를 포함함 -; 및 제2 면에 있는 제2 몰드 재료 영역 - 제2 몰드 재료 영역은 제2 TSV에 전도성으로 결합된 제2 TMV를 포함함 -; 제1 몰드 재료 영역은 제1 기판의 제1 표면에 있고 제2 몰드 재료 영역은 제1 기판의 제2 표면에 있음 - 을 포함함 - ; 및 제1 기판의 제2 표면에서, 제1 TSV에 및 제2 TMV에 전기적으로 결합된 다이를 포함한다.
- [0104] 예 9는 예 8의 주제를 포함할 수 있고, 다이는 제1 다이이고, 제1 TSV는 복수의 제1 TSV이고, 제2 TMV는 복수의 제2 TMV인 것을 추가로 특정할 수 있고, 제1 기판의 제2 표면에서, 복수의 제1 TSV 중 하나 이상에 그리고 복수의 제2 TMV 중 하나 이상에 전기적으로 결합된 제2 다이를 추가로 포함할 수 있다.
- [0105] 예 10은 예 8 및 예 9 중 임의의 것의 주제를 포함할 수 있고, 다이 주위에 있고 제1 기판과 접촉하는 절연 재료를 추가로 포함할 수 있다.
- [0106] 예 11은 예 10의 주제를 포함할 수 있고, 절연 재료는 몰드 재료인 것을 추가로 특정할 수 있다.
- [0107] 예 12는 예들 8 내지 11 중 임의의 것의 주제를 포함할 수 있고, 다이와 제1 기판 사이의 제1 기판의 제2 표면에서의 언더필 재료를 추가로 포함할 수 있다.
- [0108] 예 13은 예들 8 내지 12 중 임의의 것의 주제를 포함할 수 있고, 제1 TSV는 복수의 제1 TSV이고, 제1 TMV는 복수의 제1 TMV인 것을 추가로 특정할 수 있고, 제1 기판의 제1 표면에서, 복수의 제1 TSV 중 하나 이상에 그리고 복수의 제1 TMV 중 하나 이상에 전기적으로 결합된 패키지 기판을 추가로 포함할 수 있다.
- [0109] 예 14는 예들 8 내지 13 중 임의의 것의 주제를 포함할 수 있고, 다이는 제1 표면 및 대향하는 제2 표면을 갖고, 다이의 제1 표면은 제1 TSV에 및 제2 TMV에 전기적으로 결합된 것을 추가로 특정할 수 있고, 다이의 제2 표면 상의 열 인터페이스 재료를 추가로 포함할 수 있다.
- [0110] 예 15는 예 14의 주제를 포함할 수 있고, 열 인터페이스 재료 상의 히트 스프레더를 추가로 포함할 수 있다.
- [0111] 예 16은 컴퓨팅 디바이스이고, 이 컴퓨팅 디바이스는: 제1 표면 및 대향하는 제2 표면을 갖는 마이크로전자 어셈블리 - 마이크로전자 어셈블리는: 제1 표면 및 대향하는 제2 표면을 갖는 제1 기판 - 제1 기판은 제1 TSV(through-substrate via)를 포함함-; 제1 기판에 임베딩된 마이크로전자 컴포넌트 - 마이크로전자 컴포넌트는 제1 면 및 대향하는 제2 면을 갖는 제2 기판 - 제2 기판은 제2 TSV를 포함함 -; 제1 면에 있는 제1 몰드 재

료 영역 - 제1 몰드 재료 영역은 제2 TSV에 전도성으로 결합된 제1 TMV(through-mold via)를 포함함 -; 및 제2 면에 있는 제2 몰드 재료 영역 - 제2 몰드 재료 영역은 제2 TSV에 전도성으로 결합된 제2 TMV를 포함함 - 을 포함하고, 제1 몰드 재료 영역은 제1 기판의 제1 표면에 있고 제2 몰드 재료 영역은 제1 기판의 제2 표면에 있음 -; 및 제1 기판의 제2 표면에서, 제1 TSV에 및 제2 TMV에 전기적으로 결합된 다이를 포함함 -; 및 마이크로전자 어셈블리의 제1 표면에서 제1 TSV에 및 제1 TMV에 전기적으로 결합된 패키지 기판을 포함한다.

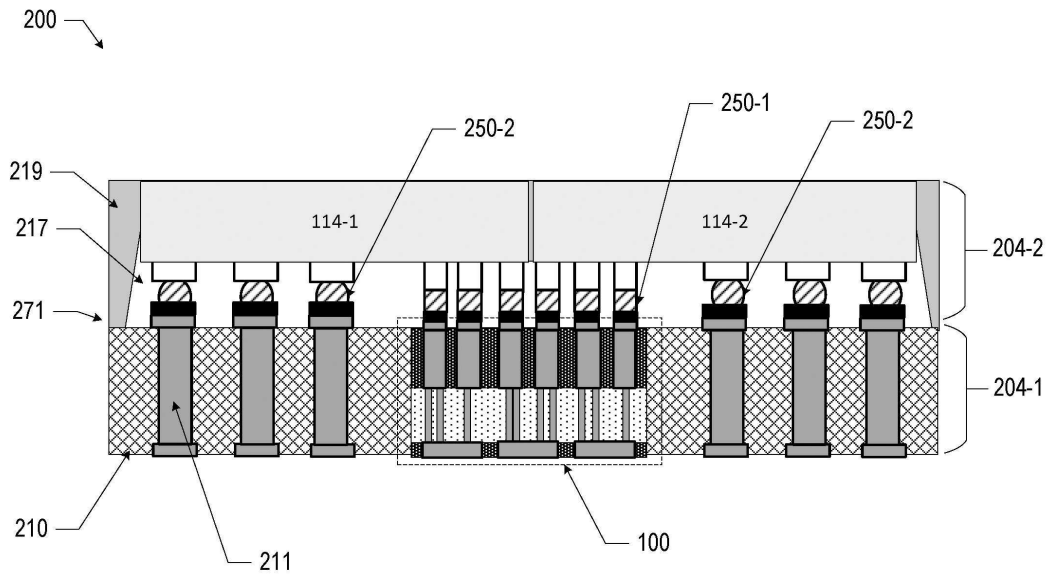
- [0112] 예 17은 예 16의 주제를 포함할 수 있고, 다이가 중앙 처리 유닛, 무선 주파수 칩, 전력 변환기, 또는 네트워크 프로세서인 것을 추가로 특정할 수 있다.
- [0113] 예 18은 예 16 및 예 17 중 임의의 것의 주제를 포함할 수 있고, 컴퓨팅 디바이스가 서버인 것을 추가로 특정할 수 있다.
- [0114] 예 19는 예 16 내지 예 18 중 임의의 것의 주제를 포함할 수 있고, 컴퓨팅 디바이스가 휴대용 컴퓨팅 디바이스인 것을 추가로 특정할 수 있다.
- [0115] 예 20은 예 16 내지 예 19 중 임의의 것의 주제를 포함할 수 있고, 컴퓨팅 디바이스가 웨어러블 컴퓨팅 디바이스인 것을 추가로 특정할 수 있다.
- [0116] 예 21은 마이크로전자 컴포넌트를 제조하는 방법으로서: 복수의 TSV(through-substrate via)를 갖는 기판의 제1 표면 상에 제1 TMV(through-mold via)를 형성하는 단계 - 제1 TMV는 기판 상의 복수의 TSV 중 하나 이상에 전도성으로 결합됨 -; 제1 TMV 주위에 제1 절연 재료를 형성하는 단계; 기판의 대향하는 제2 표면 상에 제2 TMV를 형성하는 단계 - 제2 TMV는 기판 상의 복수의 TSV 중 하나 이상에 전도성으로 결합됨 -; 및 제2 TMV 주위에 제2 절연 재료를 형성하는 단계를 포함한다.
- [0117] 예 22는 예 21의 주제를 포함할 수 있고, 제1 절연 재료를 평탄화하는 단계를 추가로 포함할 수 있다.
- [0118] 예 23은 예 21 및 예 22 중 임의의 것의 주제를 포함할 수 있고, 제2 절연 재료를 평탄화하는 단계를 추가로 포함할 수 있다.
- [0119] 예 24는 예들 21 내지 23 중 임의의 것의 주제를 포함할 수 있고, 제2 절연 재료는 제1 면 및 대향하는 제2 면을 가지며, 제2 절연 재료의 제2 면은 기판과 접촉하는 것을 추가로 특정할 수 있고, 접촉제 층을 제2 절연 재료의 제1 면에 부착하는 단계를 추가로 포함할 수 있다.
- [0120] 예 25는 예들 21 내지 24 중 임의의 것의 주제를 포함할 수 있고, 제1 절연 재료 또는 제2 절연 재료는 몰드 재료인 것을 추가로 특정할 수 있다.

도면

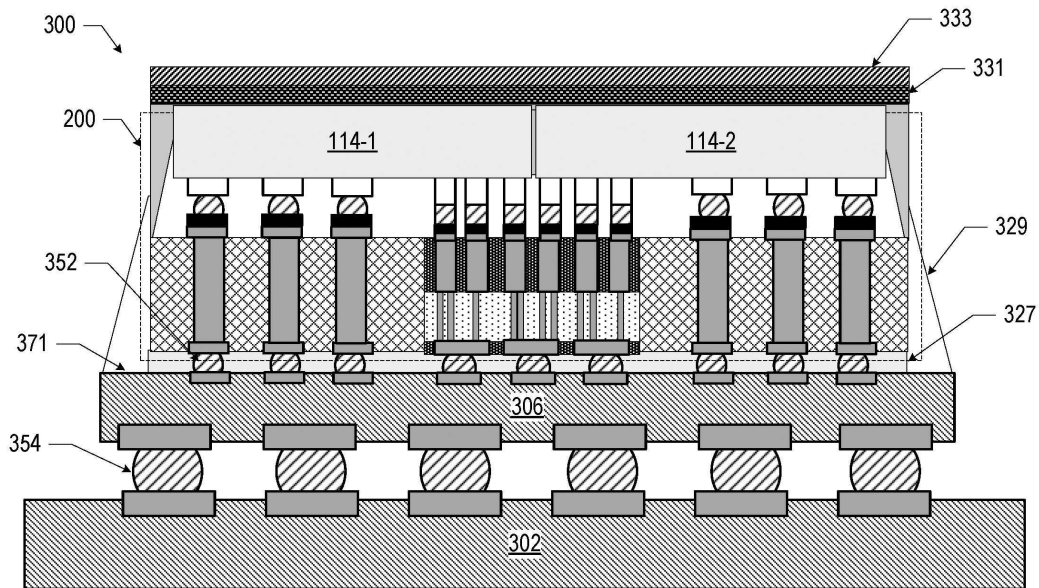
도면1



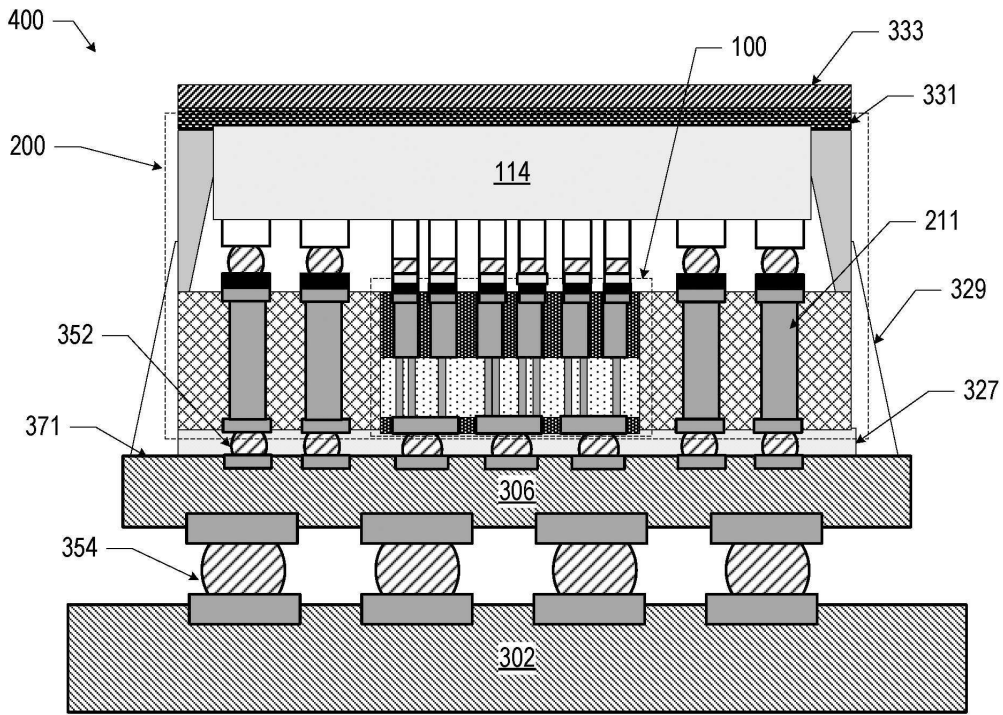
도면2



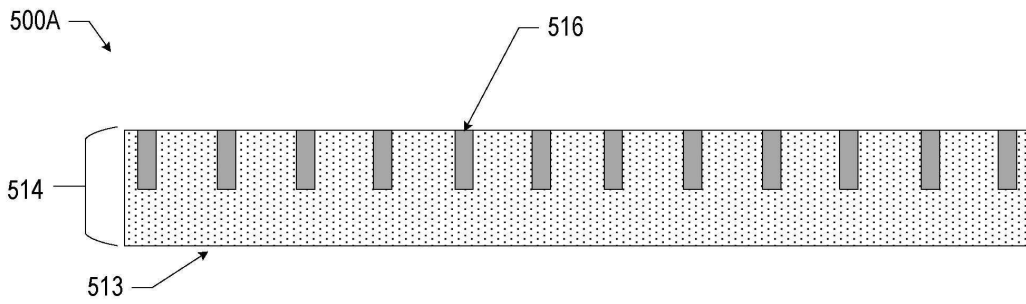
도면3



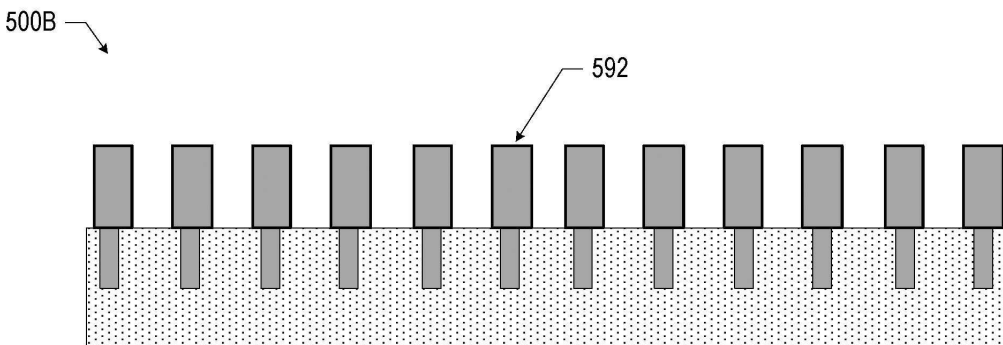
도면4



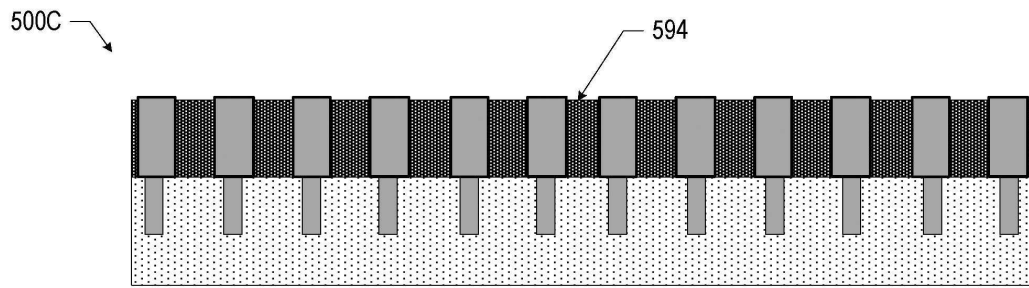
도면5a



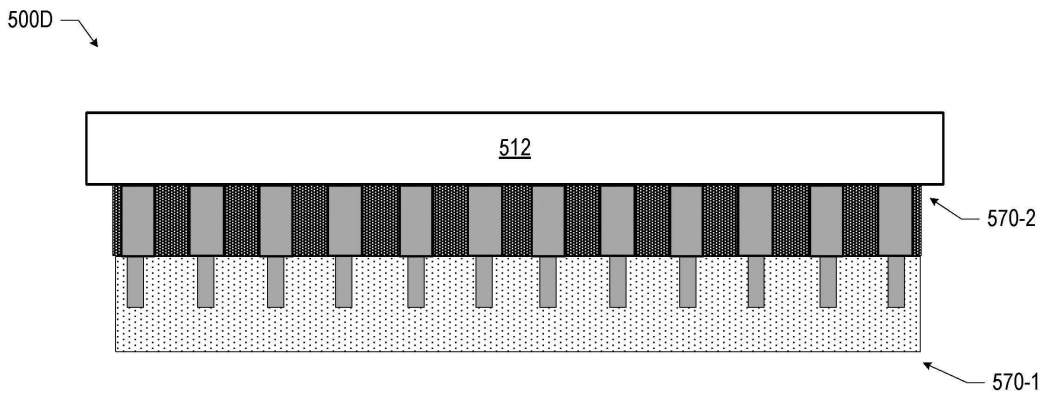
도면5b



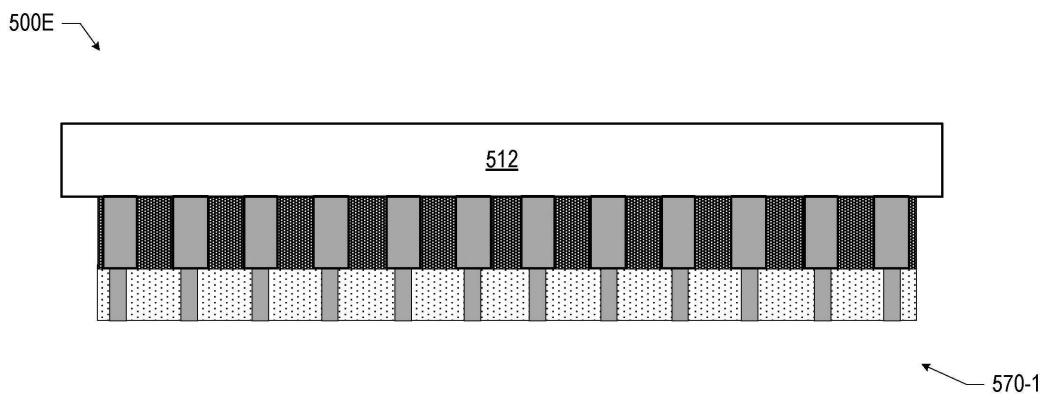
도면5c



도면5d

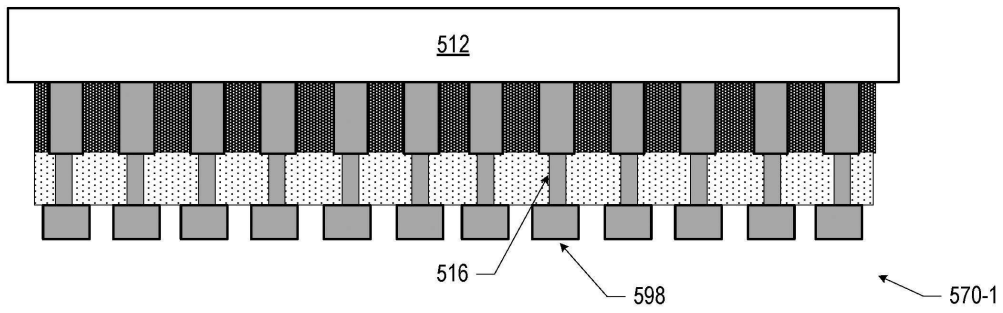


도면5e



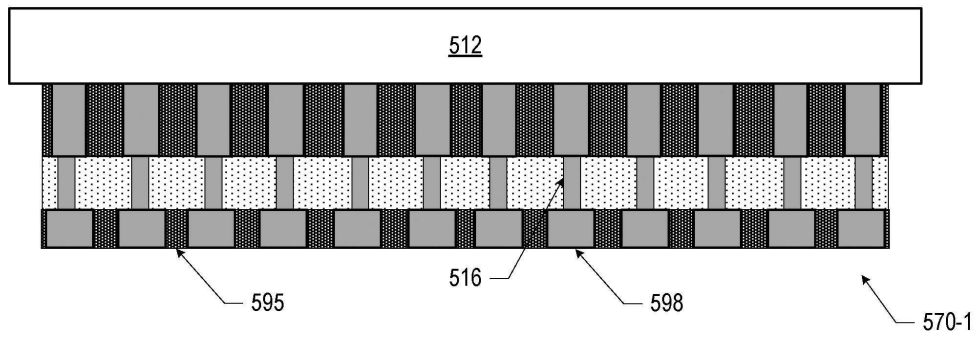
도면5f

500F



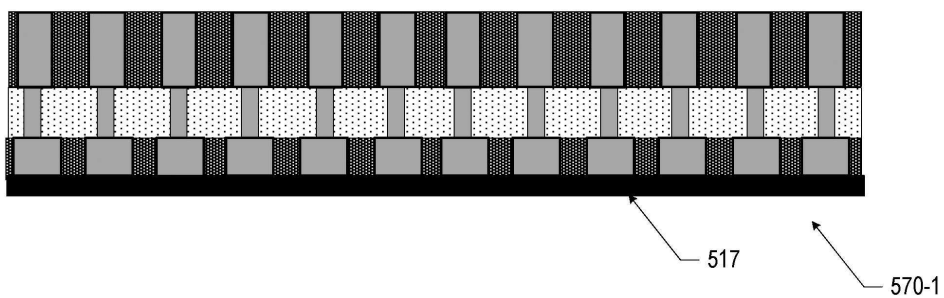
도면5g

500G



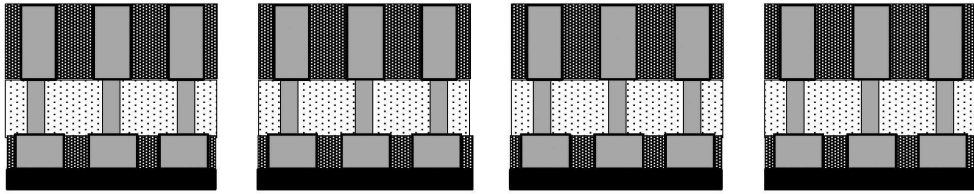
도면5h

500H



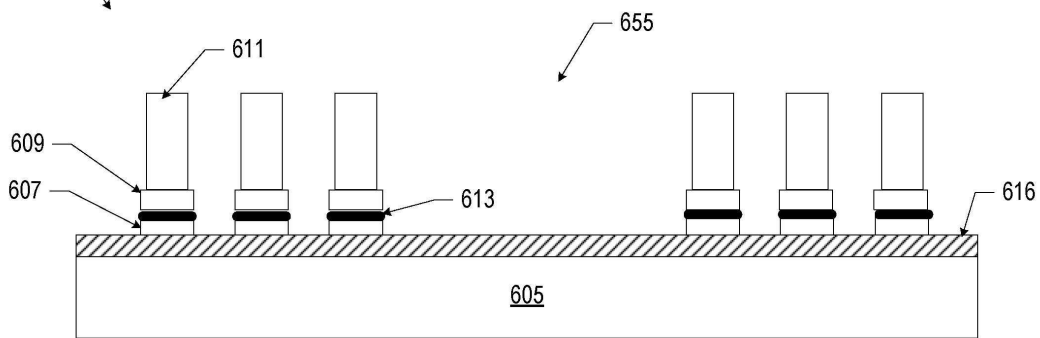
도면5i

500i



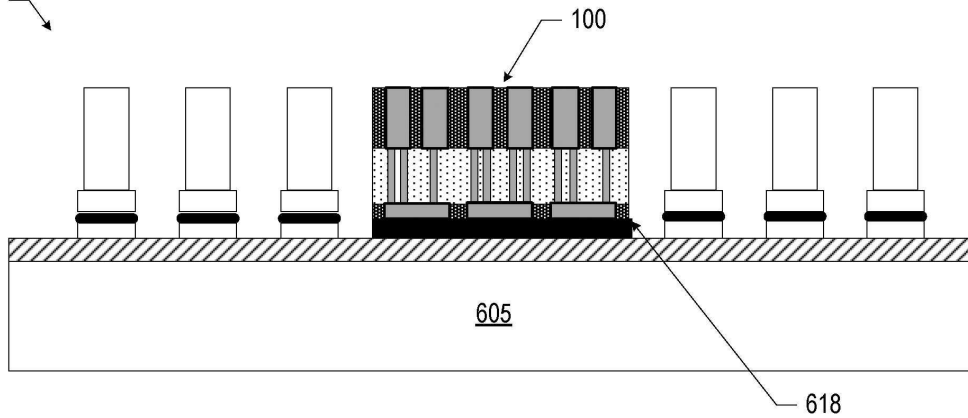
도면6a

600A

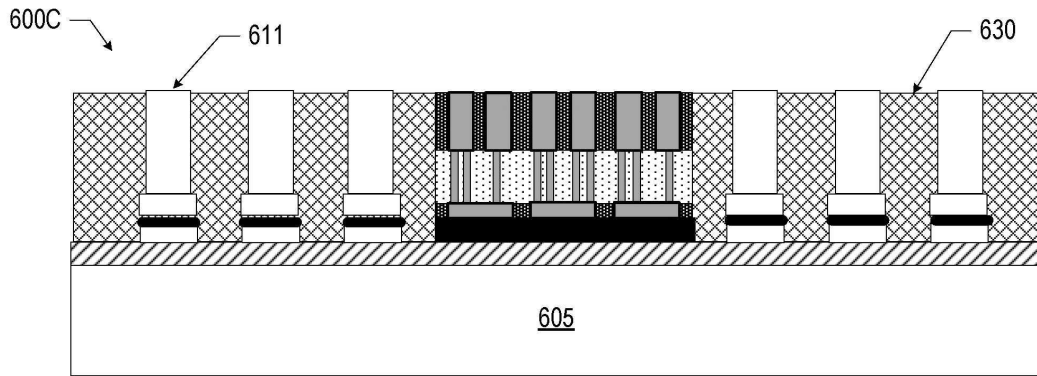


도면6b

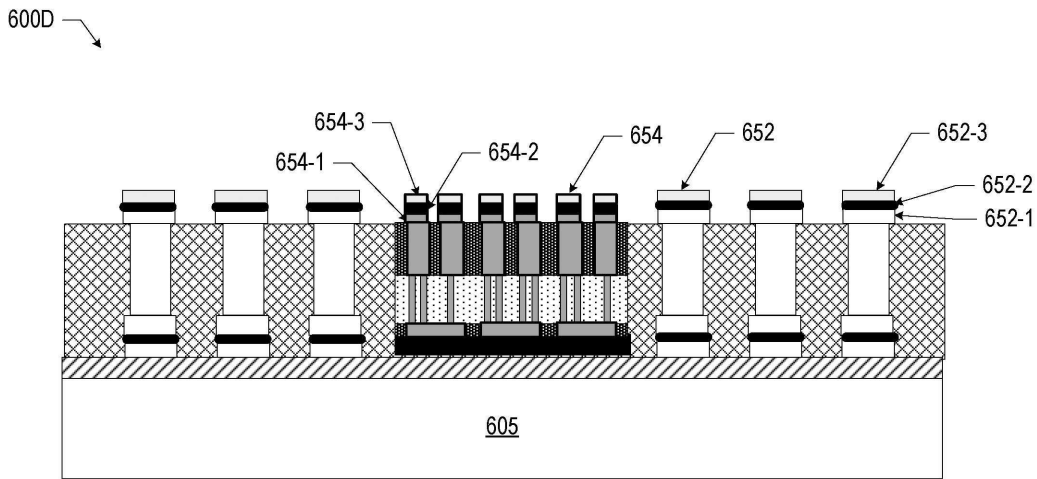
600B



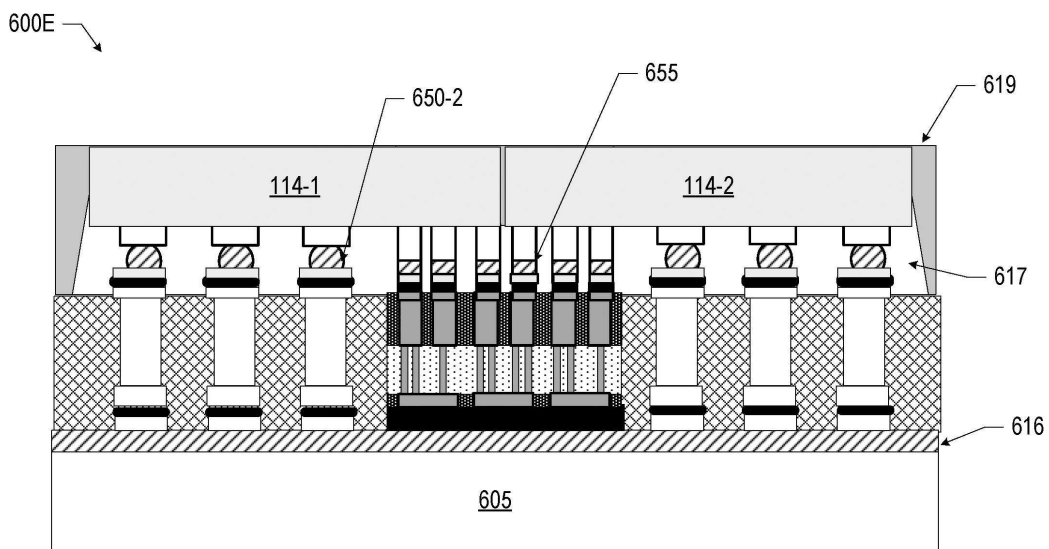
도면6c



도면6d

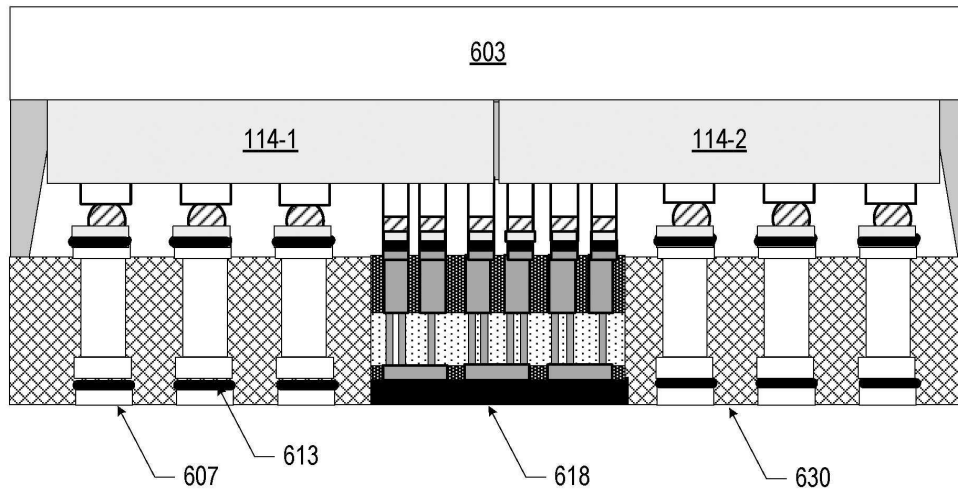


도면6e



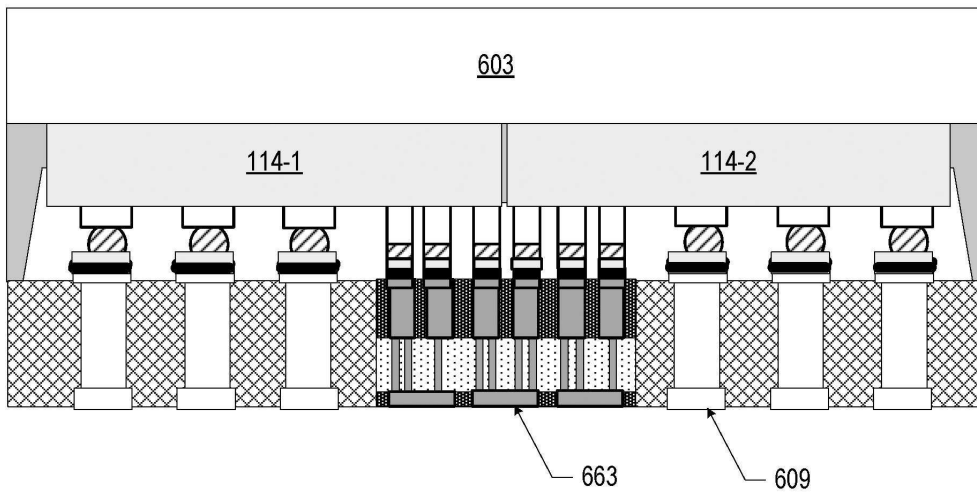
도면6f

600F



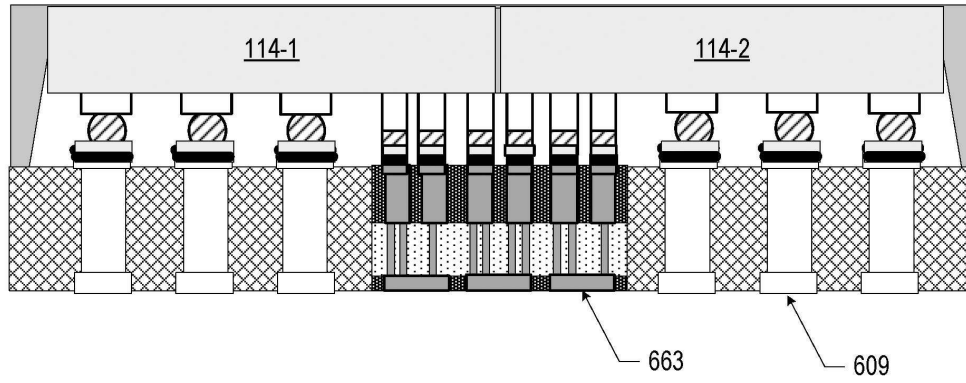
도면6g

600G



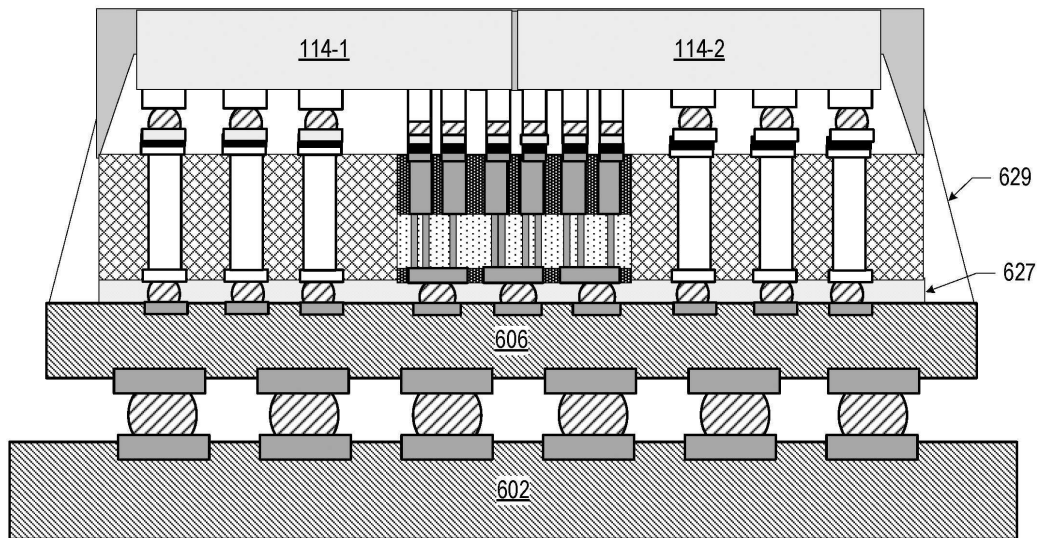
도면6h

600H

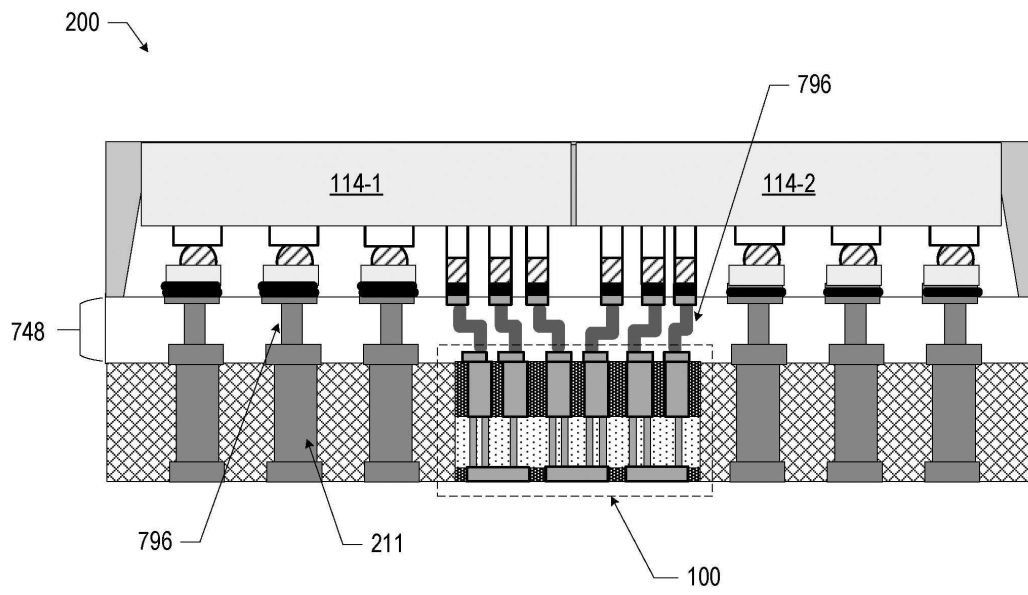


도면6i

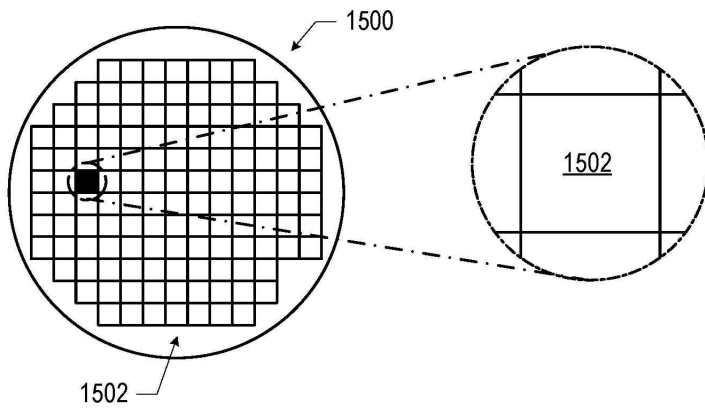
600I



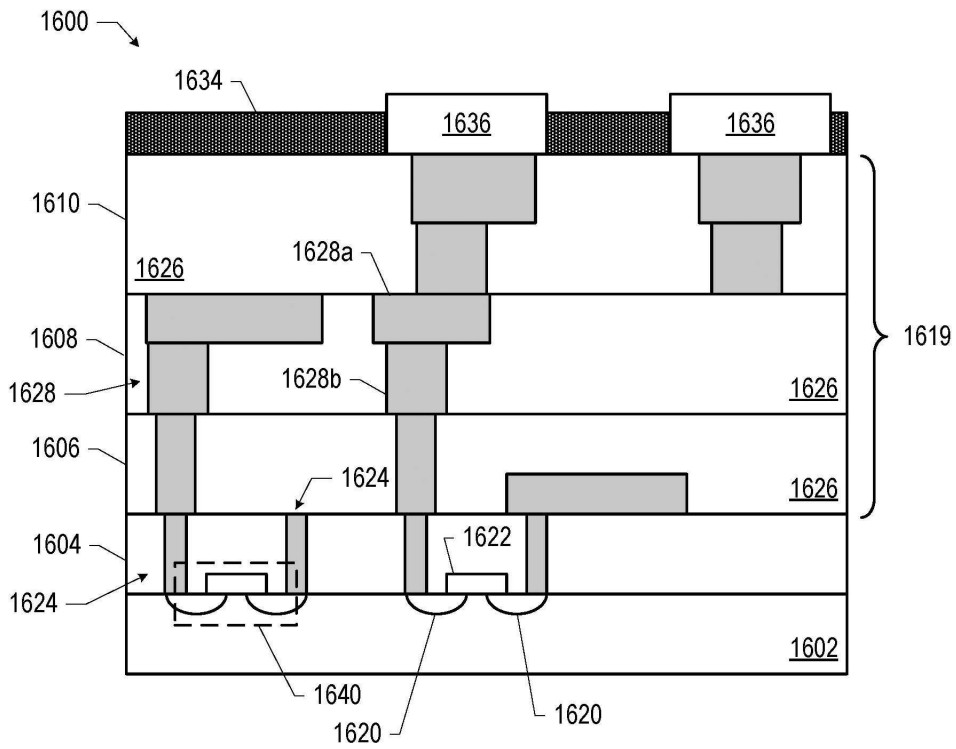
도면7



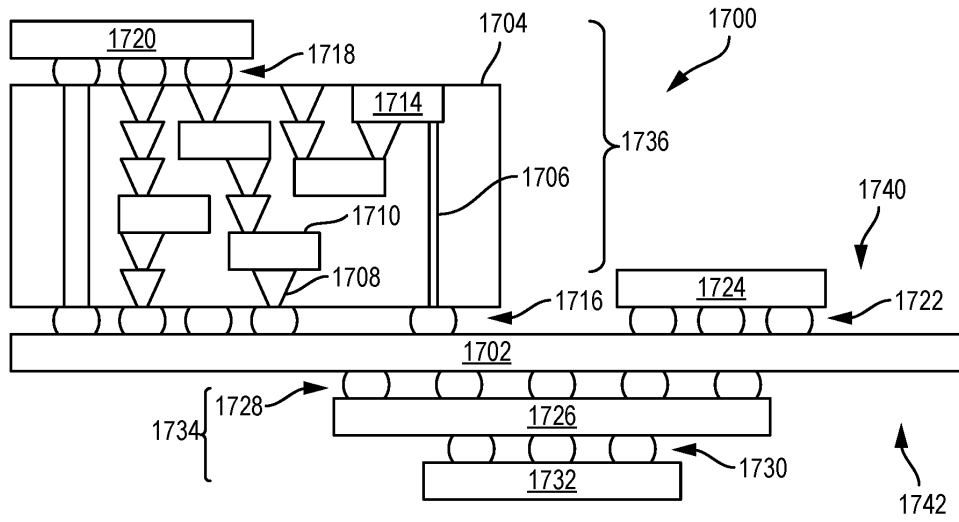
도면8



도면9



도면10



도면11

