



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월22일
(11) 등록번호 10-1688870
(24) 등록일자 2016년12월16일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G01R 31/317</i> (2006.01) <i>G01R 31/26</i> (2014.01)
 <i>G01R 31/28</i> (2006.01) <i>G01R 31/3193</i> (2006.01)
 <i>G06F 21/44</i> (2013.01)</p> <p>(52) CPC특허분류
 <i>G01R 31/31725</i> (2013.01)
 <i>G01R 31/2601</i> (2013.01)</p> <p>(21) 출원번호 10-2015-0163433
 (22) 출원일자 2015년11월20일
 심사청구일자 2015년11월20일</p> <p>(56) 선행기술조사문헌
 US20150101037 A1
 KR100380573 B1
 KR1020070067399 A
 JP10135801 A</p> | <p>(73) 특허권자
 고려대학교 산학협력단
 서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)</p> <p>(72) 발명자
 김철우
 서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡렉슬아파트)</p> <p>(74) 대리인
 심경식, 홍성욱</p> |
|---|---|

전체 청구항 수 : 총 13 항

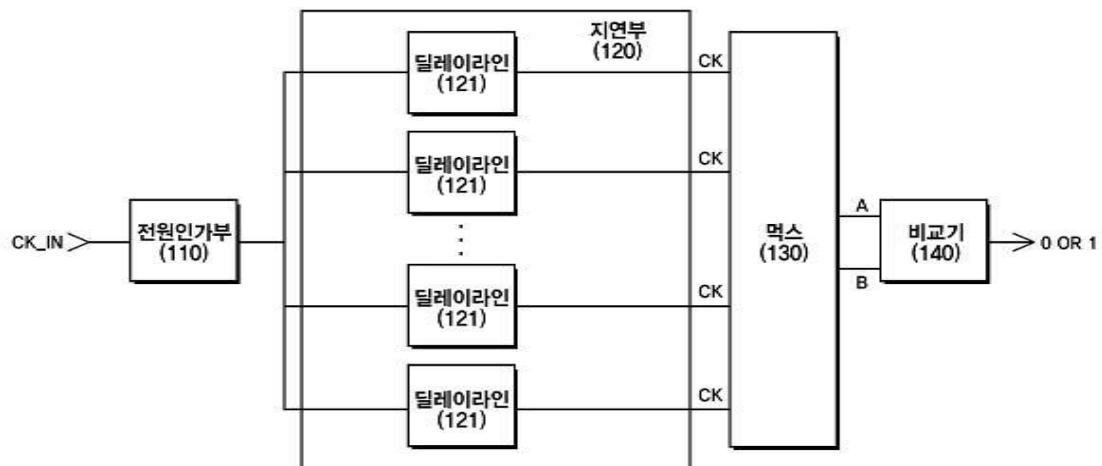
심사관 : 권민정

(54) 발명의 명칭 지연 시간 기반의 물리적인 반도체칩 복제감별장치 및 방법

(57) 요약

지연 시간 기반의 물리적인 반도체칩 복제감별장치를 제공한다. 본 발명의 일 실시예에 따른 지연 시간 기반의 물리적인 반도체칩 복제감별장치는 소정의 클럭을 가지는 MOSFET의 유사문턱전압(near threshold voltage)에 해당하는 입력전압을 출력하는 전원인가부; 상기 전원인가부의 출력을 인가 받으며 적어도 하나의 로직게이트(logic gate)로 구현된 딜레이 라인이 복수개 병렬 배치되어 복수의 지연출력전압을 출력하는 지연부; 상기 복수의 지연출력전압 중 2개를 선택하여 선별출력전압을 출력하는 맥스; 및 상기 맥스의 2개의 선별출력전압을 비교하는 비교기;를 포함한다.

대표도 - 도1



(52) CPC특허분류

G01R 31/2851 (2013.01)

G01R 31/2894 (2013.01)

G01R 31/31937 (2013.01)

G06F 21/44 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711026804

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 대학ICT연구센터 육성지원사업

연구과제명 정보통신용 아날로그IP 기술 개발 (Development of Analog IP Techniques for ICT)

기 여 율 1/1

주관기관 서강대학교 산학협력단

연구기간 2010.01.01 ~ 2015.12.31

명세서

청구범위

청구항 1

소정의 클럭을 가지는 MOSFET의 유사문턱전압(near threshold voltage)에 해당하는 입력전압을 출력하는 전원인가부;

상기 전원인가부의 출력을 인가 받으며 적어도 하나의 로직게이트(logic gate)로 구현된 딜레이 라인이 복수개 병렬 배치되어 복수의 지연출력전압을 출력하는 지연부;

상기 복수의 지연출력전압 중 2개를 선택하여 선별출력전압을 출력하는 믹스;

상기 믹스의 2개의 선별출력전압을 비교하는 비교기; 및

상기 비교기의 출력 결과에 기초하여 반도체칩의 고유한 지연 특성인 고유비트를 생성하고, 상기 생성된 고유비트와 미리 생성된 상기 반도체칩의 ID에 대응되는 고유비트를 비교하여 상기 반도체칩의 복제여부를 감별하는 복제감별부

를 포함하는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 복제감별부는

메모리 및 레지스터 중 적어도 하나를 포함하는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 4

제1항에 있어서,

상기 복수개 병렬 배치된 딜레이 라인 중에서 전부 또는 일부의 상기 딜레이 라인별로 상이하게 상기 지연출력전압이 출력되는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 5

제1항에 있어서,

상기 복수개 병렬 배치된 딜레이 라인이 적어도 하나의 상기 딜레이 라인을 포함하는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹으로 분류될 때,

상기 믹스는

상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹에서 각각 하나의 상기 딜레이 라인을 선택하는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 6

제4항에 있어서,

상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹이 각각 16개의 상기 딜레이 라인을 포함할 때,

반도체칩의 고유한 지연 특성인 고유비트는

상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹에서 각각 하나의 상기 딜레이 라인을 선택하는 256개 조합을 통해 생성되는 256 비트의 값인 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 7

제1항에 있어서,

상기 로직게이트는

상기 유사문턱전압이 인가되면 출력에 지연이 발생하는 상기 MOSFET을 이용하여 구현되는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 8

제1항에 있어서,

상기 로직게이트는

상기 MOSFET을 이용하여 구현된 4개의 입력을 갖는 NAND게이트인 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 9

제1항에 있어서,

상기 전원인가부는

입력되는 클럭 신호의 전압을 상기 유사문턱전압에 해당하는 입력전압으로 변환하는 전압레벨변환부를 포함하는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 10

제1항에 있어서,

상기 비교기는

D-플립플롭인 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치.

청구항 11

소정의 클럭을 가지는 MOSFET의 유사문턱전압에 해당하는 입력전압을 출력하는 단계;

상기 출력된 입력전압을 인가 받으며 적어도 하나의 로직게이트로 구현된 딜레이 라인이 복수개 병렬 배치된 지연부를 통해 복수의 지연출력전압을 출력하는 단계;

상기 복수의 지연출력전압 중 2개를 선택하여 선별출력전압을 출력하는 단계;

상기 2개의 선별출력전압을 비교하는 단계; 및

상기 비교 결과에 기초하여 반도체칩의 고유한 지연 특성인 고유비트를 생성하고, 상기 생성된 고유비트와 미리 생성된 상기 반도체칩의 ID에 대응되는 고유비트를 비교하여 상기 반도체칩의 복제여부를 감별하는 단계

를 포함하는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별방법.

청구항 12

삭제

청구항 13

제11항에 있어서,

상기 복수개 병렬 배치된 딜레이 라인 중에서 전부 또는 일부의 상기 딜레이 라인별로 상이하게 상기 지연출력 전압이 출력되는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별방법.

청구항 14

제11항에 있어서,

상기 복수개 병렬 배치된 딜레이 라인이 적어도 하나의 상기 딜레이 라인을 포함하는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹으로 분류될 때,

상기 2개를 선택하여 출력하는 단계는

상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹에서 각각 하나의 상기 딜레이 라인을 선택하는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별방법.

청구항 15

제11항에 있어서,

상기 로직게이트는

상기 유사문턱전압이 인가되면 출력에 지연이 발생하는 상기 MOSFET을 이용하여 구현되는 것을 특징으로 하는 지연 시간 기반의 물리적인 반도체칩 복제감별방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체칩의 복제감별장치 및 방법에 관한 것으로서, 보다 상세하게는 MOSFET의 유사문턱전압(near threshold voltage)을 이용한 지연 시간 기반의 복제감별장치 및 방법에 관한 것이다.

배경 기술

[0002] 사물 인터넷의 발달로 인해 수많은 기기들이 인터넷을 통해 연결되고, 또한 개인용 모바일 기기가 증가함에 따라 반도체칩의 수요가 증가하게 되면서, 반도체칩을 불법적으로 복제하여 사용하는 일이 발생하고 있다. 따라서, 이러한 반도체칩의 복제를 막기 위한 연구들이 진행되고 있다.

[0003] 종래의 링 발진기(ring oscillator)를 이용하여 구현한 물리적인 복제감별장치는 일반적인 공급 전압으로 동작 시키므로 지연 시간이 발생하는 딜레이 라인 간의 편차가 크지 않아 그 차이를 판별하기 어려우며 반도체칩의 지연 시간 특성을 나타내는 고유비트를 판별하기도 어려운 문제가 있다. 또한, 높은 공급 전압으로 인해 소비되는 전력도 크다.

[0004] 따라서, 이러한 문제를 해결하기 위한 로직게이트를 이용한 복제감별장치가 주목받고 있다. 로직게이트를 구성하는 MOSFET에 유사문턱전압을 인가할 때 발생하는 지연 시간에 기반하는 복제감별장치는 딜레이 라인 간 지연 시간에 보다 큰 편차가 발생하며, 복제감별장치가 설사 공개되어도 고유의 지연 시간까지 동일한 반도체칩을 복제하는 것이 사실상 불가능한 특징을 가진다. 그렇기 때문에, 로직게이트를 이용하여 구현한 물리적인 복제감별장치가 반도체칩의 복제 감별 및 방지를 위한 목적에 보다 적합하다.

[0005] 관련된 선행기술로는 등록특허공보 제 10-0380573호(발명의 명칭: 지연 클록 생성 장치 및 지연 시간 측정 장치, 공개일자: 2000년12월26일)가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 반도체칩 고유의 지연 시간을 더 크게 하기 위하여 MOSFET의 유사문턱전압을 이용한 딜레이 라인을 구성하고, 이를 이용하여 반도체칩의 고유한 고유비트를 생성함으로써 물리적인 반도체칩 복제감별장치 및 방법을 제공하고자 한다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위해, 본 발명에서 제공하는 지연 시간 기반의 물리적인 반도체칩 복제감별장치는 소정

의 클럭을 가지는 MOSFET의 유사문턱전압(near threshold voltage)에 해당하는 입력전압을 출력하는 전원인가부; 상기 전원인가부의 출력을 인가 받으며 적어도 하나의 로직게이트(logic gate)로 구현된 딜레이 라인이 복수개 병렬 배치되어 복수의 지연출력전압을 출력하는 지연부; 상기 복수의 지연출력전압 중 2개를 선택하여 선별출력전압을 출력하는 믹스; 및 상기 믹스의 2개의 선별출력전압을 비교하는 비교기;를 포함한다.

- [0008] 바람직하게는, 상기 비교기의 출력 결과에 기초하여 상기 반도체칩의 고유한 지연 특성인 고유비트를 생성하고, 상기 생성된 고유비트와 미리 생성된 상기 반도체칩의 ID에 대응되는 고유비트를 비교하여 상기 반도체칩의 복제여부를 감별하는 감별부;를 더 포함할 수 있다.
- [0009] 바람직하게는, 상기 감별부는 메모리 및 레지스터 중 적어도 하나를 포함할 수 있다.
- [0010] 바람직하게는, 상기 복수개 병렬 배치된 딜레이 라인 중에서 전부 또는 일부의 상기 딜레이 라인별로 상이하게 상기 지연출력전압이 출력될 수 있다.
- [0011] 바람직하게는, 상기 복수개 병렬 배치된 딜레이 라인이 적어도 하나의 상기 딜레이 라인을 포함하는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹으로 분류될 때, 상기 믹스는 상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹에서 각각 하나의 상기 딜레이 라인을 선택할 수 있다.
- [0012] 바람직하게는, 상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹이 각각 16개의 상기 딜레이 라인을 포함할 때, 상기 반도체칩의 고유한 지연 특성인 고유비트는 상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹에서 각각 하나의 상기 딜레이 라인을 선택하는 256개 조합을 통해 생성되는 256 비트의 값일 수 있다.
- [0013] 바람직하게는, 상기 로직게이트는 상기 유사문턱전압이 인가되면 출력에 지연이 발생하는 상기 MOSFET을 이용하여 구현될 수 있다.
- [0014] 바람직하게는, 상기 로직게이트는 상기 MOSFET을 이용하여 구현된 4개의 입력을 갖는 NAND게이트일 수 있다.
- [0015] 바람직하게는, 상기 전원인가부는 입력되는 클럭 신호의 전압을 상기 유사문턱전압에 해당하는 입력전압으로 변환하는 전압레벨변환부를 포함할 수 있다.
- [0016] 바람직하게는, 상기 비교기는 D-플립플롭일 수 있다.
- [0017] 한편, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 지연 시간 기반의 물리적인 복제감별방법은 소정의 클럭을 가지는 MOSFET의 유사문턱전압(near threshold voltage)에 해당하는 입력전압을 출력하는 단계; 상기 출력된 입력전압을 인가 받으며 적어도 하나의 로직게이트(logic gate)로 구현된 딜레이 라인이 복수개 병렬 배치되어 복수의 지연출력전압을 출력하는 단계; 상기 복수의 지연출력전압 중 2개를 선택하여 선별출력전압을 출력하는 단계; 및 상기 2개의 선별출력전압을 비교하는 단계;를 포함한다.
- [0018] 바람직하게는, 상기 비교 결과에 기초하여 상기 반도체칩의 고유한 지연 특성인 고유비트를 생성하고, 상기 생성된 고유비트와 미리 생성된 상기 반도체칩의 ID에 대응되는 고유비트를 비교하여 상기 반도체칩의 복제여부를 감별하는 단계;를 더 포함할 수 있다.
- [0019] 바람직하게는, 상기 복수개 병렬 배치된 딜레이 라인 중에서 전부 또는 일부의 상기 딜레이 라인별로 상이하게 상기 지연출력전압이 출력될 수 있다.
- [0020] 바람직하게는, 상기 복수개 병렬 배치된 딜레이 라인이 적어도 하나의 상기 딜레이 라인을 포함하는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹으로 분류될 때, 상기 2개를 선택하여 출력하는 단계는 상기 제1 딜레이 라인 그룹 및 상기 제2 딜레이 라인 그룹에서 각각 하나의 상기 딜레이 라인을 선택할 수 있다.
- [0021] 바람직하게는, 상기 로직게이트는 상기 유사문턱전압이 인가되면 출력에 지연이 발생하는 상기 MOSFET을 이용하여 구현될 수 있다.

발명의 효과

- [0022] 본 발명은 MOSFET의 유사문턱전압을 이용하므로 종래의 링 발진기를 이용하는 기술보다 낮은 전력을 소모하면서도, 보다 큰 지연 시간의 편차가 발생하여 각 반도체칩마다 가지는 고유한 지연 시간 특징을 더욱 정확하게 판별할 수 있다는 장점이 있다.
- [0023] 또한, 본 발명은 각 반도체칩마다 가지는 고유한 지연 시간 특징을 이용하여 정당하지 않은 방법으로 복제된 반도체칩을 감별해낼 수 있는 효과가 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 반도체칩 복제감별장치를 설명하기 위하여 도시한 도면이다.
- 도 2는 본 발명의 다른 실시예에 따른 반도체칩 복제감별장치를 설명하기 위하여 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 반도체칩 복제감별방법을 설명하기 위하여 도시한 도면이다.
- 도 4는 비교기의 출력을 설명하기 위하여 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0026] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 반도체칩 복제감별장치를 설명하기 위하여 도시한 도면이고, 도 2는 본 발명의 다른 실시예에 따른 반도체칩 복제감별장치를 설명하기 위하여 도시한 도면이다.
- [0032] 도 1을 살펴보면, 반도체칩 복제감별장치(100)는 전원인가부(110), 지연부(120), 맥스(130) 및 비교기(140)로 구성되어 있다. 또한, 선택적으로 복제감별부(미도시)를 더 포함할 수 있다.
- [0033] 전원인가부(110)는 소정의 클럭을 가지는 MOSFET의 유사문턱전압(near threshold voltage)에 해당하는 입력전압을 출력한다.
- [0034] 즉, 도 1을 참조하면 클럭 신호(CK_IN)가 전원인가부(110)에 입력되면 전원인가부(110)는 그 입력된 클럭 신호를 입력전압으로서 출력한다. 이때, 클럭 신호는 유사문턱전압에 해당하는 전압 크기를 가진다고 가정한다.
- [0035] 여기서, MOSFET은 금속 산화막 반도체 전계효과 트랜지스터(MOS field-effect transistor)이다. MOSFET의 문턱전압은 트랜지스터를 동작시키기 위한 최소의 전압을 의미하며, 만일 문턱전압에 근접하나 이에 미치지 못하는 유사문턱전압이 인가되는 경우 MOSFET이 동작할 때 지연 시간(delay)이 발생하며, 이 지연 시간은 각 MOSFET 별로 편차가 발생할 수 있다.
- [0036] 다른 실시예에서는, 클럭 신호(CK_IN)가 유사문턱전압을 가지지 않을 수 있는데, 이 경우에는 도 2에서와 같이

전원인가부(110) 대신 자신에게 입력되는 클럭 신호의 전압을 유사문턱전압에 해당하는 전압으로 변환하여 출력하는 전압레벨변환부(210)가 이용될 수도 있다.

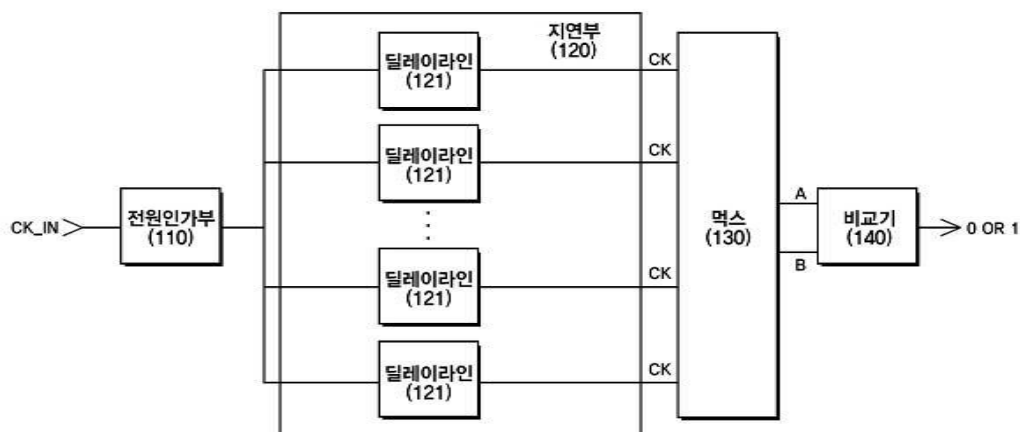
- [0037] 다만, 또 다른 실시예에서는 전원인가부(110) 내부에 전압레벨변환부(210)가 더 포함될 수도 있다. 이 경우에는, 전원인가부(110)에 인가되는 클럭 신호의 전압이 유사문턱전압인 경우에는 전원인가부(110)가 그 클럭 신호를 입력전압으로서 그대로 출력하고, 클럭 신호의 전압이 유사문턱전압이 아닌 경우에는 전원인가부(110) 내부에 탑재된 전압레벨변환부(210)를 통해 클럭 신호의 전압을 유사문턱전압에 해당하는 전압으로 변환한 후에 출력할 수 있다. 지연부(120)는 전원인가부(110)의 출력을 인가 받으며 적어도 하나의 로직게이트(logic gate)로 구현된 딜레이 라인(121)이 복수개 병렬 배치되어 복수의 지연출력전압을 출력한다.
- [0038] 여기서, 로직게이트는 주로 MOSFET을 이용하여 구현되는 논리 연산 회로로, 그 종류로는 AND, OR, NOT, NAND, NOR, XOR 및 XNOR 게이트 등이 있다.
- [0039] 예컨대, 딜레이 라인(121)은 도 2에 도시된 것과 같이 6개의 NAND게이트가 직렬로 연결된 딜레이 라인(221)으로 구현될 수 있다. 이때, NAND게이트는 MOSFET을 이용하여 구현된 NAND게이트이며, 앞서 언급한 유사문턱전압이 인가되는 경우 동작 시 각 NAND게이트 별로 지연 시간에 편차가 발생할 수 있다. 또한, 이러한 딜레이 라인(121)을 32개 병렬로 배치하여 지연부(120)를 구성할 수 있으며, 이때 각 딜레이 라인(121)의 입력은 전원인가부(110)의 출력에 연결될 수 있다.
- [0040] 한편, 지연출력전압은 딜레이 라인을 통하면서 지연되어 출력되는 전압을 말하는 것으로, 딜레이 라인 하나당 지연출력전압이 하나 존재하게 된다.
- [0041] 다른 실시예에서는, 지연부(120)에서 사용되는 로직게이트는 4개의 입력을 갖는 NAND게이트일 수 있다.
- [0042] 이는, 4개의 입력을 갖는 NAND게이트는 2개의 입력을 갖는 NAND게이트에 비하여, MOSFET이 수직방향으로 적층된 수가 더 많아서 지연 시간에 보다 큰 편차가 발생할 수 있기 때문이다.
- [0043] 맥스(130)는 복수개 병렬 배치된 딜레이 라인(121)의 지연출력전압 중 2개를 선택하여 선별출력전압을 출력한다.
- [0044] 여기서, 선별출력전압은 복수개의 지연출력전압 중에서 선별된 2개의 지연출력전압을 의미한다.
- [0045] 예컨대, 맥스(130)가 32개의 딜레이 라인(121)을 포함하는 지연부(120)의 출력에 연결된 경우, 맥스(130)는 도 2에 도시된 것과 같이 그 중 선택된 2개의 딜레이 라인(121)의 선별출력전압을 출력시킬 수 있다.
- [0046] 비교기(140)는 맥스(130)의 2개의 선별출력전압을 비교한 결과를 출력한다.
- [0047] 여기서, 비교기(140)는 두 선별출력전압의 크기를 비교하여 어떤 것이 더 큰지를 알리기 위한 신호를 출력하는 장치이다.
- [0048] 예컨대, 맥스(130)의 2개의 출력인 선별출력전압은 동일한 입력전압이 서로 다른 딜레이 라인(121)을 통과하면서 서로 다른 지연 시간을 가질 수 있다. 따라서, 2개의 선별출력전압 중 어느 하나를 기준으로 나머지 출력값이 더 큰 경우 비교기(140)는 1(high)를 출력하고, 더 작은 경우 0(low)을 출력할 수 있다. 이때, 비교의 기준이 되는 딜레이 라인(121)은 복수개 병렬 배치된 딜레이 라인(121) 각각에 부여된 일련 번호가 낮은 딜레이 라인(121)으로 결정될 수 있다.
- [0049] 다른 실시예에서는, 비교기(140)가 도 2에서와 같이 D-플립플롭(240)일 수 있다.
- [0050] 예컨대, 도 2를 참조하면, D-플립플롭(240)은 두 입력 중, 어느 하나의 입력을 기준으로 라이징 엣지(rising edge)에서 다른 입력의 값이 1(high)인지 또는 0(low)인지에 따라서 D-플립플롭(240)의 출력값이 1(high) 또는 0(low)로 결정되며, 그 결정된 값이 그 다음번 비교할 때까지 그대로 유지될 수 있다.
- [0051] 보다 자세하게는, D-플립플롭(240)의 두 입력인 선별출력전압은 지연 정도에 차이가 있을 뿐 동일한 주파수를 가지는 클럭 신호이므로, 만일 처음으로 출력된 비교 결과가 1(high)이었다면, 그 비교 결과의 출력은 항상 1(high)이 될 수 있다. 이는, D-플립플롭(240)이 두 입력 중 하나의 라이징 엣지(rising edge)를 기준으로 하여 출력값을 결정하고, 그 결과를 다음번 라이징 엣지 시까지 유지하기 때문이다.
- [0052] 예컨대, 도 4를 이용하여 설명하면, D-플립플롭(240)의 두 입력인 선별출력전압 중 Delay line B의 라이징 엣지 시점($t=t_1, t_2, t_3, t_4, \dots$)을 기준으로 하여, 각 시점에서의 Delay line A의 출력인 1(high)이 D-플립플롭(240)의 출력으로 결정될 수 있다.

- [0053] 복제감별부(미도시)는 비교기(140)의 출력 결과에 기초하여 반도체칩의 고유한 지연 특성인 고유비트를 생성하고, 그 생성된 고유비트와 미리 생성된 반도체칩의 ID에 대응되는 고유비트를 비교하여 반도체칩의 복제여부를 감별한다.
- [0054] 여기서, 반도체칩의 고유비트는 반도체칩의 지연부(120)에 포함되는 각 딜레이 라인(121)마다 지연 시간이 달라서 발생하는 고유한 지연 특성을 나타내는 값으로, 이러한 고유비트를 이용하여 반도체칩의 식별할 수 있다.
- [0055] 예컨대, 반도체칩의 고유코드는 32개의 딜레이 라인(121)을 포함하는 지연부(120)가 있을 때, 32개의 딜레이 라인(121) 중에서 2개씩의 딜레이 라인(121)을 선택하는 256가지 조합을 이용하여 차례로 맥스(130)를 설정하고, 그 맥스(130) 설정에 대응되는 비교기(140)의 비교 결과 256개를 이용하여 256비트로 생성될 수 있다.
- [0056] 보다 자세하게는, 특정한 반도체칩에 대하여 생성된 고유비트와 미리 생성된 그 반도체칩의 ID에 대응되는 고유비트를 비교하여 일치하지 않는 경우, 그 반도체칩은 복제된 반도체칩으로 판정될 수 있다. 이는, 설사 누군가가 그 반도체칩을 정품 반도체칩과 동일한 기능을 갖도록 복제할 수는 있더라도, 지연부(120)의 딜레이 라인(121)까지 동일하게 복제하여 동일한 고유비트가 생성되도록 할 수는 없기 때문이다.
- [0057] 또한, 반도체칩의 ID별로 대응되는 고유비트는 반도체칩의 생산단계에서 미리 생성되어 비휘발성 메모리에 선택적으로 암호화되어 저장되거나 또는 네트워크를 통해 연결된 별도의 서버에 반도체칩의 ID별로 대응되는 고유비트가 저장되어 이를 조회할 수 있도록 구성할 수 있다.
- [0058] 다른 실시예에서는, 복제감별부(미도시)는 메모리 및 레지스터 중 적어도 하나를 포함할 수 있다.
- [0059] 예컨대, 복제감별부(미도시)는 반도체칩의 고유비트를 생성할 때 비교기(140)의 출력 결과를 메모리 및 레지스터 중 하나에 저장하였다가 추후에 저장된 결과를 이용하여 고유비트를 생성할 수 있다.
- [0060] 또 다른 실시예에서는, 지연부(120)의 복수개 병렬 배치된 딜레이 라인(121) 중에서 전부 또는 일부의 딜레이 라인별로 상이하게 지연출력전압이 출력될 수 있다.
- [0061] 예컨대, 지연부(120)에 딜레이 라인(121)이 32개 존재한다면, 전체 32개의 딜레이 라인 중에서 전부 또는 일부의 딜레이 라인별로 각 딜레이 라인에 포함된 로직게이트 내부의 MOSFET의 유사문턱전압에 대한 지연 특성에 따라서 상이한 지연출력전압이 출력될 수 있다.
- [0062] 또 다른 실시예에서는, 지연부(120)의 복수개 병렬 배치된 딜레이 라인(121)이 적어도 하나씩의 딜레이 라인(121)을 포함하는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹으로 분류될 때, 맥스(130)는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹에서 각각 하나의 딜레이 라인(121)을 선택할 수 있다.
- [0063] 예컨대, 복수개 병렬 배치된 딜레이 라인(121)의 배치된 위치에 따라 위쪽의 절반과 아래쪽의 나머지 절반으로 나누어 각각 제1 딜레이 라인 그룹과 제2 딜레이 라인 그룹으로 분류할 수 있다. 그리고, 맥스(130)는 2개의 딜레이 라인(121)을 선택할 때, 제1 딜레이 라인 그룹과 제2 딜레이 라인 그룹 중에 각각 하나씩을 선택할 수 있다.
- [0064] 또 다른 실시예에서는, 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹이 각각 16개씩의 딜레이 라인(121)을 포함할 때, 반도체칩의 고유한 지연 특성인 고유비트는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹에서 각각 하나의 상기 딜레이 라인(121)을 선택하는 256개 조합을 통해 생성되는 256 비트의 값일 수 있다.
- [0065] 예컨대, 제1 딜레이 라인 그룹과 제2 딜레이 라인 그룹이 각각 16개씩의 딜레이 라인(121)을 포함하고 있는 경우, 제1 딜레이 라인 그룹과 제2 딜레이 라인 그룹에 속한 딜레이 라인(121)을 각각 중복없이 짝지을 수 있는 모든 경우의 수는 $16 \times 16 = 256$ 이므로, 256 비트의 고유코드가 생성될 수 있다.
- [0066] 이와 같이, 본 발명의 일 실시예에 따른 반도체칩 복제감별장치는 반도체칩별로 고유한 지연 시간의 특성인 고유코드를 생성하고, 이를 미리 저장된 그 반도체칩의 ID에 대응되는 고유코드와 비교하여 그 반도체칩의 복제여부를 감별할 수 있는 효과가 있다.
- [0067] 도 3은 본 발명의 일 실시예에 따른 반도체칩 복제감별방법을 설명하기 위하여 도시한 도면이다.
- [0068] 단계 S310에서는, 전원인가부(110)가 소정의 클럭을 가지는 MOSFET의 유사문턱전압에 해당하는 입력전압을 출력한다.
- [0069] 단계 S320에서는, 전원인가부(110)로부터 출력된 입력전압을 인가 받으며 적어도 하나의 로직게이트로 구현된 딜레이 라인이 복수개 병렬 배치된 지연부(120)가 복수의 지연출력전압을 출력한다.

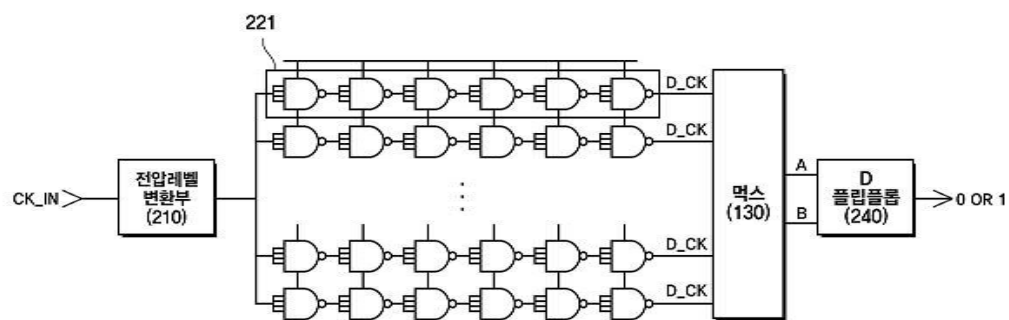
- [0070] 단계 S330에서는, 믹스(130)가 복수의 지연출력전압 중 2개를 선택하여 선별출력전압을 출력한다.
- [0071] 마지막으로 단계 S340에서는, 비교기(140)가 2개의 선별출력전압을 비교한다.
- [0072] 다른 실시예에서는, 복제감별부(미도시)가 비교기(140)의 출력 결과에 기초하여 생성된 반도체칩의 고유비트를 이용하여 반도체칩의 복제여부를 감별할 수 있다.
- [0073] 즉, 복제감별부(미도시)가 비교기(140)의 비교 결과에 기초하여 반도체칩의 고유한 지연 특성을 나타내는 고유비트를 생성하고, 그 생성된 고유비트와 미리 생성된 그 반도체칩의 ID에 대응되는 고유비트를 비교하여 그 반도체칩의 복제여부를 감별할 수 있다.
- [0074] 또 다른 실시예에서는, 복수개 병렬 배치된 딜레이 라인(121) 중에서 전부 또는 일부의 딜레이 라인(121)별로 상이하게 지연출력전압이 출력될 수 있다.
- [0075] 또 다른 실시예에서는, 복수개 병렬 배치된 딜레이 라인(121)이 적어도 하나의 딜레이 라인(121)을 포함하는 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹으로 분류될 때, 믹스(130)가 제1 딜레이 라인 그룹 및 제2 딜레이 라인 그룹에서 각각 하나씩의 딜레이 라인(121)을 선택하여 출력할 수 있다.
- [0076] 또 다른 실시예에서는, 로직게이트는 유사문턱전압이 인가되면 출력에 지연이 발생하는 상기 MOSFET을 이용하여 구현될 수 있다.
- [0077] 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다.
- [0078] 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등)를 포함한다.
- [0079] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

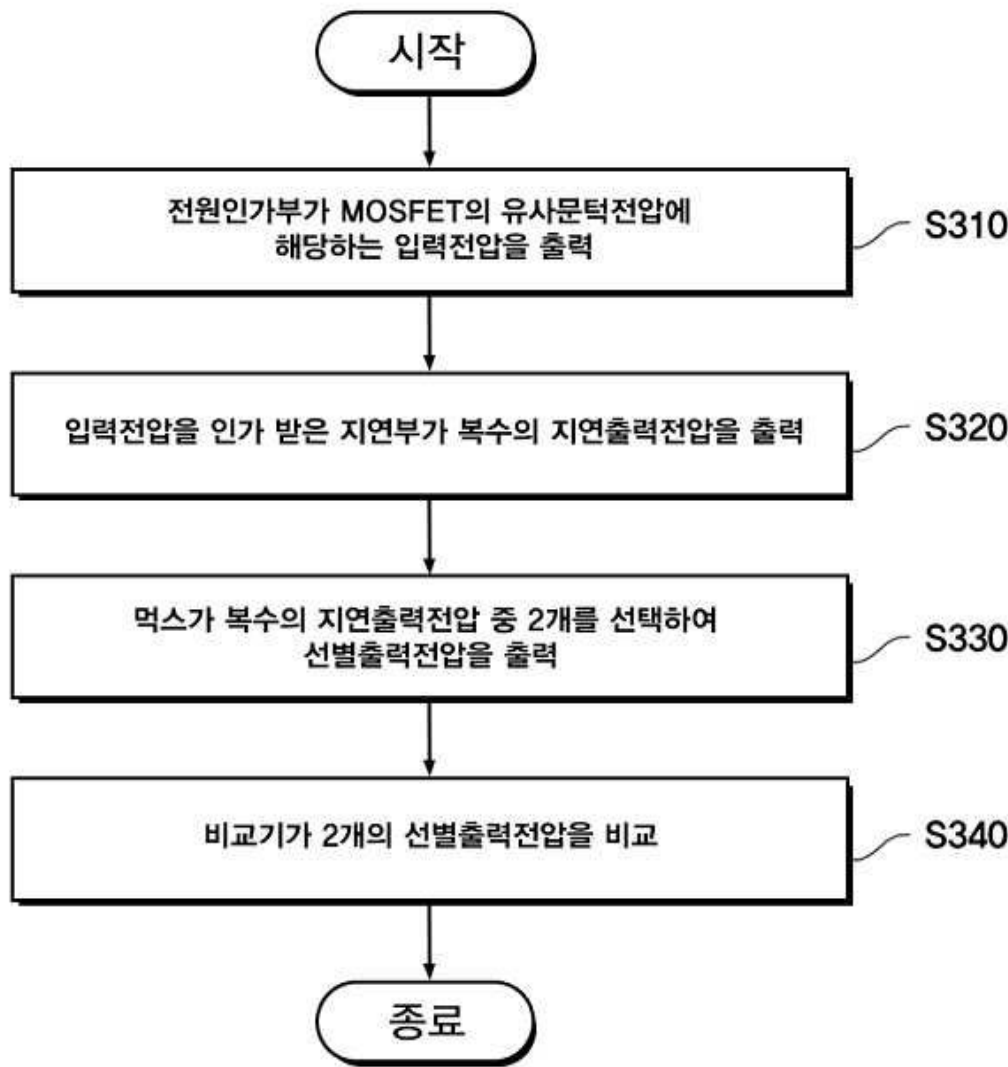
도면1



도면2



도면3



도면4

