

ニー・エル・エス・アイデザイン株式会社内 Kanagawa (JP).
片倉 雅幸(KATAKURA Masayuki); 〒2430021
神奈川県厚木市岡田 4 - 1 6 - 1 ソニー・
エル・エス・アイデザイン株式会社内 Kanagawa (JP). 矢
野 元康(YANO Motoyasu); 〒2430021 神奈川県
厚木市岡田 4 - 1 6 - 1 ソニー・エル・エス・アイ
デザイン株式会社内 Kanagawa (JP).

(74) 代理人: 松 尾 憲 一 郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂 1 丁目 1 0
番 1 7 号 しんくみ赤坂ビル 7 階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 電圧帰還型のチャージポンプ回路の帰還方式が抱える根源的な課題を解決したチャージポンプ回路を実現する。チャージポンプ回路と、前記チャージポンプ回路の出力を入力へフィードバックする帰還回路と、前記帰還回路に定電流を流す第一電流源と、前記帰還回路の途中に介設されるMOSトランジスタ素子と、前記帰還回路において前記MOSトランジスタ素子よりも前記チャージポンプ回路の出力寄りの位置に介設される抵抗素子と、前記MOSトランジスタ素子の制御端子に定電圧を印加するバイアス回路と、前記第一電流源が前記帰還回路に流す定電流の値を制御する制御部と、を備える電源回路。

明 細 書

発明の名称 : 電源回路

技術分野

[0001] 本技術は、電源回路に関する。

背景技術

[0002] 従来、チャージポンプ回路の出力電圧の調整は、オペアンプを用いた電圧帰還により行っていた（例えば、特許文献1，2参照）。具体的には、チャージポンプ回路の出力電圧を抵抗及び／又は容量分割による分圧回路で所定の比率に分圧し、当該分圧と基準電圧との差分に応じたオペアンプ出力をチャージポンプ回路の入力として用いる構成であった。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-147044号公報

特許文献2：特開2015-171213号公報

発明の概要

発明が解決しようとする課題

[0004] 上述した従来のチャージポンプ回路は、ファーストポールが外部容量部で決まるため、安定性を優先する場合、オペアンプを広帯域に設計する必要がある。しかしながら、オペアンプを広帯域に設計するほどノイズ性能が悪化するという本質的なトレードオフを持つ。また、そもそもオペアンプを用いる回路は低電圧動作に不向きである。

[0005] また、上述した従来のチャージポンプ回路は、出力電圧の調整機能を設ける場合、分圧回路の分圧比を変更するレベルシフターを設ける必要があり、回路面積の増大が避けられない。

[0006] オペアンプを用いる場合、オペアンプ出力をチャージポンプ回路へ入力（オペアンプから電流（電荷）を供給）して駆動するため、大電流のオペアンプを用いる必要が有る。一般的なA級オペアンプは設計が容易である反面、

電力効率が非常に悪いという問題点がある。また、高効率のオペアンプは低電圧動作が困難、設計難易度が高いという問題点を持つ。従って、オペアンプ駆動は消費電流と低電圧特性のトレードオフ解消が非常に困難である。

[0007] 本技術は、前記課題に鑑みてなされたもので、電圧帰還型のチャージポンプ回路の帰還方式が抱える根源的な課題を解決したチャージポンプ回路を実現することを目的とする。

課題を解決するための手段

[0008] 本技術の態様の1つは、チャージポンプ回路と、前記チャージポンプ回路の出力を入力へフィードバックする帰還回路と、前記帰還回路に定電流を流す第一電流源と、前記帰還回路の途中に介設されるMOSトランジスタ素子と、前記帰還回路において前記MOSトランジスタ素子よりも前記チャージポンプ回路の出力寄りの位置に介設される抵抗素子と、前記MOSトランジスタ素子の制御端子に定電圧を印加するバイアス回路と、前記第一電流源が前記帰還回路に流す定電流の値を制御する制御部と、を備える電源回路である。

[0009] なお、以上説明した電源回路は、他の機器に組み込まれた状態で実施されたり他の方法とともに実施されたりする等の各種の態様を含む。

発明の効果

[0010] 本技術によれば、電圧帰還型のチャージポンプ回路の帰還方式が抱える根源的な課題を解決したチャージポンプ回路を実現することができる。なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また付加的な効果があってもよい。

図面の簡単な説明

[0011] [図1]第1実施形態に係る電源回路の概略構成を示す図である。

[図2]第2実施形態に係る電源回路の概略構成を示す図である。

[図3]第3実施形態に係る電源回路の概略構成を示す図である。

[図4]第4実施形態に係る電源回路の概略構成を示す図である。

[図5]第5実施形態に係る電源回路の概略構成を示す図である。

[図6]第6実施形態に係る電源回路の概略構成を示す図である。

[図7]第7実施形態に係る電源回路の概略構成を示す図である。

[図8]第8実施形態に係る電源回路の概略構成を示す図である。

[図9]第9実施形態に係る電源回路の概略構成を示す図である。

[図10]第10実施形態に係る電源回路の概略構成を示す図である。

発明を実施するための形態

[0012] 以下、図面を参照しつつ各実施形態に係る本技術を説明する。

[0013] (A) 第1実施形態：

図1は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路100は、入力電圧を降圧した出力電圧を生成する電流帰還型のチャージポンプ回路であり、チャージポンプ回路10、帰還回路20及び制御部30を備える。

[0014] 帰還回路20は、チャージポンプ回路10の出力部12とチャージポンプ回路10の入力部11との間を接続する帰還パスPを形成する。

[0015] 帰還回路20の帰還パスPは、チャージポンプ回路10の入力部11に接続された第1ノードN1と、チャージポンプ回路10の出力部12に接続された第3ノードN3と、第1ノードN1と第3ノードN3の間に設けられる第2ノードN2と、を有する。

[0016] チャージポンプ回路10は、チャージポンプ電荷を保持する容量CPの充放電に用いる充放電電圧と、当該容量CPへの充放電方向を切り替えるスイッチ素子のオン／オフを切替制御するための発振信号と、を供給され、これら充放電電圧や発振信号に応じた電圧を出力する。以下では、チャージポンプ回路10に入力される充放電電圧と発振信号とをまとめてCP制御信号と呼ぶことにする。

[0017] チャージポンプ回路10は、その他、必要に応じて、容量CPの充放電に用いる基準電圧が任意のバイアス源から適宜に供給される。

[0018] 本実施形態に係るチャージポンプ回路10は、充放電電圧を帰還回路20から入力され、外部から供給されるクロック信号CKを発振信号として入力

される。チャージポンプ回路10は、CP制御信号に応じた電圧を出力電圧 V_{out} として出力パッド13に出力する。出力パッド13には外部容量 C_{ex} が接続される。

[0019] 帰還回路20は、各ノードの電圧関係を、第1ノード N_1 >第2ノード N_2 （一定電圧）>第3ノード N_3 、に自律的に調整する。

[0020] 帰還回路20は、第1ノード N_1 と第2ノード N_2 の間に、第2ノード N_2 の第2電圧 V_2 が一定電圧（例えば、0V）になるように出力電圧 V_{out} を自律的に調整するように働く電圧調整回路40を有する。

[0021] 電圧調整回路40は、例えば、電流源41、MOSトランジスタ素子42、及びバイアス回路43により構成される。

[0022] 電流源41は、第1ノード N_1 と高電位側定電圧源 V_{DD} との間に設けられ、高電位側定電圧源 V_{DD} から第1ノード N_1 に向けて流れる電流 I を発生する。電流源41が流す電流 I の値は、制御部30によって制御される。

[0023] MOSトランジスタ素子42は、第1ノード N_1 と第2ノード N_2 の間の帰還パスPにソース／ドレイン間接続を介設して構成される。すなわち、第1ノード N_1 と第2ノード N_2 は、MOSトランジスタ素子42を介して接続される。MOSトランジスタ素子42は、帰還パスPの第1ノード N_1 と第2ノード N_2 の間に、ドレインを第1ノード N_1 に向けて、ソースを第2ノード N_2 に向けて介設される。

[0024] バイアス回路43は、MOSトランジスタ素子42の制御端子であるゲートにオン電圧 V_{on} を印加する。オン電圧 V_{on} は、MOSトランジスタ素子42のゲート・ソース間電圧を V_{gs} とすると、第2ノード N_2 の第2電圧 V_2 よりもゲート・ソース間電圧 V_{gs} 相当だけ高い電圧とする。ゲートに $(V_2 + V_{gs})$ の電圧を印加されたMOSトランジスタ素子42は、ソースの電圧が第2電圧 V_2 に制御される。

[0025] 電流源41が発生する電流 I は、第1ノード N_1 からMOSトランジスタ素子42を介して第2ノード N_2 へ流れる。MOSトランジスタ素子42のソース・ドレイン間には電圧 V_{DS} が発生する。すなわち、第1ノード N_1

の第1電圧 V_1 は、第2ノード N_2 の第2電圧 V_2 よりも電圧 V_{DS} だけ高電圧になる。

[0026] 第2ノード N_2 と第3ノード N_3 の間には、電位差形成回路50が設けられる。電位差形成回路50は、一定電圧である第2ノード N_2 の第2電圧 V_2 を基準電圧とし、この第2電圧 V_2 よりも第3ノード N_3 の第3電圧 V_3 を低電圧とする電位差を形成する。

[0027] 電位差形成回路50は、例えば、電流源51（本実施形態では電流源41と共通）及び抵抗52（以下、抵抗値を Z_F とする）により構成することができる。第2ノード N_2 と第3ノード N_3 の間の帰還パスPは抵抗52を介して接続される。

[0028] 電流源51が発生する電流 I は、第2ノード N_2 から抵抗52を介して第3ノード N_3 へ流れる。抵抗52には、下記式（1）に示すように、電流 I と抵抗値 Z_F に応じた電圧 V_{ZF} が発生する。第3ノード N_3 の第3電圧 V_3 は、第2ノード N_2 の第2電圧 V_2 よりも電圧 V_{ZF} だけ低電圧になる。

[0029] [数1]

$$V_{ZF} = I \times Z_F \quad \cdots (1)$$

[0030] 制御部30は、電流源41（電流源51）が発生する電流 I の値を制御する。電流源41（電流源51）と制御部30は、例えばカレントミラー回路により構成される。

[0031] 以上説明した電源回路100は、オペアンプを用いないため、低電圧動作が可能であり、安定性を実現しつつ従来に比べて回路面積を小さくできる。また、電源回路100は、分圧回路を用いないため、レベルシフターによる回路面積の増大が無い。

[0032] また、オペアンプを用いた従来の電圧帰還型のチャージポンプ回路は、3ポールシステムであり、セカンドポールとサードポールの間に強い依存関係があるため、電流密度一定スケーリングを行うことでファーストポールとセカンドポールの関係は改善できるが、その際にセカンドポールとサードポールの関係が悪化してしまう。一方、本実施形態に係る電流帰還型の電源回路

は、2ポールシステムであり、セカンドポールのみ配慮して電流密度一定スケーリングを行うことでファーストポールとセカンドポールの関係を改善することができる。

[0033] すなわち、本実施形態に係る電源回路100では、ゲインバンド積を一定に保ったまま電流スケーリングを行ってセカンドポールP2を高周波側ヘシフトさせることができるため、位相余裕とのトレードオフを生ずることなく、電流スケーリングを行うことができる。

[0034] (B) 第2実施形態：

図2は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路200は、入力電圧を昇圧した出力電圧を生成する電流帰還型のチャージポンプ回路であり、チャージポンプ回路210、帰還回路220及び制御部230を備える。

[0035] 帰還回路220は、チャージポンプ回路210の出力部212とチャージポンプ回路210の入力部211との間を接続する帰還パスPを形成する。

[0036] 帰還回路220の帰還パスPは、チャージポンプ回路210の入力部211に接続された第1ノードN1と、チャージポンプ回路210の出力部212に接続された第3ノードN3と、第1ノードN1と第3ノードN3の間に設けられる第2ノードN2と、を有する。

[0037] チャージポンプ回路210は、チャージポンプ電荷を保持する容量CPの充放電に用いる充放電電圧と、当該容量CPへの充放電方向を切り替えるスイッチ素子のオン／オフを切替制御するための発振信号と、を供給され、これら充放電電圧や発振信号に応じた電圧を出力する。以下では、チャージポンプ回路210に入力される充放電電圧と発振信号とをまとめてCP制御信号と呼ぶことにする。

[0038] チャージポンプ回路210は、その他、必要に応じて、容量CPの充放電に用いる基準電圧が任意のバイアス源から適宜に供給される。

[0039] 本実施形態に係るチャージポンプ回路210は、充放電電圧を帰還回路220から入力され、外部から供給されるクロック信号CKを発振信号として

入力される。チャージポンプ回路210は、CP制御信号に応じた電圧を出力電圧 V_{out} として出力パッド213に出力する。出力パッド213には、外部容量 C_{ex} が接続される。

[0040] 帰還回路220は、各ノードの電圧関係を、第3ノード N_3 >第2ノード N_2 （一定電圧）>第1ノード N_1 、に自律的に調整する。

[0041] 帰還回路220は、第1ノード N_1 と第2ノード N_2 の間に、第2ノード N_2 の第2電圧 V_2 を一定電圧（例えば、高電位側定電圧源 V_{DD} の電位）になるように出力電圧 V_{out} を自律的に調整するように働く電圧調整回路240を有する。

[0042] 電圧調整回路240は、例えば、電流源241、MOSトランジスタ素子242、及びバイアス回路243により構成される。

[0043] 電流源241は、第1ノード N_1 と低電位側定電圧源 GND との間に設けられ、第1ノード N_1 から低電位側定電圧源 GND に向けて流れる電流 I を発生する。電流源241が流す電流 I の値は、制御部230によって制御される。

[0044] MOSトランジスタ素子242は、第1ノード N_1 と第2ノード N_2 の間の帰還パスPにソース／ドレイン間接続を介設して構成される。すなわち、第1ノード N_1 と第2ノード N_2 は、MOSトランジスタ素子242を介して接続される。MOSトランジスタ素子242は、帰還パスPの第1ノード N_1 と第2ノード N_2 の間に、ドレインを第1ノード N_1 に向けて、ソースを第2ノード N_2 に向けて介設される。

[0045] バイアス回路243は、MOSトランジスタ素子242の制御端子であるゲートにオン電圧 V_{on} を印加する。オン電圧 V_{on} は、MOSトランジスタ素子242のゲート・ソース間電圧を V_{gs} とすると、第2ノード N_2 の第2電圧 V_2 よりもゲート・ソース間電圧 V_{gs} 相当だけ低い電圧とする。その結果、ゲートに $(V_2 - V_{gs})$ の電圧を印加されたMOSトランジスタ素子242は、ソースの電圧が第2電圧 V_2 に制御される。

[0046] 電流源241が発生する電流 I は、第2ノード N_2 からMOSトランジス

タ素子 242 を通り第 1 ノード N1 を経由して電流源 241 に至る。MOS トランジスタ素子 242 のソース・ドレイン間には電圧 V_{DS} が発生する。すなわち、第 2 ノード N2 の第 2 電圧 V_2 は、第 1 ノード N1 の第 1 電圧 V_1 よりも電圧 V_{DS} だけ高電圧になる。

[0047] 第 2 ノード N2 と第 3 ノード N3 の間には、電位差形成回路 250 が設けられる。電位差形成回路 250 は、一定電圧である第 2 ノード N2 の第 2 電圧 V_2 を基準電圧とし、この第 2 電圧 V_2 よりも第 3 ノード N3 の第 3 電圧 V_3 を高電圧とする電位差を形成する。

[0048] 電位差形成回路 250 は、例えば、電流源 251（本実施形態では電流源 241 と共通）及び抵抗 252（以下、抵抗値を Z_F とする）により構成することができる。第 2 ノード N2 と第 3 ノード N3 の間の帰還パス P は抵抗 252 を介して接続される。

[0049] 電流源 251 が発生する電流 I は、第 3 ノード N3 から抵抗 252 を介して第 2 ノード N2 へ流れる。抵抗 252 には、下記式（2）に示すように、電流 I と抵抗値 Z_F に応じた電圧 V_{ZF} が発生する。第 3 ノード N3 の第 3 電圧 V_3 は、第 2 ノード N2 の第 2 電圧 V_2 よりも電圧 V_{ZF} だけ高電圧になる。

[0050] [数2]

$$V_{ZF} = I \times Z_F \quad \cdots (2)$$

[0051] 制御部 230 は、電流源 241（電流源 251）が発生する電流 I の値を制御する。電流源 241（電流源 251）と制御部 230 は、例えばカレントミラー回路により構成される。

[0052] 以上説明した本実施形態に係る電源回路においても、上述した第 1 実施形態に係る電源回路と同様に、オペアンプを用いないため低電圧動作が可能であり、安定性を実現しつつ従来に比べて回路面積を小さくできる。また、分圧回路を用いないため、レベルシフターによる回路面積の増大が無い。また、ゲインバンド積を一定に保ったまま電流スケールリングを行ってセカンドポール P2 を高周波側へシフトさせることができるため、位相余裕とのトレー

ドオフを生ずることなく、電流スケーリングを行うことができる。

[0053] (C) 第3実施形態：

図3は、本実施形態に係る電源回路を説明する図である。

[0054] 本実施形態に係る電源回路300は、第1実施形態に係る電源回路100のバイアス回路43及び電流源41（電流源51）をカレントミラー回路にて具体的に実現した構成の一例である。以下では、第1実施形態と共通する構成には第1実施形態と同じ符号を付し、詳細な説明を省略する。

[0055] 同図に示すカレントミラー回路は、MOSトランジスタ素子42のゲートに、当該MOSトランジスタ素子42と同特性のMOSトランジスタ素子344のゲートを接続し、MOSトランジスタ素子344のゲートとドレインを短絡し、MOSトランジスタ素子344のソースを低電位側定電圧源GNDに接続し、MOSトランジスタ素子344のドレインと高電位側定電圧源VDDの間を電流源345で接続した基本的なカレントミラー回路の構成である。なお、本実施形態に係る電源回路300に設けるカレントミラー回路の構成は基本的な構成に限らず様々に変更可能である。

[0056] また、電流源345は、電流源41（電流源51）と同じ電流Iを流すべく同じ制御部30から同じ制御信号で電流値を制御される構成としてある。すなわち、制御部30の制御信号を可変することで、電流源345と電流源41（電流源51）の双方の電流Iの値を容易に調整することができる。また、本実施形態に係る電源回路300では、バイアス回路343を簡易な構成で実現できる。

[0057] (D) 第4実施形態：

図4は、本実施形態に係る電源回路を説明する図である。

[0058] 本実施形態に係る電源回路400は、第2実施形態に係る電源回路200のバイアス回路243及び電流源241（電流源251）をカレントミラー回路にて具体的に実現した構成の一例である。以下では、第2実施形態と共通する構成には第2実施形態と同じ符号を付し、詳細な説明を省略する。

[0059] 同図に示すカレントミラー回路は、MOSトランジスタ素子242のゲー

トに、当該MOSトランジスタ素子242と同特性のMOSトランジスタ素子444のゲートを接続し、MOSトランジスタ素子444のゲートとドレインを短絡し、MOSトランジスタ素子444のソースを高電位側定電圧源VDDに接続し、MOSトランジスタ素子444のドレインと高電位側定電圧源VDDの間を電流源445で接続した基本的なカレントミラー回路の構成である。なお、本実施形態に係る電源回路400に設けるカレントミラー回路の構成は基本的な構成に限らず様々に変更可能である。

[0060] また、電流源445は、電流源241（電流源251）と同じ電流Iを流すべく同じ制御部230から同じ制御信号で電流値を制御される構成としてある。すなわち、制御部230の制御信号を可変することで、電流源445と電流源241（電流源251）の双方の電流Iの値を容易に調整することができる。また、本実施形態に係る電源回路400では、バイアス回路243を簡易な構成で実現できる。

[0061] （E）第5実施形態：

図5は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路500は、入力電圧を昇圧した出力電圧を生成する電流帰還型のチャージポンプ回路であり、チャージポンプ回路510、帰還回路520及び制御部530を備える。

[0062] 帰還回路520は、チャージポンプ回路510の出力部512とチャージポンプ回路510の入力部511との間を接続する帰還パスPを形成する。

[0063] 帰還回路520の帰還パスPは、チャージポンプ回路510の入力部511に接続された第1ノードN1と、チャージポンプ回路510の出力部512に接続された第3ノードN3と、第1ノードN1と第3ノードN3の間に設けられる第2ノードN2と、を有する。

[0064] チャージポンプ回路510は、チャージポンプ電荷を保持する容量CPの充放電に用いる充放電電圧と、当該容量CPへの充放電方向を切り替えるスイッチ素子のオン／オフを切替制御するための発振信号と、を供給され、これら充放電電圧や発振信号に応じた電圧を出力する。

- [0065] チャージポンプ回路510は、その他、必要に応じて、容量CPの充放電に用いる基準電圧が任意のバイアス源から適宜に供給される。
- [0066] 本実施形態に係るチャージポンプ回路510は、充放電電圧を帰還回路520から入力され、外部から供給されるクロック信号CKを発振信号として入力される。以下では、チャージポンプ回路510に入力される充放電電圧と発振信号とをまとめてCP制御信号と呼ぶことにする。チャージポンプ回路510は、CP制御信号に応じた電圧を出力電圧Voutとして出力パッド513に出力する。出力パッド513には、外部容量Cexが接続される。
- [0067] 帰還回路520は、各ノードの電圧関係を、第3ノードN3>第1ノードN1>第2ノードN2（一定電圧）、に自律的に調整する。
- [0068] 帰還回路520は、第1ノードN1と第2ノードN2の間に、第2ノードN2の第2電圧V2を一定電圧（後述する抵抗546に電流Iが流れて生ずる電圧）になるように出力電圧Voutを自律的に調整するように働く電圧調整回路540を有する。
- [0069] 電圧調整回路540は、例えば、電流源541、MOSトランジスタ素子542、及びバイアス回路543により構成される。
- [0070] 電流源541は、第1ノードN1と高電位側定電圧源VDDとの間に設けられ、高電位側定電圧源VDDから第1ノードN1に向けて流れる電流Iを発生する。電流源541が流す電流Iの値は、制御部530によって制御される。
- [0071] 第1ノードN1と第2ノードN2の間の帰還パスPはMOSトランジスタ素子542のソース／ドレイン間接続を介設して構成され、MOSトランジスタ素子542を介して接続される。MOSトランジスタ素子542は、帰還パスPの第1ノードN1と第2ノードN2の間に、ドレインを第1ノードN1に向けて、ソースを第2ノードN2に向けて介設される。
- [0072] バイアス回路543は、MOSトランジスタ素子542の制御端子であるゲートにオン電圧Vonを印加する。オン電圧Vonは、MOSトランジスタ

タ素子542のゲート・ソース間電圧を V_{gs} とすると、第2ノードN2の第2電圧 V_2 よりもゲート・ソース間電圧 V_{gs} 相当だけ高い電圧とする。その結果、ゲートに $(V_2 + V_{gs})$ の電圧を印加されたMOSトランジスタ素子542は、ソースの電圧が第2電圧 V_2 に制御される。

[0073] バイアス回路543は、カレントミラー回路の構成を有する。カレントミラー回路の構成を有するバイアス回路543は、MOSトランジスタ素子542のゲートに、当該MOSトランジスタ素子542と同特性のMOSトランジスタ素子544のゲートを接続し、MOSトランジスタ素子544のゲートとドレインを短絡し、MOSトランジスタ素子544のソースを抵抗546を介して低電位側定電圧源GNDに接続し、MOSトランジスタ素子544のドレインと高電位側定電圧源VDDの間を電流源545で接続した基本的なカレントミラー回路の構成である。なお、カレントミラー回路の構成は基本的な構成に限るものではない。

[0074] また、電流源545は、電流源541（電流源551）と同じ電流 I を流すべく同じ制御部530から同じ制御信号で電流値を制御される構成としてある。すなわち、制御部530の制御信号を可変することで、電流源545と電流源541（電流源551）の双方の電流 I の値を容易に調整することができる。また、本実施形態に係る電源回路500では、バイアス回路543を簡易な構成で実現できる。

[0075] 電流源541が発生する電流 I は、第1ノードN1からMOSトランジスタ素子542を介して第2ノードN2へ流れる。MOSトランジスタ素子542のソース・ドレイン間には電圧 V_{DS} が発生する。すなわち、第1ノードN1の第1電圧 V_1 は、第2ノードN2の第2電圧 V_2 よりも電圧 V_{DS} だけ高電圧になる。

[0076] 第2ノードN2は、第二電流源としての電流源547を介して低電位側定電圧GNDに接続されている。電流源547は、第2ノードN2から低電位側定電圧GNDへ流れる電流 I' を発生する。このため、電流源541が第1ノードN1を介してMOSトランジスタ素子542に流す電流 I は、電流

源 5 4 7 を介して低電位側定電圧 GND へ流れることになる。

[0077] 第 2 ノード N 2 と第 3 ノード N 3 の間には、電位差形成回路 5 5 0 が設けられる。電位差形成回路 5 5 0 は、一定電圧である第 2 ノード N 2 の第 2 電圧 V 2 を基準電圧とし、この第 2 電圧 V 2 よりも第 3 ノード N 3 の第 3 電圧 V 3 を高電圧とする電位差を形成する。また、電位差形成回路 5 5 0 が形成する第 2 ノード N 2 と第 3 ノード N 3 の電位差は、MOS トランジスタ素子 5 4 2 が形成する第 2 ノード N 2 と第 1 ノード N 1 の電位差より大きくする。

[0078] 電位差形成回路 5 5 0 は、例えば、電流源 5 5 1（本実施形態では電流源 5 4 1 と共通）及び抵抗 5 5 2（以下、抵抗値を Z F とする）により構成することができる。第 2 ノード N 2 と第 3 ノード N 3 の間の帰還パス P は抵抗 5 5 2 を介して接続される。

[0079] 電流源 5 4 7 が発生する電流 I' により、抵抗 5 5 2 には、第 3 ノード N 3 から第 2 ノード N 2 へ向かう電流が流れる。抵抗 5 5 2 には、下記式（3）に示すように、電流（I - I'）と抵抗値 Z F に応じた電圧 V Z F が発生する。第 3 ノード N 3 の第 3 電圧 V 3 は、第 2 ノード N 2 の第 2 電圧 V 2 よりも電圧 V Z F だけ高電圧になる。

[0080] [数3]

$$V_{ZF} = (I - I') \times ZF \quad \cdots (3)$$

[0081] 制御部 5 3 0 は、電流源 5 4 1（電流源 5 5 1）及び電流源 5 4 5 が発生する電流 I の値を制御する。電流源 5 4 1（電流源 5 5 1）及び電流源 5 4 5 と制御部 5 3 0 は、例えばカレントミラー回路により構成される。

[0082] 以上説明した本実施形態に係る電源回路においても、上述した第 1 実施形態に係る電源回路と同様に、オペアンプを用いないため低電圧動作が可能であり、安定性を実現しつつ従来に比べて回路面積を小さくできる。また、分圧回路を用いないため、レベルシフターによる回路面積の増大が無い。また、ゲインバンド積を一定に保ったまま電流スケールリングを行ってセカンドポール P 2 を高周波側へシフトさせることができる。これにより、位相余裕と

のトレードオフを生ずることなく、電流スケーリングを行うことができる。

[0083] (F) 第6実施形態：

図6は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路600は、入力電圧を昇圧した出力電圧を生成する電流帰還型のチャージポンプ回路であり、チャージポンプ回路610、帰還回路620及び制御部630を備える。

[0084] 帰還回路620は、チャージポンプ回路610の出力部612とチャージポンプ回路610の入力部611との間を接続する帰還パスPを形成する。

[0085] 帰還回路620の帰還パスPは、チャージポンプ回路610の入力部611に接続された第1ノードN1と、チャージポンプ回路610の出力部612に接続された第3ノードN3と、第1ノードN1と第3ノードN3の間に設けられる第2ノードN2と、を有する。

[0086] チャージポンプ回路610は、チャージポンプ電荷を保持する容量CPの充放電に用いる充放電電圧と、当該容量CPへの充放電方向を切り替えるスイッチ素子のオン／オフを切替制御するための発振信号と、を供給され、これら充放電電圧や発振信号に応じた電圧を出力する。以下では、チャージポンプ回路610に入力される充放電電圧と発振信号とをまとめてCP制御信号と呼ぶことにする。

[0087] チャージポンプ回路610は、その他、必要に応じて、容量CPの充放電に用いる基準電圧が任意のバイアス源から適宜に供給される。

[0088] 本実施形態に係るチャージポンプ回路610は、充放電電圧を帰還回路620から入力され、外部から供給されるクロック信号CKを発振信号として入力される。チャージポンプ回路610は、CP制御信号に応じた電圧を出力電圧Voutとして出力パッド613に出力する。出力パッド613には、外部容量Cexが接続される。

[0089] 帰還回路620は、各ノードの電圧関係を、第2ノードN2（一定電圧）＞第1ノードN1＞第3ノードN3、に自律的に調整する。

[0090] 帰還回路620は、第1ノードN1と第2ノードN2の間に、第2ノード

N 2 の第 2 電圧 V_2 を一定電圧（後述する抵抗 646 に電流 I が流れて生ずる電圧）になるように出力電圧 V_{out} を自律的に調整するように働く電圧調整回路 640 を有する。

[0091] 電圧調整回路 640 は、例えば、電流源 641、MOS トランジスタ素子 642、及びバイアス回路 643 により構成される。

[0092] 電流源 641 は、第 1 ノード N 1 と低電位側定電圧源 GND との間に設けられ、第 1 ノード N 1 から低電位側定電圧源 GND に向けて流れる電流 I を発生する。電流源 641 が流す電流 I の値は、制御部 630 によって制御される。

[0093] 第 1 ノード N 1 と第 2 ノード N 2 の間の帰還パス P は MOS トランジスタ素子 642 のソース／ドレイン間接続を介して構成され、MOS トランジスタ素子 642 を介して接続される。MOS トランジスタ素子 642 は、帰還パス P の第 1 ノード N 1 と第 2 ノード N 2 の間に、ソースを第 2 ノード N 2 に向けて、ドレインを第 1 ノード N 1 に向けて介設される。

[0094] バイアス回路 643 は、MOS トランジスタ素子 642 の制御端子であるゲートにオン電圧 V_{on} を印加する。オン電圧 V_{on} は、MOS トランジスタ素子 642 のゲート・ソース間電圧を V_{gs} とすると、第 2 ノード N 2 の第 2 電圧 V_2 よりもゲート・ソース間電圧 V_{gs} 相当だけ低い電圧とする。その結果、ゲートに $(V_2 - V_{gs})$ の電圧を印加された MOS トランジスタ素子 642 は、ソースの電圧が第 2 電圧 V_2 に制御される。

[0095] バイアス回路 643 は、カレントミラー回路の構成を有する。図 7 には、カレントミラー回路の構成を有するバイアス回路 643 として、MOS トランジスタ素子 642 のゲートに、当該 MOS トランジスタ素子 642 と同特性の MOS トランジスタ素子 644 のゲートを接続し、MOS トランジスタ素子 644 のゲートとドレインを短絡し、MOS トランジスタ素子 644 のソースを抵抗 646 を介して高電位側定電圧源 VDD に接続し、MOS トランジスタ素子 644 のドレインと低電位側定電圧源 GND の間を電流源 645 で接続した基本的なカレントミラー回路の構成である。なお、本実施形態

に係る電源回路600に設けるカレントミラー回路の構成は基本的な構成に限らず様々に変更可能である。

[0096] また、電流源645と電流源641（電流源651）は、同じ制御部630からの制御により電流値を制御されている。すなわち、電流源645と電流源641（電流源651）が流す電流 I の値は、制御部630の制御により同じ値に調整される。

[0097] 電流源641が発生する電流 I は、第2ノードN2からMOSトランジスタ素子642を介して第1ノードN1へ流れる。MOSトランジスタ素子642のソース・ドレイン間には電圧 V_{DS} が発生する。すなわち、第1ノードN1の第1電圧 V_1 は、第2ノードN2の第2電圧 V_2 よりも電圧 V_{DS} だけ低電圧になる。

[0098] 第2ノードN2は、第二電流源としての電流源647を介して高電位側定電圧源 V_{DD} に接続されている。電流源647は、高電位側定電圧源 V_{DD} から第2ノードN2へ流れる電流 I' を発生する。このため、電流源641が第2ノードN2からMOSトランジスタ素子642を通して第1ノードN1へ流す電流 I は、電流 I' の一部を構成する。

[0099] 第2ノードN2と第3ノードN3の間には、電位差形成回路650が設けられる。電位差形成回路650は、一定電圧である第2ノードN2の第2電圧 V_2 を基準電圧とし、この第2電圧 V_2 よりも第3ノードN3の第3電圧 V_3 を低電圧とする電位差を形成する。

[0100] 電位差形成回路650は、例えば、電流源651（本実施形態では電流源641と共通）及び抵抗652（以下、抵抗値を Z_F とする）により構成することができる。第2ノードN2と第3ノードN3の間の帰還パスPは抵抗652を介して接続される。

[0101] 電流源647が発生する電流 I' により、抵抗652には、第2ノードN2から第3ノードN3へ向かう電流が流れる。抵抗652には、下記式（4）に示すように、電流 $(I' - I)$ と抵抗値 Z_F に応じた電圧 V_{ZF} が発生する。第3ノードN3の第3電圧 V_3 は、第2ノードN2の第2電圧 V_2 よ

りも電圧 V_{ZF} だけ低電圧になる。

[0102] [数4]

$$V_{ZF} = (I' - I) \times ZF \quad \cdots (4)$$

[0103] 制御部 630 は、電流源 641（電流源 651）及び電流源 645 が発生する電流 I の値を制御する。電流源 641（電流源 651）及び電流源 645 と制御部 630 は、例えばカレントミラー回路により構成される。

[0104] 以上説明した本実施形態に係る電源回路においても、上述した第 1 実施形態に係る電源回路と同様に、オペアンプを用いないため低電圧動作が可能であり、安定性を実現しつつ従来に比べて回路面積を小さくできる。また、分圧回路を用いないため、レベルシフターによる回路面積の増大が無い。また、ゲインバンド積を一定に保ったまま電流スケーリングを行ってセカンドポール P_2 を高周波側へシフトさせることができる。これにより、位相余裕とのトレードオフを生ずることなく、電流スケーリングを行うことができる。

[0105] (G) 第 7 実施形態：

図 7 は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路 700 は、第 1 ノード N_1 の第 1 電圧 V_1 をバッファ 760 を介してチャージポンプ回路 10 へ入力する構成である。

[0106] なお、図 7 には、第 1 実施形態に係る電源回路 100 にバッファ 760 を設ける例を示してあるが、第 2 ～ 第 6 実施形態に係る電源回路にバッファ 760 を設けてもよい。また、バッファ 760 は、チャージポンプ回路 10 が内蔵してもよい。

[0107] このように、第 1 ノード N_1 からチャージポンプ回路 10 への充放電電圧の供給をバッファ 760 を介して行う構成とすることで、チャージポンプ回路 10 が重い負荷を駆動するために必要な大電流を、チャージポンプ回路 10 の出力に対する影響を極力小さくしつつ確保することができる。

[0108] すなわち、チャージポンプ回路 10 が大電流を必要とする場合に、帰還パス P に大電流を流すことなくチャージポンプ回路 10 の容量 C_P に十分な電荷を供給することができる。また、帰還パス P に大電流を流さずに済むため

、チャージポンプ回路 10 の出力で充放電される外部容量 C_{ex} への充放電に対する電流源 41 の影響を極力小さいままに維持できるため、電流源 41 が外部容量 C_{ex} に対して負荷にならずに済む。

[0109] (H) 第 8 実施形態：

図 8 は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路 800 は、上述した第 7 実施形態に係るチャージポンプ回路 10 に設けたバッファ 760 に低電位側定電圧 GND を供給するライン上に第三電流源としての電流源 870 を介設し、第 1 ノード N1 の第 1 電圧 V_1 を電流源 870 の電流値を可変する制御信号として用いる構成である。バッファ 760 は、例えば外部のクロック信号 CK を入力とする。

[0110] このように、バッファ 760 に対する電流供給を第 1 ノード N1 の第 1 電圧 V_1 で制御する構成を採用することで、チャージポンプ回路 10 の負荷が軽く、チャージポンプ回路 10 へ供給すべき電流が小さいアイドル状態においては、バッファ 760 に流れる電流を絞って省電力動作とし、チャージポンプ回路 10 の負荷が重く、チャージポンプ回路 10 の駆動能力を高める必要が有る場合には、バッファ 760 に流れる電流を増大してチャージポンプ回路へ大電流を供給することができる。すなわち、負荷の状態に合わせてチャージポンプ回路 10 への供給電流を自動調整する電源回路 800 が実現される。

[0111] (I) 第 9 実施形態：

図 9 は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路 900 は、第 1 ノード N1 の第 1 電圧 V_1 により発振の有無を制御される発振器 980 の出力する発振信号 CK をチャージポンプ回路 10 へ供給する構成である。

[0112] なお、図 9 には、第 1 実施形態に係る電源回路 100 に発振器 980 を設ける例を示してあるが、第 2 ～ 第 6 実施形態に係る電源回路に発振器 980 を設けてもよい。また、発振器 980 は、チャージポンプ回路 10 が内蔵してもよい。

[0113] 発振器 980 は、第 1 ノード N1 の第 1 電圧 V1 が一定の閾値以上になると発振信号 CK をチャージポンプ回路 10 に供給し、第 1 ノード N1 の第 1 電圧 V1 が一定の閾値未満の場合は発振信号 CK の出力を停止する。発振器 980 がチャージポンプ回路 10 に供給する発振信号 CK は、容量 CP への充放電方向を切り替えるスイッチ素子のオン／オフを切替制御するために用いられる。

[0114] このように構成された電源回路 900 では、必要な時のみスイッチ群の切替を行って容量 CP への充放電を行い、チャージポンプ回路 10 から外部容量 Cex への充放電を実施する構成である。従って、チャージポンプ回路 10 の負荷が小さい場合に、効果的に省電力動作を実現することができる。

[0115] (J) 第 10 実施形態：

図 10 は、本実施形態に係る電源回路を説明する図である。本実施形態に係る電源回路 1000 は、電流源 41（電流源 51）及び電流源 345 の電流値を制御部 30 が制御する制御ライン上にフィルター 1090 を介設した構成である。

[0116] なお、図 10 には、第 3 実施形態に係る電源回路 300 にフィルター 1090 を設ける例を示してあるが、他の実施形態の電流源（41（51）、241（251）、445、545、547、641（651）、645、647）の電流値を制御する制御ラインについても同様のフィルターを介設してもよい。

[0117] フィルター 1090 は、電流源へ入力する制御信号の揺らぎを除去する平滑化フィルターであればよく、揺らぎを帰還回路の帯域よりも十分に小さくできればよい。例えば、一次の RC フィルターを用いることができる。

[0118] このように、電流源の制御ラインにフィルター 1090 を介設することで、カレントミラー回路の前段である V1 変換アンプ等で発生する揺らぎが除去され、本技術に係る電源回路において主要なノイズ源である電流源のノイズを低減することができる。電流源のノイズが低減することで、電流源の揺らぎが電流を介して如実に反映される抵抗 52 の電圧の揺らぎを抑制するこ

とができる。

[0119] なお、本技術は上述した実施形態に限られず、上述した実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、公知技術並びに上述した実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、等も含まれる。また、本技術の技術的範囲は上述した実施形態に限定されず、請求の範囲に記載された事項とその均等物まで及ぶものである。

[0120] そして、本技術は、以下のような構成を取ることができる。

[0121] (1)

チャージポンプ回路と、
前記チャージポンプ回路の出力を入力ヘフィードバックする帰還回路と、
前記帰還回路に定電流を流す第一電流源と、
前記帰還回路の途中に介設されるMOSトランジスタ素子と、
前記帰還回路において前記MOSトランジスタ素子よりも前記チャージポンプ回路の出力寄りの位置に介設される抵抗素子と、
前記MOSトランジスタ素子の制御端子に定電圧を印加するバイアス回路と、
前記第一電流源が前記帰還回路に流す定電流の値を制御する制御部と、
を備える電源回路。

[0122] (2)

前記バイアス回路が印加する定電圧は、基準電圧に比べて前記MOSトランジスタ素子のゲート・ソース間電圧相当だけ高電圧である、
前記(1)に記載の電源回路。

[0123] (3)

前記帰還回路の前記MOSトランジスタ素子と前記抵抗素子の間のノードを、第二電流源により定電圧源に対して接続した、
前記(2)に記載の電源回路。

[0124] (4)

前記バイアス回路が印加する定電圧は、前記MOSトランジスタ素子のゲート・ソース間電圧相当だけ基準電圧より低電圧である、

前記（１）～前記（３）の何れか１つに記載の電源回路。

[0125] （５） 前記帰還回路は、バッファを介して前記チャージポンプ回路の入力に接続されている、

前記（１）～前記（４）の何れか１つに記載の電源回路。

[0126] （６）

前記チャージポンプ回路の入力にはバッファの出力が入力され、

前記バッファには第三電流源により電流供給され、

前記第三電流源は、前記帰還回路の前記MOSトランジスタ素子の前記抵抗素子と反対側の端子であるノードの電圧で電流値を制御される

前記（１）～前記（６）の何れか１つに記載の電源回路。

[0127] （７）

前記帰還回路の前記MOSトランジスタ素子の前記抵抗素子と反対側の端子であるノードの電圧で発振を制御される発振器を更に備え、

前記発振器の出力が、前記チャージポンプ回路に入力される、

前記（１）～前記（４）の何れか１つに記載の電源回路。

[0128] （８）

前記第一電流源の電流値を制御する制御信号は、平滑化フィルタを介して入力される、

前記（１）～前記（４）の何れか１つに記載の電源回路。

符号の説明

[0129] １０…チャージポンプ回路、１１…入力部、１２…出力部、１３…出力パッド、２０…帰還回路、３０…制御部、４１…電流源、４２…MOSトランジスタ素子、４３…バイアス回路、４０…電圧調整回路、５１…電流源、５２…抵抗、５０…電位差形成回路、１００…電源回路、２００…電源回路、２１０…チャージポンプ回路、２１１…入力部、２１２…出力部、２１３…出力パッド、２２０…帰還回路、２３０…制御部、２４１…電流源、２４２…

MOSトランジスタ素子、243…バイアス回路、240…電圧調整回路、
251…電流源、252…抵抗、250…電位差形成回路、300…電源回
路、343…バイアス回路、344…MOSトランジスタ素子、345…電
流源、400…電源回路、444…MOSトランジスタ素子、445…電流
源、500…電源回路、510…チャージポンプ回路、511…入力部、5
12…出力部、513…出力パッド、520…帰還回路、530…制御部、
541…電流源、542…MOSトランジスタ素子、543…バイアス回路
、544…MOSトランジスタ素子、545…電流源、546…抵抗、54
7…電流源、540…電圧調整回路、551…電流源、552…抵抗、55
0…電位差形成回路、600…電源回路、610…チャージポンプ回路、6
11…入力部、612…出力部、613…出力パッド、620…帰還回路、
630…制御部、641…電流源、642…MOSトランジスタ素子、64
3…バイアス回路、644…MOSトランジスタ素子、645…電流源、6
46…抵抗、647…電流源、640…電圧調整回路、651…電流源、6
52…抵抗、650…電位差形成回路、700…電源回路、760…バッ
ファ、800…電源回路、870…電流源、900…電源回路、980…発振
器、1000…電源回路、1090…フィルター、N1…第1ノード、N2
…第2ノード、N3…第3ノード、P…帰還パス

請求の範囲

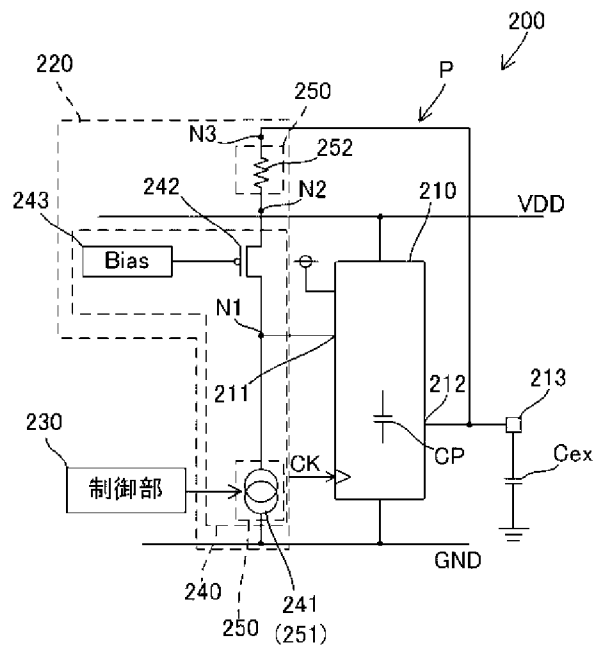
- [請求項1] チャージポンプ回路と、
 前記チャージポンプ回路の出力を入力へフィードバックする帰還回路と、
 前記帰還回路に定電流を流す第一電流源と、
 前記帰還回路の途中に介設されるMOSトランジスタ素子と、
 前記帰還回路において前記MOSトランジスタ素子よりも前記チャージポンプ回路の出力寄りの位置に介設される抵抗素子と、
 前記MOSトランジスタ素子の制御端子に定電圧を印加するバイアス回路と、
 前記第一電流源が前記帰還回路に流す定電流の値を制御する制御部と、
 を備える電源回路。
- [請求項2] 前記バイアス回路が印加する定電圧は、基準電圧に比べて前記MOSトランジスタ素子のゲート・ソース間電圧相当だけ高電圧である、請求項1に記載の電源回路。
- [請求項3] 前記帰還回路の前記MOSトランジスタ素子と前記抵抗素子の間のノードを、第二電流源により定電圧源に対して接続した、請求項2に記載の電源回路。
- [請求項4] 前記バイアス回路が印加する定電圧は、前記MOSトランジスタ素子のゲート・ソース間電圧相当だけ基準電圧より低電圧である、請求項1に記載の電源回路。
- [請求項5] 前記帰還回路は、バッファを介して前記チャージポンプ回路の入力に接続されている、請求項1に記載の電源回路。
- [請求項6] 前記チャージポンプ回路の入力にはバッファの出力が入力され、
 前記バッファには第三電流源により電流供給され、
 前記第三電流源は、前記帰還回路の前記MOSトランジスタ素子の

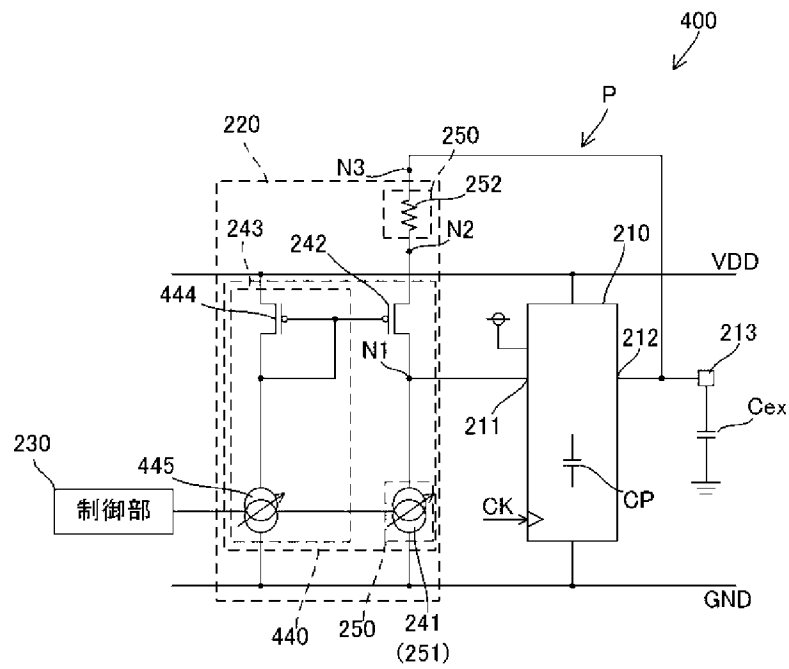
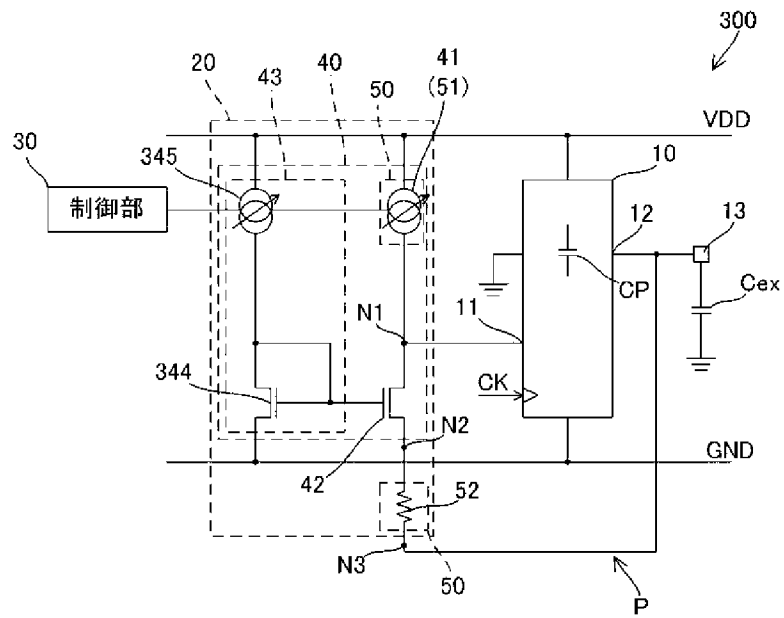
前記抵抗素子と反対側の端子であるノードの電圧で電流値を制御される

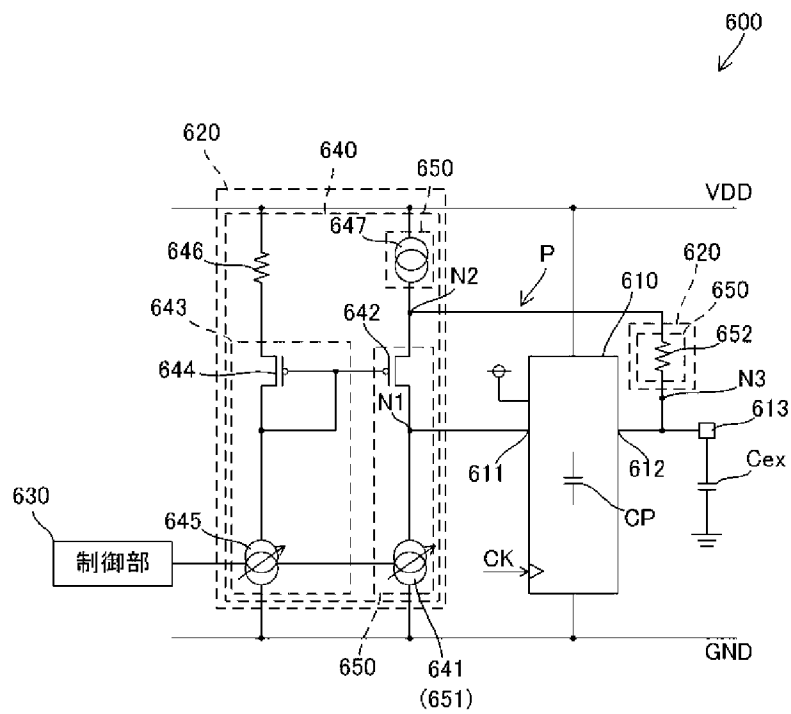
請求項 1 に記載の電源回路。

[請求項7] 前記帰還回路の前記MOSトランジスタ素子の前記抵抗素子と反対側の端子であるノードの電圧で発振を制御される発振器を更に備え、
前記発振器の出力が、前記チャージポンプ回路に入力される、
請求項 1 に記載の電源回路。

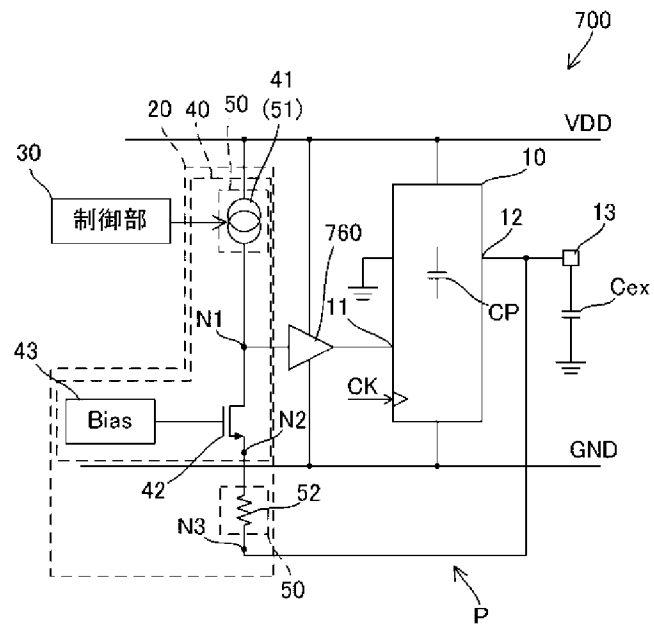
[請求項8] 前記第一電流源の電流値を制御する制御信号は、平滑化フィルターを介して入力される、
請求項 1 に記載の電源回路。



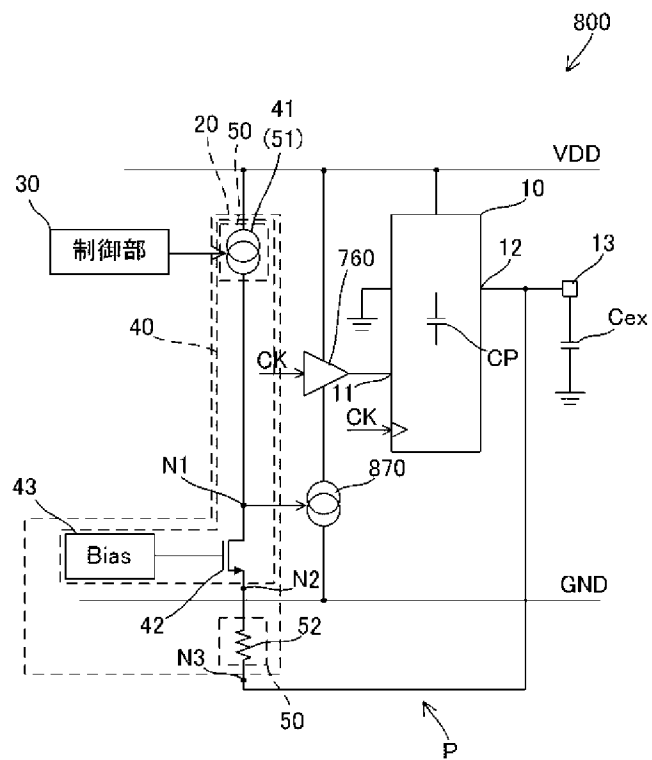


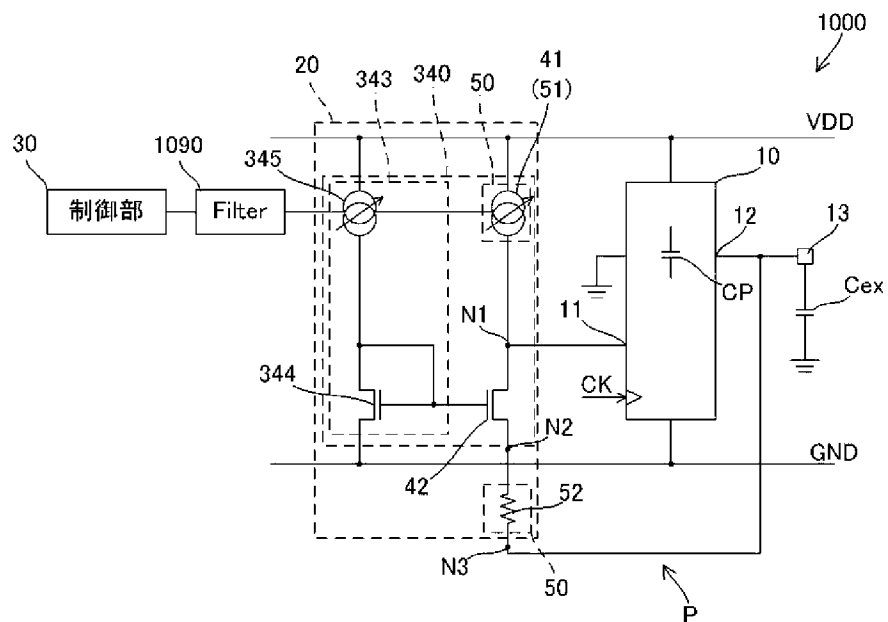
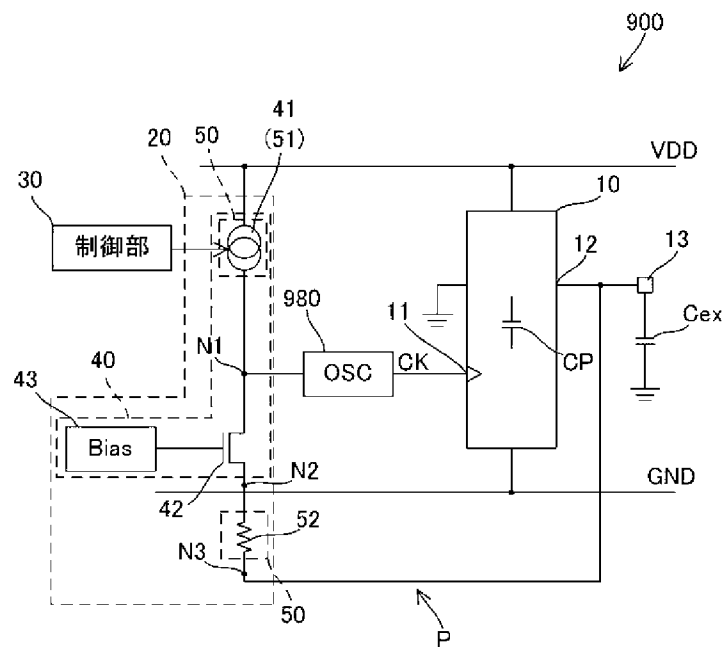


[図7]



[図8]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/016607

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M3/07(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M3/000-3/44, H01L21/822, H01L27/04, G05F1/00-5/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-147044 A (TOSHIBA CORP.) 14 August 2014, entire text, all drawings & US 2014/0211560 A1, entire text, all drawings	1-8
A	JP 2015-171213 A (YAMAHA CORP.) 28 September 2015, entire text, all drawings (Family: none)	1-8
A	JP 2003-168293 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 13 June 2003, entire text, all drawings & US 2003/0098736 A1, entire text, all drawings & KR 10-2003-0044859 A & CN 1421930 A	1-8
A	JP 07-248837 A (FUJI FILM MICRO DEVICE KK) 26 September 1995, entire text, all drawings (Family: none)	1-8
A	US 2014/0028276 A1 (SK HYNIX INC.) 30 January 2014, entire text, all drawings & KR 10-2014-0016535 A	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

14 June 2018 (14.06.2018)

Date of mailing of the international search report

26 June 2018 (26.06.2018)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/07(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/000-3/44, H01L21/822, H01L27/04, G05F1/00-5/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2014-147044 A（株式会社東芝） 2014.08.14, 全文, 全図 & US 2014/0211560 A1 全文, 全図	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14.06.2018

国際調査報告の発送日

26.06.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 孝治

5G

8843

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2015-171213 A (ヤマハ株式会社) 2015.09.28, 全文, 全図 (ファミリーなし)	1-8
A	J P 2003-168293 A (松下電器産業株式会社) 2003.06.13, 全文, 全図 & US 2003/0098736 A1 全文, 全図 & KR 10-2003-0044859 A & CN 1421930 A	1-8
A	J P 07-248837 A (富士フイルムマイクロデバイス株 式会社) 1995.09.26, 全文, 全図 (ファミリーなし)	1-8
A	US 2014/0028276 A1 (SK HYNIX IN C.) 2014.01.30, 全文, 全図 & KR 10-2014-0016535 A	1-8