



# [12] 发明专利说明书

专利号 ZL 200410036684.7

[45] 授权公告日 2007 年 1 月 3 日

[11] 授权公告号 CN 1293474C

[22] 申请日 2004.4.28

[21] 申请号 200410036684.7

[30] 优先权

[32] 2003.4.30 [33] JP [31] 125739/2003

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 伊香和洋 岩崎珠树

[56] 参考文献

JP8-305642A 1996.11.22 G06F13/00

US4131945 1978.12.26 G06F9/00

JP10-3786A 1998.1.6 G11C11/406

JP4-217035A 1992.8.7 G06F11/30

审查员 赵晓春

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所  
代理人 吴丽丽

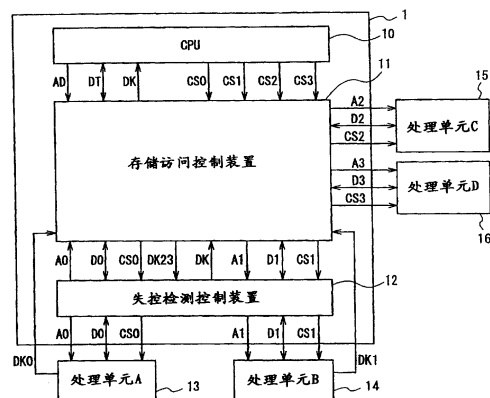
权利要求书 3 页 说明书 21 页 附图 13 页

[54] 发明名称

微计算机

[57] 摘要

本发明的目的是提供当 CPU 对具有存储功能的外部的处理单元进行处理量多的存储访问时，检测 CPU 和外部处理单元的通信的失控状态，避免 CPU 发生失控的微计算机。备有监视设置在微计算机 (1) 的外部的外部处理单元和存储访问控制装置 (11) 的通信的失控检测控制装置 (12)。失控检测控制装置 (12)，当 CPU (10) 以同步交换方式对外部处理单元存储访问时，在检测出外部处理单元与 CPU (10) 的通信成为失控状态的情形下，代替标准确认信号 (DK23) 将拟似确认信号 (DK) 输出到存储访问控制装置 (11)。CPU (10)，当通过存储访问控制装置 (11) 接受拟似确认信号 (DK) 时，将与外部处理单元的存储访问方式切换到固定等待模式。



1.一种微计算机，备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置，其特征在于：具有失控检测控制装置，该装置包括，

内藏计数器，用该计数器计数时间，当计数了预定时间时，声明溢出信号的监视计时器；

检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束时，输出失控检测信号的失控检测电路；和

根据上述失控检测信号，生成表示从上述中央计算处理装置对上述外部处理单元的存储访问结束的拟似确认信号，输出到上述中央计算处理装置的信号发生部件，

上述失控检测电路，在从上述中央计算处理装置对上述外部处理单元的存储访问开始后直到该存储访问结束之间，在上述监视计时器声明溢出信号时，输出上述失控检测信号。

2.权利要求1所述的微计算机，其特征在于：

上述中央计算处理装置排他地存储访问多个上述外部处理单元，上述失控检测控制装置，在从上述中央计算处理装置对上述外部处理单元的存储访问中，检测出与上述中央计算处理装置的存储访问不正常结束的外部处理单元。

3.权利要求1所述的微计算机，其特征在于：

上述失控检测控制装置，当检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束时，上述中央计算处理装置将对上述外部处理单元的存储访问方式从握手模式切换为固定等待模式。

4.权利要求2所述的微计算机，其特征在于：

上述失控检测控制装置备有使检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束的上述失控检测电路初始化,并且开放与上述中央计算处理装置的存储访问不正常结束的外部处理单元的存储空间的重置电路。

5.一种微计算机,备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置,其特征在于:具有失控检测控制装置,该装置包括,

内藏计数器,用该计数器计数时间,当计数了预定时间时,声明溢出信号的监视计时器;和

检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束时,输出失控检测信号的失控检测电路,

上述失控检测电路,在从上述中央计算处理装置对上述外部处理单元的存储访问开始后直到该存储访问结束之间,在上述监视计时器声明溢出信号时,将上述失控检测信号输出到上述中央计算处理装置的中断处理单元,

上述中断处理单元,一旦输入上述失控检测信号就限制对上述外部处理单元的存储访问。

6.一种微计算机,备有中央计算处理装置和当上述中央计算处理装置排他地存储访问具有存储功能的多个外部处理单元时进行控制的存储访问控制装置,其特征在于:备有

失控通知装置,在从上述中央计算处理装置对上述外部处理单元的存储访问中,从与上述中央计算处理装置的存储访问不正常结束成为失控状态的外部处理单元接受失控通知,通过与成为上述失控状态的外部处理单元不同的外部处理单元和上述存储访问控制装置,将成为上述失控状态的外部处理单元的信息通知上述中央计算处理装置。

7.一种微计算机,备有中央计算处理装置和当上述中央计算处理

装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置，其特征在于：具有失控回避控制装置，该装置包括，

内藏计数器，用该计数器计数时间，当计数了预定时间时，产生脉冲信号的监视计时器；和

根据上述脉冲信号，生成表示从上述中央计算处理装置对外部处理单元的存储访问结束的拟似确认信号的信号发生部件，

上述信号发生部件，在上述存储访问开始后，当上述监视计时器计数了预先设定的预定时间时，将上述拟似确认信号输出到上述中央计算处理装置。

## 微计算机

### 技术领域

本发明涉及微计算机,特别是涉及当以握手模式从中央计算处理装置存储访问具有存储功能的外部处理单元时,检测中央计算处理装置和外部处理单元之间的通信的失控状态,避免中央计算处理装置失控的微计算机。

### 背景技术

下面,我们用图 13 说明已有的微计算机(例如,专利文献 1:特开平 4-217035 号公报)。图 13 是已有微计算机的主要单元的模式图。在图 13 中,微计算机 1 备有中央计算处理装置(以下称为 CPU) 10 和存储访问控制装置 11。而且,在微计算机 1 的外部,设置具有存储功能的处理单元 A13、处理单元 B14、处理单元 C15 和处理单元 D16。

CPU10 和存储访问控制装置 11 通过地址信号 AD、数据信号 DT、确认信号 DK、处理单元 A 用的芯片选择信号 CS0、处理单元 B 用的芯片选择信号 CS1、处理单元 C 用的芯片选择信号 CS2 和处理单元 D 用的芯片选择信号 CS3 连接起来。

又,存储访问控制装置 11 和处理单元 A13 通过处理单元 A 用的地址信号 A0、处理单元 A 用的数据信号 D0、处理单元 A 用的芯片选择信号 CS0 和处理单元 A 用的确认信号 DK0 连接起来,存储访问控制装置 11 和处理单元 B14 通过处理单元 B 用的地址信号 A1、处理单元 B 用的数据信号 D1、处理单元 B 用的芯片选择信号 CS1 和处理单元 B 用的确认信号 DK1 连接起来。

又,存储访问控制装置 11 和处理单元 C15 通过处理单元 C 用的地址信号 A2、处理单元 C 用的数据信号 D2 和处理单元 C 用的芯片

选择信号 CS2 连接起来，存储访问控制装置 11 和处理单元 D16 通过处理单元 D 用的地址信号 A3、处理单元 D 用的数据信号 D3 和处理单元 D 用的芯片选择信号 CS3 连接起来。

在图 13 中，从 CPU10 到处理单元 A13 和处理单元 B14 的存储访问方式是握手模式。握手模式是在开始存储访问后，从处理单元到 CPU10 通过存储访问控制装置 11 返回确认信号，结束存储访问的模式。另一方面，从 CPU10 到处理单元 C15 和处理单元 D16 的存储访问方式是从存储访问开始后到结束，以设定的等待循环进行存储访问的固定等待模式。

又，在图 13 中，从 CPU10 到处理单元 A13、处理单元 B14、处理单元 C15 和处理单元 D16 的存储访问是由 CPU10 排他地控制的。即，CPU10 只要到 1 个处理单元的存储访问不结束，就不能够存储访问到下一个处理单元。

现在我们说明以上那样构成的已有微计算机 1 的工作。首先，说明从 CPU10 到处理单元 A13 的存储访问。CPU10，当通过在握手模式中存储访问到处理单元 A13，取出存储在处理单元 A13 中的信息时，将处理单元 A 用的芯片选择信号 CS0 和表示要访问的地址值的地址信号 AD 输出到存储访问控制装置 11，要求到处理单元 A13 的存储访问。存储访问控制装置 11，当接受这些信号时，将处理单元 A 用的芯片选择信号 CS0 和处理单元 A 用的地址信号 A0 输出到处理单元 A13。在该时刻开始到处理单元 A13 的存储访问。而且，当到处理单元 A13 的一连串处理结束时，处理单元 A13 通过存储访问控制装置 11 将确认信号 DK 返回到 CPU10。而且，存储访问控制装置 11 使处理单元 A 用的芯片选择信号 CS0 无效，因此结束存储访问。

同样，CPU10 在握手模式中存储访问到处理单元 B14，读出存储在处理单元 B14 中的信息。

其次，我们说明从 CPU10 到处理单元 C15 的存储访问。CPU10，当通过在固定等待模式中存储访问到处理单元 C15，取出存储在处理单元 C15 中的信息时，将处理单元 C 用的芯片选择信号 CS2 和表示

要访问的地址值的地址信号 AD 输出到存储访问控制装置 11, 要求到处理单元 C15 的存储访问。存储访问控制装置 11, 当接受这些信号时, 将处理单元 C 用的芯片选择信号 CS2 和处理单元 C 用的地址信号 A2 输出到处理单元 C15。在该时刻开始到处理单元 C15 的存储访问。而且, 当在设定的等待循环中到处理单元 C15 的一连串处理结束时, 存储访问控制装置 11 使处理单元 C 用的芯片选择信号 CS2 无效, 因此结束存储访问。

同样, CPU10 也在固定等待模式中存储访问到处理单元 D16, 取出存储在处理单元 D16 中的信息。

### 发明内容

在以上那样的已有的微计算机中, 当 CPU 在握手模式中存储访问到具有存储功能的外部的处理单元时, 进行处理量多的存储访问, 在该存储访问处理中占有外部处理单元, 从处理单元到 CPU 不返回确认信号。当该确认信号不返回到 CPU 时, 不结束存储访问, 处理单元也不能够接受来自 CPU 的中断存储访问命令。结果, 存在着存储访问的处理停滞, 最终 CPU 变得失控那样的问题。

本发明就是为了解除以上那样的问题提出的, 本发明的目的是提供 CPU 对具有存储功能的外部处理单元进行处理量多的存储访问时, 检测 CPU 和外部处理单元的通信的失控状态, 避免 CPU 失控的微计算机。

本发明提供一种微计算机, 备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置, 其特征在于: 具有失控检测控制装置, 该装置包括, 内藏计数器, 用该计数器计数时间, 当计数了预定时间时, 声明溢出信号的监视计时器; 通过检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束, 输出失控检测信号的失控检测电路; 和根据上述失控检测信号, 生成表示从上述中央计算处理装置对上述外部处理单元的存储访问结束的拟似确认信号, 输出到上述中

央计算处理装置的信号发生部件，上述失控检测电路，在从上述中央计算处理装置对上述外部处理单元的存储访问开始后直到该存储访问结束之间，在上述监视计时器声明溢出信号时，输出上述失控检测信号。

上述中央计算处理装置排他地存储访问多个上述外部处理单元，

上述失控检测控制装置，在从上述中央计算处理装置对上述外部处理单元的存储访问中，检测出与上述中央计算处理装置的存储访问不正常结束的外部处理单元。

上述失控检测控制装置，当检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束时，上述中央计算处理装置将对上述外部处理单元的存储访问方式从握手模式切换为固定等待模式。

因此，即便中央计算处理装置和外部处理单元的通信成为失控状态，通过使存储访问处于结束状态，也能够避免发生中央计算处理装置成为失控状态，系统停止的情况。

上述失控检测控制装置备有使检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束的上述失控检测电路初始化，并且开放与上述中央计算处理装置的存储访问不正常结束的外部处理单元的存储空间的重置电路。

因此，通过开放与中央计算处理装置的通信成为失控状态的外部处理单元的存储空间，能够形成下一个存储访问的等待接受状态。

本发明提供一种微计算机，备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置，其特征在于：具有失控检测控制装置，该装置包括，内藏计数器，用该计数器计数时间，当计数了预定时间时，声明溢出信号的监视计时器；和通过检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束，输出失控检测信号的失控检测电路，上述失控检测电路，在从上述中央计算处理装置对上述外部处理单元的存储访问开始后直到该存储访问结束之间，在上述监视计



时器声明溢出信号时，将上述失控检测信号输出到上述中央计算处理装置的中断处理单元，上述中断处理单元，一旦输入上述失控检测信号就限制对上述外部处理单元的存储访问。

因此，即便中央计算处理装置和外部处理单元的通信成为失控状态，也能够避免发生中央计算处理装置成为失控状态，系统停止的情况。

本发明提供一种微计算机，备有中央计算处理装置和当上述中央计算处理装置排他地存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置，其特征在于：备有失控通知装置，在从上述中央计算处理装置对上述外部处理单元的存储访问中，从与上述中央计算处理装置的存储访问不正常结束成为失控状态的外部处理单元接受失控通知，通过与成为上述失控状态的外部处理单元不同的外部处理单元和上述存储访问控制装置，将成为上述失控状态的外部处理单元的信息通知上述中央计算处理装置。

本发明提供一种微计算机，备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置，其特征在于：具有失控回避控制装置，该装置包括，内藏计数器，用该计数器计数时间，当计数了预定时间时，产生脉冲信号的监视计时器；和根据上述脉冲信号，生成表示从上述中央计算处理装置对外部处理单元的存储访问结束的拟似确认信号的信号发生部件，上述信号发生部件，在上述存储访问开始后，当上述监视计时器计数了预先设定的预定时间时，将上述拟似确认信号输出到上述中央计算处理装置。

本发明提供一种微计算机，备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置，其特征在于：具有失控检测控制装置，该装置包括，内藏计数器，用该计数器计数时间，当计数了预定时间时，产生脉冲信号的监视计时器；通过检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束，输出失控检测信号的失控检测

电路；和根据上述失控检测信号，生成表示从上述中央计算处理装置对上述外部处理单元的存储访问结束的拟似确认信号，输出到上述中央计算处理装置的信号发生部件，上述失控检测电路，在从上述中央计算处理装置对上述外部处理单元的存储访问开始后直到该存储访问结束之间，在上述监视计时器产生脉冲信号时，输出上述失控检测信号。

因此，即便中央计算处理装置和外部处理单元的通信成为失控状态，也能够避免发生中央计算处理装置成为失控状态，系统停止的情况。

上述中央计算处理装置排他地存储访问多个上述外部处理单元，上述失控检测控制装置，在从上述中央计算处理装置对上述外部处理单元的存储访问中，检测出与上述中央计算处理装置的存储访问不正常结束的外部处理单元。

因此，即便中央计算处理装置和外部处理单元的通信成为失控状态，通过中止与处于失控状态的外部处理单元的存储访问，也能够避免发生中央计算处理装置成为失控状态，系统停止的情况。

上述失控检测控制装置，当检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束时，上述中央计算处理装置将对上述外部处理单元的存储访问方式从握手模式切换为固定等待模式。

因此，即便中央计算处理装置和外部处理单元的通信成为失控状态，通过使存储访问处于结束状态，也能够避免发生中央计算处理装置成为失控状态，系统停止的情况。

上述失控检测控制装置备有使检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束的上述失控检测电路初始化，并且开放与上述中央计算处理装置的存储访问不正常结束的外部处理单元的存储空间的重置电路。

因此，通过开放与中央计算处理装置的通信成为失控状态的外部处理单元的存储空间，能够形成下一个存储访问的等待接受状态。

本发明提供一种微计算机,备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置,其特征在于:具有失控检测控制装置,该装置包括,内藏计数器,用该计数器计数时间,当计数了预定时间时,产生脉冲信号的监视计时器;和通过检测出从上述中央计算处理装置对上述外部处理单元的存储访问不正常结束,输出失控检测信号的失控检测电路,上述失控检测电路,在从上述中央计算处理装置对上述外部处理单元的存储访问开始后直到该存储访问结束之间,在上述监视计时器产生脉冲信号时,将上述失控检测信号输出到上述中央计算处理装置的中断处理单元,上述中断处理单元,一旦输入上述失控检测信号就限制对上述外部处理单元的存储访问。

因此,即便中央计算处理装置和外部处理单元的通信成为失控状态,也能够避免发生中央计算处理装置成为失控状态,系统停止的情况。

本发明提供一种微计算机,备有中央计算处理装置和当上述中央计算处理装置排他地存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置,其特征在于:备有失控通知装置,在从上述中央计算处理装置对上述外部处理单元的存储访问中,从与上述中央计算处理装置的存储访问不正常结束成为失控状态的外部处理单元接受失控通知,通过与成为上述失控状态的外部处理单元不同的外部处理单元和上述存储访问控制装置,将成为上述失控状态的外部处理单元的信息通知上述中央计算处理装置。

因此,即便中央计算处理装置和外部处理单元的通信成为失控状态,通过中止与处于失控状态的外部处理单元的存储访问,也能够避免发生中央计算处理装置成为失控状态,系统停止的情况。

本发明提供一种微计算机,备有中央计算处理装置和当上述中央计算处理装置存储访问具有存储功能的外部处理单元时进行控制的存储访问控制装置,其特征在于:具有失控回避控制装置,该装置包括,内藏计数器,用该计数器计数时间,当计数了预定时间时,产生

脉冲信号的监视计时器；和根据上述脉冲信号，生成表示从上述中央计算处理装置对外部处理单元的存储访问结束的拟似确认信号的信号发生部件，上述信号发生部件，在上述存储访问开始后，当上述监视计时器计数了预先设定的预定时间时，将上述拟似确认信号输出到上述中央计算处理装置。

因此，具有即便中央计算处理装置和外部处理单元的通信成为失控状态，通过中止与处于失控状态的外部处理单元的存储访问，也能够避免发生中央计算处理装置成为失控状态，系统停止的情况的效果。

#### 附图说明

图 1 是与本发明的实施形态 1 有关的微计算机的构成图。

图 2 是与上述实施形态 1 有关的微计算机的失控检测控制装置的详细构成图。

图 3 是用于说明与上述实施形态 1 有关的微计算机的失控检测控制装置的工作的定时图。

图 4 是与本发明的实施形态 2 有关的微计算机的构成图。

图 5 是用于说明与上述实施形态 2 有关的微计算机的失控检测控制装置的工作的定时图。

图 6 是与本发明的实施形态 3 有关的微计算机的构成图。

图 7 是用于说明与上述实施形态 3 有关的微计算机的失控检测控制装置的工作的定时图。

图 8 是与本发明的实施形态 4 有关的微计算机的构成图。

图 9 是与本发明的实施形态 5 有关的微计算机的构成图。

图 10 是与本发明的实施形态 6 有关的微计算机的构成图。

图 11 是与上述实施形态 6 有关的微计算机的失控检测控制装置的详细构成图。

图 12 是用于说明与上述实施形态 6 有关的微计算机的失控检测控制装置的工作的定时图。

图 13 是已有的微计算机的构成图。

### 标号说明

1 微计算机

10 中央计算处理装置 (CPU)

11 存储访问控制装置

12、12a、12b、12c 失控检测控制装置

13 处理单元 A

14 处理单元 B

15 处理单元 C

16 处理单元 D

17 失控通知装置

18 避免失控控制装置

AD、A0~A3 地址信号

DT 数据信号

CS0~CS3 芯片选择信号

DK、DK2、DK3、DK23 确认信号

D0~D3 数据信号

A1、A2 地址信号

INT1、INT2 失控检测中断信号

INF1、INF2 失控通知信号

a 溢出信号

b 失控检测控制装置接通信号

c 处理单元 A 用的失控检测信号

d 处理单元 B 用的失控检测信号

e 处理单元 A 和处理单元 B 用的失控检测信号

f 拟似确认信号

g 重置信号

h 处理单元 A 用的重置信号

i 处理单元 B 用的重置信号  
j 处理单元 A 用的脉冲信号  
k 处理单元 B 用的脉冲信号  
1 拟似确认信号 (脉冲信号)  
121 选择器  
122NOR 电路  
123AND 电路  
124 处理单元 A 的失控检测电路  
125 处理单元 B 的失控检测电路  
126、180 监视计时器 (WDT)  
127 通用端口 (GIO)  
128、128a 重置生成装置  
181NOR 电路  
182AND 电路

### 具体实施方式

下面,我们一面参照附图一面说明与本发明的实施形态有关的微计算机。

#### (实施形态 1)

图 1 是表示与本发明的实施形态 1 有关的微计算机的构成的方框图。在图 1 中,与图 13 相同的标号表示相同或相当的部分。与实施形态 1 有关的微计算机的特征是备有失控检测控制装置 12。失控检测控制装置 12 检测 CPU10 和处理单元 A13 或处理单元 B14 的通信的失控状态。

在图 1 中,失控检测控制装置 12 和存储访问控制装置 11 通过处理单元 A 用的地址信号 A0、处理单元 A 用的数据信号 D0、处理单元 A 用的芯片选择信号 CS0、处理单元 A 和处理单元 B 用的确认信号 DK23、确认信号 DK、处理单元 B 用的地址信号 A1、处理单元 B 用的数据信号 D1 和处理单元 B 用的芯片选择信号 CS1 连接起来。

又，失控检测控制装置 12 和处理单元 A13 通过处理单元 A 用的地址信号 A0、处理单元 A 用的数据信号 D0 和处理单元 A 用的芯片选择信号 CS0 连接起来，失控检测控制装置 12 和处理单元 B14 通过处理单元 B 用的地址信号 A1、处理单元 B 用的数据信号 D1 和处理单元 B 用的芯片选择信号 CS1 连接起来。

又，处理单元 A13 和存储访问控制装置 11 通过处理单元 A 用的确认信号 DK0 连接起来，处理单元 B14 和存储访问控制装置 11 通过处理单元 B 用的确认信号 DK1 连接起来。

下面，我们用图 2 详细说明失控检测控制装置 12。图 2 是表示失控检测控制装置 12 的构成的方框图。在图 2 中，与图 1、图 13 相同的标号表示相同或相当的部分。失控检测控制装置 12 备有选择器 121、NOR 电路 122、AND 电路 123、处理单元 A 失控检测电路 124、处理单元 B 失控检测电路 125、监视计时器（Watching Dog Timer:WDT）126 和通用输入输出端口（GIO）127。

WDT126，内藏计数器，当该计数器的计数结果达到设定值时，声明（assert）并输出溢出信号 a。GIO127 输出表示是否使失控检测控制装置 12 接通的信号 b。处理单元 A 失控检测电路 124 检测处理单元 A13 是否发生失控，输出处理单元 A 用的失控信号 c。处理单元 B 失控检测电路 125 检测处理单元 B14 是否发生失控，输出处理单元 B 用的失控信号 d。NOR 电路 122 从输出处理单元 A 用的失控信号 c 和输出处理单元 B 用的失控信号 d 生成表示处理单元 A13 或处理单元 B14 发生失控的失控检测信号 e。AND 电路 123 从标准确认信号 DK23 和失控检测信号 e 生成拟似确认信号 f。选择器 121 选择来自存储访问控制装置 11 的标准确认信号 DK23 和拟似确认信号 f 中的某一个，作为确认信号 DK 输出到存储访问控制装置 11。

与以上那样构成的实施形态 1 有关的微计算机与已有的微计算机同样，从 CPU10 到处理单元 A13 和处理单元 B14 的存储访问方式是握手模式，从 CPU10 到处理单元 C15 和处理单元 D16 的存储访问方式是固定等待模式。又，由 CPU10 排他地控制从 CPU10 到处理单

元 A13、处理单元 B14、处理单元 C15 和处理单元 D16 的各个存储访问。

下面，我们说明与实施形态 1 有关的微计算机的工作。此外，因为从 CPU10 到处理单元 C15、处理单元 D16 的存储访问与已有例相同，所以省略对它们的说明，我们用图 3 只说明从 CPU10 到处理单元 A13、处理单元 B14 的存储访问。

图 3 是用于说明与实施形态 1 有关的微计算机的工作的定时图，表示当 CPU10 存储访问到处理单元 A13 时的定时图。在图 3 中， $t_0$  表示从 CPU10 到处理单元 A13 的存储访问开始时刻，即，声明处理单元 A 用的芯片选择信号 CS0 的时刻， $t_1$  表示声明溢出信号 a 的时刻， $t_2$  表示声明拟似确认信号 f 的时刻。 $t_3$  表示从 CPU10 到处理单元 A13 的存储访问的结束时刻。

首先，我们说明从 CPU10 存储访问到处理单元 A13 时的工作。CPU10，当存储访问到处理单元 A13 时，在时刻  $t_0$ ，将处理单元 A 用的芯片选择信号 CS0 和表示要访问的地址值的地址信号 AD 输出到存储访问控制装置 11，要求到处理单元 A13 的存储访问。此外，当存储访问时，失控检测控制装置 12 根据 GIO127 的输出信号 b 总是处于接通状态。存储访问控制装置 11，当接受处理单元 A 用的芯片选择信号 CS0 和地址信号 AD 时，通过失控检测控制装置 12 将处理单元 A 用的芯片选择信号 CS0 和处理单元 A 用的地址信号 A0 传递给处理单元 A13。在该时刻开始到处理单元 A13 的存储访问。

当开始存储访问时，处理单元 A 失控检测电路 124，监视芯片选择信号 CS0 和来自 WDT126 的溢出信号 a，检测处理单元 A13 是否处于失控状态。WDT126 当接通系统电源时开始计数，经过比通常的存储访问时间长得多的时间后，即，在图 3 所示的  $t_1$  的定时，声明溢出信号 a。处理单元 A 失控检测电路 124，在存储访问结束前，即在使处理单元 A 用的芯片选择信号 CS0 无效前，当检测出已经声明了溢出信号 a 时，处理单元 A13 发生失控，在  $t_1$  的下一个循环  $t_2$  声明失控检测信号 c。此外，1 个循环与系统时钟的 1 个周期相当。



其次，NOR 电路 122，输入表示处理单元 A13 的失控状态的失控检测信号 c，在 t2 的定时输出声明了的失控检测信号 e。而且，根据失控检测信号 e，在 t2 的定时声明拟似确认信号 f，并输出到选择器 121。选择器 121 将信号 b 作为选择信号，在失控检测控制装置 12 表示接通状态期间，选择拟似确认信号 f，输出到存储访问控制装置 11。存储访问控制装置 11 将该拟似确认信号 f 输出到 CPU10，在下一个循环 t3 使处理单元 A 用的芯片选择信号 CS0 无效。因此，从 CPU10 到处理单元 A13 的存储访问结束。CPU10，当识别到处理单元 A13 的存储访问结束时，自动地将作为握手模式的到处理单元 A13 的存储访问方式切换到固定等待模式。

又，CPU10，当存储访问到处理单元 B14 时，处理单元 B 失控检测电路 125，如上述那样，从处理单元 B 用的芯片选择信号 CS1 和溢出信号 a，检测处理单元 B14 的失控。而且，当处理单元 B 失控检测电路 125 声明失控检测信号 d 并进行输出时，NOR 电路 122 在与失控检测信号 d 相同的定时输出声明了的失控检测信号 e，AND 电路 123 在与失控检测信号 e 相同的定时输出声明了的拟似确认信号 f。因为以后的工作与从 CPU10 到处理单元 A13 的存储访问时同样，所以省略对它们的说明。

这样，失控检测控制装置 12，通过用处理单元 A 失控检测电路 124 检测 CPU10 和处理单元 A13 的通信的失控状态，用处理单元 B 失控检测电路 125 检测 CPU10 和处理单元 B14 的通信的失控状态，能够特定在处理单元 A13 和处理单元 B14 中某一个中是否发生失控。

如上所示，与本实施形态 1 有关的微计算机备有监视在微计算机 1 外部的，具有存储功能的外部处理单元（处理单元 A13、处理单元 B14）和存储访问控制装置 11 的通信的失控检测控制装置 12。而且，失控检测控制装置 12，当 CPU10 以同步交换方式进行与外部处理单元的存储访问时，在检测出 CPU10 和外部处理单元的通信处于失控状态的情形中，代替标准确认信号 DK23 通过存储访问控制装置 11 将拟似确认信号 DK 返回到 CPU10。而且，CPU10，识别出根据该拟

似确认信号 DK 存储访问结束，将与外部处理单元的存储访问方式从握手模式切换到固定等待模式。因此，进行处理量多的存储访问，即便 CPU10 和外部处理单元的通信成为失控状态，也能够强制地结束该存储访问，避免发生 CPU10 成为失控状态，系统停止的情况。

(实施形态 2)

下面，我们用图 4、5 说明与本发明的实施形态 2 有关的微计算机。

图 4 是表示与实施形态 2 有关的微计算机 1 的失控检测控制装置 12a 的构成的图。在图 4 中与图 1、图 2、图 13 相同的标号表示相同或相当的部分。失控检测控制装置 12a 以备有重置电路 128 为特征。重置电路 128，根据来自 WDT126 的溢出信号 a，将重置信号 g 输出到处理单元 A 失控检测电路 124 和处理单元 B 失控检测电路 125，对这些电路进行初始化，并且将重置信号 g 输出到处理单元 A13 和处理单元 B14，开放这些处理单元的存储空间。

我们用图 5 说明以上那样构成的微计算机的工作。图 5 是用于说明与实施形态 2 有关的微计算机的工作的定时图，表示 CPU10 存储访问到处理单元 A13 时的定时图。在图 5 中，t4 是使 WDT126 的溢出信号 a 无效的时刻，t5 是声明从重置电路 128 输出到处理单元 A13、处理单元 B14、处理单元 A 失控检测电路 124 和处理单元 B 失控检测电路 125 的重置信号 g 的时刻，t6 是对处理单元 A 失控检测电路 124 和处理单元 B 失控检测电路 125 进行初始化的时刻，并且是开放处理单元 A13 和处理单元 B14 的存储空间的时刻。

下面，我们说明当 CPU10 存储访问到处理单元 A13 时的工作。此外，说明失控检测控制装置 12a 根据 GIO127 的输出信号 b 处于接通状态的情形。因为直到时刻 t0~t3 的工作与实施形态 1 相同，所以省略对它们的说明。

在时刻 t4，WDT126，在声明溢出信号 a 后，当内藏的计数器的计数结果达到设定值时，使溢出信号 a 无效。重置电路 128a，当使溢出信号 a 无效时，在下一个循环 t5，声明重置信号 g，输出到处理单

元 A13、处理单元 b14、处理单元 A 失控检测电路 124 和处理单元 B 失控检测电路 125。

而且，在下一个循环 t6，对处理单元 A 失控检测电路 124 和处理单元 B 失控检测电路 125 进行初始化，并且开放处理单元 A13 和处理单元 B14 的存储空间。

这样与本实施形态 2 有关的微计算机，当 CPU10 和外部处理单元（处理单元 13、处理单元 14）的通信成为失控状态时，存储访问控制装置 11 将拟似确认信号 f 输出到 CPU10，结束 CPU10 和外部处理单元的存储访问。而且，在存储访问结束后，当 WDT126 的内藏计数器的计数结果达到设定值时，重置电路 128 将重置信号 g 输出到外部处理单元（处理单元 13、处理单元 14）、失控检测电路（处理单元 A 失控检测电路 124、处理单元 B 失控检测电路 125），开放外部处理单元的存储空间，对失控检测电路进行初始化。因此，即便 CPU10 和外部处理单元的通信成为失控状态，也能够强制地结束该存储访问，避免发生 CPU10 成为失控状态，系统停止的情况。又，根据重置信号 g 对失控检测电路进行初始化，并且开放与 CPU10 的通信成为失控状态的外部处理单元的存储空间，能够形成下一个存储访问的等待接受状态。

### （实施形态 3）

其次，我们用图 6、7 说明与本发明的实施形态 3 有关的微计算机。

图 6 是表示与实施形态 3 有关的微计算机 1 的失控检测控制装置 12b 的构成的图。在图 6 中与图 1、图 2、图 13 相同的标号表示相同或相当的部分。失控检测控制装置 12b 以具备有重置电路 128a 为特征。重置电路 128a 将重置信号 h 输出到处理单元 A13 和处理单元 A 失控检测电路 124，开放处理单元 A13 的存储空间，并且，对处理单元 A 失控检测电路 124 进行初始化。又，将重置信号 i 输出到处理单元 B14 和处理单元 B 失控检测电路 125，开放处理单元 B14 的存储空间，并且，对处理单元 B 失控检测电路 125 进行初始化。

图 7 是用于说明与实施形态 3 有关的微计算机的工作的定时图，表示 CPU10 存储访问到处理单元 A13 时的定时图。在图 7 中，t4 是 WDT126 使溢出信号 a 无效的时刻，t5 是声明从重置电路 128a 输出到处理单元 A13 和处理单元 A 失控检测电路 124 的重置信号 h 的时刻，t6 是开放处理单元 A13 的存储空间，对处理单元 A 失控检测电路 124 进行初始化的时刻。

我们说明以上那样构成的微计算机 1 的失控检测控制装置 12b 的工作。此外，说明失控检测控制装置 12b 根据 GIO127 的输出信号处于接通状态的情形。

首先，我们说明存储访问到处理单元 A13 时的工作。因为直到时刻 t0~t3 的工作与实施形态 1 相同，所以省略对它们的说明。

在时刻 t4，WDT126，在声明溢出信号 a 后，当内藏的计数器的计数结果达到设定值时，使溢出信号 a 无效。重置电路 128a，当使溢出信号 a 无效时，在下一个循环 t5，声明重置信号 h，输出到处理单元 A13 和处理单元 A 失控检测电路 124。因此，在下一个循环 t6 开放处理单元 A13 的存储空间，对处理单元 A 失控检测电路 124 进行初始化。

又，当从 CPU10 存储访问到处理单元 B14 时，在处理单元 B 失控检测电路 125 检测出 CPU10 与处理单元 B14 的通信的失控状态的情形中，在时刻 t4，WDT126 使溢出信号 a 无效，在时刻 t5 重置电路 128a 声明重置信号 i，输出到处理单元 B14 和处理单元 B 失控检测电路 125。因此，在时刻 t6 开放处理单元 B14 的存储空间，对处理单元 B 失控检测电路 125 进行初始化。

这样与本实施形态 3 有关的微计算机，当 CPU10 和外部处理单元（处理单元 A13、处理单元 B14）的通信成为失控状态时，存储访问控制装置 11 将拟似确认信号 f 输出到 CPU，结束存储访问。而且，在存储访问结束后，当 WDT126 的内藏计数器的计数结果达到设定值时，重置电路 128a 将重置信号输出到与 CPU10 的通信成为失控状态的外部处理单元和检测该失控状态的失控检测电路，开放该外部处理

单元的存储空间，并且，对该失控检测电路进行初始化。因此，即便 CPU10 和外部处理单元的通信成为失控状态，也能够强制地结束该存储访问，避免发生 CPU10 成为失控状态，系统停止的情况。又，能够根据重置信号 h 或重置信号 i，对检测失控的失控检测电路进行初始化，进一步，开放失控的处理单元的存储空间，能够形成下一个存储访问的等待接受状态。

(实施形态 4)

其次，我们用图 8 说明与本发明的实施形态 4 有关的微计算机。

图 8 是表示与实施形态 4 有关的微计算机的失控检测控制装置 12c 的构成的图。在图 8 中与图 1、图 2、图 13 相同的标号表示相同或相当的部分。与实施形态 4 有关的微计算机 1 的特征是 CPU10 和失控检测控制装置 12c 通过处理单元 A 用的失控检测信号 INT1 和处理单元 B 用的失控检测信号 INT2 连接起来。

我们说明以上那样构成的微计算机 1 的工作。

首先，说明 CPU10 存储访问到处理单元 A13 时的工作。CPU10，通过将要与处理单元 A 用的芯片选择信号 CS0 和表示要访问的地址值的地址信号 AD 输出到存储访问控制装置 11，要求到处理单元 A13 的存储访问。存储访问控制装置 11，当接受处理单元 A 用的芯片选择信号 CS0 和地址信号 AD 时，将处理单元 A 用的芯片选择信号 CS0 和处理单元 A 用的地址信号 A0 输出到处理单元 A13。在该时刻开始到处理单元 A13 的存储访问。

处理单元 A 失控检测电路 124，在从 CPU10 到处理单元 A13 的存储访问结束前，当从 WDT126 输入声明了的溢出信号 a 时，在下一个循环，将处理单元 A 用的失控检测信号 INT1 直接输出到 CPU10 的中断处理单元的中断端子 1。中断处理单元输入处理单元 A 用的失控检测信号 INT1 和限制到处理单元 A13 的存储访问。

同样，从 CPU10 存储访问到处理单元 B14，当处理单元 B 失控检测电路 125 检测出 CPU10 和处理单元 B14 的通信的失控状态时，处理单元 B 失控检测电路 125 将处理单元 B 用的失控检测信号 INT2

直接输出到 CPU10 的中断处理单元的中断端子 2。

当 CPU10 输入处理单元 A 用的失控检测信号 INT1 时，将与处理单元 A13 的存储访问方式从握手模式切换到固定等待模式，当输入处理单元 B 用的失控检测信号 INT2 时，将与处理单元 B14 的存储访问方式从握手模式切换到固定等待模式。因此，即便 CPU10 和处理单元 A13 或处理单元 B14 的通信成为失控状态，也能够避免发生 CPU10 成为失控状态的情况。

这样与本实施形态 4 有关的微计算机，当 CPU10 和外部处理单元（处理单元 A13、处理单元 B14）以同步交换方式进行访问时，失控检测电路（处理单元 A 失控检测电路 124、处理单元 B 失控检测电路 125）在 CPU10 和外部处理单元的通信中检测出失控状态时，从失控检测电路将失控检测信号（处理单元 A 用的失控检测信号 INT1，处理单元 B 用的失控检测信号 INT2）直接输入到 CPU10 的中断处理单元的中断端子（中断端子 1、2）。而且，CPU 根据失控检测信号，将与外部处理单元的存储访问方式从握手模式切换到固定等待模式。因此，即便 CPU10 和外部处理单元的通信成为失控状态，也能够结束存储访问，迅速地避免发生 CPU10 成为失控状态，系统停止的情况，能够达到实现从失控状态恢复的初始化的目的。

（实施形态 5）

其次，我们用图 9、10 说明与本发明的实施形态 5 有关的微计算机。

图 9 是表示与实施形态 5 有关的微计算机的构成的方框图。在图 9 中，与图 13 相同的标号表示相同或相当的部分。与实施形态 5 有关的微计算机 1 的特征是备有失控通知装置 17。在图 9 中，当处理单元 A13 失控时，失控通知装置 17 从处理单元 A13 输入失控通知信号 INF1。例如，处理单元 A13 内部备有计数器，即便经过比通常的存储访问时间长得多的时间，当存储访问没有结束时，也向失控通知装置 17 输出失控通知信号 INF1。当失控通知装置 17 从处理单元 A13 输入失控通知信号 INF1 时，通过处理单元 B14 和存储访问控制装置

11, 将处理单元 A13 发生失控一事通知 CPU10。又, 失控通知装置 17, 当处理单元 B14 发生失控时, 从处理单元 B14 输入失控通知信号 INF2, 通过处理单元 A13 和存储访问控制装置 11, 将处理单元 B14 发生失控一事通知 CPU10。

我们说明以上那样构成的微计算机 1 的工作。首先, 说明从 CPU10 存储访问到处理单元 A13 时的工作。CPU10, 当存储访问处理单元 A13 时, 通过将处理单元 A 用的芯片选择信号 CS2 和表示要访问的地址值的地址信号 AD 输出到存储访问控制装置 11, 要求到处理单元 A13 的访问。存储访问控制装置 11, 当接受这些信号时, 将处理单元 A 用的芯片选择信号 CS0 和处理单元 A 用的地址信号 A0 输出到处理单元 A13。在该时刻开始到处理单元 A13 的存储访问。

在从 CPU10 到处理单元 A13 的存储访问开始后, 即便经过通常的存储访问时间, 当存储访问没有结束时, 失控通知装置 17 也输入来自从处理单元 A13 的失控通知信号 INF1。当输入失控通知信号 INF1 时, 失控通知装置 17 通过正在正常工作的其它处理单元 B14 和存储访问控制装置 11, 将处理单元 A13 发生失控一事通知 CPU10。即, 失控通知装置 17, 将失控通知信号 INF2 输出到处理单元 B14, 通过处理单元 B14 和存储访问控制装置 11, 将该失控通知信号 INF2 输入到 CPU10。如以上那样, 失控通知装置 17 要求限制存储访问。被通知了处理单元 A13 处于失控状态的 CPU10, 通过停止到处于失控状态的处理单元 A13 的存储访问, 达到使系统从失控状态恢复的目的。

又, 当 CPU10 和处理单元 B14 的通信成为失控状态时, 失控通知装置 17 从处理单元 B14 输入失控通知信号 INF2, 通过处理单元 A13 和存储访问控制装置 11, 将处理单元 B14 处于失控状态一事通知 CPU10。即, 失控通知装置 17, 将失控通知信号 INF1 输出到处理单元 A13, 通过处理单元 A13 和存储访问控制装置 11, 将该失控检测信号 INF2 输入到 CPU10。

这样与本实施形态 5 有关的微计算机, 备有失控通知装置 17,

当某个外部处理单元（例如处理单元 A13）发生失控时，失控通知装置 17 通过别的外部处理单元（例如处理单元 B14）和存储访问控制装置 11，将处理单元处于失控状态一事通知 CPU10。因此，即便 CPU10 和外部处理单元（处理单元 A13、处理单元 B14）的通信成为失控状态，也能够避免发生 CPU10 成为失控状态，系统停止的情况。（实施形态 6）

其次，我们用图 10、11 说明与本发明的实施形态 6 有关的微计算机。

图 10 是表示与实施形态 6 有关的微计算机的构成的方框图。与图 13 相同的标号表示相同或相当的部分。与实施形态 6 有关的微计算机 1 的特征是备有避免失控控制装置 18。避免失控控制装置 18，通过存储访问控制装置 11，监视 CPU10 与处理单元 A13 和处理单元 B14 的通信的失控状态，避免发生失控。

图 11 是表示避免失控控制装置 18 的详细构成的图。在图 11 中，避免失控控制装置 18 备有 WDT180、NOR 电路 181 和 AND 电路 182。WDT180，当内藏计数器的计数结果达到设定值时，产生脉冲信号。当 CPU10 存储访问处理单元 A13 时，产生处理单元 A 用的脉冲信号 j，当 CPU10 存储访问处理单元 B14 时，产生处理单元 B 用的脉冲信号 k。NOR 电路 181 输入处理单元 A 用的脉冲信号 j 或处理单元 B 用的脉冲信号 k，输出拟似确认信号 l。AND 电路 182 输入拟似确认信号 l 和标准确认信号 DK23，生成用于输出到 CPU10 的确认信号 DK。

现在我们用图 12 说明与以上那样构成的实施形态 6 有关的微计算机的工作。图 12 是用于说明与实施形态 6 有关的微计算机的工作的定时图，表示从 CPU10 存储访问到处理单元 A13 时的定时图。在图 12 中，t0 是声明处理单元 A 用的芯片选择信号 CS0 的时刻，t7 是 WDT180 产生脉冲信号的时刻，并且是声明拟似确认信号 l 的时刻，t8 是从 CPU10 到处理单元 A13 的存储访问结束的时刻。

CPU10，当存储访问处理单元 A13 时，在时刻 t0，将处理单元



A用的芯片选择信号 CS0 和表示要访问的地址值的地址信号 AD 输出到存储访问控制装置 11, 要求到处理单元 A13 的存储访问。存储访问控制装置 11, 当接受这些信号时, 将处理单元 A 用的芯片选择信号 CS0 和处理单元 A 用的地址信号 A0 输出到处理单元 A13。

在该时刻开始到处理单元 A13 的存储访问。而且, WDT180, 当由内藏的非同步计数器对声明处理单元 A 用的芯片选择信号 CS0 后的时间进行计数, 当计数结果超过设定值时, 在 t7 的定时产生处理单元 A 用的脉冲信号 j。而且, NOR 电路 181 在 t7 的定时产生拟似确认信号 I, AND 电路 182 将拟似确认信号 I 作为确认信号 DK 输出到 CPU10, 在 t8 的定时强制地结束存储访问。

同样, 当 CPU10 存储访问处理单元 B14 时, WDT180, 当由内藏的非同步计数器对声明处理单元 B 用的芯片选择信号 CS1 后的时间进行计数, 当计数结果超过设定值时, 在 t7 的定时产生处理单元 B 用的脉冲信号 k。而且, NOR 电路 181 产生拟似确认信号 I, AND 电路 182 将拟似确认信号 I 作为确认信号 DK 输出到 CPU10, 在 t8 的定时强制地结束存储访问。

这样与本实施形态 6 有关的微计算机备有与存储访问控制装置 11 和外部处理单元(处理单元 A13、处理单元 B14)连接的避免失控控制装置 18。而且, 避免失控控制装置 18, 当在存储访问开始后经过预定时间时, 产生拟似确认信号 I, 通过存储访问控制装置 11 将该拟似确认信号作为确认信号 DK 输入到 CPU10。而且, CPU10 根据该拟似确认信号 DK 识别存储访问结束, 使存储访问结束。因此, 从存储访问开始后到经过预定时间后强制地结束 CPU10 和外部处理单元的存储访问, 能够避免系统发生失控。

本发明适用于从微处理机到外部存储器进行处理量多的存储访问的系统。

图1

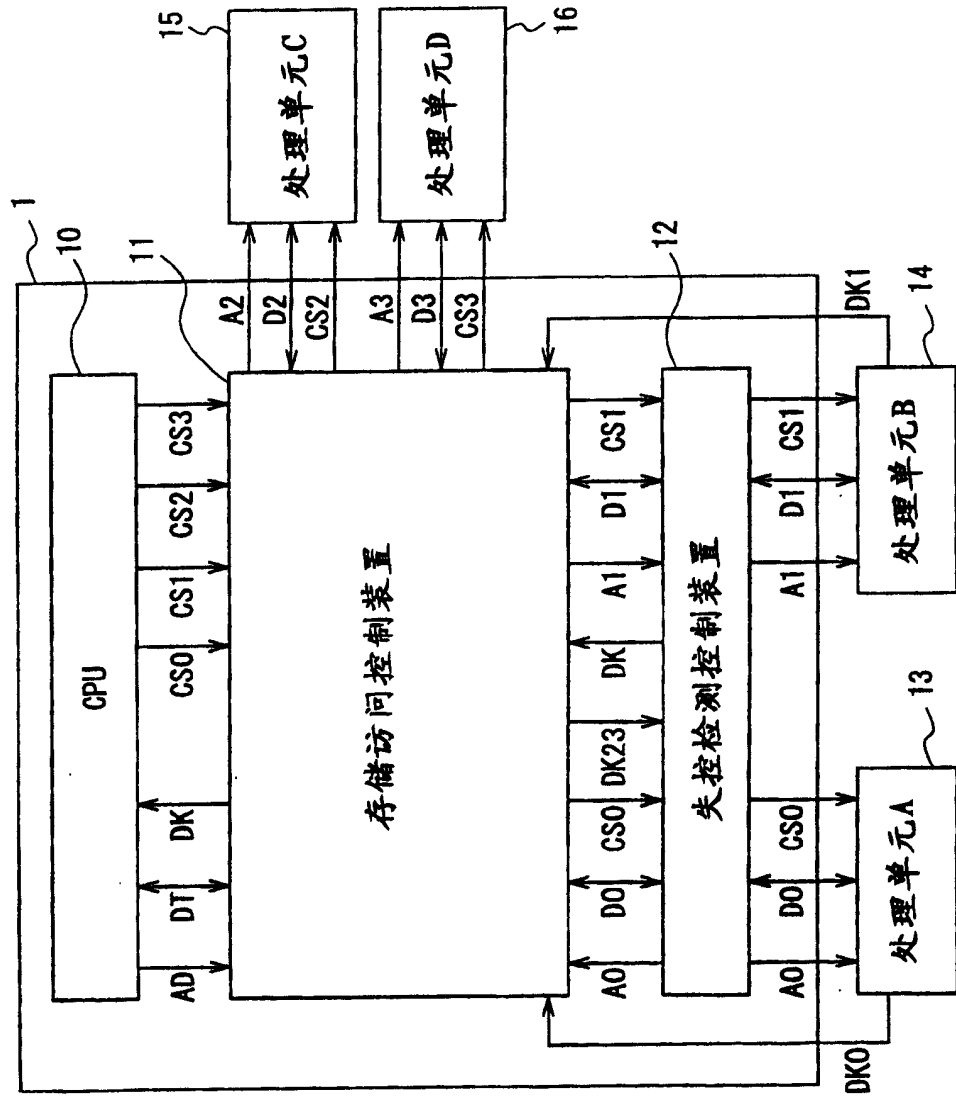


图2

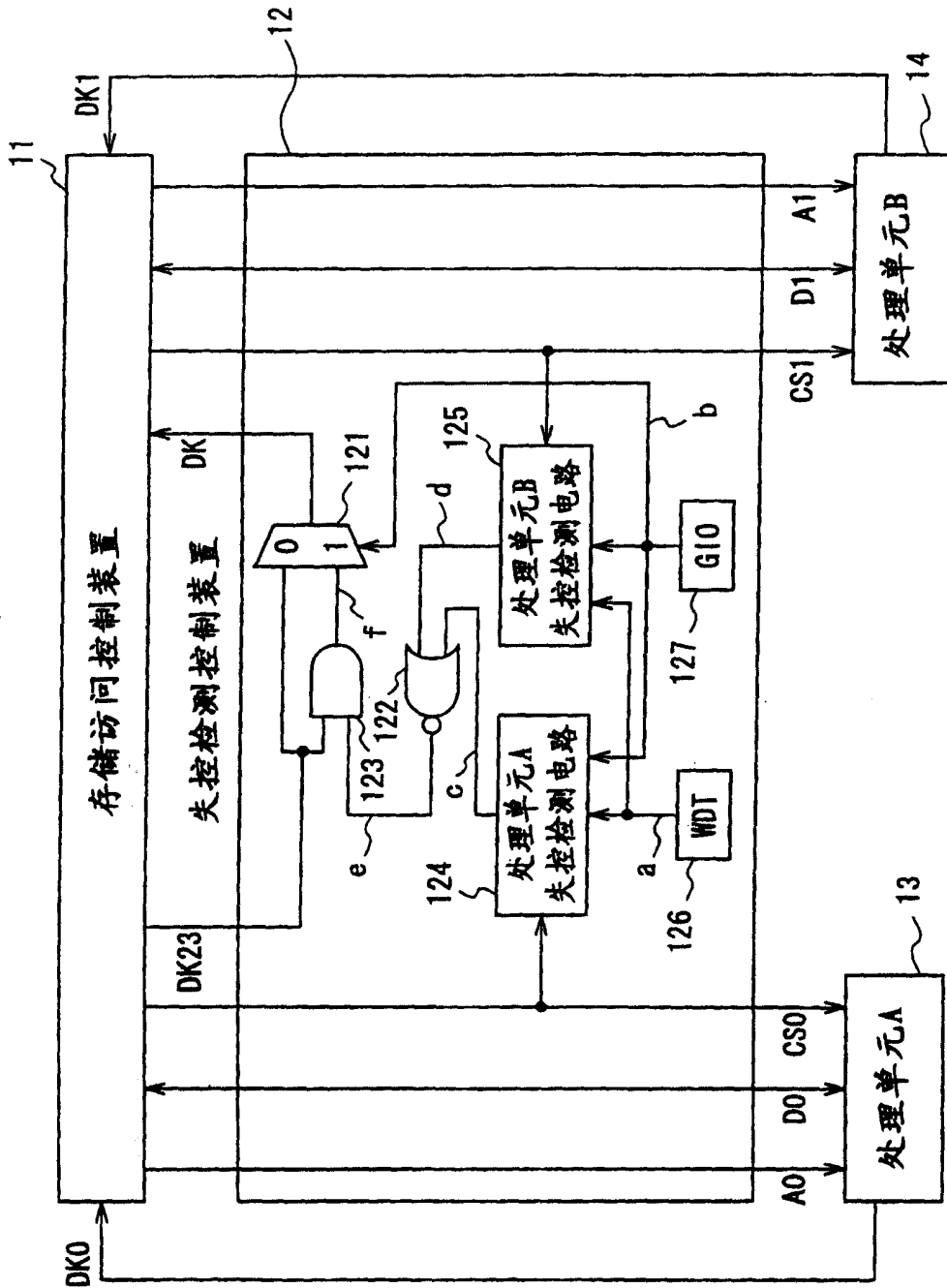


图3

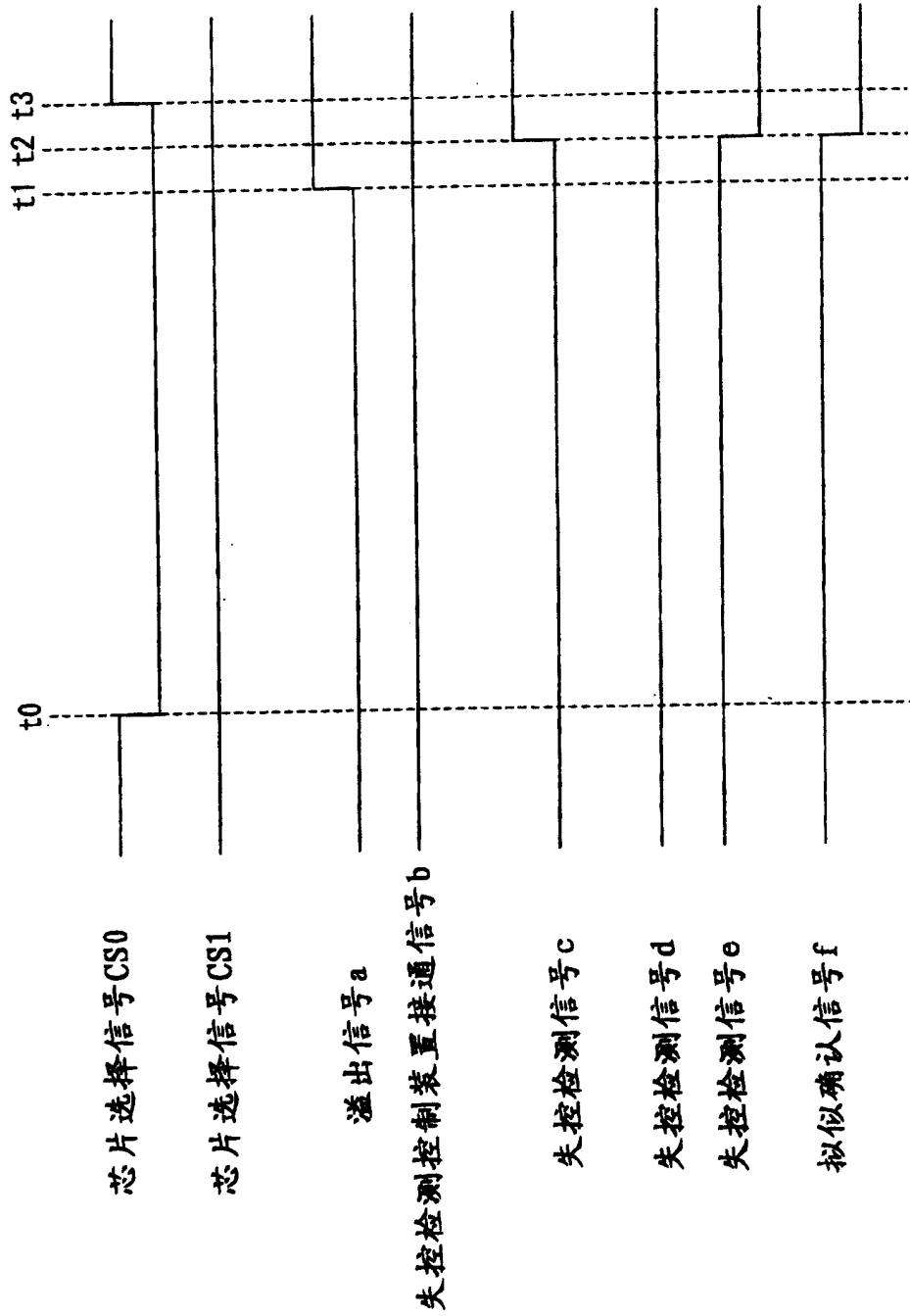


图 4

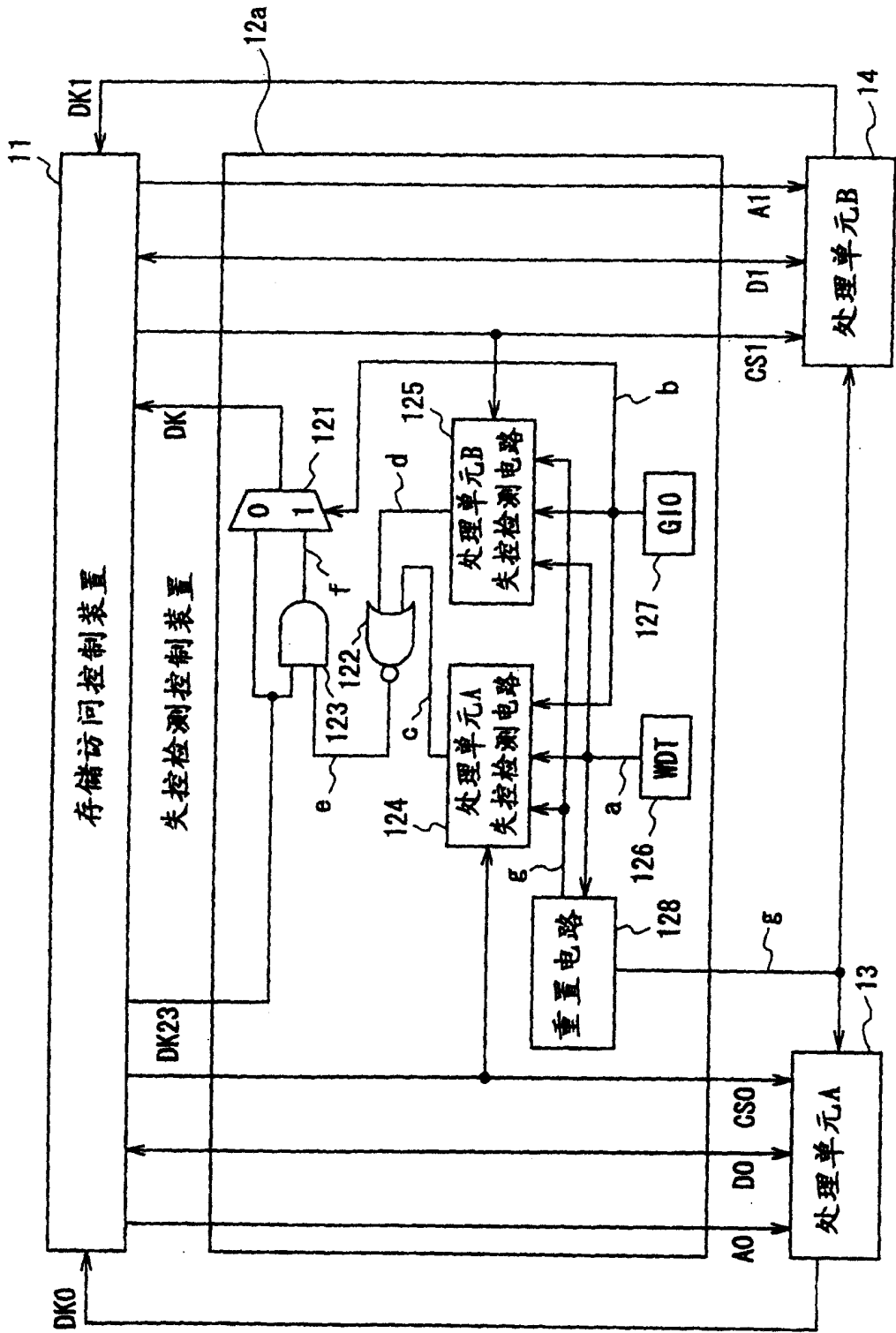


图5

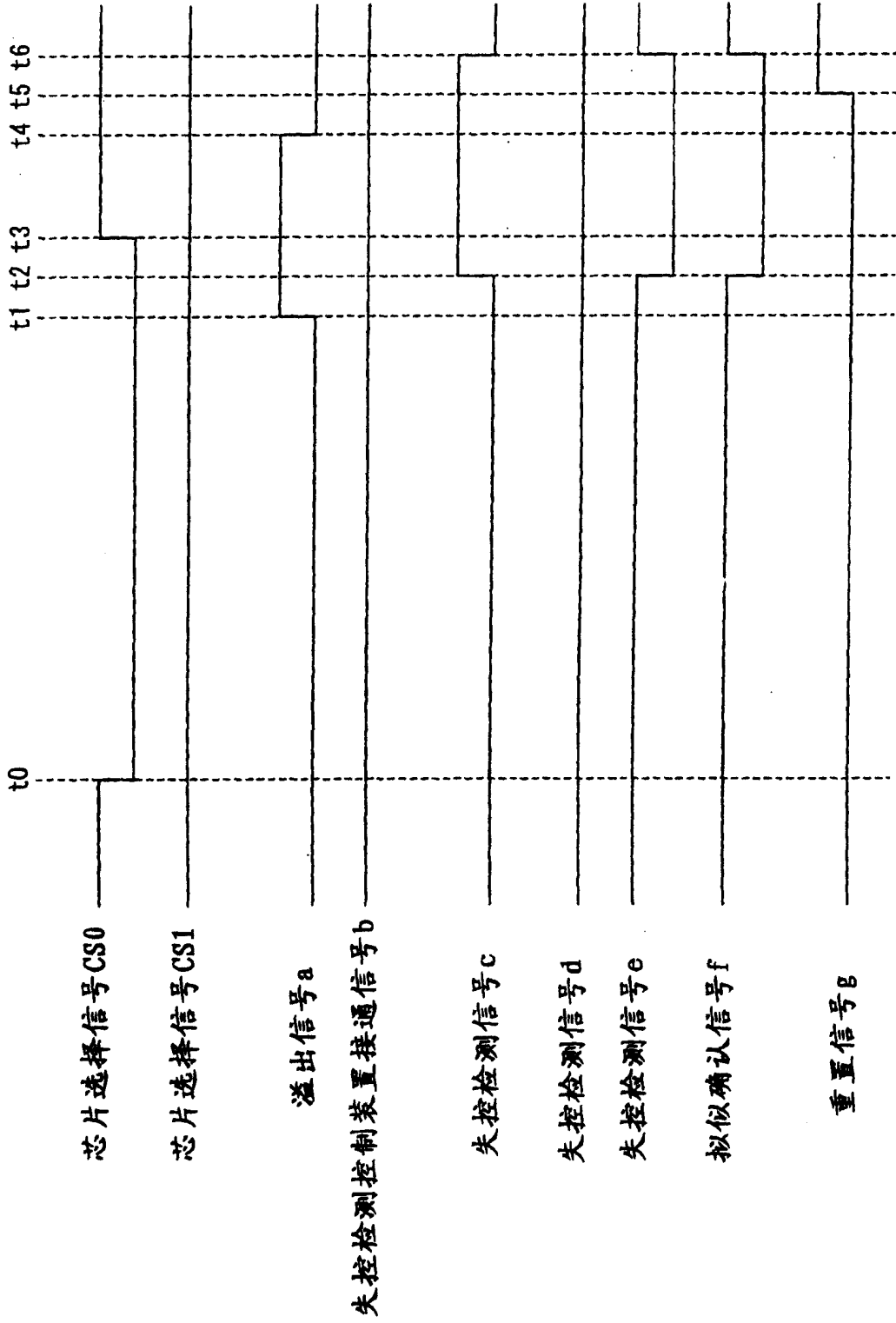


图6

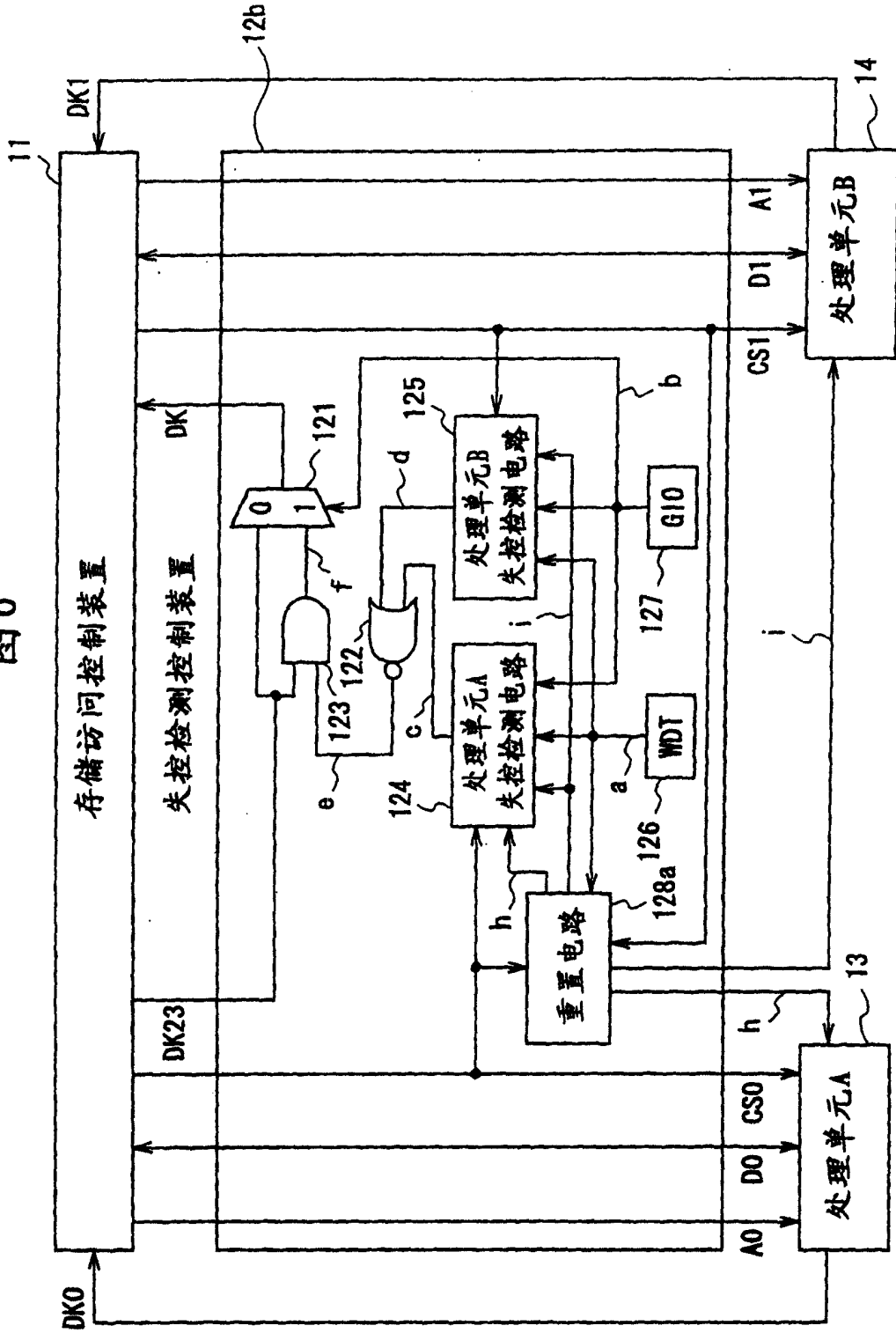


图7

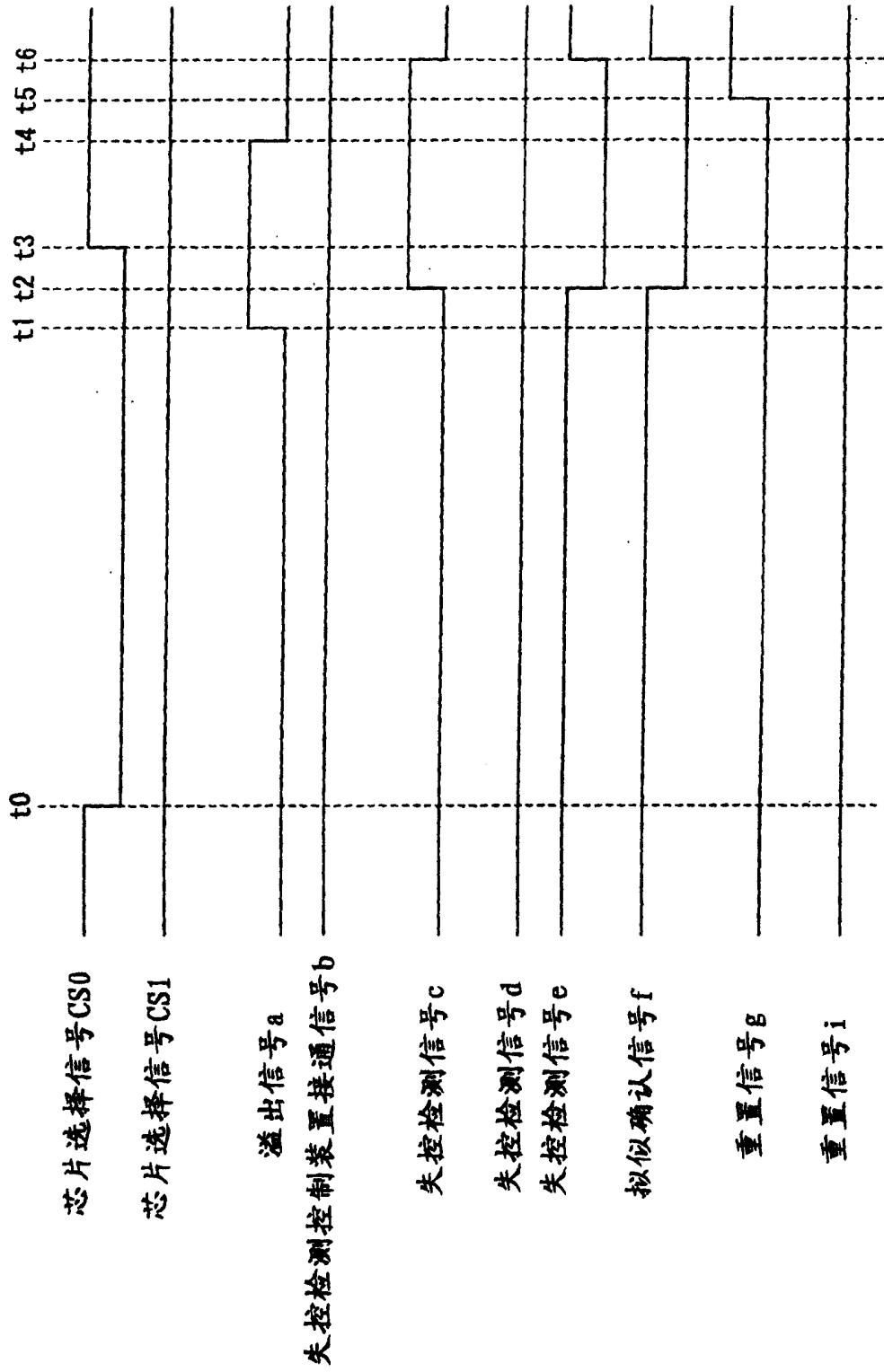




图 8

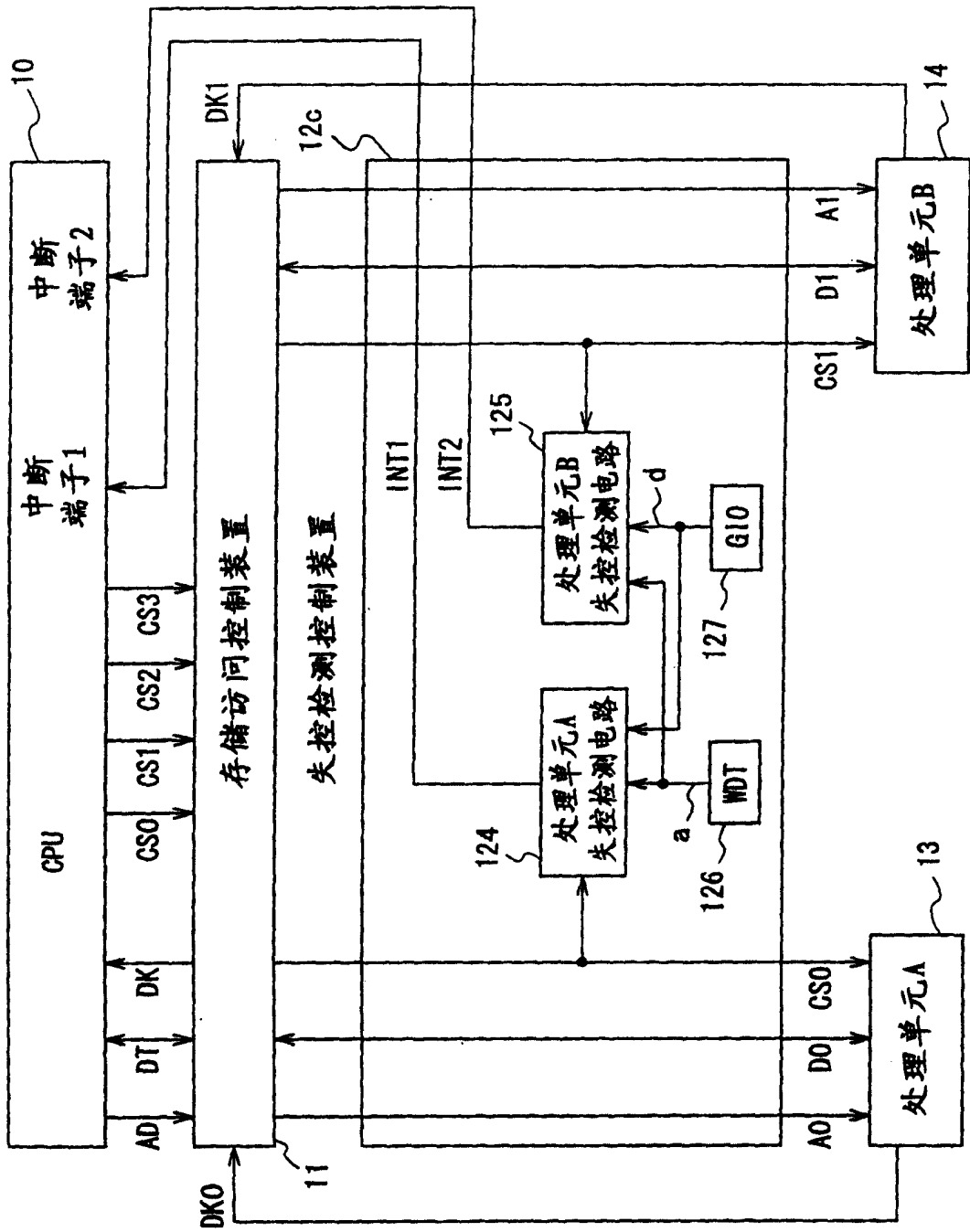


图9

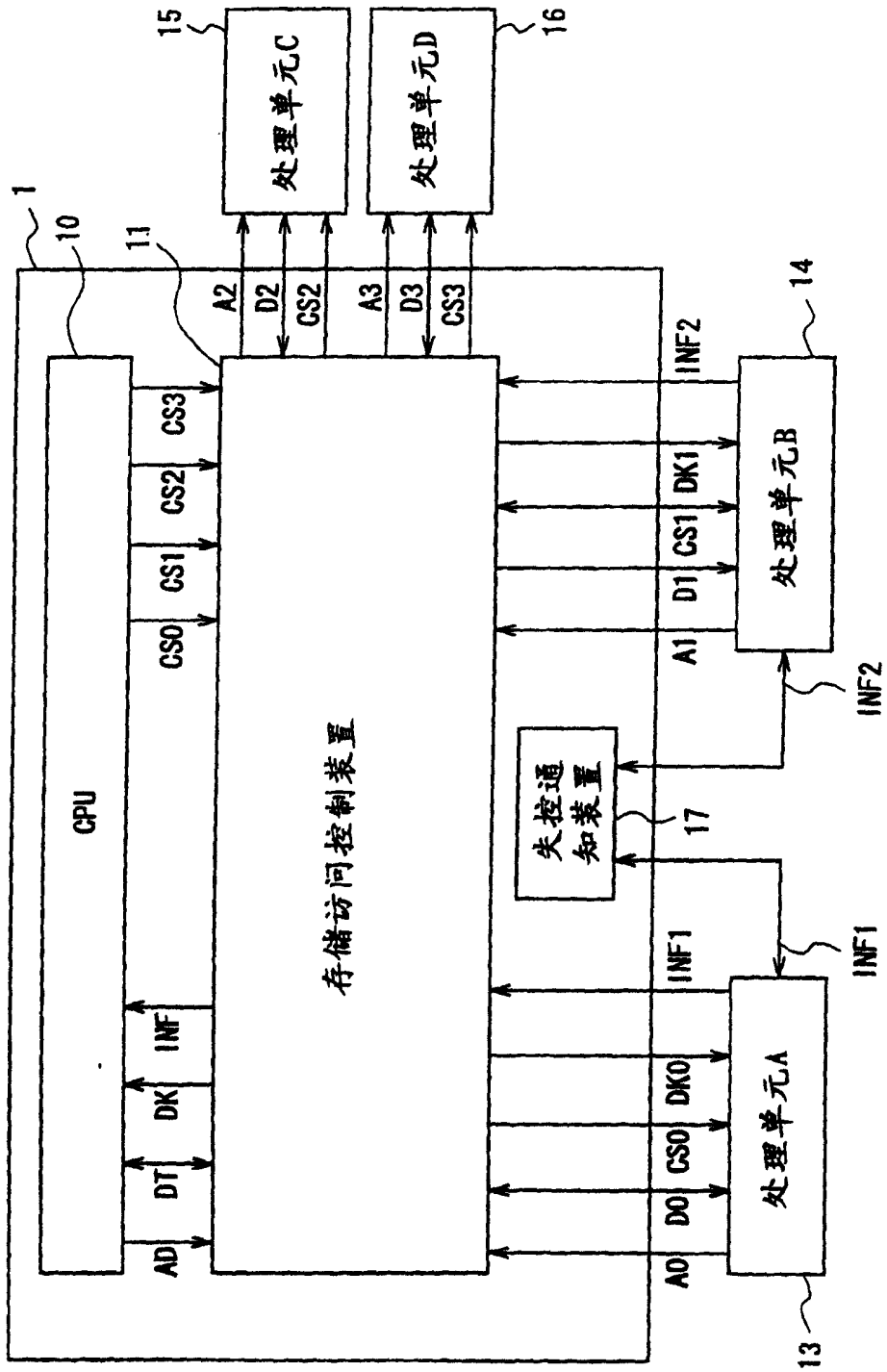


图10

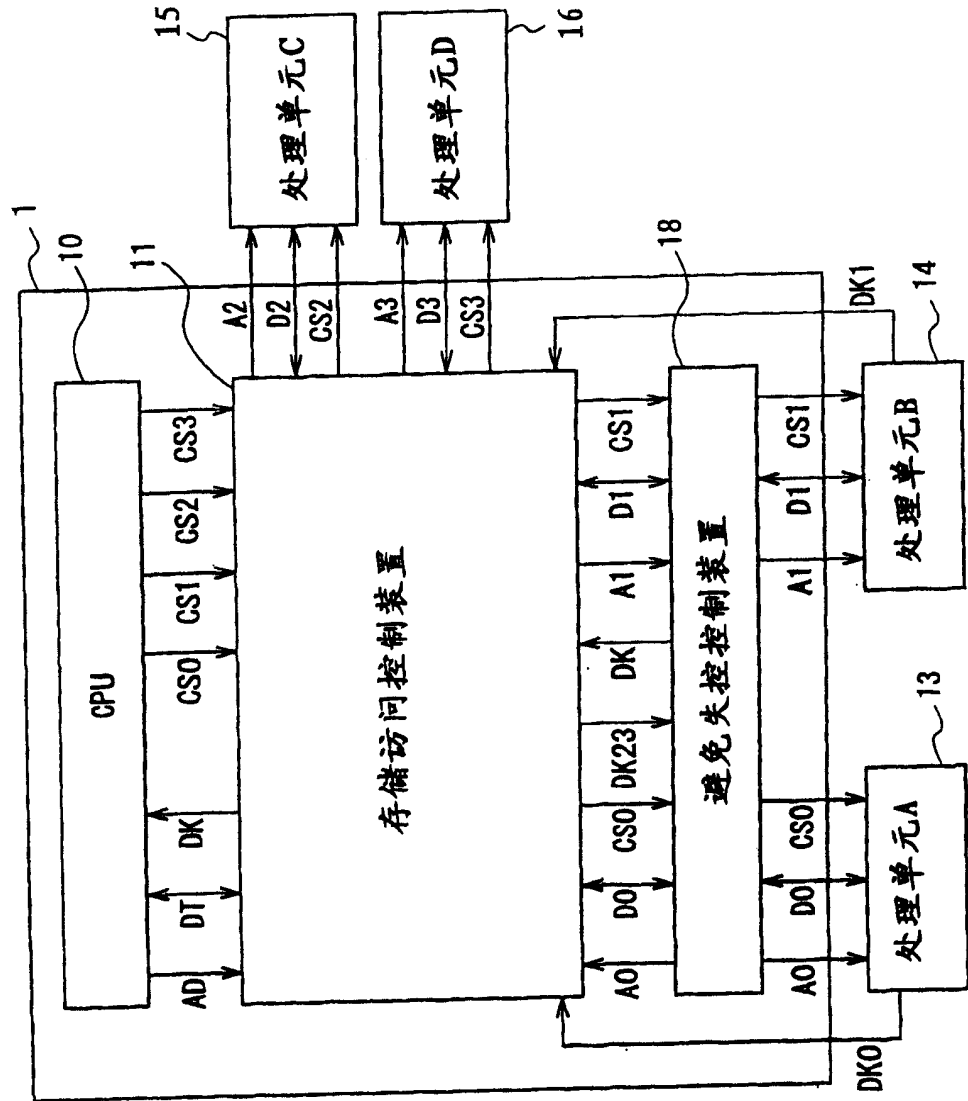


图 11

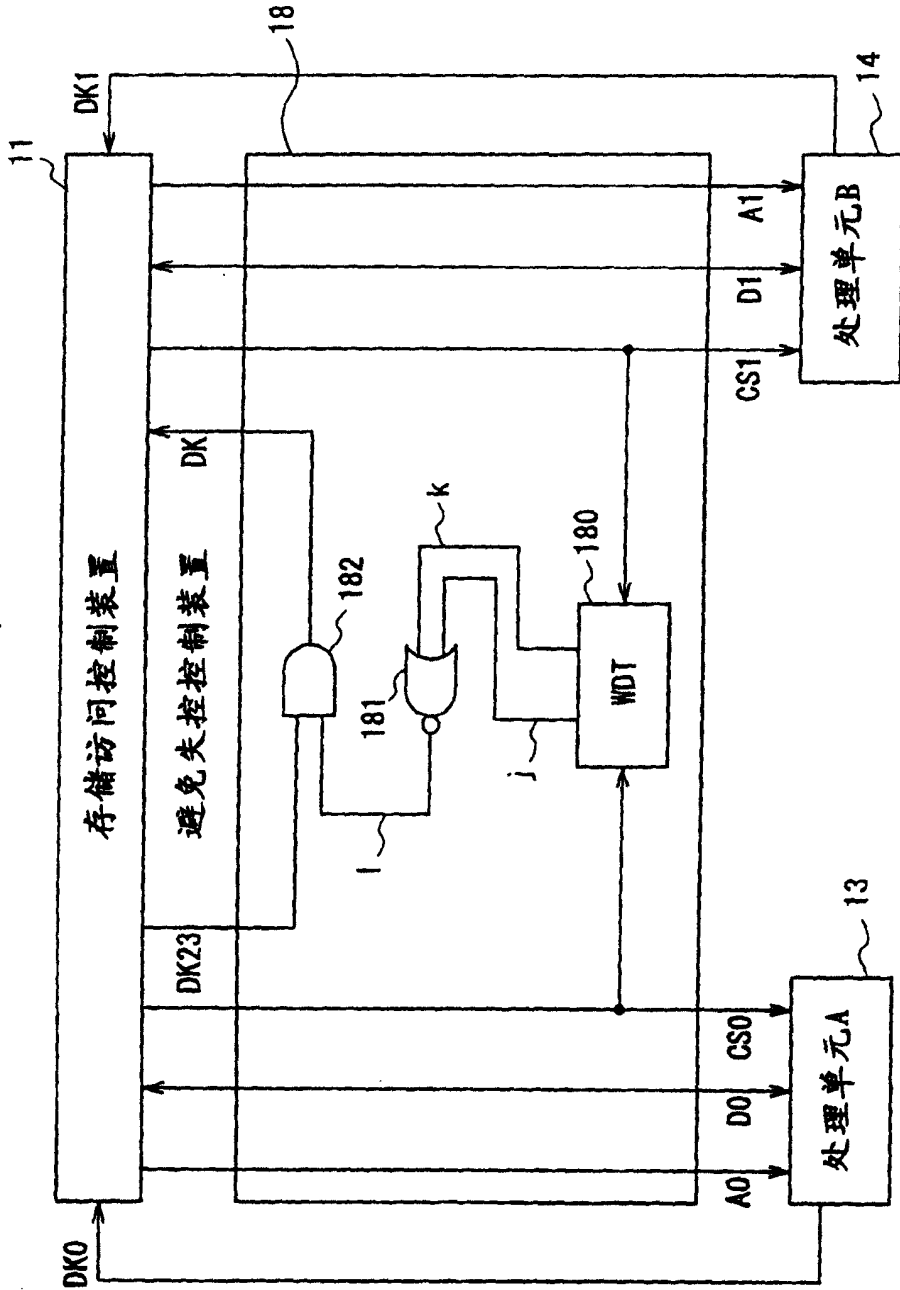


图12

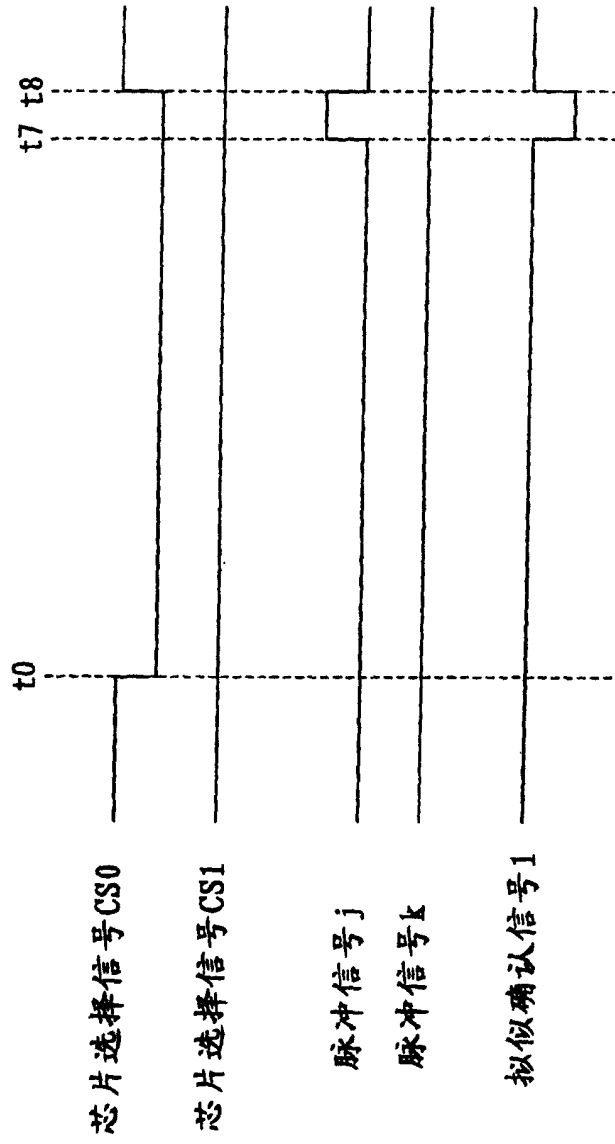


图13

