(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/28

(11) 공개번호 특1997-0077197
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0015579
(22) 출원일자 1996년05월11일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 신철호
경기도 수원시 팔달구 우만동 518-22
정상섭
경기도 수원시 팔달구 원천동 34 주공아파트 108동 804호

심사청구 : 없음

(54) 폴리사이드 구조의 게이트 전극 형성 방법

요약

본 발명은 폴리사이드 구조의 게이트 전극 형성 방법에 관한 것으로, 본 발명에 따른 방법에서는 게이트 절연막이 형성된 반도체 기판상에 1000A 이하의 폴리실리콘층을 형성하는 단계와, 상기 폴리실리콘층상에 실리사이드층을 형성하는 단계와, 상기 실리사이드층상에 캡핑층을 증착하는 단계와, 상기 캡핑층을 선택적으로 제거하는 단계와, 상기 캡핑층을 마스크로 하여 Cl_2및 N_2를 기본으로 하는 제1에칭 가스를 사용하여 상기 실리사이드층을 에칭하는 단계와, 상기 캡핑층을 마스크로 하여 Cl_2및 O_2를 기본으로 하는 제2에칭 가스를 사용하여 상기 폴리실리콘층을 에칭하는 단계를 포함하는 것을 특징으로 하는 게이트 전극 형성 방법을 제공한다. 본 발명에 의하면, TiSix층의 측벽에 언더컷이 유발되는 것을 방지할 수 있고, 폴리실리콘층의 박막화되는 경우에도 게이트 산화막에 피트가 형성되는 것을 방지할 수 있다.

대표도

도3

명세서

[발명의 명칭]

폴리사이드 구조의 게이트 전극 형성 방법

[도면의 간단한 설명]

제1도 내지 제3도는 본 발명의 바람직한 실시예에 따라 Ti를 이용한 폴리사이드 구조의 게이트 전극을 형성하는 방법을 설명하기 위하여 공정 순서에 따라 순차적으로 도시한 단면도들이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

게이트 절연막이 형성된 반도체 기판상에 1000Å 이하의 폴리실리콘층을 형성하는 단계와, 상기 폴리실리콘층상에 실리사이드층을 형성하는 단계와, 상기 실리사이드층상에 캡핑층을 증착하는 단계와, 상기 캡핑층을 선택적으로 제거하는 단계와, 상기 캡핑층을 마스크로 하여 Cl_2및 N_2를 기본으로 하는 제1에칭 가스를 사용하여 상기 실리사이드층을 에칭하는 단계와, 상기 캡핑층을 마스크로 하여 Cl_2및 O_2를 기본으로 하는 제2에칭 가스를 사용하여 상기 폴리실리콘층을 에칭하는 단계를 포함하는 것을 특징으로 하는 게이트 전극 형성 방법.

청구항 2

제1항에 있어서, 상기 제1에칭 가스는 10~50부피%의 N_2가스를 포함하는 것을 특징으로 하는 게이트 전극 형성 방법.

청구항 3

제1항에 있어서, 상기 제2에칭 가스는 20~60부피%의 O_2가스를 포함하는 것을 특징으로 하는 게이트 전극 형성 방법.

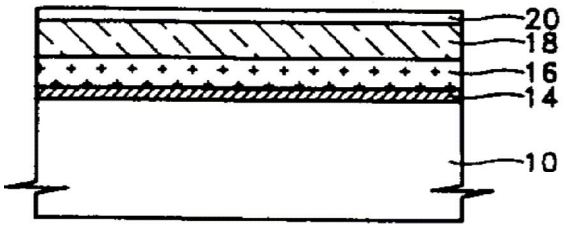
청구항 4

산화막이 형성된 반도체 기판상에 1000Å 이하의 폴리실리콘층을 형성하는 단계와, 상기 폴리실리콘층상에 TiN막을 증착하는 단계와, 상기 TiN막상에 실리사이드층을 형성하는 단계와, 상기 실리사이드층상에 캡핑층을 증착하는 단계와, 상기 캡핑층을 선택적으로 제거하는 단계와, 상기 캡핑층을 마스크로 하여 Cl_2및 N_2를 기본으로 하는 제1에칭 가스를 사용하여 상기 실리사이드층과 상기 TiN막을 순차로 에칭하는 단계와, 상기 캡핑층을 마스크로 하여 Cl_2및 O_2를 기본으로 하는 제2에칭 가스를 사용하여 상기 폴리실리콘층을 에칭하는 단계를 포함하는 것을 특징으로 하는 게이트 전극 형성 방법.

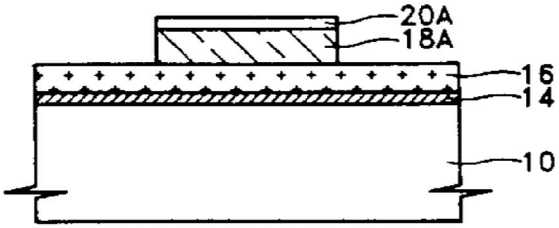
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

