

公告本

申請日期	88.5.4
案號	88107247
類別	H01L 21/16

A4
C4

494493

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體積體電路裝置之製造方法及半導體積體電路裝置
	英 文	半導體集積回路裝置の製造方法および半導體集積回路裝置
二、發明 人	姓 名	1.田邊 義和 2.山本 直樹 3.三谷 眞一郎 4.花岡 裕子
	國 籍	均日本
三、申請人	住、居所	1.日本國埼玉縣入間市下谷貫905-8 2.日本國埼玉縣川口市芝1-10-20 3.日本國埼玉縣所澤市上山口5014-2 4.日本國東京都小平市上水南町4-6-5-214
	姓 名 (名稱)	日商日立製作所股份有限公司
三、申請人	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
三、申請人	代 表 人 姓 名	庄山 悦彦

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1998年5月20日 特願平10-138939 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係有關於半導體積體電路裝置之製造技術，尤有關適用於半導體積體電路裝置製造之有效技術，此裝置具有以含硼(B)多晶矽及高熔點金屬膜之疊層膜構成柵極之多金屬製造之MOSFET(金屬氧化物半導體場效應電晶體(Metal Oxide Semiconductor Field Effect Transistor))。

特開昭59-132136號公報(下稱「小林1」)揭露一種在形成含有W(鎢)膜或Mo(鉬)膜之多金屬構造之柵極於Si(矽)基板上之後，藉由於水蒸氣與氫之混合環境中進行光氧化，不氧化W(Mo)膜而選擇性僅氧化Si之技術。其係利用氧化還原反應平衡所產生水蒸氣/氫分壓比於W(Mo)與Si不同之性質者，藉由將此分壓比設定在W(Mo)即使藉水蒸氣氧化卻藉共存之氫快速還原而僅剩Si氧化之範圍內，實現Si之選擇性氧化。又，水蒸氣與氫之混合環境藉由氫氣供至置入容器內之純水中之冒泡方式產生，水蒸氣/氫分壓比藉由改變純水溫度予以控制。

更且，與上述發明人之自一組中選擇氧化等有關之發明主要有特開昭60-89943號公報(下稱「小林2」)以及特開昭61-150236號公報(下稱「岩田」)等。

特開平7-94716號公報(下稱「村崗」)揭露一種在經由柵極氧化膜形成含有TiN(氮化鈹)等氮化金屬層及W等金屬層之多金屬構造之柵極於Si基板上之後，在以氮稀釋還原性氣體(氫)與氧化性氣體(水蒸氣)之環境中進行光氧化之技術。根據此等公報，由於可不氧化金屬層而選擇性僅氧化

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (2)

Si，同時藉由以氮稀釋水蒸氣/氫混合氣體阻止自氮化金屬層起脫氮分應，故亦可同時防止氮化金屬層氧化。

1992年12月1日及2日所發行第45次半導體積體電路技術座談會公開論文集於128頁至p133頁(下稱「中村」)中揭露在含有藉不銹鋼觸媒合成之水蒸氣之強還原性環境中形成氧化膜之技術。

發明概要

以柵極長度 $0.18\mu\text{m}$ (微米)以下之微細MOSFET構成電路之CMOS LSI(互補金屬氧化矽大型積體電路)為求即使於低電壓動作時亦減低柵極延遲而確保高速動作，考慮採取使用含金屬層之低電阻導電材料之柵極加工方法。

高熔點金屬膜層疊於此多晶矽膜上的所謂多金屬用來作為此種低電阻柵極材料極有效。多金屬內於其薄膜電阻低達 $2\Omega/\square$ 程度，故不僅可用來作為柵極材料，且可用來作為配線材料。使用即使在 800°C 以下低溫製程中亦顯示良好低電阻性。且電子遷移耐性高的W、Mo、Ti(鈹)等來作為金熔點金屬。且由於此種高熔點金屬膜若直接層疊於多晶矽膜上，即會時而二者之黏結力低下，時而於高溫熱處理中在二者界面形成高電阻矽化物層，故實際多金屬柵極以在多晶矽膜與高熔點金屬膜之間介有TiN、WN(氮化鎢)等金屬氮化物膜構成之阻擋層形成三層構成。

習知柵極加工製程大概如次。首先，熱氧化半導體基板於其表面形成柵極氧化膜。一般而言，熱氧化膜固然在乾燥氧環境中進行，惟基於形成柵極氧化膜情形下盡可減低

(請先閱讀背面之注意事項再
寫本頁)

裝

訂

線

五、發明說明(3)

膜中缺陷密度理由，使用濕式氧化法。濕式氧化法利用於氧環境中燃燒氫以產生水，將此水與氧一起供至半導體晶圓表面之致熱(pyrogenic)方式。

惟，由於致熱方式對噴自石英製氫導入管前端所安裝噴嘴之氫點火進行燃燒，此熱會溶解噴嘴而產生粒子，這會有形成半導體晶圓污染源之虞，故亦提議不伴隨燃燒而藉觸媒方式產生水之方法(例如特開平5-152282號公報等)。

其次，在以此濕式氧化法形成之柵極氧化膜上沉積柵極材料之後，藉由對光致抗蝕劑屏蔽乾式蝕刻，使此柵極電極材料圖形化。此後，對光致抗蝕劑進行灰燼(灰化)處理將其除去，進一步使用氫氟酸等蝕刻液，將殘留於基板表面之乾式蝕刻殘渣、灰燼殘渣除去。

與進行上述濕式蝕刻，將柵極電極下部以外領域之柵極氧化膜削除同時，柵極側壁端部之柵極氧化膜亦各向同性蝕刻以形成凹溝(undercut)。由於如此會發生柵極耐壓低下等不適當情形，故為了改善形成凹溝之柵極側壁端部之輪廓，再度對基板熱氧化。進行於其表面形成氧化膜之處理(下稱光氧化處理)。

惟，由於前述W、Mo等高熔點金屬係極易於在高溫氧化環境中氧化之材料，故若適用上述光氧化處理於多金屬構造柵極上，即時而高熔點金屬膜會氧化而增加其電阻值，時而其一部份會自基板剝離。因此，使多金屬膜之柵極加工製程有採取防止光氧化處理時高熔點金屬膜氧化之對等之必要。

五、發明說明(⁴)

如上述，就形成多金屬構造之柵極之方法而言，於具有預定分壓比之水蒸氣/氫混合氣體中進行光氧化係謀求柵極氧化膜之耐壓改善及金屬膜之氧化防止之有效手段。

惟，提議用來作為水蒸氣/氫混合氣體產生方法之習知冒泡方式由於將氫氣供至汲入容器內之純水中以產生水蒸氣/氫混合氣體，故有混入此純水中之異物與水蒸氣/氫混合氣體一起送至氧化爐而污染半導體晶圓之虞。

又，由於冒泡方式藉由改變純水溫度來控制水蒸氣/氫分壓比，故有(1)分壓比易於變動，難以高精度實現最適分壓比，(2)水蒸氣濃度控制範圍狹至數%至數10%程度，難以實現ppm(百萬分之幾)級之水蒸氣濃度之問題。

如後述，水蒸氣濃度愈高，使用水蒸氣/氫混合氣體之Si、金屬之氧化還原反應愈容易進行氧化反應。因此，如同以冒泡方式產生之水蒸氣/氫混合氣體，若在較高水蒸氣濃度下將矽氧化，氧化膜即會因氧化速度大而在極短時間內成長。惟，柵極長度為 $0.18\mu\text{m}$ 以下之MOSFET為了維持元件之電子特性，有必要形成 3.5nm (納米)以下極薄膜厚之柵極氧化膜。因此，使用冒泡方式所產生之水蒸氣/氫混合氣體，難以均一而又控制性良好地形成此種極薄柵極氧化膜。又若為了降低氧化膜成長速度而在低溫下進行氧化，即無法獲得品質良好的柵極氧化膜。

進一步，經察，以柵極長 $0.18\mu\text{m}$ 以下微細MOSFET構成電路之CMOS LSI為了極力抑制低電壓動作造成閾值電壓(V_{th})變動，採用使構成n溝道型MISFET之柵極之多晶矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

膜之導電型成為n型，使構成p溝道型MISFET之柵極之多晶矽膜之導電型成為p型之所謂雙柵極(Dual Gate)構造，甚為有利。因此，在以前述多金屬構成柵極情形下，n溝道型MISFET之柵極作成高熔點金屬膜層疊於摻雜P(磷)等n型雜質之n型多晶矽膜上之構造，p溝道型MISFET之柵極作成高熔點金屬層疊於摻雜p型雜質之B(硼)之p型多晶矽膜上之構造。

惟由於p型雜質之B(硼)擴散係數大，故在適用上述光氧化處理於採用雙柵極構造之CMOS上情形下，會有構成p溝道型MISFET之柵極一部份之p型多晶矽膜中B(硼)通過膜厚3.5 nm以下極薄柵極氧化膜而擴散至基板側，使p溝道型MISFET之閾值電壓(V_{th})變動之問題。

因此，於採用多金屬柵極構造及雙柵極構造之CMOS LSI中，確立可同時抑制柵極加工後光氧化處理時高熔點金屬氧化以及B(硼)向基板擴散之技術係一重要課題。

本發明目的在於提供一種於採用多金屬柵極構造及雙柵極構造之CMOS LSI中，可同時抑制構成柵極一部份之高熔點金屬膜氧化以及構成柵極另一部份之p型多晶矽膜中硼擴散之光氧化處理技術。

本發明目的在於提供一種對具有單晶矽或聚矽等矽部份以及主成份之高熔點金屬(耐火金屬)二部份之半導體積體電路裝置選擇氧化之方法。

本發明目的在於提供一種於具有柵極而此柵極含有摻雜硼之聚矽層之半導體積體電路裝置中，可同時抑制高熔點

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(⁶)

金屬氧化以及硼自構成柵極另一部份之p型多晶矽膜中通過柵極氧化膜而擴散之光氧化處理技術。

本發明目的在於提供一種於具有柵極而此柵極含有摻雜硼之聚矽層之半導體積體電路裝置中，可同時抑制高熔點金屬氧化以及硼自構成柵極另一部份之p型多晶矽膜中通過柵極氧化膜而擴散之選擇氧化處理技術。

本發明之前述，其他目的及新穎特徵由本說明書記載及附圖自可瞭然。

茲就本案所揭露發明中代表性裝置之概要簡單說明如下。

本發明半導體積體電路裝置之製造方法係包含：在半導體基板之主面上形成之柵極氧化膜上直接或由阻擋層居間層疊含硼多晶矽膜及高熔點金屬膜而構成之導電膜形成後，使前述導電膜形成圖形而形成MOSFET之柵極之工序；將含有氫氣以及氧氣與氫氣藉由觸媒合成之水蒸氣加熱至預定溫度，供至前述半導體主面或其近傍，選擇性氧化前述半導體基板主面，藉此改善於前述形成圖形之際蝕刻之前述柵極端部下之前述柵極絕緣膜輪廓之熱處理工序；前述熱處理在實質上不氧化前述高熔點金屬膜，且構成前述柵極一部份之前述多晶矽膜中之硼不通過前述柵極氧化膜而擴散至前述半導體基板之低熱負荷條件下進行者。

上述發明以外之本案發明概要簡單分項記載如下。即

1. 一種半導體積體電路之製造方法，包含以下工序：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

(a)在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序(於本案例中，係包含如後述在被覆無摻雜多晶矽膜後，藉由注入離子等摻雜者。亦即，不論硼摻雜前後。又，亦包含多晶矽膜被覆及硼摻雜同時進行情形。以下同)；

(b)在前述多晶矽膜上直接或由阻擋層居間形成以鎢為主要成份之高熔點金屬膜之工序；

(c)藉由使前述多晶矽膜及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d)在前述工序(c)之後，於含有氫氣及水蒸氣之混合氣體環境下，對前述柵極端部對應部份之前述矽表面及前述多晶矽膜進行熱氧化處理之工序。

2.如前述第1項之半導體積體電路裝置之製造方法，其中前述阻擋層含有氮化鎢膜。

3.如前述第2項之半導體積體電路裝置之製造方法，其中前述工序(d)之熱氧化處理係在前述高熔點金屬膜及前述阻擋層實質上不氧化條件下進行。

4.如前述第1項之半導體積體電路裝置之製造方法，其中前述柵極絕緣膜含有氧氮化矽膜。

5.一種半導體積體電路之製造方法，包含以下工序：

(a)在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序；

(b)在前述多晶矽膜上直接或由阻擋層居間形成高熔點金屬膜之工序；

五、發明說明(⁸)

(c)藉由使前述多晶矽膜及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d)於前述工序(c)後，在含有氫及水蒸氣之混合氣體環境下對前述柵極端部對應部份之前述矽表面及前述多晶矽膜進行熱氧化處理之工序。

6.如前述第5項之半導體積體電路裝置之製造方法，其中於前述多晶矽膜與前述高熔點金屬膜之間介置前述阻擋層。

7.如前述第6項之半導體積體電路裝置之製造方法，其中前述工序(d)之熱氧化處理係在前述高熔點金屬及前述阻擋層實質上不氧化條件下進行。

8.一種半導體積體電路裝置之製造方法，特徵在於包含以下工序：

(a)在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成以摻雜硼之多晶矽膜為主要成份之第1導電膜之工序；

(b)在前述第1導電膜上直接或由阻擋層居間形成高熔點金屬膜之工序；

(c)藉由使前述第1導電膜及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d)於前述工序(c)後，在含有氫氣以及環境與氫氣藉由觸媒合成之水蒸氣之混合氣體環境下，對前述柵極端部之對應部份之前述矽表面及前述多晶矽膜進行熱氧化處理之工序。

五、發明說明(9)

9.如前述第8項之半導體積體電路裝置之製造方法，其中前述工序(d)之熱氧化處理在實質上前述高熔點金屬膜不氧化條件下進行。

10.一種半導體積體電路裝置之製造方法，特徵在於包含以下工序：

(a)在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序；

(b)於前述多晶矽膜上，由含有氮化鎢膜之阻擋層居間，形成以鎢為主要成份之高熔點金屬膜之工序；

(c)藉由使前述多晶矽膜，前述阻擋層及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d)於前述工序(c)後，在含有氫及水蒸氣之混合氣體環境下，實質上不氧化前述高熔點金屬膜而對於前述柵極端部之對應部份之前述矽表面及前述多晶矽膜進行熱氧化處理。

11.一種具有雙柵極CMOS之半導體積體電路裝置之製造方法，特徵在於包含以下工序：

(a)在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序；

(b)在前述多晶矽膜上，由含有氮化鎢膜之阻擋層居間，形成以鎢為主要成份之高熔點金屬膜之工序；

(c)藉由使前述多晶矽膜、前述阻擋層及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d)於前述工序(c)後，在對矽及多晶矽具有氧化性及還

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

原性之混合氣體環境下，實質上不氧化前述高熔點金屬而對前述矽表面及前述多晶矽膜進行熱氧化處理之工序。

12. 一種具有雙柵極CMOS之半導體積體電路裝置之製造方法，特徵在於包含以下工序：

(a) 在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序；

(b) 於前述多晶矽膜上，直接或由阻擋層居間形成以鎢為主要成份之高熔點金屬膜之工序；

(c) 藉由使前述多晶矽膜及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d) 於前述工序(c)後，在對矽及多晶矽具有氧化性及還原性之混合氣體環境下，實質上不氧化前述高熔點金屬膜而對前述矽表面及前述多晶矽膜進行熱氧化處理之工序。

13. 一種具有雙柵極CMOS之半導體積體電路裝置之製造方法，特徵在於包含以下工序：

(a) 在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序；

(b) 在前述多晶矽膜上，由含有氮化鎢膜之阻擋層居間形成以鎢為主要成份之高熔點金屬膜之工序；

(c) 藉由使前述多晶矽膜、前述阻擋層及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d) 於前述工序(c)後，在含有氫及水蒸氣之混合氣體環境下，實質上不氧化前述高熔點金屬膜而對前述柵極端部之對應部份之前述矽表面及前述多晶矽膜進行熱氧化處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (¹¹)

理，藉此，將在前述工序(c)形成圖形之際蝕刻之前述柵極端部下之前述氧化矽膜填補之工序。

14.一種具有雙柵極CMOS之半導體積體電路裝置之製造方法，特徵在於包含以下工序：

(a)在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序；

(b)在前述多晶矽膜上，由含有氮化鎢之阻擋層居間，形成以鎢為主要成份之高熔點金屬膜之工序；

(c)藉由使前述多晶矽膜、前述阻擋層及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d)於前述工序(c)後，在含有氫氣以及氧氣與氫氣藉由觸媒合成之水蒸氣之混合氣體環境下，實質上不氧化前述高熔點金屬膜而對前述柵極端部之對應部份之前述矽表面及前述多晶矽膜進行熱氧化處理，藉此，將在前述工序(c)形成圖形之際蝕刻之前述柵極端部下之前述氧化矽膜填補之工序。

15.一種半導體積體電路裝置之製造方法，特徵在於包含以下工序：

(a)在含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成摻雜硼之多晶矽膜之工序；

(b)在前述多晶矽膜上，直接或由阻擋層居間形成以鎢為主要成份之高熔點金屬膜之工序；

(c)藉由使前述多晶矽膜及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

五、發明說明()¹²

(d)於前述工序(c)後，在含有氫氣以及氧氣與氫氣藉由觸媒合成之水蒸氣之混合氣體環境下，對前述柵極對應部份之前述矽表面及前述多晶矽膜進行熱氧化處理之工序。

16.一種半導體積體電路，其係具有柵極所形成之雙柵極CMOS而此柵極由在含有半導體積體電路晶圓之第1主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成之摻雜硼多晶矽膜，以及於前述多晶矽膜上直接或由阻擋層居間層疊之高熔點金屬膜構成者，特徵在於：

前述柵極絕緣膜含有越過構成前述柵極一部份之前述多晶矽膜端部而形成之熱氧化物膜。

17.一種半導體積體電路，其係具有柵極所形成之雙柵極CMOS而此柵極由在含有半導體積體電路晶圓之第1主面之矽表面上所形成熱氧化矽膜之柵極絕緣膜上形成之摻雜硼多晶矽膜，以及於前述多晶矽膜上直接或由阻擋層居間層疊之高熔點金屬膜構成者，特徵在於：

於前述柵極絕緣膜中，在前述柵極端部下形成之前述熱氧化膜之膜厚較前述柵極中央部下形成之前述熱氧化膜之膜厚大。

18.一種半導體積體電路，其係具有柵極所形成之雙柵極CMOS而此柵極由在含有半導體積體電路晶圓之第1主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成之摻雜硼多晶矽膜，以及於前述多晶矽膜上直接或由阻擋層居間層疊之高熔點金屬膜構成者，特徵在於：

前述柵極端部下所形成之前述氧化矽膜具有帶圓形達防

五、發明說明(¹³)

止電場集中程度之形狀。

19.一種半導體積體電路，其係具有柵極所形成之雙柵極CMOS而此柵極由在含有半導體積體電路晶圓之第1主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成之摻雜硼多晶矽膜，以及於前述多晶矽膜上直接或由阻擋層居間層疊之高熔點金屬膜構成者，特徵在於：

構成前述柵極一部份之前述多晶矽膜之端部及下面以熱氧化膜覆蓋。

20.如前述第19項之半導體積體電路裝置，其中前述柵極絕緣膜包含氧氮化矽膜。

21.一種半導體積體電路裝置之製造方法，其包含：在半導體基板之主面上形成之柵極氧化膜上直接或由阻擋層居間層疊含硼多晶矽膜及高熔點金屬膜而構成之導電膜形成後，使前述導電膜形成圖形而形成MOSFET之柵極之工序；將含有氫氣以及氧氣與氫氣藉由觸媒合成之水蒸氣加熱至預定溫度，供至前述半導體主面或其近傍，選擇性氧化前述半導體基板主面，藉此改善於前述形成圖形之際蝕刻之前述柵極端部下之前述柵極氧化膜輪廓之熱處理工序；前述熱處理在實質上不氧化前述高熔點金屬膜，且構成前述柵極一部份之前述多晶矽膜中之硼不通過前述柵極氧化膜而擴散至前述半導體基板之低熱負荷條件下進行。

22.如前述第21項之半導體積體電路裝置之製造方法，其中前述高熔點金屬膜由鎢構成，前述阻擋層由氮化鎢構成。

五、發明說明 (14)

23.如前述第21項之半導體積體電路裝置之製造方法，其中前述柵極中央部下之前述柵極氧化膜之膜厚在3.5 nm以下。

24.如前述第21項之半導體積體電路裝置之製造方法，其中前述柵極長度在0.18 μ m以下。

25.如前述第22項之半導體積體電路裝置之製造方法，其中前述熱處理溫度自650°C至900°C。

26.如前述第22項之半導體積體電路裝置之製造方法，其中前述熱處理溫度自750°C至900°C。

27.如前述第22項之半導體積體電路裝置之製造方法，其中前述熱處理溫度為850°C。

28.如前述第26項之半導體積體電路裝置之製造方法，其中前述混合氣體中之水份濃度為1至50%。

29.如前述第27項之半導體積體電路裝置之製造方法，其中前述混合氣體中之水份濃度為50%程度。

30.如前述第22項之半導體積體電路裝置之製造方法，其中前述混合氣體之壓力係700托(Torr)以下之減壓。

31.如前述第22項之半導體積體電路裝置之製造方法，其中前述混合氣體之壓力係700至800托之常壓。

32.如前述第22項之半導體積體電路裝置之製造方法，其中前述混合氣體之壓力係800托以上之正壓。

33.一種半導體積體電路裝置之製造方法，包含以下之工序：

(a)於形成柵極氧化膜於半導體基板主面上之後，於前述

(請先閱讀背面之注意事項)

寫本頁)

裝

訂

線

五、發明說明 (¹⁵)

柵極氧化膜上形成多晶矽膜之工序；

(b)於前述半導體基板之第1領域之前述多晶矽膜上摻雜含硼p型雜質而形成p型多晶矽膜，於前述半導體基板之第2領域之前述多晶矽膜上摻雜n型雜質而形成n型多晶矽膜之工序；

(c)於含有前述p型多晶矽膜及前述n型多晶矽膜之各個上部之前述半導體基板上直接或由阻擋層居間形成高熔點金屬膜之工序；

(d)藉由使前述p型多晶矽膜、前述n型多晶矽膜以及形成於其上之前述高熔點金屬膜形成圖型，於前述半導體基板之前述第1領域形成由前述p型多晶矽膜及前述高熔點金屬膜構成之p溝道型MOSFET之第1柵極，以及於前述半導體基板之前述第2領域形成由前述n型多晶矽膜及前述高熔點金屬膜構成之n溝道型MOSFET之第2柵極之工序；以及

(e)將含有氫氣以及氧氣與氫氣藉由觸媒合成之水蒸氣之混合氣體加熱至預定溫度，供至前述半導體基板之主面或其近傍，在分別構成前述第1柵極及第2柵極一部份之前述高熔點金屬實質上不氧化，且構成前述第1柵極另一部份之前述p型多晶矽膜中之硼不通過前述柵極氧化膜而擴散至前述半導體基板之條件下，選擇性氧化前述半導體基板之主面，藉此，進行改善於前述形成圖形之際蝕刻之前述第1柵極及前述第2柵極之個別端部下前述柵極氧化膜輪廓之熱處理。

34.如前述第33項之半導體積體電路裝置之製造方法，

五、發明說明 (16)

其中前述阻擋層由氮化鎢構成。

35.如前述第33項之半導體積體電路裝置之製造方法，其中前述第1柵極及第2柵極之個別中央部下之前述柵極氧化膜膜厚在3.5 nm以下。

36.如前述第33項之半導體積體電路裝置之製造方法，前述第1柵極及前述第2柵極之個別柵極長度在0.18 μ m以下。

進一步就本案所揭露之其他發明分項載明如下。

21.一種積體電路裝置之製造方法，包含以下工序：

(a)於半導體晶圓之第1主面上之第1絕緣膜上形成以摻雜硼之矽為主要成份之第1領域之工序；以及

(b)在實質上上述第1主面上之高熔點金屬領域不參加條件下，於含有氫氣及水蒸氣之混合氣體環境中，對上述第1領域施以熱氧化處理之工序。

22.如前述第21項所載之半導體積體電路裝置，其中前述高熔點金屬領域形成於上述第1領域上。

23.如前述第22項所載之半導體積體電路裝置，其中前述混合氣體環境含有氮氣。

24.如前述第23項所載之半導體積體電路裝置，其中前述硼摻雜藉由將離子注入前述第1領域中來進行。

25.一種具有雙柵極CMOS之半導體積體電路之製造方法，特徵在於含有以下工序：

(a)於含有半導體晶圓主面之矽表面上所形成氧化矽膜之柵極絕緣膜上形成多晶矽膜之工序；

五、發明說明 (¹⁷)

(b)於前述多晶矽膜上由阻擋層居間形成高熔點金屬膜之工序；

(c)藉由使前述多晶矽膜、前述阻擋層及前述高熔點金屬膜形成圖形以形成柵極之工序；以及

(d)於前述工序(c)後，在含有氫氣及水蒸氣而水份濃度自5%到實質上不氧化前述高熔點金屬膜之最大濃度範圍內之混合氣體環境下，對摻雜硼之前述多晶矽膜進行熱氧化處理之工序。

26.如前述第25項所載之半導體積體電路裝置，其中前述混合氣體環境之水份濃度在8%至25%(分壓比表示為8.7%至33%)之間。

圖式之簡單說明

第1圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第2圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第3圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第4圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第5圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第6圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

五、發明說明()

第7圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第8圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部放大剖視圖。

第9圖中(a)係用於光氧化處理之葉片式氧化爐之概略平面圖，(b)係沿(a)之B-B'線之剖視圖。

第10圖中(a)係用於光氧化處理之葉片式氧化爐之概略平面圖，(b)係沿(a)之B-B'線之剖視圖。

第11圖係顯示本發明一實施形態所用觸媒方式之水蒸氣/氫混合氣體產生裝置之概略圖。

第12圖係第11圖所示水蒸氣/氫混合氣體產生裝置之配管系統圖。

第13圖係顯示使用水蒸氣/氫混合氣體之氧化還原反應之平衡蒸氣壓比之溫度依存性圖表。

第14圖係顯示使用水蒸氣/氫混合氣體之氧化處理時間與氧化矽膜厚之關係之圖表。

第15圖係顯示氧化溫度與氧化時間關係之圖表。

第16圖係顯示氧化溫度與氧化時間關係之圖表。

第17圖係顯示熱處理柵極時溫度與VFB關係之圖表。

第18圖係顯示使用葉片式氧化爐之光氧化程序之順序之圖式。

第19(a)、(b)圖係顯示光氧化處理後柵極氧化膜狀態之半導體基板之要部放大剖視圖。

第20圖係顯示本發明一實施形態之CMOS LSI製造方法之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (¹⁹)

半導體基板之要部剖視圖。

第21圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第22圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第23圖係顯示本發明一實施形態之CMOS LSI製造方法之半導體基板之要部剖視圖。

第24圖係用於光氧化處理之方批式縱型氧化爐之概略剖視圖。

第25圖係顯示使用分批式縱型氧化爐之光氧化程序之順序之圖式。

發明之詳細說明

以下根據圖式對本發明實施形態詳加說明。且，為說明實施形態，全部圖式中具有相同功能之構件標以相同符號，並省略其重覆說明。又，以下實施形態，除非特別必要，否則，原則上不重覆作同一或雷同部份之說明。

甚而，以下實施形態在方便上有必要時固然分成複數截面或實施形態加以說明，惟除非明示，否則彼此間並無關係，其有一方與另一方之一部或全部之變形例、詳細、補充說明等之關係。又，於以下實施形態中，在提及要素數等(含個數、數值、量、範圍等)情形下，除非特別明示以及為原理上清楚而限定於特定數，否則不限於此特定數，其可在特定數以上或以下。進一步，於以下實施形態中，其構成要素(包含步驟要素)，除非特別明示情形以及考慮

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

到學理上必須釐清情形，否則，無庸贅言，其未必須如此。

同樣地，於以下實施形態中，於提及構成要素等之形狀、位置關係時，除非特別明示情形，再不然考慮到原理上清楚情形，否則，包含實質上與其形狀等近似或類似者。此情形於上述數值及範圍方面亦相同。

又，提及本案半導體積體電路裝置時，除非不只是構成於矽晶圓上者，再不然特別明示其宗旨情形，否則其為包含構成於TFT液晶等其他基板上者。

又，固然無庸贅言，惟本案中提及半導體晶圓時，其不僅僅是每一單晶矽晶圓形成單晶半導體或於其上直接或由絕緣膜居間形成多層導電體或半導體膜者，亦包含於絕緣體之晶圓上形成半導體部份、導電膜部份及絕緣膜部份者。

本實施形態係適用於以n溝道型MISFET及p溝道型MISFET構成積體電路之CMOS LSI之製造方法者。在製造此CMOS LSI方面，首先，如第1圖所示，在850℃下，對電阻係數10 Ω cm程度之單晶矽構成之半導體基板1熱處理，於其主面上形成膜厚10 nm程度之薄氧化矽膜2(焊接區(pad)氧化膜)，其次，於此氧化矽膜2上將膜厚120 nm左右之氮化矽膜3以CVD(化學蒸氣沉積法(Chemical Vapor Deposition))法堆疊後，藉由屏蔽光致抗蝕膜而乾式蝕刻，將元件分離領域之氧化矽膜3及氧化矽膜2除去。形成上述氧化矽膜2，俾緩和後續工序中埋入元件分離溝內部使氧化

(請先閱讀背面之注意事項
● 寫本頁)

裝

訂

線

五、發明說明 (21)

矽膜密度(燒結)時等加在基板上之應力。又，由於氮化矽膜3具有難以氧化之程度，故用來作為防止其下部(活性領域)之基板表面氧化之屏蔽。

其次，如第2圖所示，為了在藉由屏蔽氮化矽膜3乾式蝕刻而於元件分離領域之半導體基板1形成350 nm程度之溝4a後，除去上述蝕刻於溝4a內壁產生之損傷層，在1000℃程度下熱處理半導體基板1而於溝4a內壁形成膜厚10 nm程度之薄氧化矽膜5。

其次，如第3圖所示，以CVD法於半導體基板1上沉積膜380 nm程度之氧化矽膜6，其次，為了改善氧化矽膜6之膜質，對半導體基板1熱處理而使氧化矽膜6密實(燒結)。以用於栓塞(stopper)之化學機械磨蝕(Chemical Mechanical Polishing；CMP)法磨蝕氧化矽膜6而使氮化矽膜3積存於溝4a內部，藉此，形成表面平坦化之元件分離溝4a。且，提到本案例中晶圓(基板)之主面(元件形成面)之機械式平坦化，並不限於利用浮遊磨粒之CMP，其亦包含使用固定磨粒之相同平坦化以及其中間形態。

其次，在藉由使用熱磷酸濕式蝕刻除去積存於半導體基板1之活性領域上之氮化矽膜3後，如第4圖所示，將B(硼)離子注入形成半導體基板1之n溝道型MISFET中以形成p型阱7，將P(磷)離子注入形成p溝道型MISFET中以形成n型阱8。

此後，離子注入用以調整n溝道型MISFET之閾值電壓(V_{th})之B(硼)於上述p型阱7中，離子注入用以調整p溝道

(請先閱讀背面之注意事項
寫本頁)

裝

訂

線

五、發明說明 (22)

型 MISFET 之閾值電壓 (V_{th}) 之 P (磷) 於 n 型阱 8 中。

其次，如第 5 圖所示，使用 HF (氫氟酸) 系之洗淨液將 p 型阱 7 及 n 型阱 8 之個別表面之氧化矽膜 2 除去後，濕式氧化半導體基板 1，於 p 型阱 7 及 n 型阱 8 之個別表面上形成膜厚 3.5 nm 程度之乾淨柵極氧化膜 9。

惟，不特別限於此，亦可在上述柵極氧化膜 9 形成後，藉由 NO (氧化氮) 或 N_2O (氧化亞氮) 環境中對半導體基板 1 熱處理，於柵極氧化膜 9 與半導體基板 1 之界面進行偏析氮之氮化處理。柵極氧化膜 9 或薄至 3.5 nm 程度，其與半導體基板 1 之熱膨脹係數差所引起。發生於二者界面之應變即會顯現，誘發熱載流子產生。由於在其與半導體基板 1 之界面偏析之氮緩和此應變，故上述氮化處理可增進極薄柵極氧化膜 9 之可靠度。

其次，如第 6 圖所示，以 CVD 法沉積 90 至 100 nm 膜厚程度之無摻雜多晶矽膜於半導體基板 1 上之後，將 P (磷) 離子注入形成 n 溝道 MISFET 之領域 (p 型阱 7) 之無摻雜多晶矽膜以形成 n 型多晶矽膜 10n，將 B (硼) 離子注入形成 p 溝道型 MISFET 之領域 (n 型阱 8) 之無摻雜多晶矽膜以形成 p 型多晶矽膜 10p。

其次，如第 7 圖所示，以濺射法沉積膜厚 5 nm 程度之 WN 膜 11 及膜厚 50 nm 程度之 W 膜 12 於 n 型多晶矽膜 10n 及 p 型多晶矽膜 10p 之個別上部，並進一步以 CVD 法沉積膜厚 200 nm 程度之氮化矽膜 13 於 W 膜 12 之上部之後，屏蔽形成於氮化矽膜 13 上部之光致抗蝕膜 14，乾式蝕刻此膜。藉此，於

(請先閱讀背面之注意事項)

寫本頁

裝

訂

線

五、發明說明 (23)

p型阱7之柵極氧化膜9上端形成由n型多晶矽膜10n、WN膜11及W膜12構成之n溝道型MISFET之柵極15n，於n型阱8之柵極氧化膜9上部形成由p型多晶矽膜10p、WN膜11及W膜12構成之p溝道型MISFET之柵極15p。柵極15n及柵極15p之長度例如分別為 $0.18\mu\text{m}$ 。

如上述，藉由以低電阻金屬(W)構成分屬n溝道型MISFET之柵極15n及p溝道型MISFET之電極15p一部份而作成多金屬構造，可將其薄膜電阻低減至 $2\Omega/\square$ 程度，因此，可抑制CMOS電路之柵極延遲，實現高速動作。

此後，藉由灰燼(灰化)處理除去用於柵極15n、15p加工之光致抗蝕膜14，進一步使用氫氟酸等蝕刻液除去積存於半導體基板1表面上之乾式蝕刻殘渣、灰燼殘渣。如第8圖所示，若進行此濕式蝕刻，柵極15n(柵極15p亦相同)下部以外領域之柵極氧化膜9即會削除，其膜厚薄片蝕刻前的一半程度，同時，柵極側壁下部之柵極氧化膜9亦等向同性蝕刻而產生凹溝，因此，會有柵極15n、15p之耐壓低下等不適當情形發生。於此，為了填補、再生上述濕式蝕刻所削除之柵極氧化膜，藉以下方法進行再氧化(光氧化)處理。且，本發明人等之特願平9-142315號(美國對應案申請案號第09/086568號；美國申請日1998年5月29日)就此光氧化處理詳加記載。

第9(a)圖係顯示用於光氧化處理之葉片式氧化爐之一具體構成例之概略平面圖，第9(b)圖係沿第9(a)圖之B-B'線之剖視圖。

五、發明說明 (24)

此葉片式氧化爐100具備以多層壁石英管構成之室101，於其上部及下部設置對半導體晶圓1A加熱之加熱器102a、102b。於室101內部收容使供自此加熱器102a、102b之熱均等分散至半導體晶圓1A全部面上之圓盤狀均熱環103，於其上部載置保持半導體晶圓1A水平之感應器104。均熱環103由石英或SiC(碳化矽)等耐熱材料構成，藉自室101之壁面伸延之支持臂105支持。於均熱環103近傍設有熱電偶106，測定感應器104所保持半導體晶圓1A之溫度。半導體晶圓1A之加熱亦可採用加熱器102a、102b之加熱方式外使用例如鹵素燈之RTA快速熱退火(Rapid Thermal Annealing)方式。

用來將水蒸氣/氫混合氣體及排淨氣體(purge gase)導入室101內之氣體導入管108一端連接於室101之壁面一部份上。後述觸媒方式之氣體產生裝置連接於此氣體導入管108另一端。於氣體導入管108近傍設有具備多數貫通孔109之隔壁110，導入室101內之氣體通過此隔壁110之貫通孔109，均等遍流於室101內。用來將導入室101內之上述氣體排出之排氣管111一端連接於室101之壁面之另一部份上。

第11圖係顯示連接於上述葉片式氧化爐100之室101之觸媒方式之水蒸氣/氫混合氣體產生裝置概略圖，第12圖係此氣體產生裝置之配管系統圖。此氣體產生裝置140具備以耐熱耐蝕性合金(例如所知品名為「哈斯德洛伊」之鎳合金等構成之反應器141，其內部收容以Pt(鉑)、Ni(鎳)或Pd(鈀)

(請先閱讀背面之注意事項再
寫本頁)

裝

訂

線

五、發明說明 (25)

等觸媒金屬製成之線圈142及對此線圈142加熱之加熱器143。

包含氫及氧之工業用氣體以及由氮或Ar(氬)等惰性氣體之排淨氣體自氣體貯存槽144a、144b、144c通過配管145導入上述反應器141中。又，於氣體貯存槽144a、144b、144c與配管145之間設置調節氣體量之質量流控制器146a、146b、146c以及啓閉氣體流路之啓閉閥147a、147b、147c，導入反應器141內之氣體量及成份比藉此精密控制。

導入上述反應器141內之工業用氣體(氫及氧)與加熱至350℃至450℃程度之線圈142接觸而被激勵，氫基自氫分子產生($H_2 \rightarrow 2H^*$)，氧基自氧分子產生($O_2 \rightarrow 2O^*$)。由於這二種自由基在化學上極活潑，故會快速反應而產生水($2H^* + O^* \rightarrow H_2O$)。因此，藉由相對於產生水之克分子比(氫：氧=2：1)含有過多氫之工業用氣體導入反應器141內，產生水蒸氣/氫混合氣體。此混合氣體與供自第12圖所示稀釋管線148之氫混合而調整成所需濃度之水蒸氣/氫混合氣體後，通過前述氣體導入管108，導入葉片式氧化爐100之室101內。且，此混合氣體亦可以氮、氬等惰性氣體稀釋成適當濃度而導入室101內。又，混合氣體之壓力亦可任意設定在數十托以上氣壓範圍內。

由於上述觸媒方式之氣體產生裝置140可高精度控制有關於水產生之氫與氧量及其比率，並可將導入室101之水蒸氣/氫混合氣體中之水蒸氣濃度高精度控制在ppm級之極低濃度至數10%程度之高濃度之大範圍。又，由於工業用氣體

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (26)

導入反應器141瞬間產生水，故可即時獲得所需水蒸氣濃度之水蒸氣/氫混合氣體。又，由於藉此亦將異物混抑至最小限度，故可將乾淨水蒸氣/氫混合氣體導入室101內。

又，反應器141內之觸媒金屬若係使氫及氧自由基化者，即不限於前述金屬。又，在觸媒金屬在加工成線圈狀而使用之外，亦可於例如中空管或細纖維濾器等加工，使工業用氣體通過其內部。

第13圖係顯示使用水蒸氣/氫混合氣體之氧化還原反應之平衡蒸氣壓比 P_{H_2O}/P_{H_2} 之溫度依存性圖表，圖式中曲線(a)之(e)分別表示W、Mo、Ta(鉭)、Si、Ti之平衡蒸氣壓比。

如圖所示，藉由將導入葉片式氧化爐100之室101內水蒸氣/氫混合氣體之水蒸氣/氫分壓比設定在(a)曲線及(b)曲線(a)所挾領域之範圍內，可使構成柵極(15n、15p)一部份之W膜12及作為阻擋層之WN膜不氧化，選擇性僅氧化Si(半導體基板1及多晶矽膜10n、10p)。又，如圖所示，金屬(W、Mo、Ta、Ti)、Si中任一金屬隨著水蒸氣/氫混合氣體中水蒸氣濃度變高而氧化速度變大。亦即，藉由水蒸氣/氫混合氣體中水蒸氣濃度變高，可以較短時間之熱處理選擇性氧化矽。

同樣地，在以Mo膜構成柵極(15n、15p)之高熔點金屬部份情形下，藉由將水蒸氣/氫分壓比設定在曲線(b)及曲線(d)所挾領域之範圍內，可不氧化Mo膜，選擇性僅氧化矽。又，在以Ta膜構成柵極(15n、15p)一部份情形下，

(請先閱讀背面之注意事項再
寫本頁)

裝

訂

線

五、發明說明 (27)

藉由將水蒸氣/氫分壓比設定在曲線(c)及曲線(d)所挾領域之範圍內，可不氧化Ta膜，選擇性僅氧化矽。

另一方面，如圖所示，在爲了於水蒸氣/氫混合氣體環境中，使Ti氧化速度較SiT，一面以Ti膜構成柵極(15n、15p)之金屬部份，一面以TiN膜構成阻擋層情形下，即使選擇性僅氧化Si(半導體基板/及多晶矽膜10n、10p)，亦同時氧化Ti膜、TiN膜，因此，亦一面發生柵極剝離。

第14圖係顯示使用上述水蒸氣/氫混合氣體之氧化處理時間與氧化矽膜厚關係之圖表。如圖所示，氧化矽膜厚固然大致按氧化時間成比例增加，惟在水份濃度爲0%情形下，即使氧化時間增加，膜厚亦不增加。

又，第15及16圖顯示在水蒸氣/氫混合氣體之水份濃度在10%、15%情形下，在獲得一定氧化膜厚(2、3、4、5 nm)上必要之氧化溫度與氧化時間關係之圖表。如圖所示，於任一情形下，獲得一氧化膜厚上必要之氧化時間大致按氧化溫度成比例縮短。

另一方面，第17圖係顯示將硼注入膜厚3.5 nm氧化矽膜上所形成之膜厚100 nm多晶矽膜，在電能5 keV、注入量 $4 \times 10^{15}/\text{cm}^2$ 條件下摻雜B(硼)，對其所形成之柵極進行熱處理時，溫度與VFB(大致與Vth等值)之關係之圖表。如圖所示，一旦熱處理溫度超過850°C程度，會造成通過氧化膜而擴散至基板之柵極中B(硼)劇增，由此可知，VFB亦劇增。

基於以上，在不氧化構成柵極(15n、15p)一部份之W膜

(請先閱讀背面之注意事項
● 寫本頁)

裝

訂

線

五、發明說明()

12及作為阻擋層之WN膜11，選擇性僅氧化矽(半導體基板1及多晶矽10n、10p)，並於構成柵極(15p、15n)另一部份之p型多晶矽膜10p中之B(硼)不致於通過柵極氧化膜9擴散至半導體基板1(n型阱8)之低熱負荷條件下)進行目的在於填補柵極氧化膜9之光氧化處理方面，宜將半導體晶圓1A之加熱溫度設定在氧化矽膜品質不致於低下之下限溫度650℃至半導體晶圓1A表面乾斑易於發生之900℃範圍內，較佳者設定在750至900℃範圍內，尤佳者設定在可抑制B(硼)朝基板擴散之上限溫度850℃程度。此時水蒸氣/氫混合氣體之水份濃度在氧化矽膜成長上實用之下限濃度1%(第13圖所示分壓比表示為約1%)至前述氧化還原反應中進行氧化之水份濃度上限值之範圍內，特別是在半導體晶圓1A加熱溫度設定在850℃程度下，由於氧化反應速度變大，故水份濃度較佳地設定在至少3%(分壓比表示為43%)程度以上，尤佳者為水份濃度上限值50%(分壓比表示為100%)程度，亦即設定在該溫度等條件下熱力學之最大水份濃度(參照第13圖)。

且，在本案中水份濃度以全體氣壓中所佔水份分壓百分比，或如第13圖所示，以氫分壓為分母，水份分壓為分子之百分比，亦即以分壓比表示所示，存在有氮等其他活潑成份情形下，這會對分子起作用。且在以氫、氮等惰性成份稀釋情形下，一般而言，完全不影響氧化還原反應，或小到可忽視程度。且，本案例子除非特別明載，否則，不會添加氫與水份以外之氣體成份來作為處理環境。

五、發明說明 (29)

又，如第13圖所示，適當水份濃度基於確保穩定加工條件等理由，以在不太高溫度領域，離開臨界領域達某一程度，為5%至30%(分壓比表示為5.3%至43%)程度，較佳者8%至25%(分壓比表示為8.7%至33%)程度的水份濃度之適當情形居多。

亦即，以此種較高水份濃度進行對柵極摻雜硼後之熱處理，抑制硼通過柵極絕緣膜而不理想地擴散至溝領域之硼漏(Boron leak)之效果極大。

其次，一面參照第18圖，一面就使用前述葉片式氧化爐100之光氧化製程順序之一例子加以說明。

首先，開啓葉片式氧化爐100之室101，一面將排淨氣體(氮)導入其內部，一面將前述柵極15n、15p加工結束後之半導體晶圓1A裝載於感應器104上。此後，閉鎖室101，繼續導入排淨氣體，充份進行室101內之氣體交換。感應器104預先以加熱器102a、102b加熱(例如850℃程度)，俾半導體晶圓1A快速加熱。

其次，將氫導入室101內，排出氮。由於氮若殘留於室101內，會發生不必要的氮化反應，故在柵極氧化膜不擬作成極厚情形下，最好完全排出氮(且，就以下光氧化處理之環境而言，無庸贅言，亦可依需要，在氫及水份以外，添加氬等惰性氣體、氧、氮等)。

接著，將氧與過剩的氫導入氣體產生裝置140之反應器141內，並將含有藉由觸媒作用自氧與氫產生之水之水蒸氣/氫混合氣體(水份濃度例如50%程度)導入室101中，僅

五、發明說明 ()

在預定時間內氧化半導體晶圓1A表面。藉此，再氧化為前述濕式蝕刻削薄之柵極氧化膜9，如第19(a)圖所示，改善切出凹溝之柵極(15n、15p)側壁端部之輪廓。亦即，如該19圖之(b)放大顯示，柵極(15n、15p)側壁端部除去蝕刻形成之尖銳邊緣，使其帶有圓形，俾減輕電場集中。

同樣地，由上述第19圖可知，在構成柵極之聚矽電極端部及側部中，藉由追加熱氧化消除熱氧化膜曲率半徑小的部份，或者，使其變成曲率半徑大者。藉此緩和柵極端部中不必要的電場集中。

若長時間進行上述光氧化，柵極端部近傍之氧化膜厚即會變厚至超過必要程度，有時柵極端部會發生偏移，有時MOSFET之閾值電壓(V_{th})會脫離設計值。又，會發生構成柵極15p一部份之p型多晶矽膜10p中一部份B(硼)易於擴散至基板(n型阱8)之問題，亦會發生有效溝長變成較柵極(15n、15p)加工值短之問題。

特別是，柵極長為 $0.18\mu m$ 左右之微細MOSFET其偏離柵極加工尺寸設計值之細微容許量自元件設計而觀之受到嚴格限制。其原因在於，即使略微增加細微容許量，閾值電壓亦會因短溝效果急遽減少。在柵極長為 $0.18\mu m$ 左右之柵極情形下，由於柵極氧化膜厚為3.5 nm程度，故考慮到構成此部份之多晶矽膜之側壁端部以光氧化工序氧化約1 nm程度，使閾值電壓無法急遽減少之界限。因此，光氧化所成長之氧化膜厚最好以柵極氧化膜厚增加50%程度為上限。

五、發明說明 (31)

此後，將排淨氣體(氮)導入室101內，在排出水蒸氣/氮混合氣體之後開啓室101，藉由一面將排淨氣體導入其內部，一面自感應器104卸下半導體晶圓1A，結束光氧化處理。

以下簡單說明上述光氧化工序後之CMOS製程。首先，如第20圖所示，在將例如P(磷)之n型雜質注入p型阱7中，於柵極15n二側之p型阱7形成n⁻型半導體領域16，將例如B(硼)之p型雜質注入n型阱8內，於柵極15p二側之n型阱8形成p⁻型半導體領域17之後，以CVD法沉積膜厚100 nm程度之氮化矽膜18於半導體基板1上。

其次，如第21圖所示，將例如As(砷)之n型雜質注入p型阱7中，形成n溝道型MISFET之n⁺型半導體領域21(源極、汲極)，將例如B(硼)之p型雜質注入n型阱8中，形成p溝道型MISFET之p⁺型半導體領域22(源極、汲極)。藉由迄此為止之工序，完成雙柵極構成之n溝道型MISFETQ_n及p溝道型MISFETQ_p。

其次，如第22圖所示，以CVD法沉積氧化矽膜22於半導體基板1上，使用化學機械磨蝕法使其表面平坦化之後，藉由屏蔽光致抗蝕膜之乾式蝕刻除去n⁺型半導體領域20(源極、汲極)及p⁺型半導體領域21(源極、汲極)上部之氧化矽膜。此種蝕刻在相對於氮化矽膜13、19，氧化矽膜22之蝕刻程度大之條件下進行，不除去n⁺型半導體領域20(源極、汲極)及p⁺型半導體領域21(源極、汲極)之個別上部之氮化矽膜18。

五、發明說明 (32)

其次，藉由除去 n^+ 型半導體領域20(源極、汲極)及 p^+ 型半導體領域21(源極、汲極)之個別上部之氮化矽膜及柵極氧化膜9，於 n^+ 型半導體領域20(源極、汲極)上部形成接觸孔23，於 p^+ 型半導體領域21(源極、汲極)上部形成接觸孔24。此蝕刻爲了使半導體基板1削除量變成最小，將溫度蝕刻量限制於必要最小限度，同時，使用能獲得相對於半導體基板1(矽)選擇比大的蝕刻氣體。此蝕在氮化矽膜19各向異性蝕刻條件下進行，使氮化矽膜18殘留在柵極(15n、15p)側壁。如此，分別地，接觸孔23相對於柵極15n，又，接觸孔24相對於柵極15p自行調整而形成。

其次，如第23圖所示，使沉積於氧化矽膜22上部之W膜形成圖形而形成配線25至30，藉此，大致完成本實施形態之CMOS LSI。

以上固然根據實施形態具體說明本發明所提供之發明，惟本發明並不限於前述實施形態，無需贅言，在不超出其要旨之範圍內，可作種種變更。

例如，上述柵極氧化膜之光氧化處理亦可將前述觸媒方式之水蒸氣/氫混合氣體產生裝置140安裝於第24圖所示分批式縱型氧化爐150上來進行。在使用此種分批式縱型氧化爐150情形下，可使用設有昇降溫度機構之氧化爐。第25圖顯示使用此分批式縱型氧化爐150之光氧化處理製程順序之一例子。

又，固然前述實施形態就多金屬構造之柵極加工情形加以說明，惟本發明光氧化處理亦可適用於硼摻雜多晶矽膜

五、發明說明 ()

上層疊矽化鎢等高熔點金屬膜之聚合物構造之柵極加工場合。

本案所揭露發明中以代表例獲得之效果簡單說明如下。

根據本發明，於採用多金屬柵極構造及雙柵極構造之CMOS LSI中，可抑制構成柵極一部份之高熔點金屬膜氧化，同時可抑制矽自構成柵極另一部份之p型)多晶矽膜中通過柵極氧化膜擴散。藉此，可增進以柵極長度短的微細MOSFET構成之CMOS LSI之可靠性、製造成品率。特別是，在以柵極長為0.18 μ m以下微細MOSFET構成之CMOS LSI情形下，上述效果益形顯著。

符號說明

1	半導體基板
1A	半導體晶圓
2	氧化矽膜(焊接區(pad)氧化膜)
3	氮化膜
4	元件分離溝
4a	溝
5	氧化矽膜
6	氧化矽膜
7	p型阱
8	n型阱
9	柵極氧化膜
10n	n型多晶矽膜
10p	p型多晶矽膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

34
五、發明說明 ()

- 11 WN 膜
- 12 W 膜
- 13 氮化矽膜
- 14 光致抗蝕膜
- 15n 柵極
- 15p 柵極
- 16 n⁻型半導體領域
- 17 p⁻型半導體領域
- 18 氮化矽膜
- 20 n⁺型半導體領域(源極、汲極)
- 21 p⁺型半導體領域(源極、汲極)
- 22 氧化矽膜
- 23 接觸孔
- 24 接觸孔
- 25 至 30 第1層配線
- 100 葉片式氧化爐
- 101 室
- 102a、102b 加熱器
- 103 均熱環
- 104 感應器
- 105 支持臂
- 106 熱電偶
- 107 鹵素燈
- 108 氣體導入管

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

35
五、發明說明 ()

- 109 貫通孔
- 110 隔壁
- 111 排氣管
- 140 氣體產生器
- 141 反應器
- 142 線圈
- 143 加熱器
- 144a至144c 氣體貯存槽
- 145 配管
- 146a至146c 質量流控制器
- 147a至147c 啓閉閥
- 148 稀釋管線
- Q_n n溝道型MOSFET
- Q_p p溝道型MOSFET

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要（發明之名稱：半導體積體電路裝置之製造方法及半導體積體電路裝置）

一種半導體積體電路裝置之製造方法，特徵在於包含以下工序：

- (a) 在含有半導體晶圓主面之矽表面上所成形氧化矽膜之柵極絕緣膜上形成多晶矽膜之工序；
- (b) 在前述多晶矽膜上直接或由阻擋層居間形成以鎢為主要成份之高熔點金屬膜之工序；
- (c) 藉由使前述多晶矽膜及前述高熔點金屬膜形成圖形以形成柵極之工序；以及
- (d) 在前述工序(c)之後，於含有氫氣及水蒸氣之混合氣體環境下，對前述柵極端部對應部份之前述矽表面及摻雜硼之前述多晶矽膜進行熱氧化處理之工序。

英文發明摘要（發明之名稱：半導体集積回路装置の製造方法および半導体集積回路装置）

- 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；
- (a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、多結晶シリコン膜を形成する工程、
 - (b) 前記多結晶シリコン膜上に、直接またはバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、
 - (c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、
 - (d) 前記工程(c)の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で前記ゲート電極の端部に対応する部分の前記シリコン表面およびホウ素がドーピングされた前記多結晶シリコン膜を熱酸化処理する工程。

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

90.12.26

六、申請專利範圍

1. 一種絕緣閘極場效型半導體積體電路裝置之製造方法，特徵在於包含以下工序：
 - (a) 於水分合成部中，以含有氧氣及氫氣之第1氣體藉由觸媒於第1溫度中合成水蒸氣之工序；
 - (b) 將如上合成之水蒸氣保持於氣體狀態狀下導入至熱處理爐之工序；
 - (c) 於較前述第1溫度為高之第2溫度下進行熱處理之工序，其係以包含氫氣之第2氣體稀釋前述水蒸氣，得到包含前述水蒸氣之混合氣體氣氛，並在具有該混合氣體氣氛之上述熱處理爐中，收容一晶圓，該晶圓在其第1主面上具有以矽為主要成分之矽表面區域，以及一閘極，該閘極具有在矽表面區域上方之包含高融點金屬為其主要成分之第1膜，並對上述第1主面，在不氧化上述第1膜之條件下氧化矽表面區域。
2. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中上述閘極係做為絕緣閘極型場效電晶體之閘極用者。
3. 如申請專利範圍第2項之半導體積體電路裝置之製造方法，其中上述第2溫度係在攝氏650度以上者。
4. 如申請專利範圍第3項之半導體積體電路裝置之製造方法，其中上述第2氣體係以氫氣為主要成分之氣體者。
5. 如申請專利範圍第4項之半導體積體電路裝置之製造方法，其中上述水蒸氣的合成係藉對上述觸媒供給一混合氣體進行者，該混合氣體與對應於水蒸氣合成之化學計量流量比相較之下其氫氣過剩。

六、申請專利範圍

6. 如申請專利範圍第3項之半導體積體電路裝置之製造方法，其中上述閘極具有做為多矽膜用之矽膜為其下層膜。
7. 如申請專利範圍第6項之半導體積體電路裝置之製造方法，其中上述矽膜與上述第1膜之間夾有一阻擋層。
8. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中上述熱處理係在實質上不氧化上述第1膜及上述阻擋層之條件下進行者。
9. 如申請專利範圍第4項之半導體積體電路裝置之製造方法，其中上述稀釋係在上述水蒸氣到達上述熱處理爐之前進行者。
10. 如申請專利範圍第8項之半導體積體電路裝置之製造方法，其中上述阻擋層包含鎢之氮化物。
11. 如申請專利範圍第4項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為1%以上。
12. 如申請專利範圍第11項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為30%以上。
13. 如申請專利範圍第4項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為700Torr以上。
14. 如申請專利範圍第13項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為常壓。
15. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中上述阻擋層包含鎢之氮化物。
16. 如申請專利範圍第4項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛包含氮氣。

六、申請專利範圍

17. 如申請專利範圍第3項之半導體積體電路裝置之製造方法，其中上述第1溫度在攝氏450度以下。
18. 如申請專利範圍第5項之半導體積體電路裝置之製造方法，其中上述閘極電極具有做為多矽膜用之矽膜為其下層膜。
19. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中上述矽膜與上述第1膜之間夾有上述阻擋層。
20. 如申請專利範圍第19項之半導體積體電路裝置之製造方法，其中上述熱處理係在實質上不氧化上述第1膜及上述阻擋層之條件下進行者。
21. 如申請專利範圍第20項之半導體積體電路裝置之製造方法，其中上述阻擋層包含鎢之氮化物。
22. 如申請專利範圍第21項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為700Torr以上。
23. 如申請專利範圍第22項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為常壓。
24. 如申請專利範圍第23項之半導體積體電路裝置之製造方法，其中上述稀釋係在上述水蒸氣到達上述熱處理爐之前進行者。
25. 如申請專利範圍第24項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為1%以上。
26. 如申請專利範圍第25項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為30%以上。
27. 如申請專利範圍第26項之半導體積體電路裝置之製造方法，其中上述阻擋層包含鎢之氮化物。

六、申請專利範圍

28. 如申請專利範圍第27項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛包含氮氣。
29. 一種雙閘極場效型半導體積體電路裝置之製造方法，特徵在於包含以下工序：
- (a) 在含有半導體晶圓主面之主要由矽構成之半導體表面上所形成氧化矽膜之柵極絕緣膜上形成主要由矽構成之多晶膜之工序；
 - (b) 在前述多晶膜上直接或由阻擋層居間形成以鎢或鉬為主要成份之高熔點金屬膜之工序；
 - (c) 藉由使前述多晶膜及前述高熔點金屬膜形成圖形以形成柵極之工序；以及
 - (d) 在前述工序(c)之後，於含有氫氣及水蒸氣之混合氣體環境下，對前述柵極端部對應部份之前述半導體表面及摻雜硼之前述多晶膜進行熱氧化處理之工序。
30. 如申請專利範圍第29項之半導體積體電路裝置之製造方法，其中上述閘極係做為絕緣閘極型場效電晶體之閘極用者。
31. 如申請專利範圍第30項之半導體積體電路裝置之製造方法，其中上述閘極具有做為多矽膜用之矽膜為其下層膜。
32. 如申請專利範圍第31項之半導體積體電路裝置之製造方法，其中上述矽膜為摻雜硼之P型者。
33. 如申請專利範圍第32項之半導體積體電路裝置之製造方法，其中上述矽膜與上述第1膜之間夾有上述阻擋層。
34. 如申請專利範圍第33項之半導體積體電路裝置之製造方法，其中上述熱處理係在實質上不氧化上述第1膜及上述阻擋層

六、申請專利範圍

之條件下進行者。

35. 如申請專利範圍第34項之半導體積體電路裝置之製造方法，其中上述第2溫度係在攝氏650度以上者。
36. 如申請專利範圍第35項之半導體積體電路裝置之製造方法，其中上述水蒸氣的合成係藉對上述觸媒供給一混合氣體進行者，該混合氣體與對應於水蒸氣合成之化學計量流量比相較之下其氫氣過剩。
37. 如申請專利範圍第36項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為1%以上。
38. 如申請專利範圍第37項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為30%以上。
39. 如申請專利範圍第38項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為700Torr以上。
40. 如申請專利範圍第39項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為常壓。
41. 如申請專利範圍第34項之半導體積體電路裝置之製造方法，其中上述阻擋層包含鎢之氮化物。
42. 如申請專利範圍第36項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛包含氮氣。
43. 如申請專利範圍第36項之半導體積體電路裝置之製造方法，其中上述第1溫度在攝氏450度以下。
44. 如申請專利範圍第40項之半導體積體電路裝置之製造方法，其中上述阻擋層包含鎢之氮化物。
45. 如申請專利範圍第44項之半導體積體電路裝置之製造方法，其中上

六、申請專利範圍

述混合氣體氣氛包含氮氣。

46. 如申請專利範圍第45項之半導體積體電路裝置之製造方法，其中上述第1溫度在攝氏450度以下。
47. 如申請專利範圍第29項之半導體積體電路裝置之製造方法，其中上述第1溫度在攝氏650度以上。
48. 如申請專利範圍第47項之半導體積體電路裝置之製造方法，其中上述水蒸氣的合成係藉對上述觸媒供給一混合氣體進行者，該混合氣體與對應於水蒸氣合成之化學計量流量比相較之下其氮氣過剩。
49. 如申請專利範圍第48項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為1%以上。
50. 如申請專利範圍第49項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之水分濃度為30%以上。
51. 如申請專利範圍第50項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為700Torr以上。
52. 如申請專利範圍第51項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為常壓。
53. 如申請專利範圍第32項之半導體積體電路裝置之製造方法，其中上述熱處理係藉以燈(Lamp)加熱之單片式處理(Single wafer processing)而進行者。
54. 如申請專利範圍第53項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為700Torr以上。
55. 如申請專利範圍第54項之半導體積體電路裝置之製造方法，其中上述第2溫度係在攝氏650度以上者。

六、申請專利範圍

56. 如申請專利範圍第55項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為常壓。
57. 如申請專利範圍第56項之半導體積體電路裝置之製造方法，其中上述第2溫度係在攝氏750度以上者。
58. 如申請專利範圍第32項之半導體積體電路裝置之製造方法，其中上述熱處理係藉分批式處理(Batch wafer processing)而進行者。
59. 如申請專利範圍第58項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為700Torr以上。
60. 如申請專利範圍第59項之半導體積體電路裝置之製造方法，其中上述第2溫度係在攝氏650度以上者。
61. 如申請專利範圍第60項之半導體積體電路裝置之製造方法，其中上述混合氣體氣氛之氣壓為常壓。
62. 如申請專利範圍第61項之半導體積體電路裝置之製造方法，其中上述第2溫度係在攝氏750度以上者。

88107-47

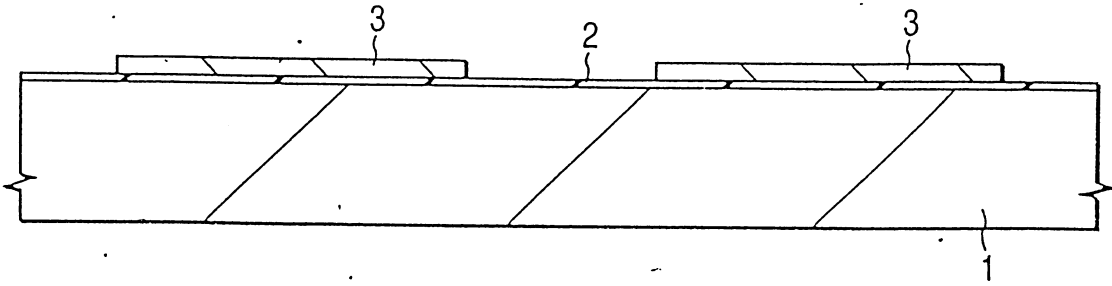


圖 1

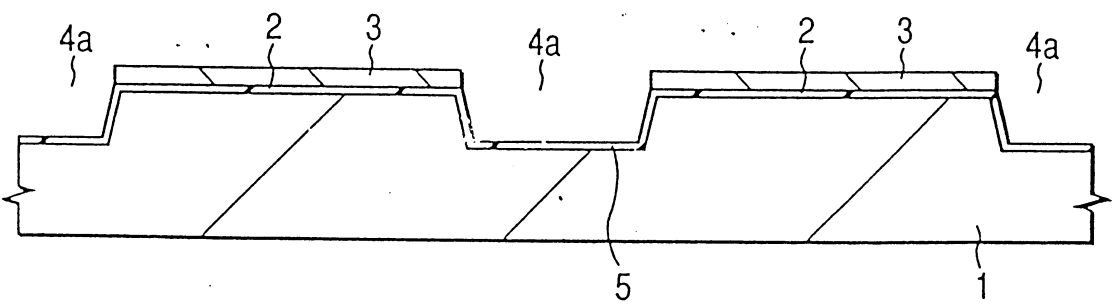


圖 2

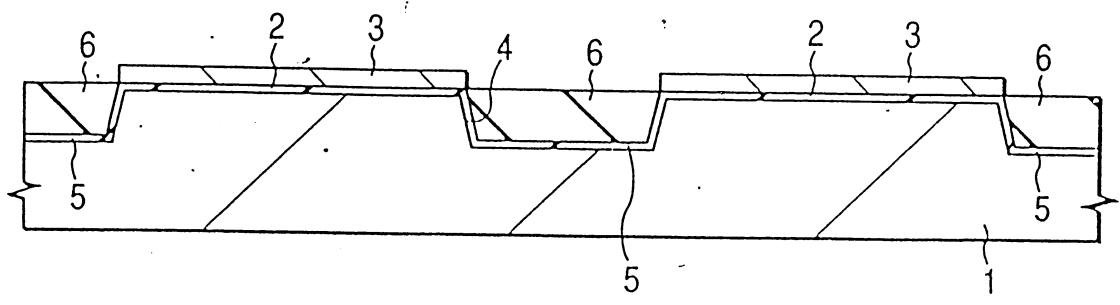


圖 3

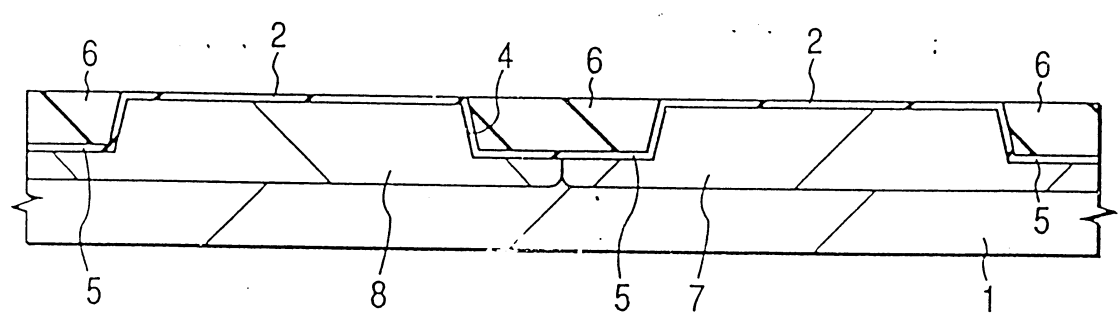


圖 4

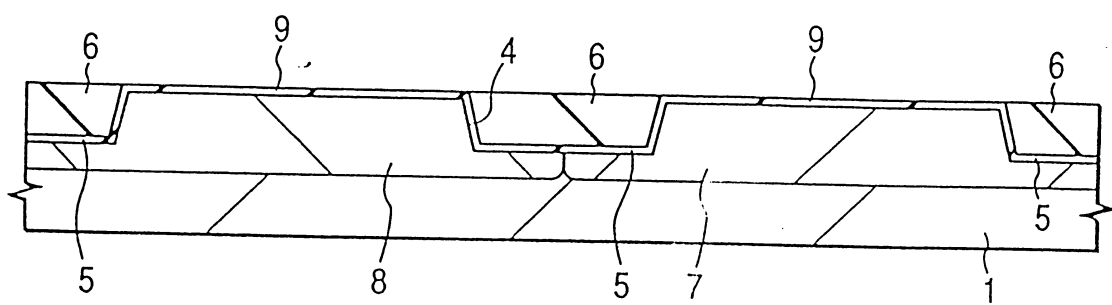


圖 5

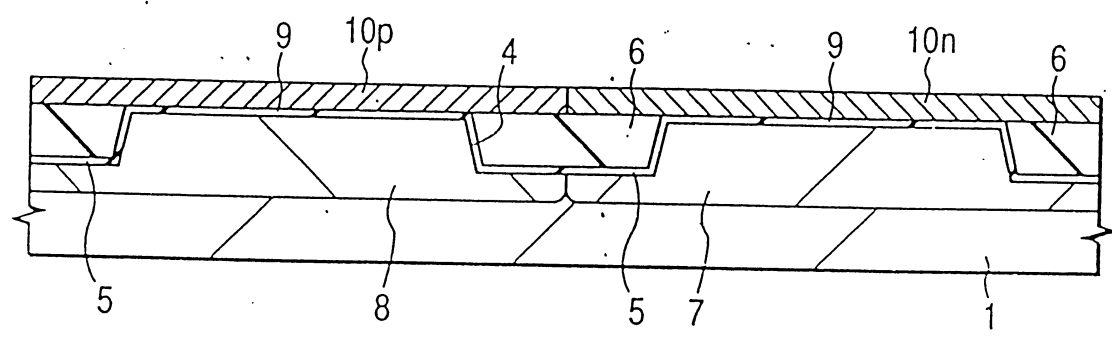


圖 6

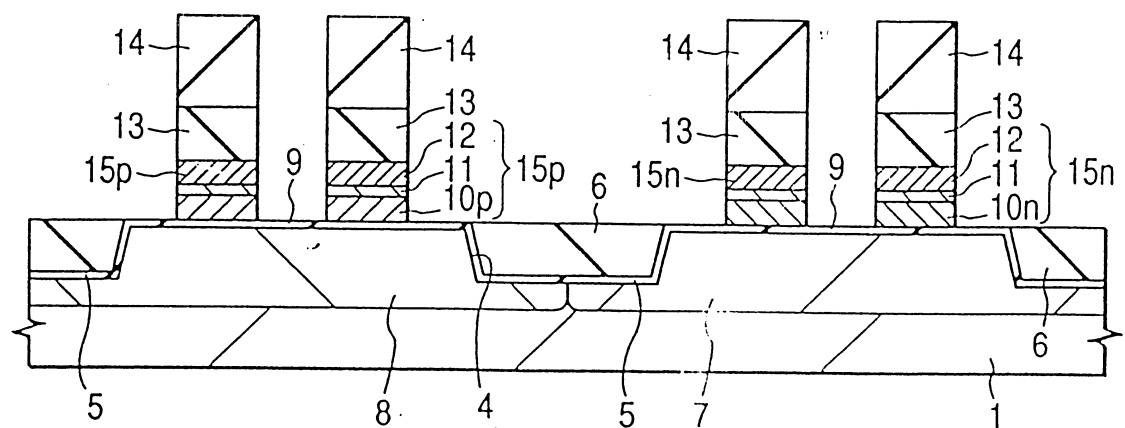


圖 7

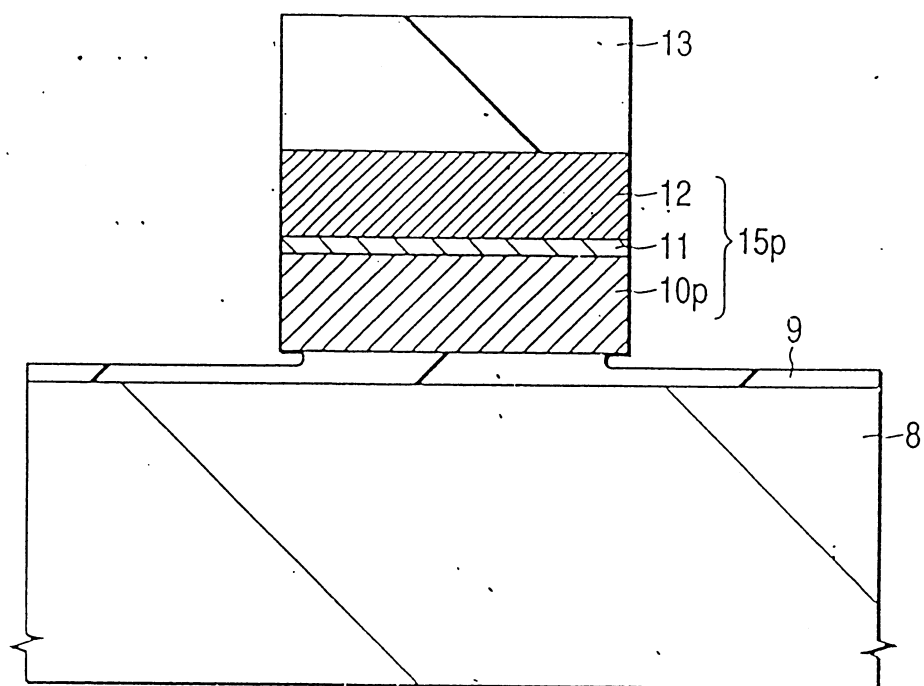
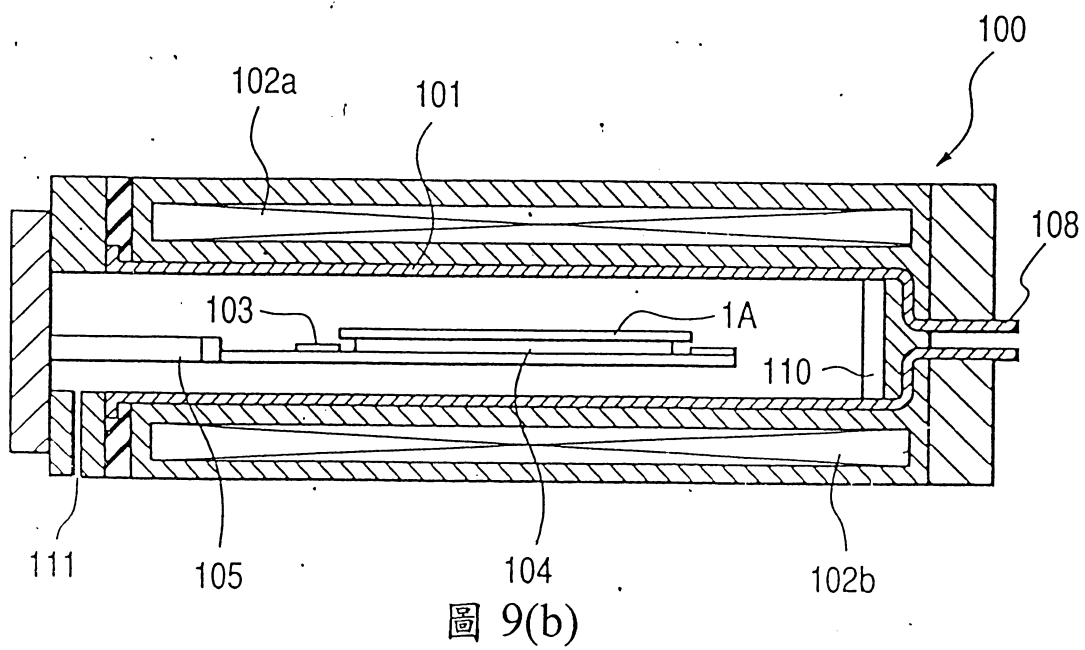
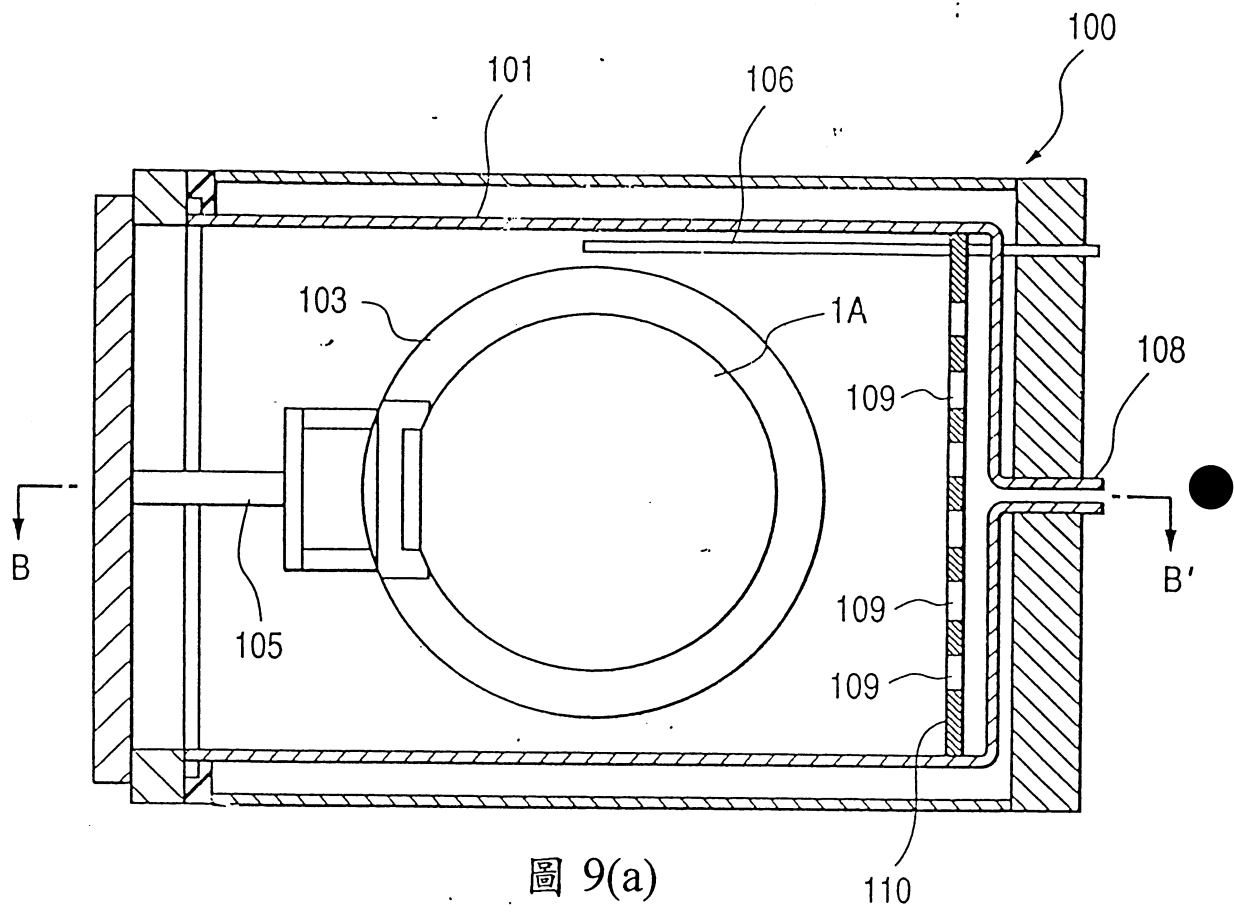
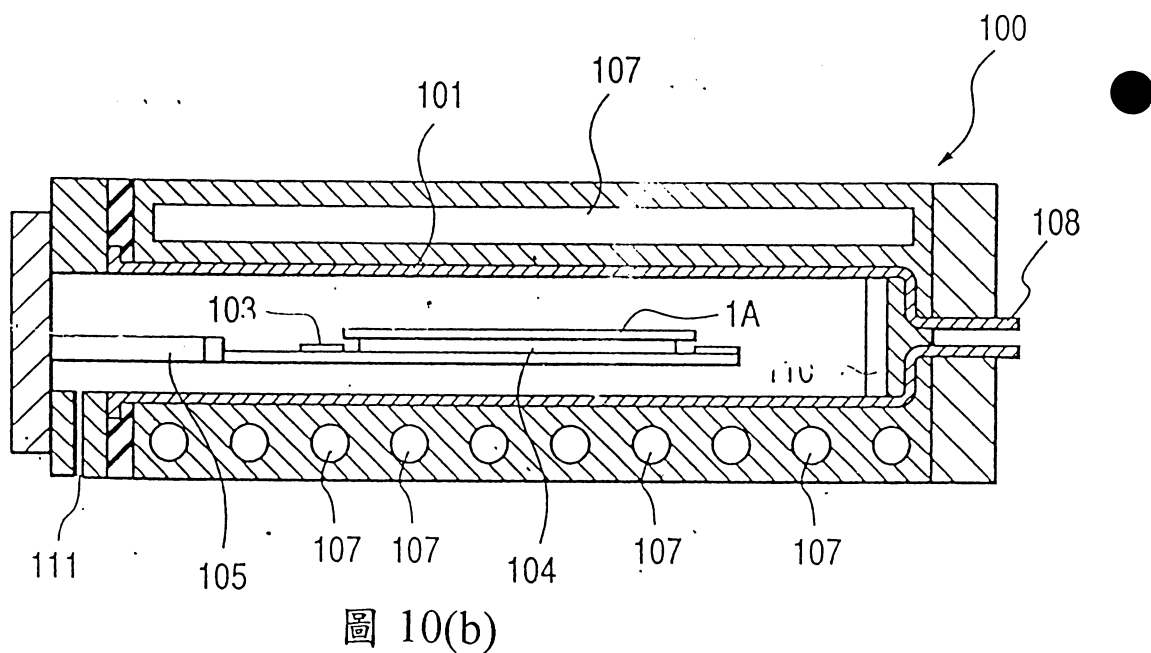
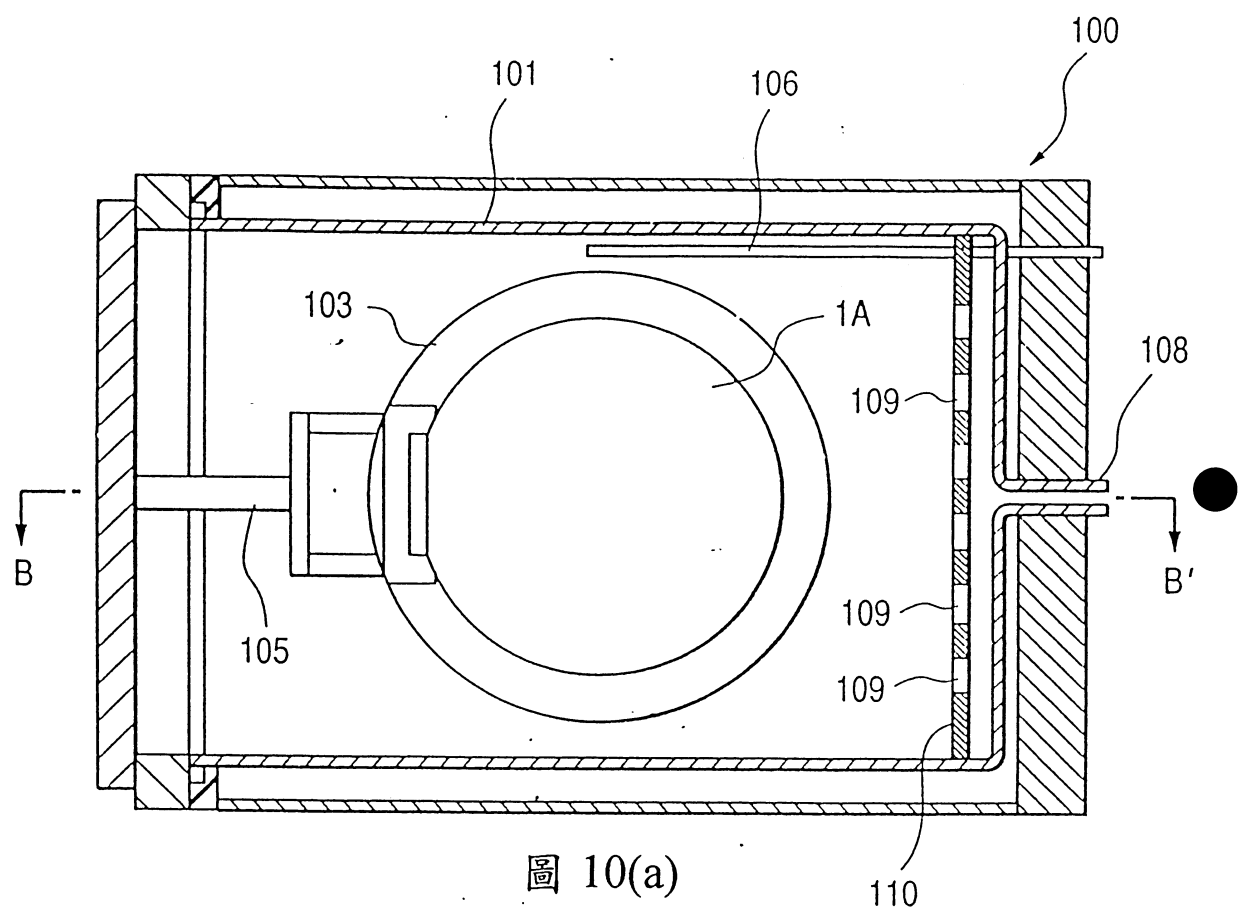


圖 8





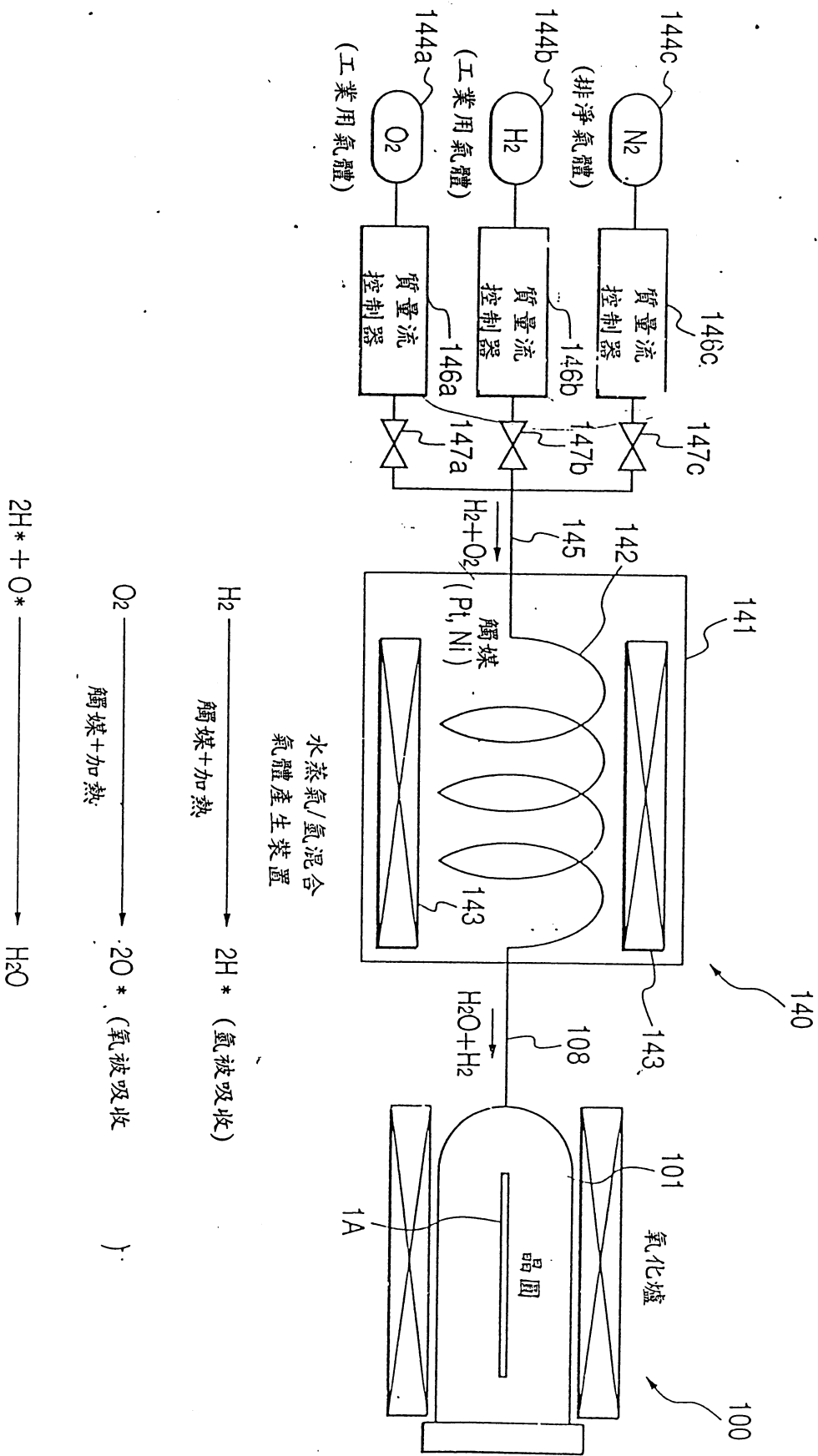


圖 11

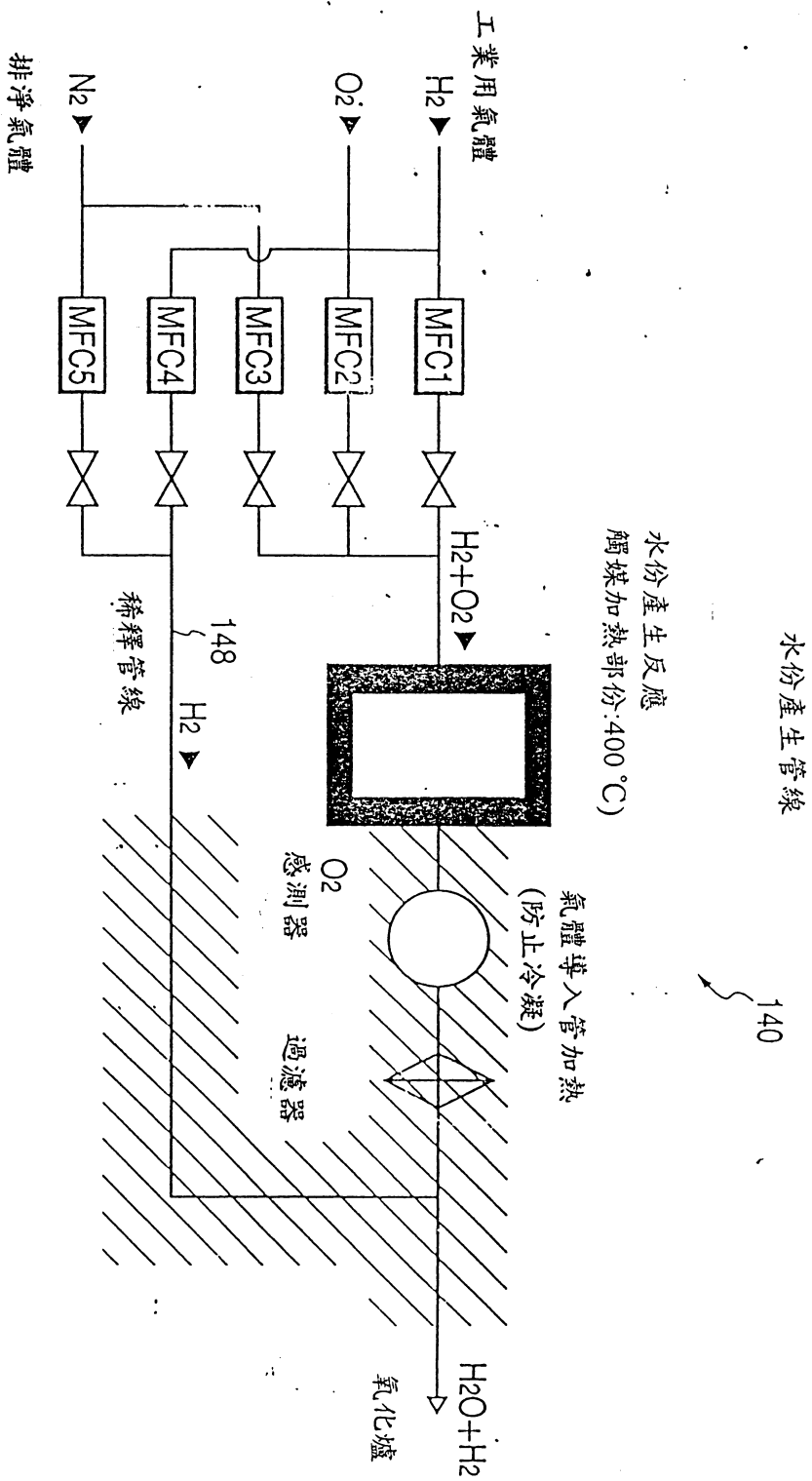


圖 12

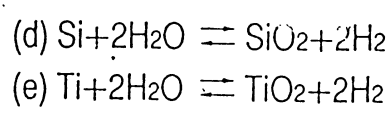
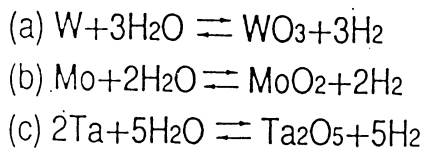
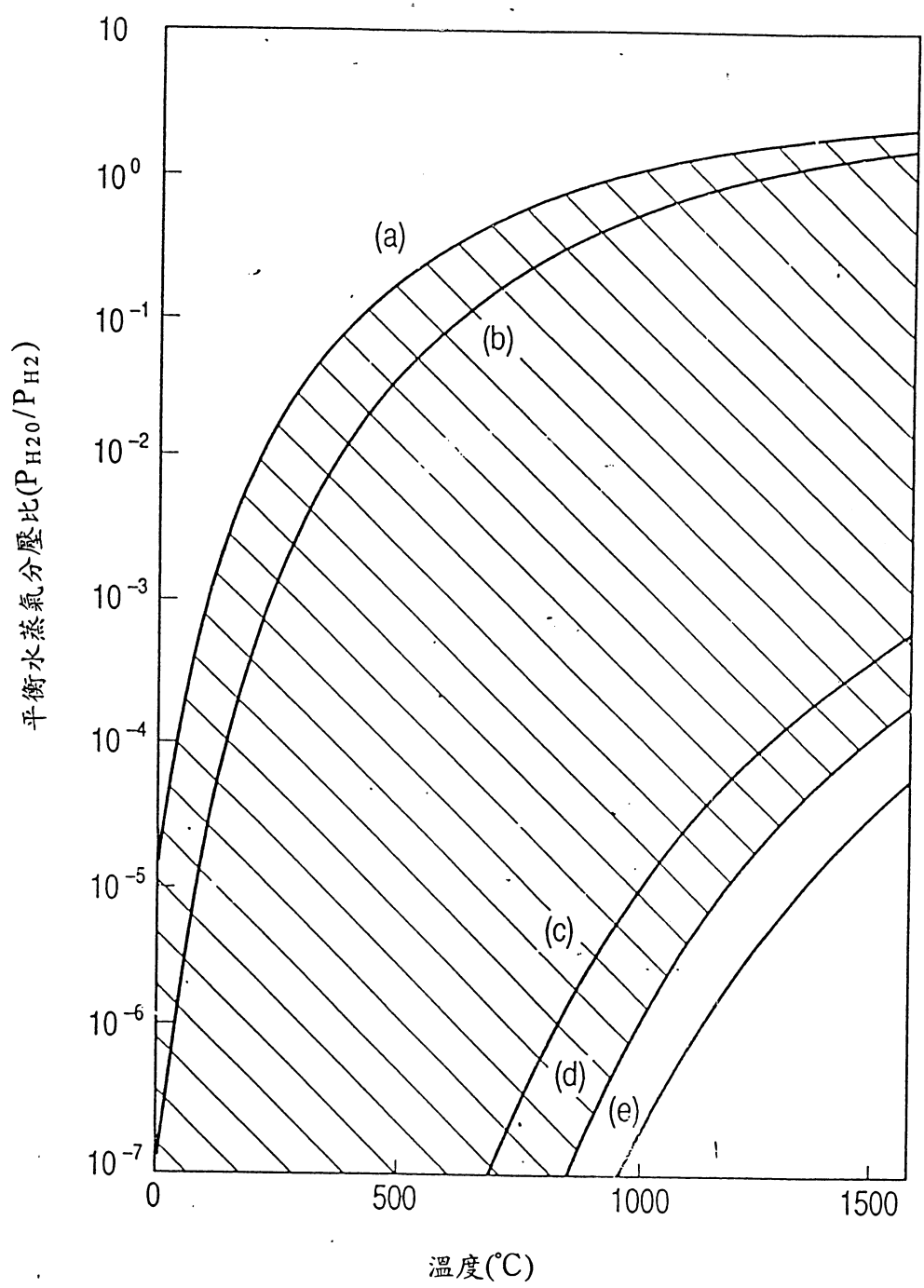
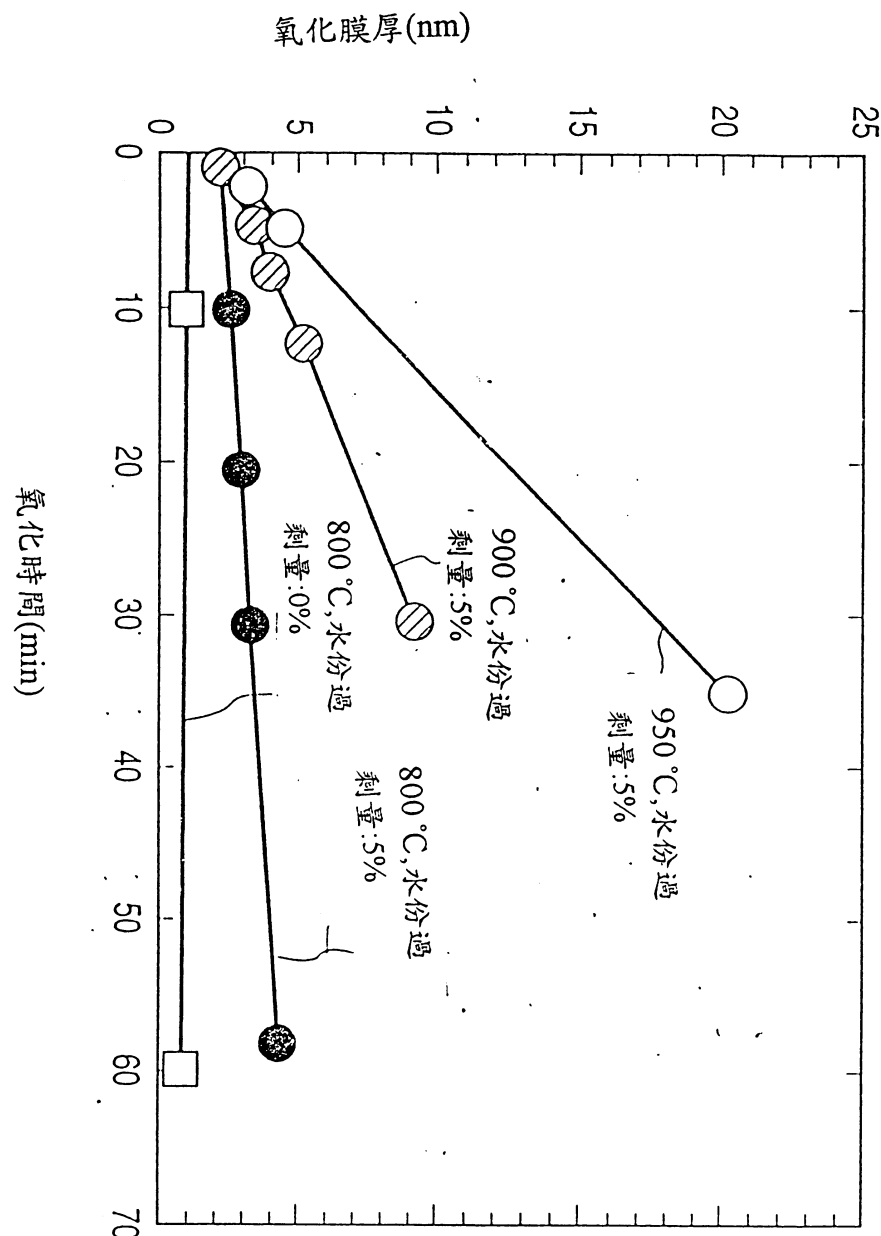


圖 13



氧化矽膜之 WH 氧化依存度

圖 14

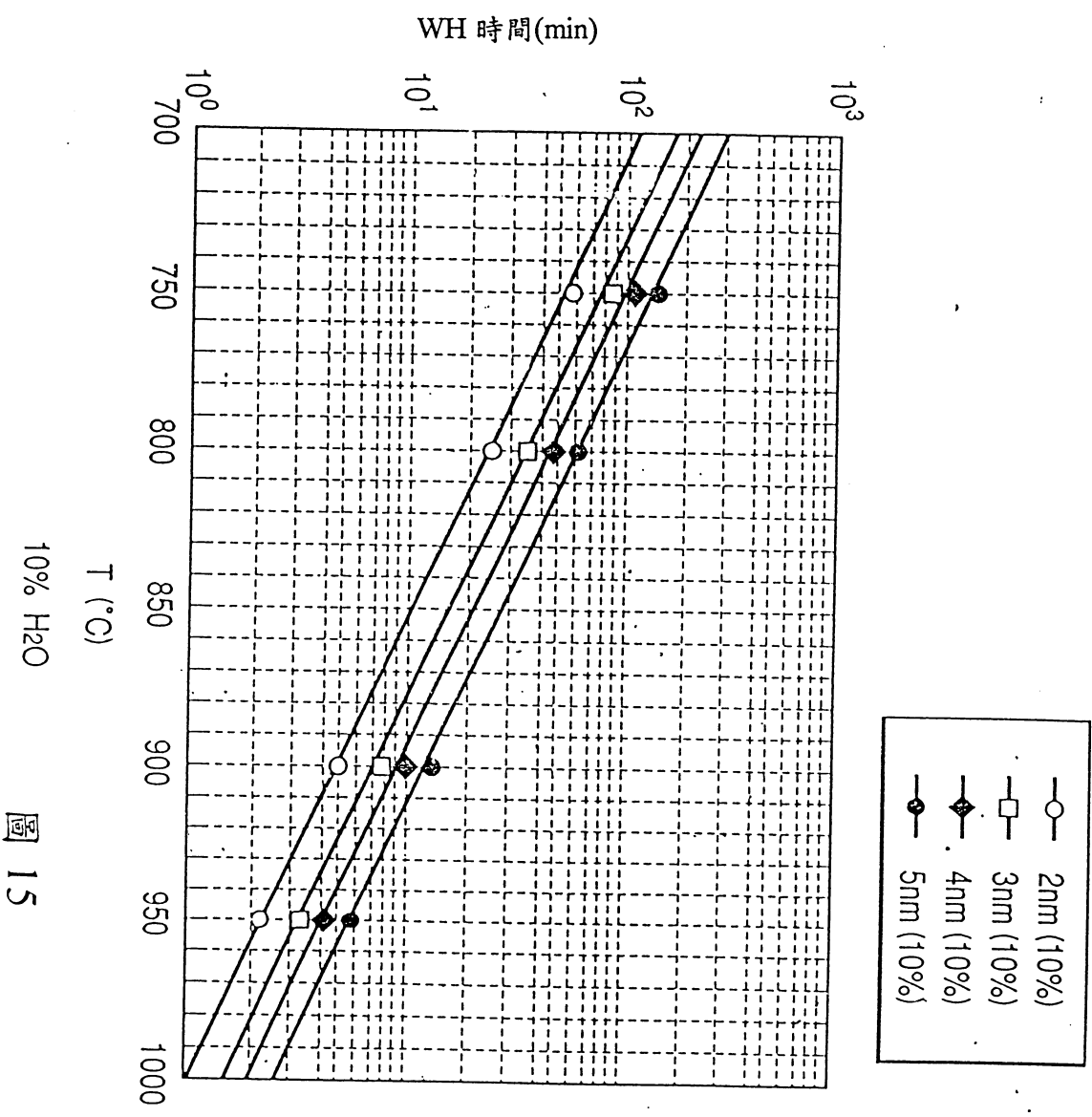


圖 15

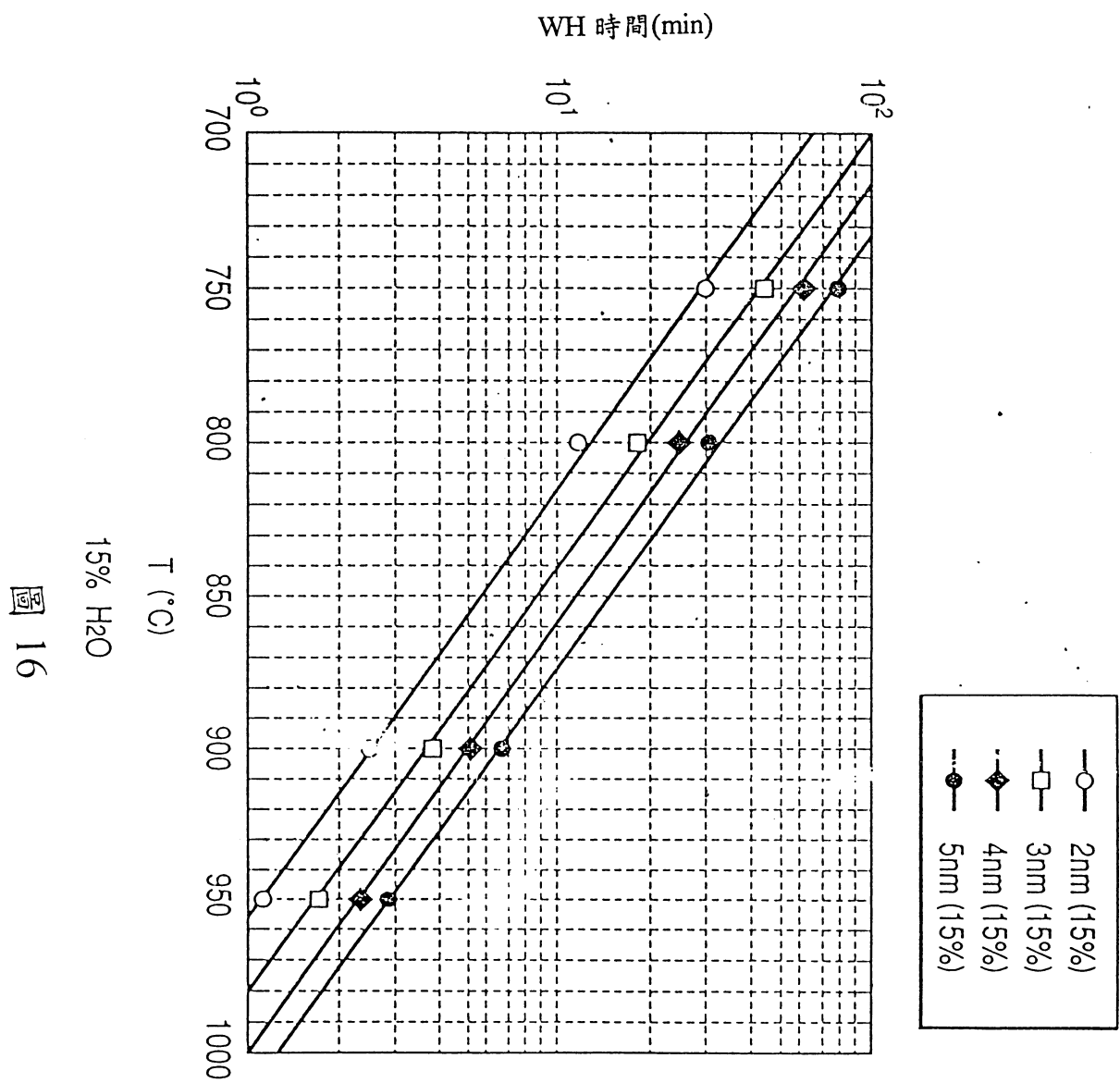


圖 16

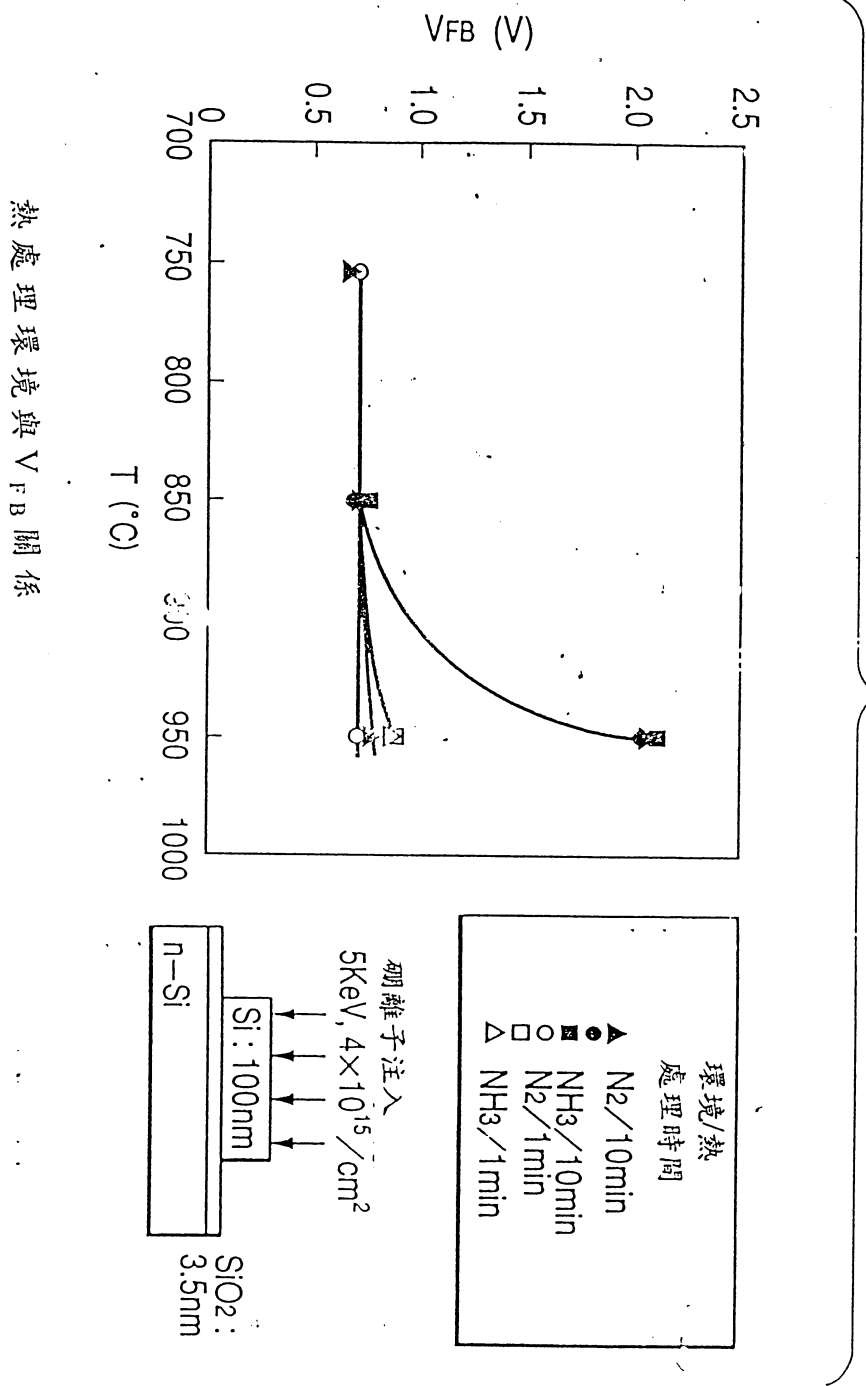
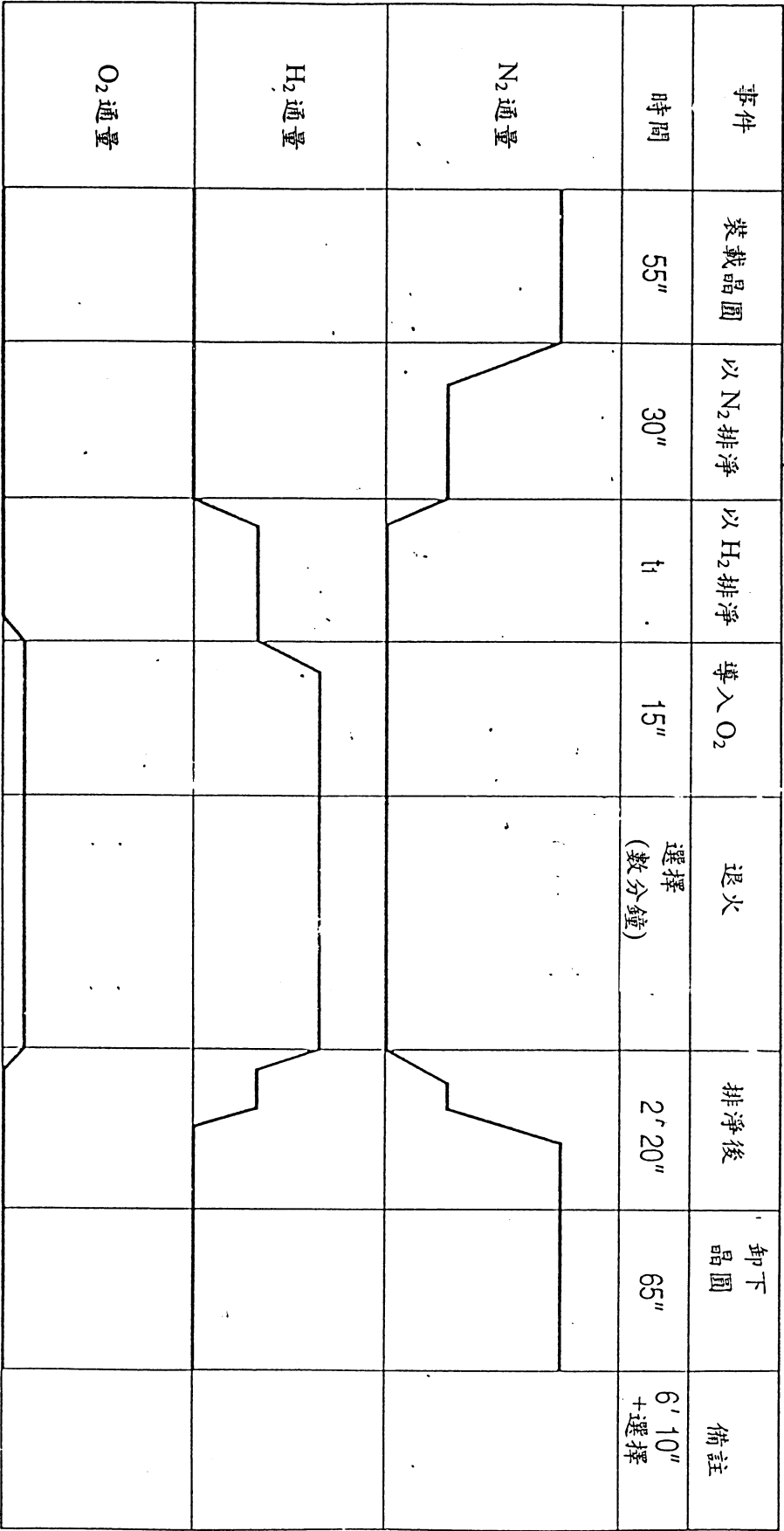


圖 17



t1: 完全以 H₂ 排換 N₂ 所需時間

圖 18

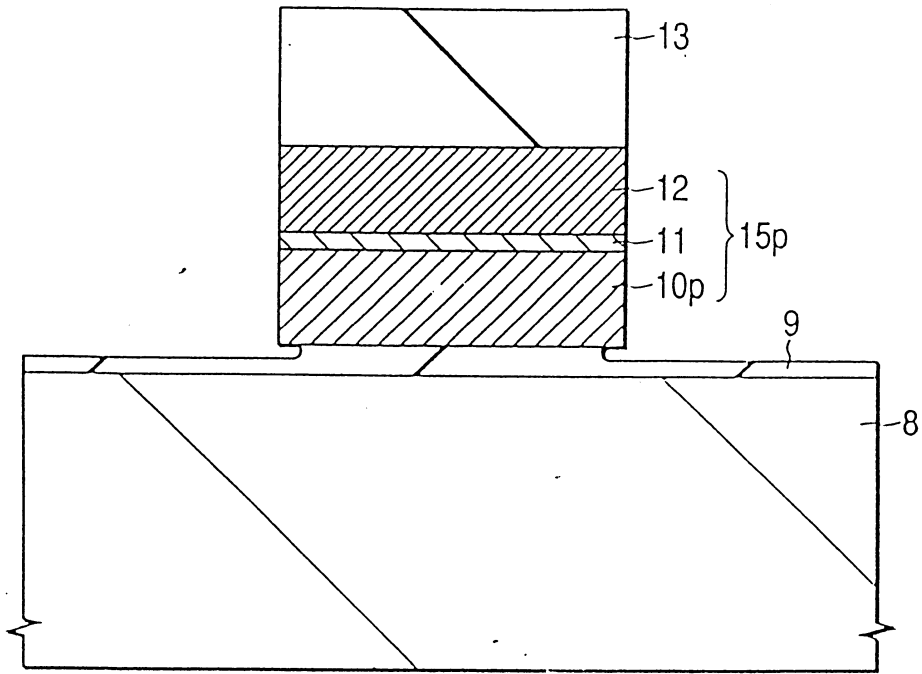


圖 19(a)

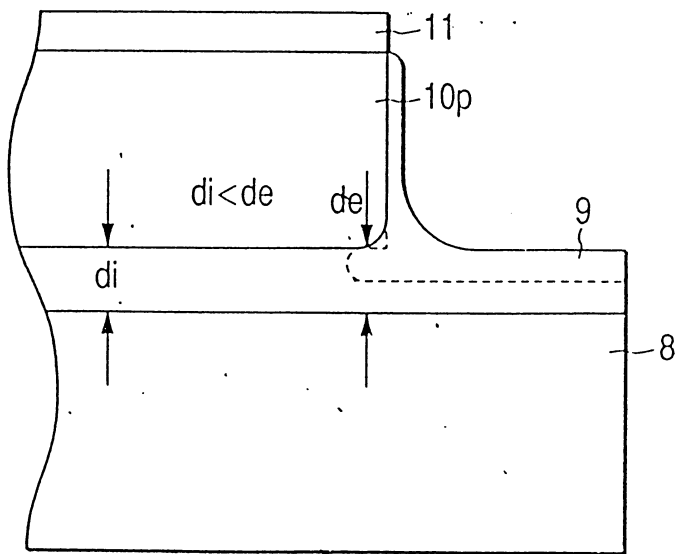


圖 19(b)

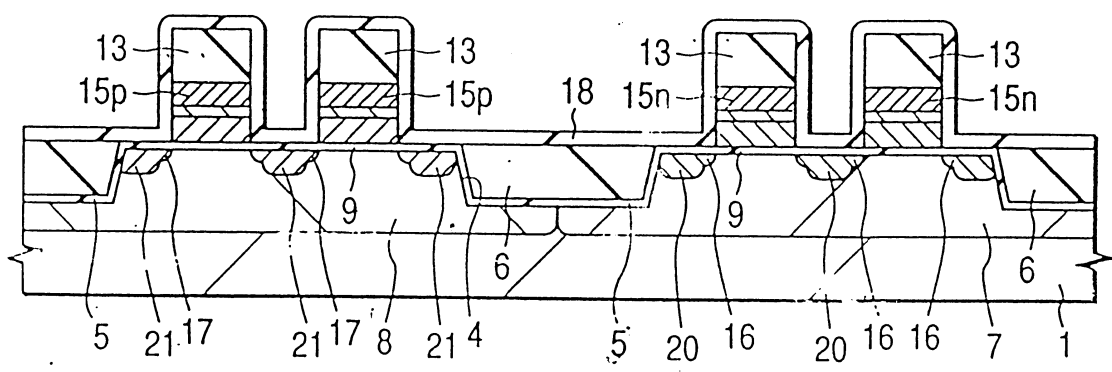
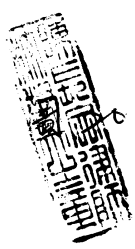
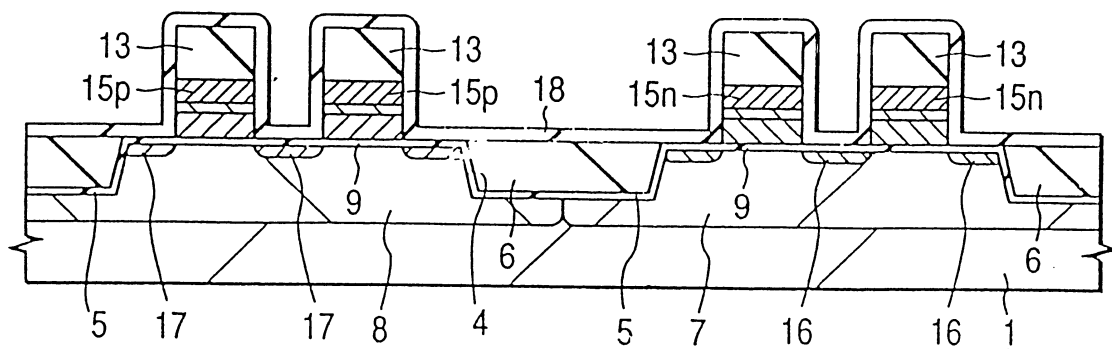


圖 21

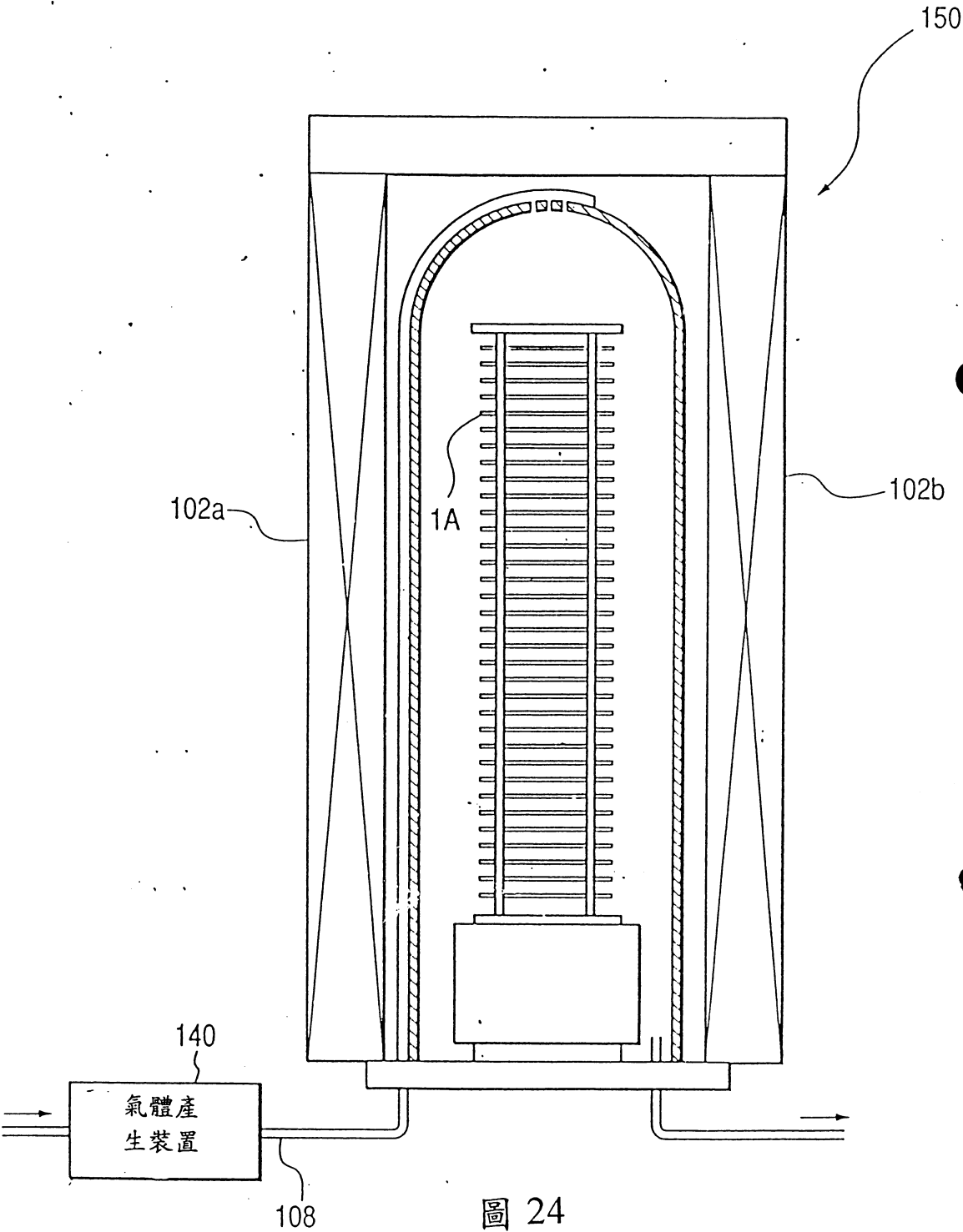
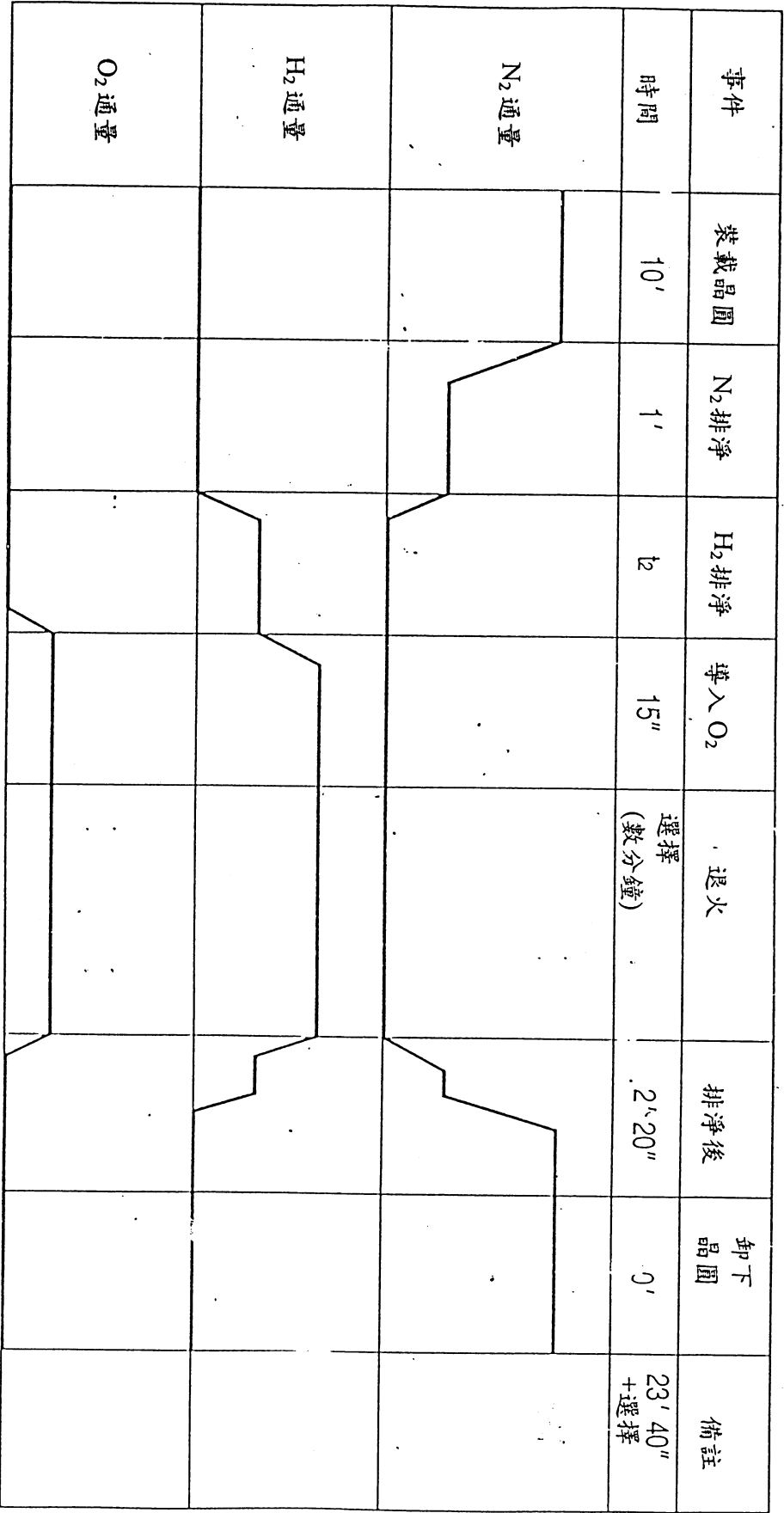


圖 24



t2: 完全以 H₂ 排換 N₂ 所需時間

圖 25