

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關

國際事務局

(43) 國際公開日

2021年9月16日(16.09.2021)



(10) 国際公開番号

WO 2021/182386 A1

(51) 國際特許分類:
G05B 19/05 (2006.01)

(21) 国際出願番号 : PCT/JP2021/008960

(22) 国際出願日 : 2021年3月8日(08.03.2021)

(25) 国際出願の言語 : 日本語

(26) 国際公開の言語 : 日本語

(30) 優先権データ：
特願 2020-044157 2020年3月13日(13.03.2020) JP

(71) 出願人: ファナック株式会社 (FANUC CORPORATION) [JP/JP]; 〒4010597 山梨県南都留郡忍野村忍草字古馬場 3580番地 Yamanashi (JP).

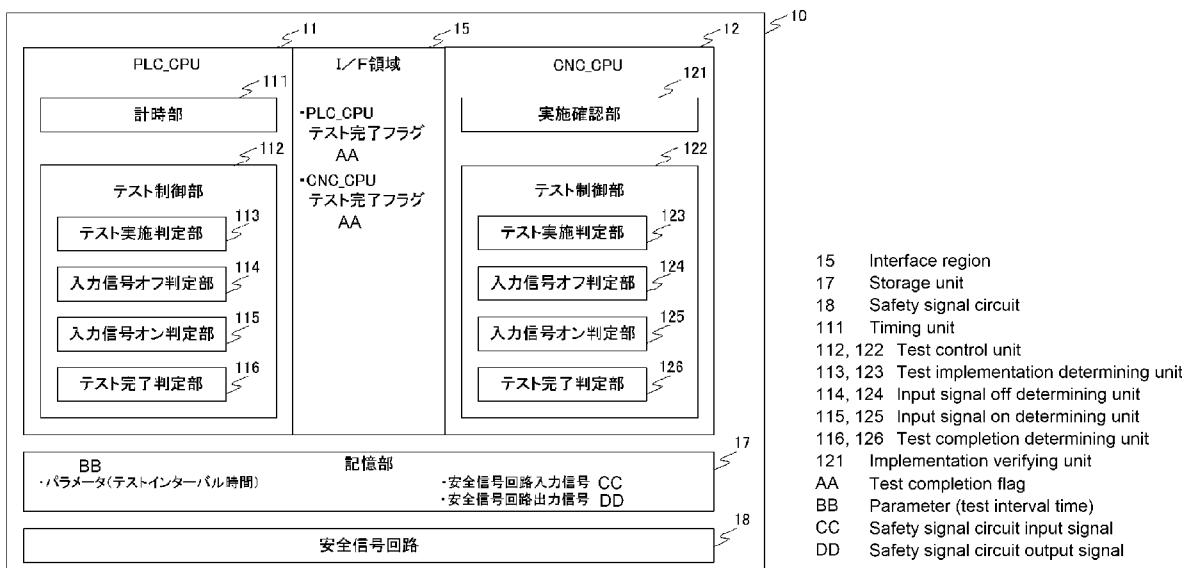
(72) 発明者: 廣瀬 登 (HIROSE Noboru); 〒4010597
山梨県南都留郡忍野村忍草字古馬場 3580 番
地 ファナック株式会社内 Yamanashi (JP).

(74) 代理人: 正林 真之, 外(SHOBAYASHI Masayuki et al.); 〒1000005 東京都千代田区丸の内 1-7-12 サピアタワー Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: CONTROL DEVICE, AND CONTROL METHOD

(54) 発明の名称： 制御装置及び制御方法



(57) Abstract: The objective of the present invention is to facilitate creation of a safety signal test program by providing, in advance, an inter-CPU cooperation function. This control device is provided with a first control unit and a second control unit, wherein: the first control unit is provided with a timing unit which measures elapsed time, and which instructs the start of a first safety signal circuit test on the basis of the elapsed time, and a first circuit test control unit which, when a safety signal circuit output signal has been output to a first circuit, or output thereof has stopped, detects whether a safety signal circuit input signal is input, and employs the detection result to execute the first safety signal circuit test; and the second control unit is provided with an implementation verifying unit which verifies whether the first safety signal circuit



QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 国際調査報告（条約第21条(3)）

test conducted by the first circuit test control unit is complete, and a second circuit test control unit which, after it has been verified that the first safety signal circuit test is complete, when a safety signal circuit output signal is output to a second circuit, or when output thereof has stopped, detects whether a safety signal circuit input signal is input, and employs the detection result to execute a second safety signal circuit test.

- (57) 要約 : C P U間の連携機能を予め備えることにより、安全信号のテストプログラム作成を容易にする。制御装置は、第1制御部と第2制御部を備え、第1制御部は、経過時間を計測し、該経過時間に基づいて第1安全信号回路テストの開始を指示する計時部と、第1回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて第1安全信号回路テストを実行する第1回路テスト制御部とを備え、第2制御部は、第1回路テスト制御部による第1安全信号回路テストが完了したか否かを確認する実施確認部と、第1安全信号回路テストが完了したことが確認された後、第2回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて第2安全信号回路テストを実行する第2回路テスト制御部と、を備える。

明細書

発明の名称：制御装置及び制御方法

技術分野

[0001] 本発明は、制御装置及び制御方法に関する。

背景技術

[0002] 従来から、自動制御装置において、安全機能を担保するために安全信号回路テストやMCCテスト等を定期的に行うことがある。

[0003] これに関し、A系統とB系統の両系統のデータ交換のためのデュアルポートメモリ（DPM）を備えることにより、安全のためにA B両系統を使って入出力を二重にする場合に、当該デュアルポートメモリを介して、A系統とB系統とが相互に正常動作を監視する安全制御方法が知られている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2001-014015号公報

発明の概要

発明が解決しようとする課題

[0005] とりわけ工作機械では高い安全性が必要とされるため、上記のように非常停止信号等は多重化された安全信号で制御される。多重化された信号であっても、常時オンもしくは常時オフである信号は、同じ状態に固着が発生すると安全性が損なわれるため、正常に変化可能であることを定期的にテストする必要がある。

[0006] また、当該テストにおいては、複数の信号を同時に変化させると信号間の短絡を検出できないため、複数の信号の各々を順番に変化させる必要がある。

[0007] このとき、各信号はそれぞれ異なるCPUで動作するプログラムで制御するため、当該CPU間で連携するプログラムを作成する必要があるが、この

連携プログラムの作成には、多大なコストが発生していた。

- [0008] 従って、CPU間の連携機能を予め備えることにより、安全信号のテストプログラム作成を容易にすることが望まれている。

課題を解決するための手段

- [0009] 本開示の制御装置の一態様は、入力信号に基づいて、工作機械に備わるモータを駆動するモータ駆動信号を遮断する回路である安全信号回路と、第1制御部と、第2制御部とを備え、前記安全信号回路のテストを行うための制御装置であって、前記第1制御部は、経過時間を計測し、該経過時間に基づいて第1安全信号回路テストの開始を指示する計時部と、第1回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、前記第1安全信号回路テストを実行する第1回路テスト制御部と、を備え、前記第2制御部は、前記第1回路テスト制御部による前記第1安全信号回路テストが完了したか否かを確認する実施確認部と、前記実施確認部により、前記第1安全信号回路テストが完了したことが確認された後、第2回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、第2安全信号回路テストを実行する第2回路テスト制御部と、を備える。

本開示の制御方法の一態様は、入力信号に基づいて、工作機械に備わるモータを駆動するモータ駆動信号を遮断する回路である安全信号回路と、第1制御部と、第2制御部とを備える制御装置で、前記安全信号回路のテストを行うための制御方法であって、前記第1制御部が、経過時間を計測し、該経過時間に基づいて第1安全信号回路テストの開始を指示する計時ステップと、前記第1制御部が、第1回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、前記第1安全信号回路テストを実行する第1回路テスト制御ステップと、前記第2制御部が、前記第1回路テスト制御ステップ

プにおいて前記第1安全信号回路テストが完了したか否かを確認する実施確認ステップと、前記第2制御部が、前記実施確認ステップにおいて、前記第1安全信号回路テストが完了したことが確認された後、第2回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、第2安全信号回路テストを実行する第2回路テスト制御ステップと、を有する。

発明の効果

[0010] 本発明によれば、C P U間の連携機能を予め備えることにより、安全信号のテストプログラム作成を容易にすることが可能となる。

図面の簡単な説明

[0011] [図1]—実施形態に係る制御システムの構成例を示す図である。

[図2]—実施形態に係る制御装置で安全信号回路テストを実行する際の回路図の例である。

[図3]—実施形態に係る制御装置の機能ブロック図である。

[図4A]—実施形態に係る制御装置の動作を示すフローチャートである。

[図4B]—実施形態に係る制御装置の動作を示すフローチャートである。

[図4C]—実施形態に係る制御装置の動作を示すフローチャートである。

発明を実施するための形態

[0012] 以下、本発明の実施形態について、図1～図4Cを参照しながら詳述する。まず、本発明の実施形態に係る制御装置の構成について説明する。

[0013] [1 全体構成]

図1は、本実施形態に係る制御装置を用いた、工作機械の制御システムの構成例を示す。

[0014] 図1に示すように、制御システム1は、制御装置10と、共通電源20と、アンプ30と、モータ40と、動力遮断装置50と、非常停止スイッチ55を備える。また、制御装置10は、二つの制御部である、PLC_CPU11とCNC_CPU12とを備え、PLC_CPU11は、回路61により非常停止スイッチ55に接続し、CNC_CPU12は、回路62により

非常停止スイッチ55に接続する。

- [0015] 制御装置10は、工作機械におけるモータ40の回転速度を制御するために、モータ40からのフィードバック情報に基づいて、アンプ30に対してPWM周波数及び電圧値を指令する。制御装置10は、PLC_CPU11とCNC_CPU12の二つの制御部を備える。
- [0016] PLC_CPU11は、リレー回路の代替となる制御であるPLC (Programmable Logic Control) を実行する制御部である。
- [0017] CNC_CPU12は、工作機械の数値制御であるCNC (Computerized Numerical Control) を実行する制御部である。
- [0018] 共通電源20は、制御装置10からアンプ30に対して電力を供給する装置である。
- [0019] アンプ30は、指令された電圧値をスイッチング素子によりパルス信号に変換してモータ40に印加することにより、モータ40の電流を制御する。
- [0020] モータ40は、アンプ30から供給される電流により主軸を回転させる。また、モータ40は、回転速度等を制御装置10にフィードバックする。
- [0021] 動力遮断装置50は、制御システム1のオペレータが、非常時等に、後述の非常停止スイッチ55を操作することにより生成される非常停止信号を取得した際に、共通電源20からアンプ30への電力の供給を停止することにより、モータ40への動力を遮断する装置である。
- [0022] 非常停止スイッチ55は、制御システム1のオペレータが工作機械に対して、動作の非常停止を指令するためのスイッチであり、ON状態又はOFF状態の何れかの状態となっている。非常停止スイッチ55は、工作機械とは別体となっており、ポータブル機器に収容されていてもよい。また、非常停止スイッチ55は、押ボタン式の非常停止スイッチであってもよく、足踏み式の非常停止スイッチであってもよく、ロープ式の非常停止スイッチであってもよい。

[0023] ここで、非常停止スイッチ55からの非常停止信号（E S P（E m e r g e n c y S h u t d o w n P r o c e d u r e）信号）は、回路61又は回路62を経由した後、PLC_CPU11又はCNC_CPU12を経由してから動力遮断装置50に入力される。すなわち、非常停止信号（E S P信号）は、PLC_CPU11又はCNC_CPU12を経由することにより、二重に監視されている。

[0024] しかし、上記のように、回路61又は回路62において常時オン又は常時オフの固着が発生していたり、回路61と回路62との間に結線の短絡が発生したりしている場合には、安全入力信号の異常を検出できない場合がある。そこで、次項に概略を記載する安全信号回路テストを実行する。安全信号回路テストにおいては、指定された入力信号と出力信号のオン／オフが正常に行われることをテストする。

[0025] [2 安全信号回路テストの概要]

図2は、安全信号回路テストを実行する際の回路図の概略を示す。

[0026] 図2に示すように、PLC_CPU11から出力信号を出力する出力端子と、PLC_CPU11に対して入力信号を入力する入力端子の間に回路71が設置される。同様に、CNC_CPU12から出力信号を出力する出力端子と、CNC_CPU12に対して入力信号を入力する入力端子の間に回路72が設置される。また、回路71及び回路72の双方は、非常停止スイッチ80を経由する。

[0027] 安全信号回路テストは、図2のPLC_CPU11において出力信号をオン／オフした際、これに伴って、PLC_CPU11で入力信号のオン／オフが検知されるかを判定する。PLC_CPU11側のテストが終了した後、CNC_CPU12側のテスト開始信号をオンにすることにより、CNC_CPU12において出力信号をオン／オフした際、これに伴って、CNC_CPU12で入力信号のオン／オフが検知されるかを判定する。これにより、回路71及び回路72における固着や短絡をチェックする。

[0028] なお、PLC_CPU11を用いたテストと、CNC_CPU12を用い

たテストは、同時に実行せず、片方ずつ実行する。これは、非常停止をする必要が発生している際に、PLC_CPU11を用いたテストと CNC_CPU12を用いたテストを同時に実行していると、非常停止スイッチ80を機能させることができないためである。

[0029] [3 制御装置の構成]

図3は、制御装置10の構成を示す機能ブロック図である。制御装置10は、PLC_CPU11と、CNC_CPU12と、I/F領域15と、記憶部17と、安全信号回路18とを備える。なお、以降では、PLC_CPU11を「第1制御部11」と呼称し、CNC_CPU12を「第2制御部12」と呼称することがある。

[0030] PLC_CPU11は、ROM、RAM、CMOSメモリ等と、バスを介して相互に通信可能に構成される、当業者にとって公知のプロセッサである。

[0031] PLC_CPU11は、シーケンス制御プログラムを実行し、当該シーケンス制御プログラムに従って各種制御や演算処理、信号の入出力処理等を行う制御を実行するためのプロセッサである。該PLC_CPU11は、ROMに格納されたシーケンス制御プログラムを、バスを介して読み出し、該シーケンス制御プログラムに従ってシーケンス制御をすることで、図3に示すように計時部111及びテスト制御部112の機能を実現するように構成する。なお、以降では、テスト制御部112を「第1回路テスト制御部112」と呼称することがある。

[0032] 計時部111は、経過時間を計測し、該経過時間に基づいて、PLC_CPU11で実行する第1安全信号回路テストの開始を指示する。

[0033] より詳細には、計時部111は、制御装置10全体における安全信号回路テストが開始されてからの経過時間を計測する。また、計時部111は、この経過時間が、テストインターバル時間を経過したかをチェックし、経過していたら、テスト制御部112による第1安全信号回路テストの実行フラグをオンにする。更に、計時部111は、I/F領域15に格納される、後述

の P L C _ C P U テスト完了フラグと C N C _ C P U テスト完了フラグをチェックし、双方がオンであれば、経過時間をリセットした後、 P L C _ C P U テスト完了フラグと C N C _ C P U テスト完了フラグをオフとする。

- [0034] なお、「テストインターバル時間」とは、制御装置 10 全体での安全信号回路テストを開始してから、テスト制御部 112 による第 1 安全信号回路テストを開始するまでのインターバル時間のことである。
- [0035] テスト制御部 112 は、テスト実施判定部 113 と、入力信号オフ判定部 114 と、入力信号オン判定部 115 と、テスト完了判定部 116 を備える。なお、以降では、テスト実施判定部 113 を「第 1 テスト実施判定部 113」と呼称し、入力信号オフ判定部 114 を「第 1 入力信号オフ判定部 114」と呼称し、入力信号オン判定部 115 を「第 1 入力信号オン判定部 115」と呼称し、テスト完了判定部 116 を「第 1 テスト完了判定部 116」と呼称することがある。
- [0036] テスト実施判定部 113 は、安全信号回路テストの実行フラグをチェックし、当該実行フラグがオンになっていた場合には、入力信号オフ判定部 114 及び入力信号オン判定部 115 に対して、第 1 安全信号回路テストの開始を指示する。
- [0037] 入力信号オフ判定部 114 は、 P L C _ C P U 11 に接続される第 1 回路、例えば図 2 の回路 71 の出力信号領域内の安全信号回路出力信号をオフした際、第 1 回路の入力信号領域内の安全信号回路入力信号がオフしたかをチェックする。より詳細には、入力信号オフ判定部 114 は、安全信号回路入力信号がオフした場合には、第 1 回路が正常であると判定し、安全信号回路入力信号がオンした場合には、第 1 回路が異常であると判定する。
- [0038] 入力信号オン判定部 115 は、 P L C _ C P U 11 に接続される第 1 回路、例えば図 2 の回路 71 の出力信号領域内の安全信号回路出力信号をオンした際、第 1 回路の入力信号領域内の安全信号回路入力信号がオンしたかをチェックする。より詳細には、入力信号オン判定部 115 は、安全信号回路入力信号がオンした場合には、第 1 回路が正常であると判定し、安全信号回路

入力信号がオフした場合には、第1回路が異常であると判定する。

- [0039] テスト完了判定部116は、入力信号オフ判定部114による判定と、入力信号オン判定部115による判定の双方が完了したか否かを判定する。より詳細には、テスト完了判定部116は、入力信号オフ判定部114による判定と、入力信号オン判定部115による判定の双方が完了したか否かをチェックし、双方が完了している場合には、I/F領域15に格納されるPLC_CPUテスト完了フラグをオンにすると共に、安全信号回路テストの実行フラグをオフにする。
- [0040] CNC_CPU12は、ROM、RAM、CMOSメモリ等と、バスを介して相互に通信可能に構成される、当業者にとって公知のプロセッサである。
- [0041] CNC_CPU12は、当業者にとって公知の数値制御として、図示しない工作機械の動作を数値制御するためのプロセッサである。該CNC_CPU12は、各種の制御用プログラムを格納したROM (Read Only Memory) やHDD (Hard Disk Drive) 等の図示しない補助記憶装置から制御用プログラムを読み出すと共に、制御用プログラムを実行する上で一時的に必要とされるデータを格納するためのRAMといった主記憶装置に格納されるデータを用いて制御用プログラムを実行することにより、図3に示すようにCNC_CPU12が、実施確認部121及びテスト制御部122の機能を実現するように構成する。なお、以降では、テスト制御部122を「第2回路テスト制御部122」と呼称することがある。
- [0042] 実施確認部121は、テスト制御部112による第1安全回路テストが完了したか否かを確認する。
- [0043] より詳細には、実施確認部121は、I/F領域15に格納される、PLC_CPUテスト完了フラグをチェックし、PLC_CPUテスト完了フラグがオンであれば、安全信号回路テストの実行フラグをオンにする。
- [0044] テスト制御部122は、テスト実施判定部123と、入力信号オフ判定部

124と、入力信号オン判定部125と、テスト完了判定部126とを備える。なお、以降では、テスト実施判定部123を「第2テスト実施判定部123」と呼称し、入力信号オフ判定部124を「第2入力信号オフ判定部124」と呼称し、入力信号オン判定部125を「第2入力信号オン判定部125」と呼称し、テスト完了判定部126を「第2テスト完了判定部126」と呼称することがある。

- [0045] テスト実施判定部123は、安全信号回路テストの実行フラグをチェックし、当該実行フラグがオンになっていた場合には、入力信号オフ判定部124及び入力信号オン判定部125に対して、第2安全信号回路テストの開始を指示する。
- [0046] 入力信号オフ判定部124は、CNC_CPU12に接続される第2回路、例えば図2の回路72の出力信号領域内の安全信号回路出力信号をオフした際、第2回路の入力信号領域内の安全信号回路入力信号がオフしたかをチェックする。より詳細には、入力信号オフ判定部124は、安全信号回路入力信号がオフした場合には、第2回路が正常であると判定し、安全信号回路入力信号がオンした場合には、第2回路が異常であると判定する。
- [0047] 入力信号オン判定部125は、CNC_CPU12に接続される第2回路、例えば図2の回路72の出力信号領域内の安全信号回路出力信号をオンした際、第2回路の入力信号領域内の安全信号回路入力信号がオンしたかをチェックする。より詳細には、入力信号オン判定部125は、安全信号回路入力信号がオンした場合には、第2回路が正常であると判定し、安全信号回路入力信号がオフした場合には、第2回路が異常であると判定する。
- [0048] テスト完了判定部126は、入力信号オフ判定部124による判定と、入力信号オン判定部125による判定の双方が完了したか否かを判定する。より詳細には、テスト完了判定部126は、入力信号オフ判定部124による判定と、入力信号オン判定部125による判定の双方が完了したか否かをチェックし、双方が完了している場合には、I/F領域15に格納されるCNC_CPUテスト完了フラグをオンにすると共に、安全信号回路テストの実

行フラグをオフにする。

- [0049] I/F領域15は、PLC_CPU11とCNC_CPU12との間のインターフェース領域である。I/F領域15は、PLC_CPUテスト完了フラグと、CNC_CPUテスト完了フラグとを格納する。
- [0050] PLC_CPUテスト完了フラグは、PLC_CPU11による第1安全信号回路テストの完了に係るフラグであり、例えば当該フラグがオンになっている場合に、第1安全信号回路テストが完了したことを示す。ただし、これには限定されず、当該フラグがオフになっている場合に、第1安全信号回路テストが完了したことを示してもよい。
- [0051] CNC_CPUテスト完了フラグは、CNC_CPU12による第2安全信号回路テストの完了に係るフラグであり、例えば当該フラグがオンになっている場合に、第2安全信号回路テストが完了したことを示す。ただし、これには限定されず、当該フラグがオフになっている場合に、第2安全信号回路テストが完了したことを示してもよい。
- [0052] 記憶部17は、パラメータとして、上記のテストインターバル時間を記憶する。また、記憶部17は、上記の安全信号回路入力信号及び安全信号回路出力信号を記憶する。更に、記憶部17は、各種の制御用プログラムを格納したHDD (Hard Disk Drive) 等の補助記憶装置や、プログラムを実行する上で一時的に必要とされるデータを格納するためのRAM (Random Access Memory) といった主記憶装置を備えてもよい。
- [0053] 安全信号回路18は、安全信号回路入力信号に基づいて、工作機械（不図示）に備わるモータを駆動するモータ駆動信号を遮断する論理ゲートを備える回路である。
- [0054] 上記のように制御装置10においては、従来技術と異なり、制御装置10のユーザは、安全信号回路用のテストプログラムを作成する必要がなく、記憶部17に格納されるパラメータを外部から設定するのみで良いため、PLC_CPU11及びCNC_CPU12に備わるI/O信号領域（不図示）

にアクセスする必要はなく、I/O信号領域に格納される入力信号をオンする必要がなく、またI/O信号領域の出力信号をチェックする必要がない。これにより、安全信号回路テスト用のプログラムの誤作成予防や、プログラム作成時の工数削減につながる。

[0055] [4 制御装置の動作]

図4A～図4Cは、制御装置10の動作を示すフローチャートである。より詳細には、図4Aは、PLC_CPU11の動作を示すフローチャートである。図4Bは、CNC_CPU12の動作を示すフローチャートである。図4Cは、図4Aに示されるフローチャート中、ステップS12のシーケンス処理を構成するサブステップ、及び図4Bに示されるフローチャート中、ステップS23のシーケンス処理を構成するサブステップを示すフローチャートである。

[0056] 図4Aを参照すると、ステップS11において、PLC_CPU11でテストインターバル時間を超過した場合(S11:YES)には、処理はステップS12に移行する。PLC_CPU11でテストインターバル時間をまだ超過していない場合(S11:NO)には、処理はステップS11に移行する(リターン)。

[0057] ステップS12において、PLC_CPU11はシーケンス処理を実行する。ステップS12は、図4Cに示すステップS12A～S12Hの8つのサブステップで構成される。

[0058] ステップS12Aにおいて、入力信号オフ判定部114が、出力信号領域内の安全信号回路出力信号をオフとする。

[0059] ステップS12Bにおいて、入力信号オフ判定部114が、入力信号領域内の安全信号回路入力信号がオフしたかチェックする。

[0060] ステップS12Cにおいて、安全回路入力信号がオフの場合(S12C:YES)には、処理はステップS12Dに移行する。安全回路入力信号がオフではない場合(S12C:NO)には、処理はステップS12Eに移行する。

- [0061] ステップS12Dにおいて、入力信号オン判定部115が、出力信号領域内の安全信号回路出力信号をオンとする。
- [0062] ステップS12Eにおいて、入力信号オフ判定部114が、エラーを出力する。その後、ステップS12全体としての処理を終了する。
- [0063] ステップS12Fにおいて、入力信号オン判定部115が、入力信号領域内の安全信号回路入力信号がオンしたかチェックする。
- [0064] ステップS12Gにおいて、安全回路入力信号がオンの場合（S12G：YES）には、ステップS12全体としての処理を終了する。安全回路入力信号がオンではない場合（S12G：NO）には、処理はステップS12Hに移行する。
- [0065] ステップS12Hにおいて、入力信号オン判定部115が、エラーを出力する。その後、ステップS12全体としての処理を終了する。
- [0066] 図4Aに戻ると、ステップS13において、PLC_CPU11は、CNC_CPU12側にステップS12でのテスト結果を通知する。その後、処理はステップS11に戻る（リターン）。
- [0067] 図4Bを参照すると、ステップS21において、CNC_CPU12がPLC_CPU11からテスト完了通知を取得した場合（S21：YES）には、処理はステップS22に移行する。CNC_CPU12がPLC_CPU11から、まだテスト完了通知を取得していない場合（S21：NO）には、処理はステップS21に移行する（リターン）。
- [0068] ステップS22において、テスト完了通知によって、PLC_CPU11での第1安全信号回路テストが正常終了したことが示された場合（S22：YES）には、処理はステップS23に移行する。第1安全信号回路テストにおいて異常が発生したことが示された場合（S22：NO）には、処理はステップS26に移行する。
- [0069] ステップS23において、CNC_CPU12はシーケンス処理を実行する。ステップS23は、図4Cに示すステップS12A～S12Hの8つのサブステップにおいて、「入力信号オフ判定部114」を「入力信号オフ判

定部 124」に、「入力信号オン判定部 115」を「入力信号オン判定部 125」に置き換える以外は、ステップ S12 と同一のサブステップから構成されるため、その説明を省略する。

- [0070] 図 4B に戻ると、ステップ S24において、ステップ S23 でのシーケンス処理が正常終了した場合 (S24 : YES) には、処理はステップ S25 に移行する。ステップ S23 でのシーケンス処理で異常が発生したことが示された場合 (S24 : NO) には、処理はステップ S26 に移行する。
- [0071] ステップ S25において、CNC_CPU12 は、テストインターバル時間をリセットする。その後、処理はステップ S21 に戻る (リターン)。
- [0072] ステップ S26において、CNC_CPU12 は、ステップ S22 及びステップ S24において示された異常 (エラー) を出力する。その後、処理はステップ S21 に戻る (リターン)。
- [0073] [5 本実施形態が奏する効果]
 - (1) 本実施形態に係る制御装置 (例えば、上記の「制御装置 10」) は、入力信号に基づいて、工作機械に備わるモータを駆動するモータ駆動信号を遮断する回路である安全信号回路 (例えば、上記の「安全信号回路 18」) と、第 1 制御部 (例えば、上記の「PLC_CPU11」) と、第 2 制御部 (例えば、上記の「CNC_CPU12」) とを備え、前記安全信号回路のテストを行うための制御装置であって、前記第 1 制御部は、経過時間を計測し、該経過時間に基づいて第 1 安全信号回路テストの開始を指示する計時部 (例えば、上記の「計時部 111」) と、第 1 回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、前記第 1 安全信号回路テストを実行する第 1 回路テスト制御部 (例えば、上記の「テスト制御部 112」) と、を備え、前記第 2 制御部は、前記第 1 回路テスト制御部による前記第 1 安全信号回路テストが完了したか否かを確認する実施確認部 (例えば、上記の「実施確認部 121」) と、前記実施確認部により、前記第 1 安全信号回路テストが完了したことが確認された後、第 2 回路に対し安全信号回

路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、第2安全信号回路テストを実行する第2回路テスト制御部（例えば、上記の「テスト制御部122」）と、を備える。

[0074] これにより、CPU間の連携機能を予め備えることで、安全信号のテストプログラム作成を容易にすることが可能となる。延いては、当該テストプログラムの誤作成予防、及びテストプログラム作成時の工数削減につながる。

[0075] (2) (1)に記載の制御装置において、前記第1回路テスト制御部は、前記第1安全信号回路テストの開始の可否を判定する第1テスト実施判定部（例えば、上記の「テスト実施判定部113」）と、前記第1回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オフ判定部（例えば、上記の「入力信号オフ判定部114」）と、前記第1回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オン判定部（例えば、上記の「入力信号オン判定部115」）と、前記第1入力信号オフ判定部による判定と、前記第1入力信号オン判定部による判定の双方が完了したか否かを判定する、第1テスト完了判定部（例えば、上記の「テスト完了判定部116」）とを備え、前記第2回路テスト制御部は、前記第2安全信号回路テストの開始の可否を判定する第2テスト実施判定部（例えば、上記の「テスト実施判定部123」）と、前記第2回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オフ判定部（例えば、上記の「入力信号オフ判定部124」）と、前記第2回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オン判定部（例えば、上記の「入力信号オン判定部12

5」)と、前記第2入力信号オフ判定部による判定と、前記第2入力信号オン判定部による判定の双方が完了したか否かを判定する、第2テスト完了判定部(例えば、上記の「テスト完了判定部126」)と、を備えてよい。

[0076] これにより、テストプログラムを作成することなく、第1回路及び第2回路における固着、短絡等に起因する異常の存在を確認することが可能となる。とりわけ、制御装置10のユーザは、安全信号回路用のテストプログラムを作成する必要がなく、記憶部17に格納されるパラメータを外部から設定するのみで良いため、PLC_CPU11及びCNC_CPU12に備わるI/O信号領域(不図示)にアクセスする必要はなく、I/O信号領域に格納される入力信号をオンする必要がなく、またI/O信号領域の出力信号をチェックする必要がない。

[0077] (3) 本実施形態に係る制御方法は、入力信号に基づいて、工作機械に備わるモータを駆動するモータ駆動信号を遮断する回路である安全信号回路(例えば、上記の「安全信号回路18」)と、第1制御部(例えば、上記の「PLC_CPU11」)と、第2制御部(例えば、上記の「CNC_CPU12」)とを備える制御装置で、前記安全信号回路のテストを行うための制御方法であって、前記第1制御部が、経過時間を計測し、該経過時間に基づいて第1安全信号回路テストの開始を指示する計時ステップと、前記第1制御部が、第1回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、前記第1安全信号回路テストを実行する第1回路テスト制御ステップと、前記第2制御部が、前記第1回路テスト制御ステップにおいて前記第1安全信号回路テストが完了したか否かを確認する実施確認ステップと、前記第2制御部が、前記実施確認ステップにおいて、前記第1安全信号回路テストが完了したことが確認された後、第2回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、第2安全信号回路テストを実行する第2回路テスト制御ステップと、を有する。

- [0078] これにより、CPU間の連携機能を予め備えることで、安全信号のテストプログラム作成を容易にすることが可能となる。延いては、当該テストプログラムの誤作成予防、及びテストプログラム作成時の工数削減につながる。
- [0079] (4) (3) に記載の制御方法において、前記第1回路テスト制御ステップは、前記第1安全信号回路テストの開始の可否を判定する第1テスト実施判定サブステップと、前記第1回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オフ判定サブステップと、前記第1回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オン判定サブステップと、前記第1入力信号オフ判定サブステップにおける判定と、前記第1入力信号オン判定サブステップにおける判定の双方が完了したか否かを判定する、第1テスト完了判定サブステップとを有し、前記第2回路テスト制御ステップは、前記第2安全信号回路テストの開始の可否を判定する第2テスト実施判定サブステップと、前記第2回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オフ判定サブステップと、前記第2回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オン判定サブステップと、前記第2入力信号オフ判定サブステップにおける判定と、前記第2入力信号オン判定サブステップにおける判定の双方が完了したか否かを判定する、第2テスト完了判定サブステップとを有する。
- [0080] これにより、テストプログラムを作成することなく、第1回路及び第2回路における固着、短絡等に起因する異常の存在を確認することが可能となる。とりわけ、制御装置10のユーザは、安全信号回路用のテストプログラムを作成する必要がなく、記憶部17に格納されるパラメータを外部から設定

するのみで良いため、PLC_CPU11 及び CNC_CPU12 に備わる I/O 信号領域（不図示）にアクセスする必要はなく、I/O 信号領域に格納される入力信号をオンする必要がなく、また I/O 信号領域の出力信号をチェックする必要がない。

[0081] 制御装置 10 による制御方法は、ソフトウェアにより実現される。ソフトウェアによって実現される場合には、このソフトウェアを構成するプログラムが、コンピュータ（制御装置 10）にインストールされる。また、これらのプログラムは、リムーバブルメディアに記録されてユーザに配布されてもよいし、ネットワークを介してユーザのコンピュータにダウンロードされることにより配布されてもよい。更に、これらのプログラムは、ダウンロードされることなくネットワークを介した Web サービスとしてユーザのコンピュータ（制御装置 10）に提供されてもよい。

符号の説明

[0082] 1 制御システム

10 制御装置

11 PLC_CPU（第 1 制御部）

12 CNC_CPU（第 2 制御部）

15 I/F 領域

17 記憶部

111 計時部

112, 122 テスト制御部

113, 123 テスト実施判定部

114, 124 入力信号オフ判定部

115, 125 入力信号オン判定部

116, 126 テスト完了判定部

請求の範囲

[請求項1] 入力信号に基づいて、工作機械に備わるモータを駆動するモータ駆動信号を遮断する回路である安全信号回路と、第1制御部と、第2制御部とを備え、前記安全信号回路のテストを行うための制御装置であって、

前記第1制御部は、

経過時間を計測し、該経過時間に基づいて第1安全信号回路テストの開始を指示する計時部と、

第1回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、前記第1安全信号回路テストを実行する第1回路テスト制御部と、

を備え、

前記第2制御部は、

前記第1回路テスト制御部による前記第1安全信号回路テストが完了したか否かを確認する実施確認部と、

前記実施確認部により、前記第1安全信号回路テストが完了したことが確認された後、第2回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、第2安全信号回路テストを実行する第2回路テスト制御部と、

を備える、制御装置。

[請求項2] 前記第1回路テスト制御部は、

前記第1安全信号回路テストの開始の可否を判定する第1テスト実施判定部と、

前記第1回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オフ判定

部と、

前記第1回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オン判定部と、

前記第1入力信号オフ判定部による判定と、前記第1入力信号オン判定部による判定の双方が完了したか否かを判定する、第1テスト完了判定部とを備え、

前記第2回路テスト制御部は、

前記第2安全信号回路テストの開始の可否を判定する第2テスト実施判定部と、

前記第2回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オフ判定部と、

前記第2回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オン判定部と、

前記第2入力信号オフ判定部による判定と、前記第2入力信号オン判定部による判定の双方が完了したか否かを判定する、第2テスト完了判定部とを備える、請求項1に記載の制御装置。

[請求項3] 入力信号に基づいて、工作機械に備わるモータを駆動するモータ駆動信号を遮断する回路である安全信号回路と、第1制御部と、第2制御部とを備える制御装置で、前記安全信号回路のテストを行うための制御方法であって、

前記第1制御部が、経過時間を計測し、該経過時間に基づいて第1安全信号回路テストの開始を指示する計時ステップと、

前記第1制御部が、第1回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力される

か否かを検知し、当該検知結果を用いて、前記第1安全信号回路テストを実行する第1回路テスト制御ステップと、

前記第2制御部が、前記第1回路テスト制御ステップにおいて前記第1安全信号回路テストが完了したか否かを確認する実施確認ステップと、

前記第2制御部が、前記実施確認ステップにおいて、前記第1安全信号回路テストが完了したことが確認された後、第2回路に対し安全信号回路出力信号を出力した際又は出力を停止した際に、安全信号回路入力信号が入力されるか否かを検知し、当該検知結果を用いて、第2安全信号回路テストを実行する第2回路テスト制御ステップと、

を有する、制御方法。

[請求項4] 前記第1回路テスト制御ステップは、

前記第1安全信号回路テストの開始の可否を判定する第1テスト実施判定サブステップと、

前記第1回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オフ判定サブステップと、

前記第1回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第1回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第1入力信号オン判定サブステップと、

前記第1入力信号オフ判定サブステップにおける判定と、前記第1入力信号オン判定サブステップにおける判定の双方が完了したか否かを判定する、第1テスト完了判定サブステップとを有し、

前記第2回路テスト制御ステップは、

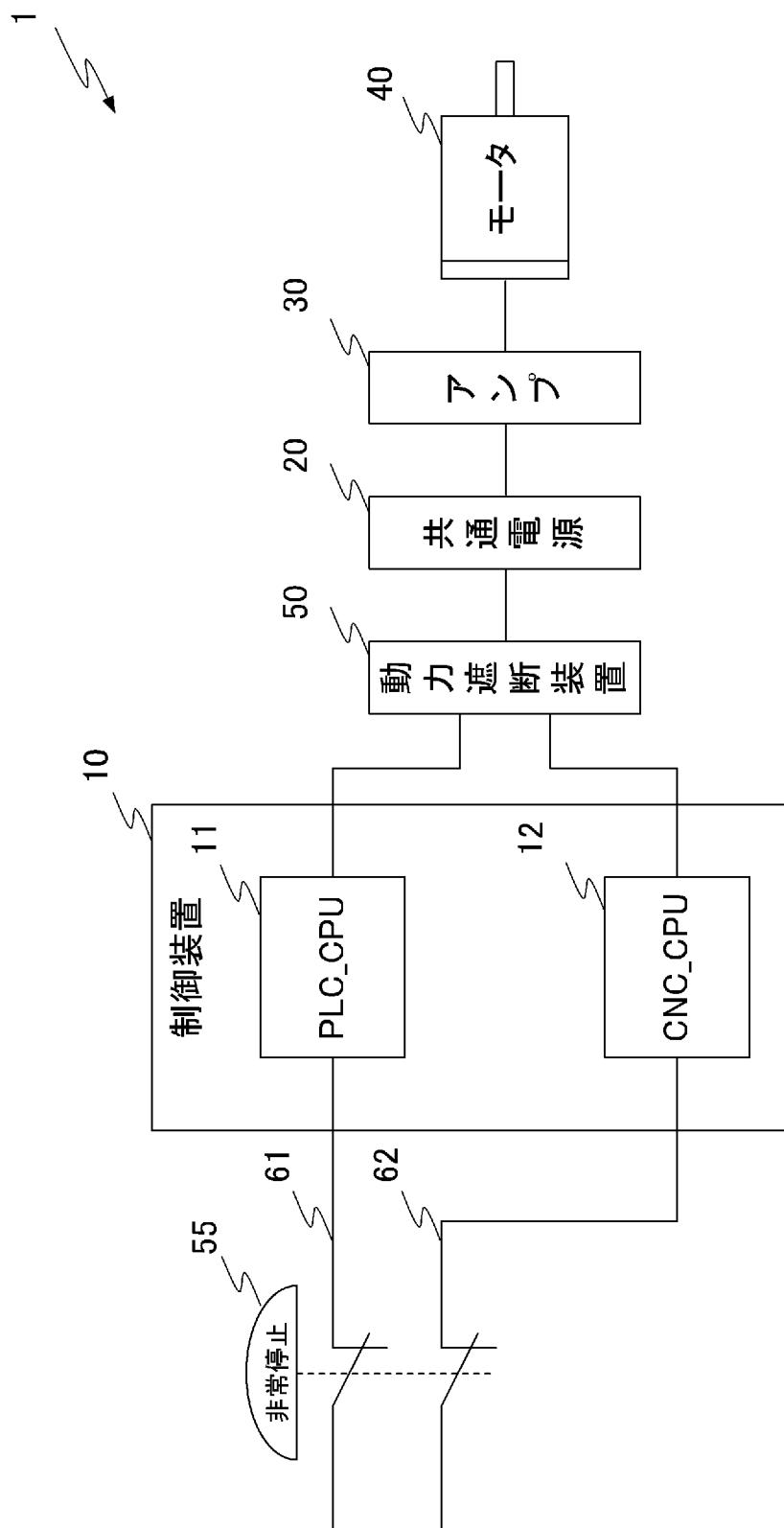
前記第2安全信号回路テストの開始の可否を判定する第2テスト実施判定サブステップと、

前記第2回路の出力信号領域に対する、前記安全信号回路出力信号の出力を停止した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オフ判定サブステップと、

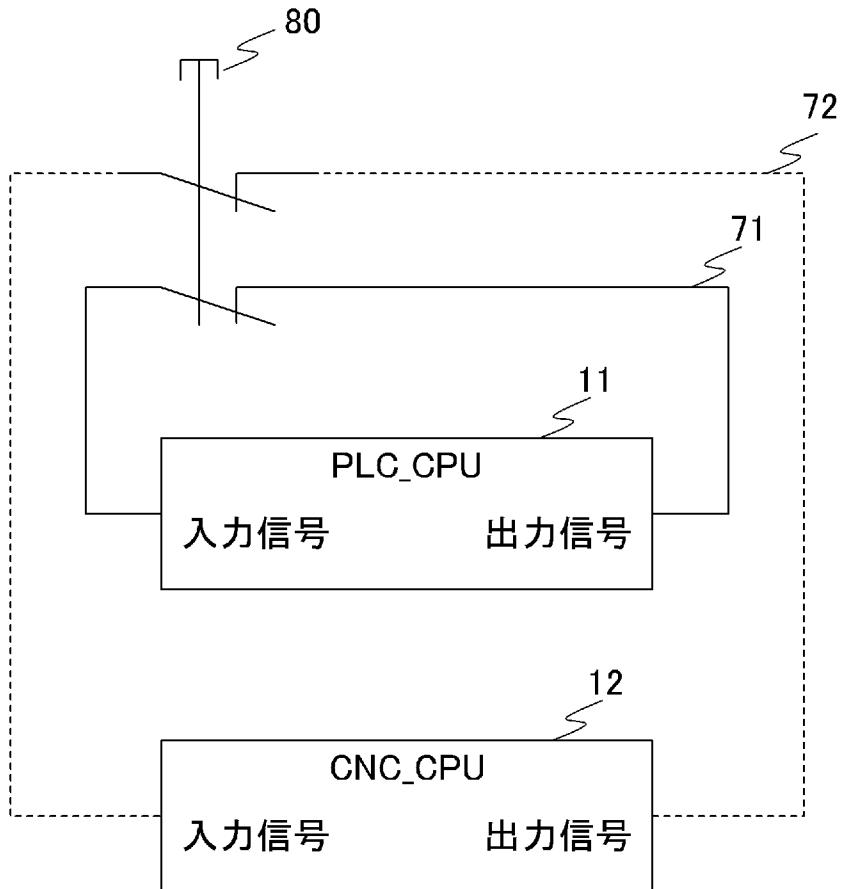
前記第2回路の出力信号領域に対して、前記安全信号回路出力信号を出力した際に、前記第2回路の入力信号領域に前記安全信号回路入力信号が入力されるか否かを判定する第2入力信号オン判定サブステップと、

前記第2入力信号オフ判定サブステップにおける判定と、前記第2入力信号オン判定サブステップにおける判定の双方が完了したか否かを判定する、第2テスト完了判定サブステップとを有する、請求項3に記載の制御方法。

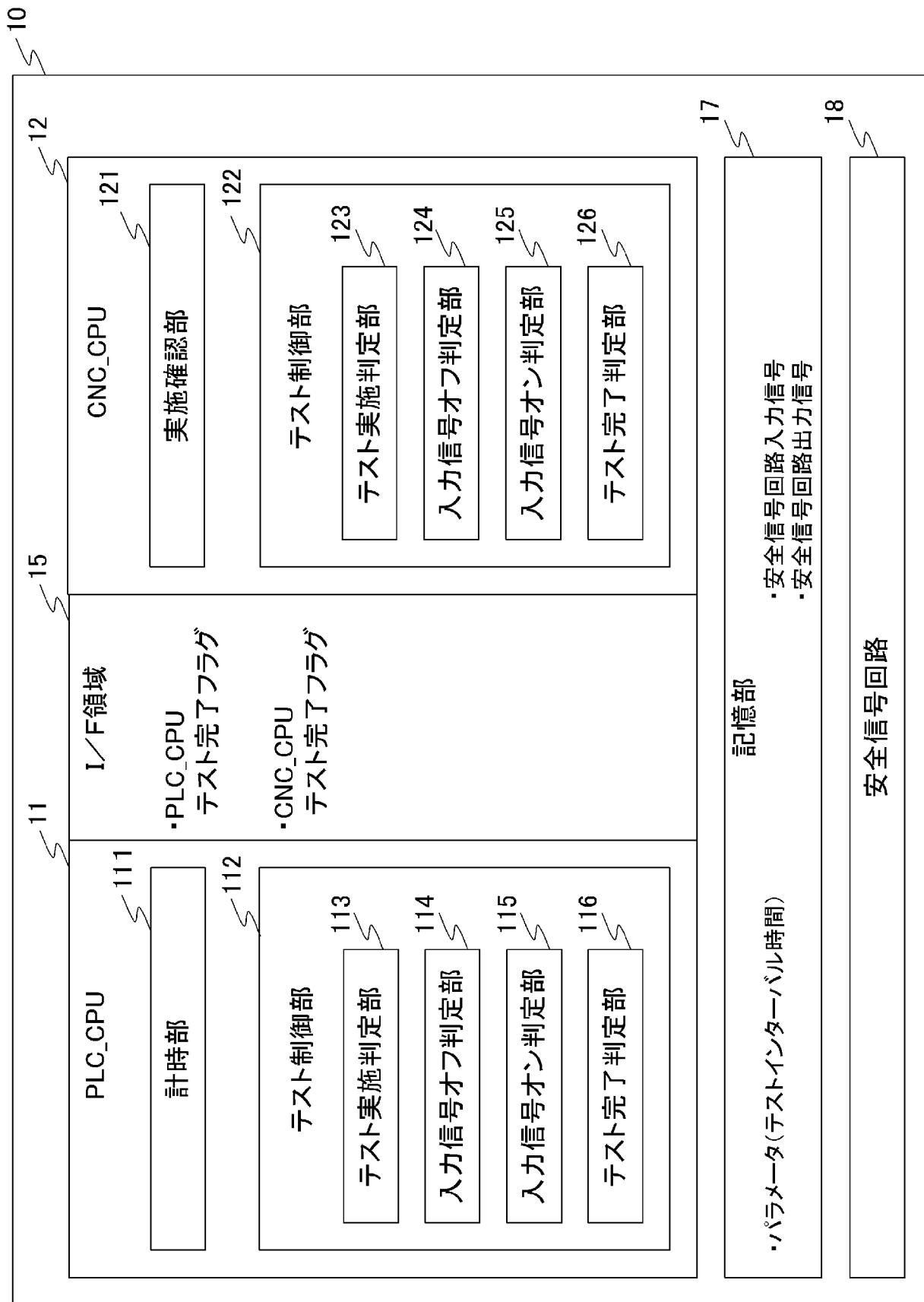
[図1]



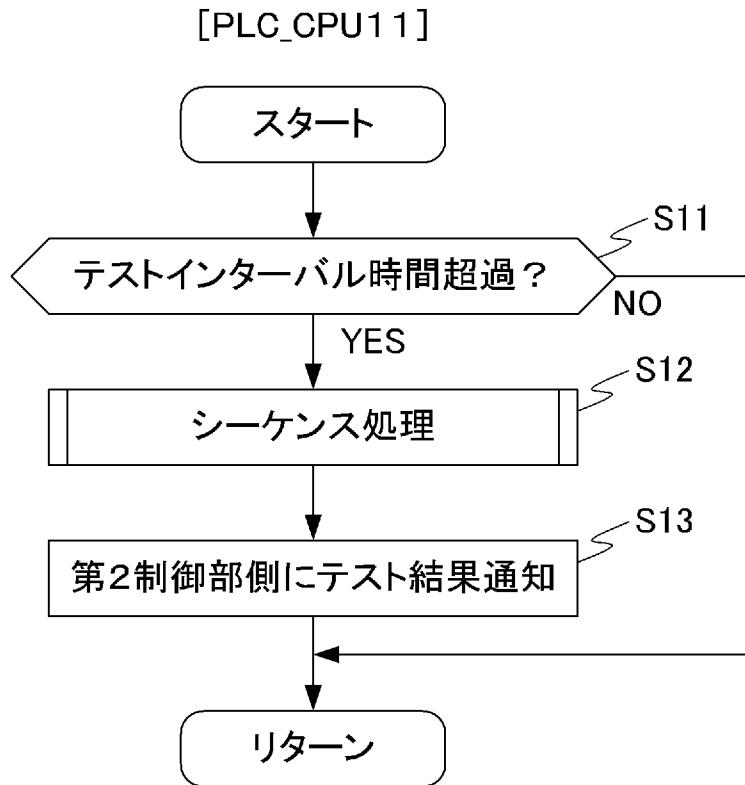
[図2]



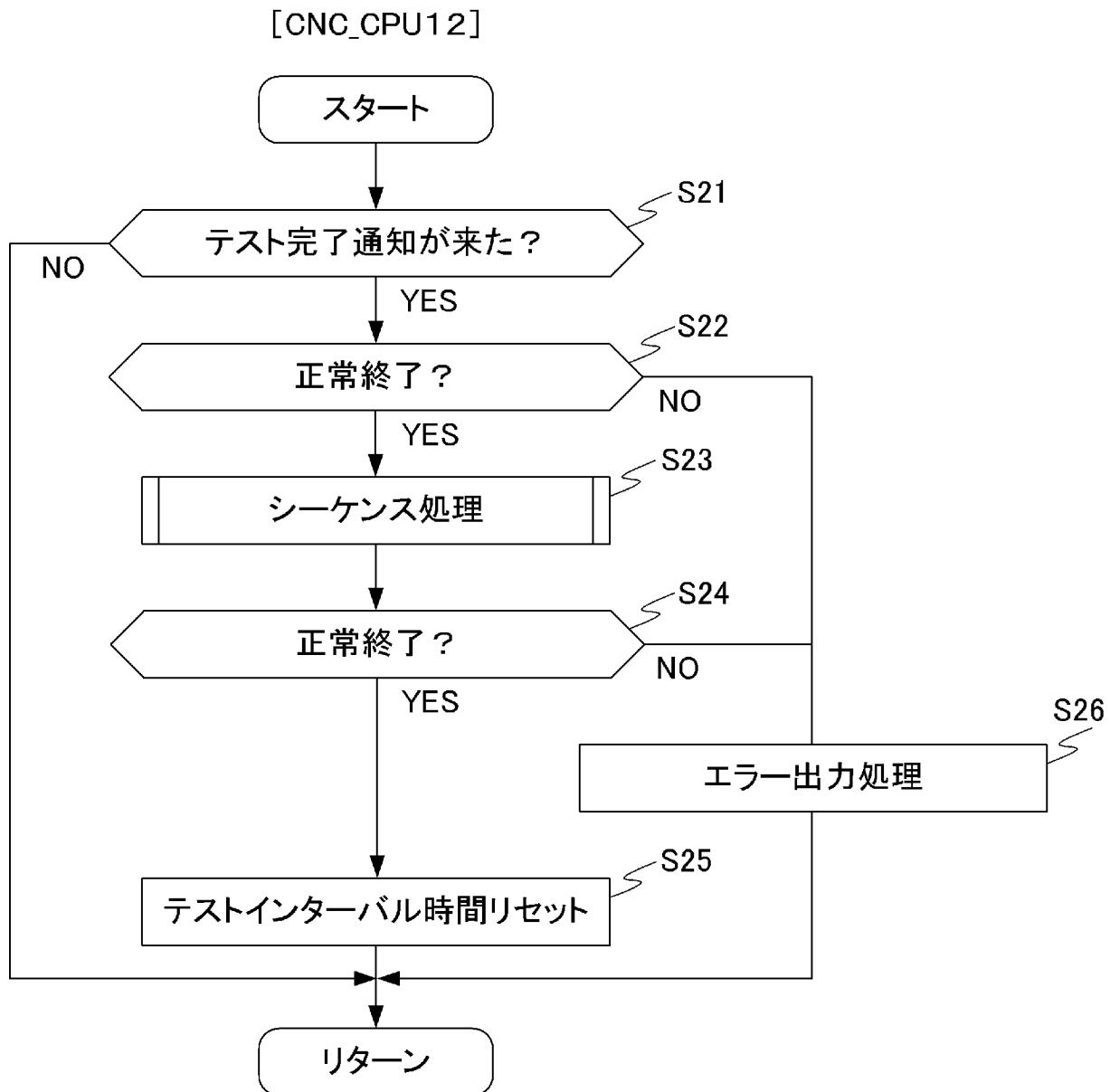
[図3]



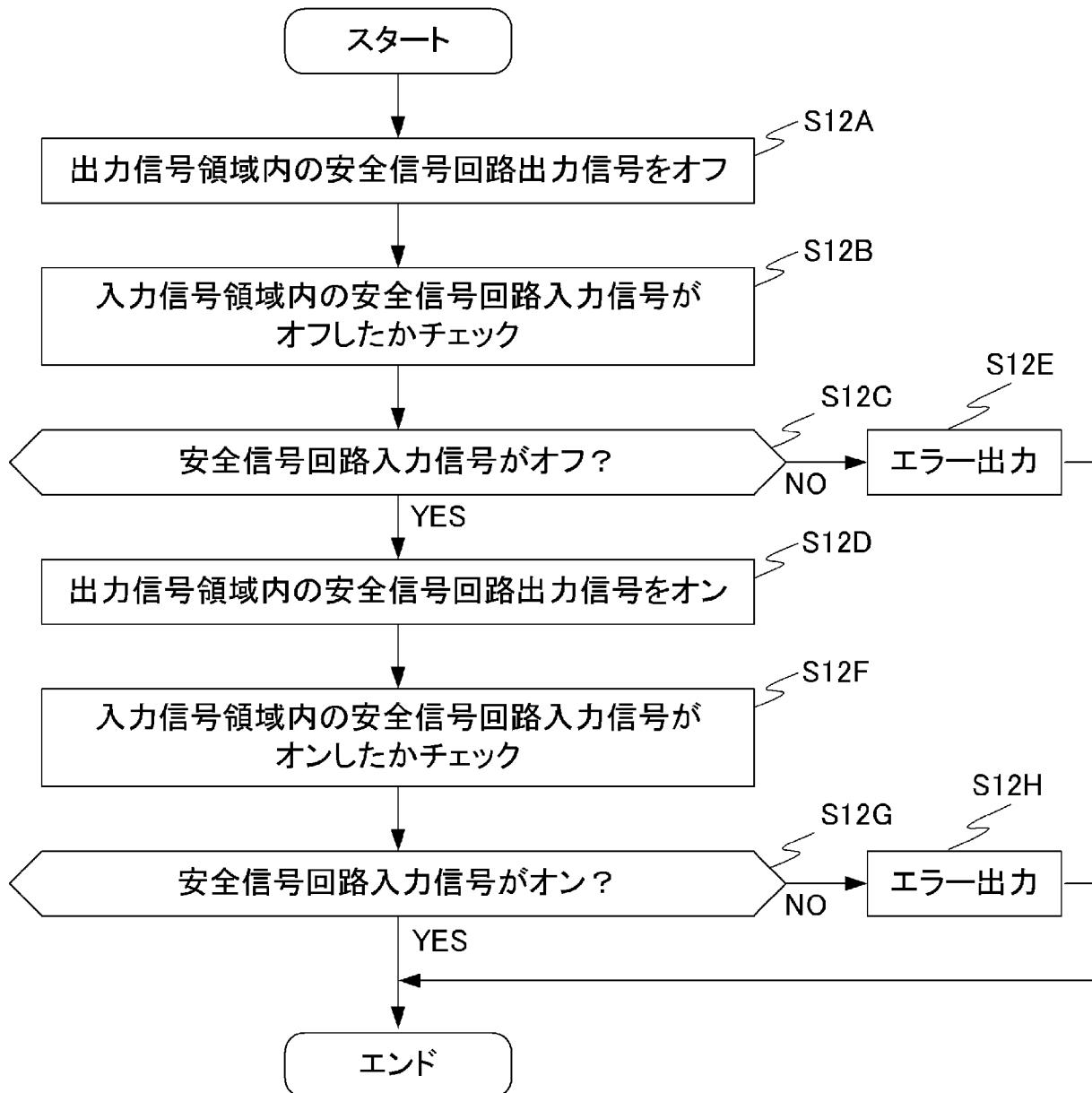
[図4A]



[図4B]



[図4C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/008960

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G05B19/05 (2006.01)i

FI: G05B19/05L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G05B19/05

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922–1996
Published unexamined utility model applications of Japan	1971–2021
Registered utility model specifications of Japan	1996–2021
Published registered utility model applications of Japan	1994–2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6344500 B1 (YASKAWA ELECTRIC CORPORATION) 20 June 2018 (2018-06-20), entire text, all drawings	1–4
A	JP 2010-177910 A (KYOCERA CORPORATION) 12 August 2010 (2010-08-12), entire text, all drawings	1–4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 May 2021

Date of mailing of the international search report
25 May 2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/008960

JP 6344500 B1 20 June 2018 US 2018/0309378 A1
entire text, all drawings
EP 3393033 A1
CN 108736792 A

JP 2010-177910 A 12 August 2010 (Family: none)

国際調査報告

国際出願番号

PCT/JP2021/008960

A. 発明の属する分野の分類（国際特許分類（IPC））

G05B 19/05(2006.01)i

FI: G05B19/05 L

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G05B19/05

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922 - 1996年
日本国公開実用新案公報	1971 - 2021年
日本国実用新案登録公報	1996 - 2021年
日本国登録実用新案公報	1994 - 2021年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6344500 B1 (株式会社安川電機) 20.06.2018 (2018-06-20) 全文, 全図	1-4
A	JP 2010-177910 A (京セラ株式会社) 12.08.2010 (2010-08-12) 全文, 全図	1-4

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“0” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

14.05.2021

国際調査報告の発送日

25.05.2021

名称及びあて先

日本国特許庁 (ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

杉山 悟史 3U 3322

電話番号 03-3581-1101 内線 3364

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/008960

引用文献	公表日	パテントファミリー文献	公表日
JP 6344500 B1	20.06.2018	US 2018/0309378 A1 全文, 全図 EP 3393033 A1 CN 108736792 A	
JP 2010-177910 A	12.08.2010	(ファミリーなし)	