



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201608564 A

(43) 公開日：中華民國 105 (2016) 年 03 月 01 日

(21) 申請案號：104138423

(22) 申請日：中華民國 95 (2006) 年 05 月 16 日

(51) Int. Cl. : *G11C11/413 (2006.01)*

(30) 優先權：2005/05/23 日本 2005-149265

2006/04/10 日本 2006-107643

(71) 申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本(72) 發明人：新居浩二 NII, KOJI (JP)；大林茂樹 OBAYASHI, SHIGEKI (JP)；牧野博之
MAKINO, HIROSHI (JP)；石橋孝一郎 ISHIBASHI, KOICHIRO (JP)；篠原尋史
SHINOHARA, HIROFUMI (JP)

(74) 代理人：洪澄文

申請實體審查：有 申請專利範圍項數：6 項 圖式數：62 共 171 頁

(54) 名稱

半導體記憶裝置

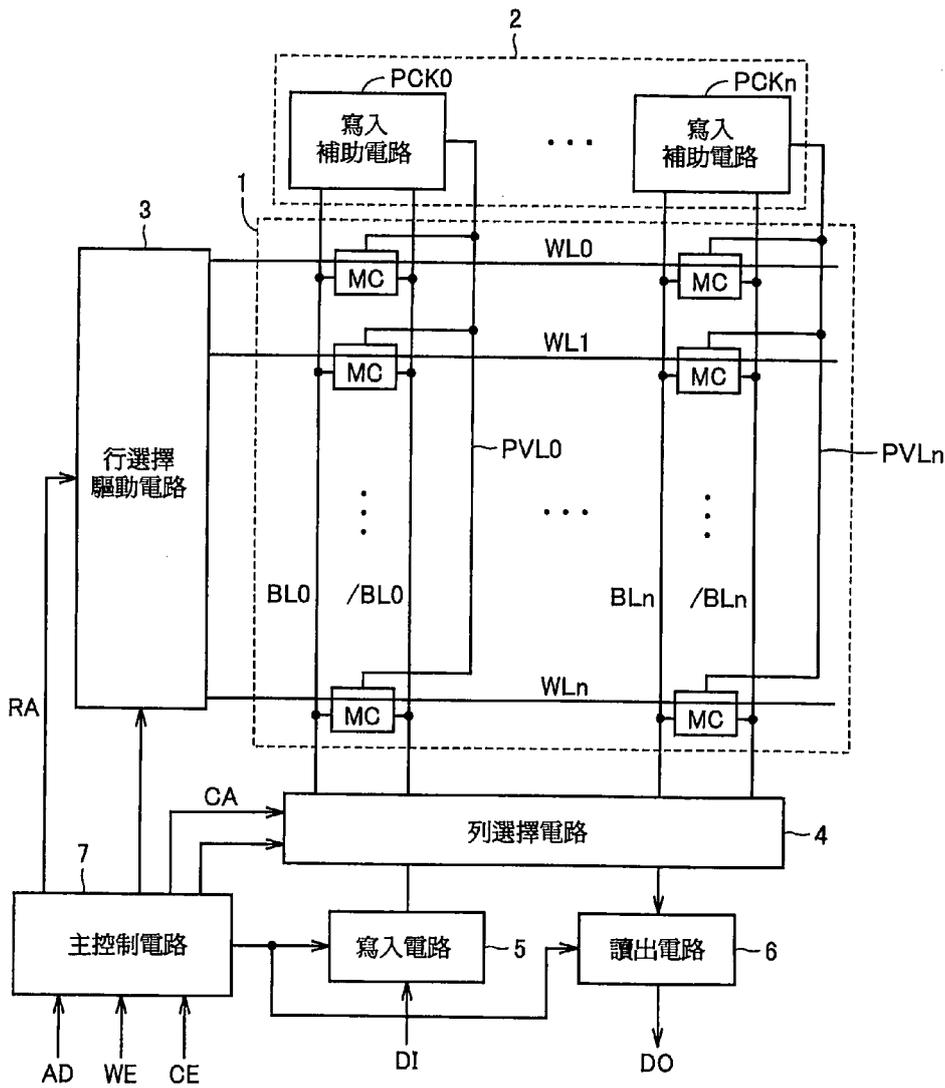
SEMICONDUCTOR MEMORY DEVICE

(57) 摘要

單元電源線(PVL0-PVLn)係為每記憶單元列所配設，並分別根據對應列的位元線(BL0，/BL0-BLn，/BLn)的電壓準位而調整單元電源線的阻抗或電壓準位。在資料寫入時，單元電源線根據選擇列的位元線電位成為浮動狀態且電壓準位改變，以及選擇記憶單元的門鎖能力降低，並快速寫入資料。即使在低電源電壓下，也可以實現穩定地執行資料寫入和讀出的靜態型半導體記憶裝置。

Cell power supply lines are arranged for memory cell columns, and adjust impedances or voltage levels of the cell power supply lines according to the voltage levels of bit lines in the corresponding columns, respectively. In the data write operation, the cell power supply line is forced into a floating state according to the bit line potential on a selected column and has the voltage level changed, and a latching capability of a selected memory cell is reduced to write data fast. Even with a low power supply voltage, a static semiconductor memory device that can stably perform write and read of data is implemented.

指定代表圖：



第1圖

符號簡單說明：

- 3 . . . 行選擇驅動電路
- 4 . . . 列選擇電路
- 5 . . . 寫入電路
- 6 . . . 讀出電路
- 7 . . . 主控制電路
- AD . . . 位址信號
- BL0, /BL0, BLn, /BLn . . . 位元線
- CA . . . 內部列位址信號
- CE . . . 晶片致能信號
- DI . . . 寫入資料
- DO . . . 讀出資料
- MC . . . 記憶單元
- PCK0 . . . 寫入補助電路
- PCKn . . . 寫入補助電路
- PVL0-PVLn . . . 單元電源線
- RA . . . 內部行位址信號
- WE . . . 寫入致能信號
- WL0-WLn . . . 字元線

201608564

發明摘要

※ 申請案號：10413847 (由10310240分割)

※ 申請日：95.5.16

※IPC 分類：G11C 11/413 (2006.01)

【發明名稱】（中文/英文）

半導體記憶裝置/SEMICONDUCTOR MEMORY DEVICE

【中文】

單元電源線(PVL0-PVLn)係為每記憶單元列所配設，並分別根據對應列的位元線(BL0，/BL0-BLn，/BLn)的電壓準位而調整單元電源線的阻抗或電壓準位。在資料寫入時，單元電源線根據選擇列的位元線電位成為浮動狀態且電壓準位改變，以及選擇記憶單元的門鎖能力降低，並快速寫入資料。即使在低電源電壓下，也可以實現穩定地執行資料寫入和讀出的靜態型半導體記憶裝置。

【英文】

Cell power supply lines are arranged for memory cell columns, and adjust impedances or voltage levels of the cell power supply lines according to the voltage levels of bit lines in the corresponding columns, respectively. In the data write operation, the cell power supply line is forced into a floating state according to the bit line potential on a selected column and has the voltage level changed, and a latching capability of a selected memory cell is reduced to write data fast. Even with a low power supply voltage, a static semiconductor memory device that can stably perform write and read of data is implemented.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

3～行選擇驅動電路；

4～列選擇電路；

5～寫入電路；

6～讀出電路；

7～主控制電路；

AD～位址信號；

BL0，/BL0、BLn，/BLn～位元線；

CA～內部列位址信號；

CE～晶片致能信號；

DI～寫入資料；

DO～讀出資料；

MC～記憶單元；

PCK0～寫入補助電路；

PCKn～寫入補助電路；

PVL0-PVLn～單元電源線；

RA～內部行位址信號；

WE～寫入致能信號；

WL0-WLn～字元線。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 (中文/英文)

半導體記憶裝置/SEMICONDUCTOR MEMORY DEVICE

【技術領域】

【0001】本發明係有關於半導體記憶裝置，且特別有關於靜態的半導體記憶裝置(SRAM：靜態隨機存取記憶體)，其中記憶單元包括反相門鎖器。本發明更特別有關於靜態半導體記憶裝置即使在低電源供應電壓下也能穩定執行資料的寫入讀出的結構。

【先前技術】

【0002】當電晶體隨著微型化技術的進展而微型化時，由可靠性及消耗功率的觀點看來，需要有對應微型化的縮小電壓。不過，製造參數變動的影響隨著微型化而變大，構成記憶單元的電晶體的臨界電壓的變化變大，因此記憶體的動作限度降低，且在低電源電壓下難以穩定執行讀出和寫入。

【0003】即使在低電源電壓下，已提出 SRAM(靜態隨機存取記憶體)中以穩定執行資料的讀出和寫入為目的的各種結構。

【0004】例如習知文件 1(特開 2002-042476 號公報)所揭露的結構中，當資料讀出時，供給與外部電壓同一電壓準位的電壓至 SRAM 單元作為動作電源電壓，另一方面，當資料寫入時，供給比外部電源電壓低的電壓(VCC-VTH)至記憶單元作為動作電源電壓。當資料寫入時，由字元線選擇的記憶單元的靜

態雜訊界限 (SNM) 降低，因此變得容易將保持資料反相，並改善寫入界限。

【0005】又，習知文件 2 (特開 2004-303340 號公報) 所揭露的結構中，以 SRAM 單元列單位控制基板 (背面閘極) 電位，因此使選擇列的記憶單元的背面閘極電位在資料寫入時和資料讀出時之間不同，以加速資料寫入。資料寫入時，源極-背面閘極之間設定為深反相偏壓，而背面閘極效果變大，記憶單元的靜態雜訊界限降低，用以執行快速資料寫入。在讀出時，記憶單元電晶體的背面閘極-源極間為淺偏壓狀態，靜態雜訊界限變大，用以穩定地保持資料。

【0006】又，習知文件 3 (特開 2004-362695 號公報) 所揭露的結構中，SRAM 單元列單位中，設定供給高側及低側電源電壓至記憶單元的 VDD/VSS 源極線的電壓準位。即，在待命狀態及資料寫入時，電源電壓 VDD/VSS 的準位設定為記憶單元電晶體的閘極-源極間電壓的絕對值減小的狀態，以防止閘極漏電流，減少了寫入及待命時的消耗電流。另一方面，在讀出動作時，選擇列的 VDD/VSS 源極線電位設定為記憶單元電晶體的閘極-源極間電壓的絕對值增加的狀態，以增加記憶單元電晶體的電流驅動力，達成快速讀出資料。

【0007】習知文件 1 所揭露的結構中，電壓供給電路的電壓共同供給至記憶單元陣列的記憶單元以作為記憶單元的內部電源電壓。因此，在寫入週期時，藉由降低記憶單元的內部電壓 (動作電源電壓)，可以改善寫入界限。由行解碼器選擇連接至活化字元線的全部記憶單元的內部電壓下降。因此，列解

碼器所選擇的列中作為寫入目標的記憶單元的靜態雜訊界限降低，可以輕易地執行寫入。不過，非選擇列及選擇行的非寫入目標的記憶單元中，靜態雜訊界限同時降低，成為容易發生資料寫入(保持資料的反相)的狀態。因此，選擇行及非選擇列的記憶單元的讀出界限(靜態雜訊界限)降低，且位元線電流(列電流)可將資料反相而使儲存資料消失。

【0008】習知文件 2 所揭露的結構中，藉由以列單位改變基板電位，達成改善寫入界限。使用列位址信號以控制選擇列及非選擇列的基板電位的設定。為了以列單元控制電壓，基板區域由 1 列的記憶單元所共用的井區形成，且其電阻及電容比較大。特別是，當記憶體容量增加時，配置於 1 列內的記憶單元數增加。在此狀態中，為了抑制基板區域的配線電阻及電容，要在各列中複數個位置配置用以切換基板電位的開關元素。在此情況下，為了切換基板電位，必須對基板電位切換用開關元件配置列選擇用的列位址信號配線。結果，配線數增加，且配線配置面積增大，因此記憶單元陣列的面積增大。又，為了快速傳送列位址信號(列選擇信號)至基板電位切換用開關元件，另外需要驅動電路等，而增加了電路規模，且增加了消耗電流。又，由於傳送用以控制基板電位切換用的開關元件的信號的配線變長，因此開關元件控制信號傳送線的充放電電流變大，產生了消耗功率增加的問題。

【0009】又，必須執行基板電位變更的時序與列位址信號的變化時序之間的調整，以便在記憶單元的靜態雜訊界限降低的狀態下，可以執行資料寫入至記憶單元，因而產生了時序設

計困難的問題。

【0010】 又，習知文件 3 所揭露的結構中，以記憶單元列單位控制 VDD/VSS 源極線的電位。不過，雖然控制記憶單元的高側電源電位 (VDD 源極電位) 或記憶單元低側電源電壓 (VSS 源極電位)，上述習知文件 3 係藉由降低待命狀態或非選擇列記憶單元的閘極漏電流，以及降低選擇列的位元線的充放電電流，以降低消耗功率為目的。習知文件 3 中，未揭露改善資料寫入時寫入界限的結構。又，對於 VDD 源極線及 VSS 源極線的電位控制，使用列選擇信號，因此根據電位控制用開關的配置，產生與習知文件 2 相同的問題。

【發明內容】

【0011】 本發明的目的係提供一半導體記憶裝置，即使在低電源電壓下，不增加消耗電流也可以穩定地執行寫入/讀出。

【0012】 本發明的另一目的係提供靜態型半導體記憶裝置，其中以簡易電路結構可以以列單位輕易地調整選擇列的高側電源電壓及/或低側電源線的電位。

【0013】 根據本發明第一型態的半導體記憶裝置，包括複數的記憶單元，以行列狀配列；複數的位元線，對應各記憶單元列而配置，且各連接至對應列的記憶單元；複數的單元電源線，各對應記憶單元列而配置，分別供給第 1 電源電壓至對應列的記憶單元；以及複數的寫入補助電路，對應各記憶單元列而配置，且至少根據對應的列位元線上的電壓，分別選擇性地阻斷供給第 1 電源電壓至對應的單元電源線。

【0014】 較佳的實施例中，設置虛源極線，用以傳送與單

元電源線的電壓不同的電壓準位的電壓。各寫入補助電路，回應對應的位元線的電位，阻斷供給第 1 電源電壓至對應的單元電源線，同時，更阻斷供給第 2 電源電壓至虛源極線，並電氣耦合對應的單元電源線至虛源極線。此虛源極線最好對應各記憶單元列而配置。

【0015】根據本發明第二型態的半導體記憶裝置，包括複數的記憶區塊，各具有行列狀配列的複數的記憶單元；複數的局部位元線，對應各記憶區塊內的各記憶單元列而配置，各連接至對應列的記憶單元；複數的單元電源線，在各記憶區塊內，對應各記憶單元列而配置，各供給第 1 電源電壓至對應的記憶單元；複數的通用位元線，在上述複數的記憶區塊中共同地對應各記憶單元列而配置；以及複數的寫入補助電路，對應各單元電源線而配置，且根據對應列的通用位元線上的電壓，分別阻斷供給第 1 電源電壓至對應的單元電源線。

【0016】根據本發明第三型態的半導體記憶裝置，包括複數的記憶單元，以行列狀配列；井區，對應各記憶單元列在列方向上延伸配置，分別形成對應列的記憶單元的電晶體；以及寫入補助電路，對應各列而線性配置，且各根據對應列的位元線上的電壓，控制對應列的井區的電壓供應。

【0017】根據本發明第四型態的半導體記憶裝置，包括複數的記憶單元，以行列狀配列；複數的位元線，對應各記憶單元列而配置，且各連接至對應列的記憶單元；複數的第 1 單元電源線，對應各記憶單元列而配置，且各傳送第 1 電源電壓至對應列的記憶單元；複數的第 2 單元電源線，對應各記憶單元

列而配置，且各傳送第 2 電源電壓至對應列的記憶單元；以及複數的寫入補助電路，對應各記憶單元列而配置，各設定第 1 及第 2 電源線的電壓準位，以根據對應列的位元線的電位，降低對應列的第 1 及第 2 電源線的電壓差。

【0018】根據本發明第五型態的半導體記憶裝置，包括複數的記憶單元，以行列狀配列；複數的位元線，對應各記憶單元列而配置，且各連接至對應列的記憶單元；複數的位元線，對應各記憶單元列而配置，且各連接至對應列的記憶單元；複數的第 1 單元電源線，對應各記憶單元列而配置，且各傳送第 1 電源電壓至對應列的記憶單元；複數的第 2 單元電源線，對應各記憶單元列而配置，且各傳送第 2 電源電壓至對應列的記憶單元；以及複數的寫入補助電路，對應各記憶單元列而配置，且各設定第 1 及第 2 電源線的電壓準位，以根據寫入模式指示信號與列選擇信號，降低對應列的第 1 及第 2 電源線的電壓差。

【0019】根據位元線電位，控制記憶單元列的單元電源線或井區的電壓供給，因此，非利用列位址信號，也非控制複雜的時序，可以以記憶單元列單位執行電源線或井區的電壓控制。又，藉由阻斷供給第 1 電源電壓至單元電源線，單元電源線變成浮動狀態或其它的電壓準位，以及選擇列的記憶單元的電源電位改變而降低靜態雜訊界限，因此可以執行快速寫入。另一方面，待命時及讀出時，位元線電位沒有變化或變化很小，並且藉由持續供給電源至單元電源線，可以穩定地執行資料保持及讀出。藉由調整對井區的電壓，記憶單元電晶體的背

面閘極偏壓效果可以增加電晶體的電流驅動力，而可以快速執行資料的寫入。

【0020】又，由於未利用列選擇信號，可以簡化電源線的電壓控制的電路結構，而且時序設計不必考慮選擇信號的時序，而使設計變得容易。又，特別是不必利用列選擇信號，而可以降低消耗功率。

【0021】又，藉由利用第 1 及第 2 單元電源線以調整記憶單元的電源線電位，可以快速改變這些單元電源線的電位差，可以使寫入補助以較快速的時序運作，而可以快速寫入。

【0022】又，經由根據寫入模式指示信號及列選擇信號以調整第 1 及第 2 單元電源線電位，在位元線電位變換前，可以改變選擇列的單元電源電壓，而可以更快速地寫入。又，當利用上述列選擇信號時，改變執行寫入列的記憶單元的電源電壓，第 1 及第 2 電源電壓在資料讀出時供給以及供給至非選擇列的單元電源線，因此可以穩定地執行寫入及讀出動作，而不使非選擇記憶單元的資料記憶特性惡化，或使資料讀出時的動作界限降低。

【0023】又，雖然利用列選擇信號，但只有調整在寄生電容及寄生電阻與基板區域相較下十分小的單元電源線電位，因此分別藉由在單元電源線的兩端配置寫入補助用的開關元件即可以充分對應。藉由在列選擇電路的近旁配置上述寫入補助電路，可以防止配線的錯綜，又，可以抑制配線長度的增加，因而可以抑制用於控制單元電源線的電位的列選擇信號產生部的消耗電流增大。

【0024】根據上述，低電源電壓下也可以穩定地執行資料的寫入/讀出，並藉由降低電源電壓，可以降低半導體記憶裝置全體的消耗功率。

【0025】又，可以穩定地執行寫入/讀出，且隨著元件的微型化，即使臨界電壓等的電晶體特性的變化增加，也可以改善寫入/讀出的界限，因此可以改善生產率，並可以降低成本。

經由理解相關的附加圖面而詳細說明本發明，可以了解本發明的上述及其他目的、特徵、形態以及優點。

【圖式簡單說明】

【0026】

第 1 圖係概略顯示根據本發明的半導體記憶裝置的全體結構圖。

第 2 圖係顯示第 1 圖所示的記憶單元結構圖。

第 3 圖係顯示第 2 圖所示記憶單元的傳送特性圖。

第 4 圖係概略顯示根據本發明第一實施例的半導體記憶裝置的主要部分結構圖。

第 5 圖係顯示第 4 圖所示的記憶單元的內部連接圖。

第 6 圖係信號波形圖，概略顯示第 4 圖所示的記憶體電路的動作。

第 7 圖係信號波形圖，更詳細地顯示第 4 圖所示的記憶單元電路的動作。

第 8 圖係概略顯示根據本發明第二實施例的半導體記憶裝置的主要部分結構圖。

第 9 圖係信號波形圖，顯示第 8 圖所示的記憶單元電路的

動作。

第 10 圖係概略顯示根據本發明第三實施例的半導體記憶裝置的主要部分結構圖。

第 11 圖係顯示根據本發明第四實施例的半導體記憶裝置的寫入補助電路結構圖。

第 12 圖係信號波形圖，顯示第 11 圖所示的寫入補助電路的動作。

第 13 圖係顯示根據本發明第五實施例的寫入補助電路結構圖。

第 14 圖係信號波形圖，顯示第 13 圖所示的寫入補助電路的動作。

第 15 圖係概略顯示第 13 圖所示的電源控制電晶體的剖面結構。

第 16 圖係顯示根據本發明第六實施例的寫入補助電路結構圖。

第 17 圖係信號波形圖，顯示第 16 圖所示的寫入補助電路的動作。

第 18 圖係顯示根據本發明第七實施例的寫入補助電路結構圖。

第 19 圖係概略顯示根據本發明第七實施例的半導體記憶裝置的主要部分結構圖。

第 20 圖係顯示產生第 18 圖所示的冗餘信號的部分的結構的一範例。

第 21 圖係顯示根據本發明第八實施例的寫入補助電路結

構圖。

第 22 圖係信號波形圖，顯示第 21 圖所示的寫入補助電路的動作。

第 23 圖係顯示產生第 21 圖所示的電源電壓的部分的結構的一範例。

第 24 圖係顯示根據本發明第九實施例的半導體記憶裝置的主要部分結構圖。

第 25 圖係信號波形圖，顯示第 24 圖所示的電路的動作。

第 26 圖係顯示根據本發明第十實施例的半導體記憶裝置的主要部分結構圖。

第 27 圖係顯示第 26 圖所示的記憶單元的內部連接圖。

第 28 圖係信號波形圖，顯示第 26 圖所示的電路的動作。

第 29 圖係顯示根據本發明第十一實施例的半導體記憶裝置的主要部分結構圖。

第 30 圖係概略顯示根據本發明第十二實施例的半導體記憶裝置的主要部分結構圖。

第 31 圖係概略顯示第 30 圖所示的記憶單元的內部連接圖。

第 32 圖係顯示第 30 圖所示的寫入補助電路的結構的一範例。

第 33 圖係信號波形圖，顯示第 30-32 圖所示的電路的動作。

第 34 圖係顯示根據本發明第十三實施例的半導體記憶裝置的主要部分結構圖。

第 35 圖係顯示根據本發明第十三實施例的半導體記憶裝置的變形例的結構圖。

第 36 圖係顯示第 35 圖所示的寫入補助電路的記憶單元的平面配置圖。

第 37 圖係顯示第 36 圖所示的配線配置的電氣等效電路圖。

第 38 圖係顯示第 36 圖所示的平面配置的上層配線的配置圖。

第 39 圖係顯示第 38 圖所示的配線配置的電氣等效電路圖。

第 40 圖係顯示第 38 圖所示的配線配置的更上層的配線配置圖。

第 41 圖係顯示第 40 圖所示的配線配置的更上層的配線配置圖。

第 42 圖係顯示第 41 圖所示的配線的電氣等效電路圖。

第 43 圖係概略顯示本發明的第十三實施例的變形例 2 的寫入補助電路的平面配置圖。

第 44 圖係概略顯示根據本發明第十四實施例的半導體記憶裝置的主要部分結構圖。

第 45 圖係顯示第 44 圖所示的記憶單元的內部配線連接圖。

第 46 圖係信號波形圖，顯示第 44 圖所示的記憶單元電路的動作。

第 47 圖係概略顯示本發明的第十五實施例的半導體記憶

裝置的主要部分結構圖。

第 48 圖係概略顯示本發明的第十五實施例的半導體記憶裝置的一通用位元線的關連部分結構圖。

第 49 圖係概略顯示本發明的第十六實施例的半導體記憶裝置的主要部分結構圖。

第 50 圖係概略顯示本發明的第十七實施例的半導體記憶裝置的主要部分結構圖。

第 51 圖係顯示第 50 圖所示的記憶單元的結構的一範例。

第 52 圖係信號波形圖，顯示第 50 圖所示的半導體記憶裝置的動作。

第 53 圖係顯示根據本發明第十七實施例的寫入補助電路的第 1 結構圖。

第 54 圖係信號波形圖，顯示第 53 圖所示的寫入補助電路的動作。

第 55 圖係顯示根據本發明第十七實施例的寫入補助電路的第 2 結構圖。

第 56 圖係顯示根據本發明第十七實施例的寫入補助電路的第 3 結構圖。

第 57 圖係信號波形圖，顯示第 56 圖所示的寫入補助電路的動作。

第 58 圖係顯示根據本發明第十七實施例的寫入補助電路的第 4 結構圖。

第 59 圖係概略顯示本發明的第十八實施例的半導體記憶裝置的主要部分結構圖。

第 60 圖係顯示第 59 圖所示的寫入補助電路及電路保持電路的結構的一範例圖。

第 61 圖係信號波形圖，顯示第 60 圖所示的電路的動作。

第 62 圖係顯示根據本發明第十八實施例的寫入補助電路的其他結構圖。

【實施方式】

【0027】第 1 圖係概略顯示根據本發明的半導體記憶裝置的全體結構圖。第 1 圖中，半導體記憶裝置包括記憶單元陣列 1，具有以行列狀配置的記憶單元 MC；以及單元電源控制單位 2，以各列單位調整各記憶單元列的記憶單元電源電壓。對應記憶單元 MC 各列而配設成對位元線 BL_0 ， $/BL_0$ 、...、 BL_n ， $/BL_n$ 。記憶單元陣列 1 中，更對應記憶單元 MC 的各行，配設字元線 WL_0 - WL_m 。

【0028】記憶單元陣列 1 中，更以各記憶單元列單位配設設定其電壓準位的單元電源線 PVL_0 - PVL_n 。

【0029】單元電源控制單位 2 包括分別對位元線對 BL_0 ， $/BL_0$ 、...、 BL_n ， $/BL_n$ 設置的寫入補助電路 PCK_0 - PCK_n 。這些寫入補助電路 PCK_0 - PCK_n ，分別根據對應的位元線對 BL_0 ， $/BL_0$ 、...、 BL_n ， $/BL_n$ 的電壓準位，阻斷供給單元電源電壓至對應的單元電源線 PVL(設定為浮動狀態或設定為其他的電壓準位)。單元電源線傳送高側電源電壓 VDD、低側電源電壓 VSS 及背面閘極電壓中其一的電壓。記憶單元由 MOS 電晶體(絕緣閘型場效電晶體)所構成，背面閘極電壓係施加至其基板區域的電壓。

【0030】此半導體記憶裝置，更包括行選擇驅動電路 3，根據內部行位址信號 RA，驅動對應位址指定行的字元線至選擇狀態；列選擇電路 4，根據內部列位址信號 CA，選擇對應選擇列的位元線對；寫入電路 5，資料寫入時，傳送寫入資料至對應列選擇電路 4 所選擇的列的位元線對；讀出電路 6，列讀出時，感測並放大來自對應列選擇電路 4 所選擇的列的位元線的資料，以產生讀出資料；以及主控制電路 7，根據來自外部的位址信號 AD、寫入指示信號 WE 與晶片致能信號 CE，產生內部行位址信號 RA、內部列位址信號 CA 及各動作所必需的控制信號。

【0031】行選擇驅動電路 3，包括解碼行位址信號的行解碼器、以及根據行解碼結果驅動選擇字元線至選擇狀態的字元線驅動電路，並根據來自主控制電路 7 的字元線活化時序信號驅動對應選擇行的字元線至選擇狀態。同樣地，列選擇電路 4，根據來自主控制電路 7 的列選擇時序信號，解碼列位址信號 CA，並依據解碼結果所產生的列選擇信號，選擇對應選擇列的位元線。

【0032】寫入電路 5，包括輸入緩衝器及寫入驅動電路，在資料寫入時，根據來自外部的寫入資料 DI 產生內部寫入資料。讀出電路 6，包括感應放大器電路及輸出緩衝器，並在資料讀出模式時，以輸出緩衝器緩衝處理感應放大器所感測、放大的資料，產生外部讀出資料 DO。寫入電路 5 及讀出電路 6，可以分別執行複數位元資料的寫入及讀出，又，第 1 圖所示的記憶單元陣列 1 可以對應 1 位元的輸出入資料而配置。

【0033】又，記憶單元陣列 1 中，設置位元線負荷電路，對於位元線 BL_0 ， $/BL_0$ 、...、 BL_n ， $/BL_n$ ，將位元線預充電至既定的電壓準位，且讀出時，供給讀出電流(列電流)，第 1 圖中，未顯示此位元線負荷電路。

【0034】第 2 圖係顯示第 1 圖所示的記憶單元 MC 的結構的一範例圖。第 2 圖中，顯示記憶單元 MC 由全 CMOS 單一埠 SRAM 單元所構成的情況。第 2 圖中，記憶單元 MC，包括 P 通道 MOS 電晶體(絕緣閘型場效電晶體)PQ1，在高側電源節點 VH 與儲存節點 ND1 之間連接且其閘極連接至儲存節點 ND2；N 通道 MOS 電晶體 NQ1，在儲存節點 ND1 與低側電源節點 VL 之間連接且其閘極連接至儲存節點 ND2；P 通道 MOS 電晶體 PQ2，在高側電源節點 VH 與儲存節點 ND2 之間連接且其閘極連接至儲存節點 ND1；N 通道 MOS 電晶體 NQ2，在儲存節點 ND2 與低側電源節點 VL 之間連接且其閘極連接至儲存節點 ND1；以及 N 通道 MOS 電晶體 NQ3 及 NQ4，根據字元線 WL 上的電壓，分別耦合儲存節點 ND1 及 ND2 至位元線 BL 及 $/BL$ 。

【0035】第 2 圖所示的記憶單元 MC 的結構中，MOS 電晶體 PQ1 及 NQ1 構成 CMOS 反相器，又，MOS 電晶體 PQ2 及 NQ2 構成 CMOS 反相器，這些反相器的輸入及輸出交叉耦合，構成反相門鎖器。因此，儲存節點 ND1 及 ND2 中保持互相互補的資料。

【0036】第 3 圖係顯示第 2 圖所示的記憶單元 MC 的電晶體 PQ1、PQ2、NQ1 及 NQ2 的反相門鎖器的傳送特性圖。第 3 圖中，橫軸顯示儲存節點 ND1 的電壓準位，而縱軸顯示儲存

節點 ND2 的電壓準位。曲線 k1 顯示 MOS 電晶體 PQ1、NQ1 及 NQ3 的反相器特性，而曲線 k2 顯示 MOS 電晶體 PQ2、NQ2 及 NQ4 的反相器特性。這些曲線 k1 及曲線 k2 互相對傾斜 45° 的線對稱。這些曲線 k1 及曲線 k2 中，形成所謂「單元眼」的區域。此「單元眼」在圖中以虛線表示的內接正方形的一邊長度稱作在資料保持時及讀出時的靜態雜訊界限 SNM，並顯示保持資料的穩定性。靜態雜訊界限 SNM 可以以曲線的內接圓的直徑定義。曲線 k1 及曲線 k2 的兩端的交點 S1 及 S2 表示穩定點，且點 S1 表示資料"0"，點 S2 表示資料"1"。

【0037】在輸出入傳送特性中，高側電源電壓 VDD 或電壓準位降低時，曲線 k1 移動至曲線 kk1，而曲線 k2 移動至曲線 kk2，因此靜態雜訊界限降低，且資料的安定性惡化。又，低側電源電壓 VSS 上升時，曲線 k2 和 k1，同樣地，分別改變的方向與在高側電源電壓 VDD 變化時相反，且靜態雜訊界限惡化。

【0038】資料寫入時，經由存取電晶體 NQ3 及 NQ4，內部的儲存節點 ND1 及 ND2 耦合至位元線 BL 及位元線 /BL。此時的記憶單元的輸出入傳送特性中，必須是第 3 圖的點 S2 或 S1 不存在，而曲線 k1 及 k2 在此部分為開放狀態，而具有單一的穩定點。在資料寫入時，記憶單元的閘鎖力大時，不發生資料的反相，且不能執行資料的寫入。因此，為了穩定地寫入資料，必須降低記憶單元的閘鎖能力，而增加寫入界限。

【0039】本發明的實施例中，利用上述，在資料寫入時，利用驅動位元線電位為 H 準位(邏輯高準位)及 L 準位(邏輯低

- 準位)，選擇列的單元電源電壓 VDD 或 VSS 的電壓準位改變，單元的資料保持的穩定性降低，增大了寫入界限。

【0040】第 1 圖所示的單元電源線 PVL0-PVLn 的電壓，如上述，可以是高側電源電壓 VDD、低側電源電壓 VSS 及背面閘極電壓中之任一。下述中，首先說明關於調整高側電源電壓 VDD 的電壓準位的結構。

【0041】又，上述結構中，在位元線 BL 及 /BL 的一端配置寫入補助電路。不過，此寫入補助電路可以配置在位元線的兩端，或是可以配置 1 個在位元線的中央部。因此，每位元線對的寫入補助電路的數量至少 1 個，此數量係考慮 VDD 源極線的負荷、記憶單元的電流驅動力及寫入驅動器的電流驅動力等而決定的適當值。

【0042】[第一實施例]

【0043】第 4 圖係顯示根據本發明的第一實施例的寫入補助電路的結構圖。第 4 圖中，顯示對於 1 對位元線 BL 及 /BL 所設置的寫入補助電路的結構。第 4 圖中，1 列的記憶單元 MC 共同耦合至位元線 BL 及 /BL。對於上述位元線 BL 及 /BL，設置傳送高側電源電壓 VDD 的高側電源線(以下稱作 VDD 源極線)VDM 作為單元電源線。上述 VDD 源極線 VDM 共同耦合至對應列的記憶單元 MC 的高側電源節點 VH。

【0044】寫入補助電路包括設置於 VDD 源極線 VDM 的兩端的寫入補助電路 PCKa 及 PCKb。上述寫入補助電路 PCKa 及 PCKb 具有同一電路結構，且分別在對應的部分付與同一參考符號。

【0045】寫入補助電路 PCKa，包括反相器 IV1，用以接收位元線 BL 的電壓；反相器 IV2，用以接收互補位元線 /BL 上的電壓；以及 P 通道 MOS 電晶體 PT1 及 PT2，在高側電源節點與 VDD 源極線 VDM 之間串聯，分別在閘極接收反相器 IV1 及反相器 IV2 的輸出信號。在 VDD 源極線 VDM 的兩端，藉由配置寫入補助電路 PCKa 及 PCKb，可以等效降低上述 VDD 源極線 VDM 的配線電阻，而可以穩定地供給高側電源電壓 VDD 至對應的記憶單元而不產生電壓降，又，寫入結束後，VDD 源極線 VDM 可以快速恢復至原先的高側電源電壓 VDD 準位。

【0046】位元線 BL 及 /BL，經由第 1 圖所示的列選擇電路 4 內所包含的列選擇閘 CSG，耦合至寫入驅動電路 5a 及感應放大器電路 6a。寫入驅動電路 5a 包括在第 1 圖所示的寫入電路 5 內，而感應放大器電路 6a 包括在第 1 圖所示的讀出電路 6 內。

【0047】第 5 圖係顯示第 4 圖所示的記憶單元 MC 的電晶體的連接圖。如第 5 圖所示，記憶單元 MC 的 P 通道 MOS 電晶體 PQ1 及 PQ2 的高側電源節點(源極節點)VH 共同耦合至 VDD 源極線 VDM。在儲存節點 ND1 及 ND2 中，對應儲存資料保持 H 準位或 L 準位的互補資料。

【0048】又，對於位元線 BL 及 /BL，設置在資料讀出時供給列電流的位元線負荷電路 9。上述位元線負荷電路 9 預充電位元線 BL 及 /BL 至高側電源電壓 VDD 準位。通常，在資料寫入時，使上述位元線負荷電路 9 在非活性狀態，對應寫入資料確實地快速充分擺動位元線的電壓(驅動至 VDD 及 VSS 的準

位)。

【0049】第 6 圖係信號波形圖，概略顯示第 4 圖所示的電路(以下，1 列的記憶單元及寫入補助電路稱作記憶體電路)的資料讀出及寫入時的動作。以下，參考第 6 圖，簡單說明第 4 圖所示的記憶體電路的動作原理。

【0050】資料讀出時，首先根據行位址信號(第 1 圖的行位址信號 RA)，經由第 1 圖所示的行選擇驅動電路 3，驅動對應選擇行的字元線 WL 至 H 準位(電壓 VDD 準位)。驅動此字元線 WL 至選擇狀態時，第 5 圖所示的存取電晶體 NQ3 及 NQ4 導通，位元線 BL 及 /BL 分別連接至儲存節點 ND1 及 ND2。位元線負荷電路 9 供給列電流至位元線 BL 及 /BL，而上述位元線 BL 及 /BL 的電位改變。

【0051】現在，假設儲存節點 ND1 及 ND2 中分別儲存 H 準位及 L 準位資料。在此情況下，列電流從位元線 BL 經由儲存節點 ND2 及 MOS 電晶體 NQ2 放電至低側電源節點，互補的位元線 /BL 的電位下降。儲存節點 ND2 的電壓準位上升至存取電晶體 NQ4 及驅動電晶體 NQ2 的電流驅動力(通道電阻)與位元線負荷電阻所決定的電壓準位。

【0052】另一方面，儲存節點 ND1 為 H 準位，與位元線 BL 的電位大體上相同，MOS 電晶體 NQ1 為非導通狀態，因此節點 ND1 的電壓準位幾乎不改變。

【0053】互補的位元線 /BL 經由選擇記憶單元放電，此電壓準位降低。位元線 BL 及 /BL，經由列選擇閘 CSG 耦合至內部資料線，更耦合至感應放大器，以執行資料讀出。在此資料讀

出時，位元線的電壓振幅小，互補的位元線/ BL 的電位係比反相器 $IV2$ 的輸入邏輯臨界值 V_T 高的電壓準位。因此，反相器 $IV2$ 的輸出信號維持在 L 準位，分別在寫入補助電路 $PCKa$ 及 $PCKb$ 中，MOS 電晶體 $PT1$ 及 $PT2$ 為導通狀態， VDD 源極線 VDM 耦合至高側電源節點， VDD 源極線 VDM 維持在高側電源電壓 VDD 準位。

【0054】因此，資料讀出時，雖然儲存節點 $ND2$ 的電壓準位根據 MOS 電晶體 $NQ2$ 及 $NQ4$ 的 β 比(導電比)而上升，靜態雜訊界限夠大，可以穩定地讀出資料而不會產生資料的破壞。

【0055】選擇列且非選擇行的記憶單元中，穩定地供給單元電源電壓，又，存取電晶體為非導通狀態，非選擇記憶單元中電流流過的路徑不存在，可以穩定地保持資料。

【0056】資料讀出期間結束時，字元線 WL 變成非選擇狀態，MOS 電晶體 $NQ3$ 及 $NQ4$ 變成非導通狀態，儲存節點 $ND1$ 及 $ND2$ 恢復至原先的 H 準位及 L 準位。又，位元線 BL 及/ BL 也經由位元線負荷電路 9 恢復至原先的預充電電壓(VDD 準位)。

【0057】資料寫入時，同樣地，驅動字元線 WL 至選擇狀態。其次，從寫入驅動電路 5a 經由列選擇閘 CSG 傳送寫入資料至選擇列的位元線，並對應寫入資料驅動位元線 BL 及/ BL 至 H 準位及 L 準位。現在，假設在儲存節點 $ND1$ 保持在 H 準位的狀態，以及驅動位元線 BL 至 L 準位，位元線/ BL 至 H 準位。在此情況下，寫入至記憶單元的資料係保持在儲存節點 $ND1$ 及 $ND2$ 的資料的相反邏輯準位。此時，位元線 BL 及/ BL

中，L 準位的位元線(位元線 BL)的電位準位為低側電源電壓 VSS 準位。因此，寫入補助電路 PCKa 及 PCKb 中，反相器 IV1 的輸出信號為 H 準位，MOS 電晶體 PT1 變成非導通狀態，高側電源節點(VDD 供給節點)與 VDD 源極線 VDM 分離，VDD 源極線 VDM 在浮動狀態。

【0058】 驅動字元線 WL 至選擇狀態時，經由存取電晶體 NQ3 及 NQ4，儲存節點 ND1 及 ND2 耦合至位元線 BL 及 /BL，其電壓準位對應寫入資料而變化。

【0059】 上述資料寫入時，記憶單元 MC 中資料反相時，電流(單元內的貫通電流及至 L 準位位元線的放電)流經 MOS 電晶體 PQ1 及 PQ2 兩者，浮動狀態的 VDD 源極線 VDM 的累積電荷放電，因此選擇記憶單元 MC 的高側電源節點 VH 的電壓準位降低。因此，記憶單元 MC 的資料保持特性降低，寫入特性改善，並且對應寫入資料可以正確且快速地分別驅動儲存節點 ND1 及 ND2 至 L 準位及 H 準位。

【0060】 圖 7 係顯示上述第 4 圖所示的記憶單元電路的更具體的動作波形。資料讀出時，驅動字元線 WL 至選擇狀態時，第 5 圖所示的 MOS 電晶體 NQ3 及 NQ4 變成導通狀態，位元線 BL 及 /BL 分別耦合至儲存節點 ND1 及 ND2。在此情況下，如上所述，位元線 BL 或 /BL 的電位對應儲存資料改變，但此改變的電位係高於反相器 IV1 及 IV2 的輸入邏輯臨界值 V_T 的電壓準位。因此，反相器 IV1 及 IV2 的輸出信號維持在 H 準位，P 通道 MOS 電晶體 PT1 及 PT2 皆為導通狀態，VDD 源極線 VDM 經由選擇記憶單元放電，並維持電源電壓 VDD 準位。

【0061】因此，即使儲存節點 ND1 及 ND2 中儲存 L 準位資料的儲存節點(儲存節點 ND2)的電位，在資料讀出時，由來自位元線的列電流升高，維持夠大的靜態雜訊界限，因此可以穩定保持資料，並可以正確讀出資料，且不產生資料的破壞。

【0062】資料寫入時，首先從第 4 圖所示的寫入驅動電路 5a，經由列選擇閘 CSG(參考第 4 圖)，傳送寫入資料至對應選擇列的位元線 BL 及 /BL，而且上述位元線 BL 及 /BL 的電壓準位設定為 H 準位及 L 準位。

根據上述位元線 BL 及 /BL 的電壓變化，寫入補助電路 PCKa 及 PCKb 中，反相器 IN1 及 IN2 的輸出信號中的一方為 H 準位，對應的 P 通道 MOS 電晶體 PT1 或 PT2 成為非導通狀態(OFF)，VDD 源極線 VDM 為浮動狀態。

【0063】在此狀態下，驅動字元線 WL 至選擇狀態，儲存節點 ND1 及 ND2 分別耦合至位元線 BL 及 /BL。此時，為了傳送與記憶單元 MC 內的保持資料相反邏輯準位的寫入資料，MOS 電晶體 PQ1、PQ2、NQ1 及 NQ2 中流過貫通電流，又，電流從單元高側電源節點 VH 流至 L 準位的位元線，浮動狀態的 VDD 源極線 VDM 的電位下降。

【0064】上述 VDD 源極線 VDM 的電位下降的同時，對應位元線 BL 及 /BL 的電位，儲存節點 ND1 及 ND2 的電位改變。第 7 圖中顯示，分別儲存 H 準位及 L 準位資料時的儲存節點 ND1 及 ND2，儲存 L 準位及 H 準位資料時的信號波形。根據單元的資料保持性，儲存節點 ND1 及 ND2 的電壓準位對應位元線電壓緩慢變化，其電壓準位變成相同時，單元的門鎖狀態

- 反相，上述儲存節點 ND1 及 ND2 的電壓準位快速變化為對應位元線電壓的 H 及 L 準位。因此，根據 VDD 源極線的電壓準位下降，保持特性的穩定性降低且當寫入界限增大時，儲存節點 ND1 及 ND2 的電位準位由穩定點輕易地改變為不穩定點，這些儲存節點 ND1 及 ND2 的電位改變，並維持在對應寫入資料的電位準位。對應寫入資料，分別驅動儲存節點 ND1 及 ND2 至電壓 $VDD-\Delta V$ 以及 VSS 準位時，記憶單元 MC 中，由於阻斷流過貫通電流的路徑，VDD 源極線 VDM 的電位下降停止(變成與高側儲存節點同一電壓；忽略負荷電晶體 PQ1、PQ2 的通道電阻)。

【0065】此時，高側儲存節點的電壓係 VDD 源極線 VDM 的電壓準位，且寫入補助電路 PCKa 及 PCKb 中 MOS 電晶體 PT1 及 PT2 在非導通狀態，即使對應的位元線 BL 或 /BL 的電壓準位為 VDD 準位，如果字元線電壓係電壓 VDD，存取電晶體(NQ3、NQ4)的臨界值的影響只是由寫入驅動器驅動儲存節點至最大電壓 $VDD-V_{th}$ 的電壓準位，係比電壓 VDD 低的電壓準位。

【0066】當資料寫入結束時，驅動字元線 WL 至非選擇狀態，穩定維持記憶單元的資料，其次，位元線 BL 及 /BL，藉由列選擇閘 CSG，與寫入驅動電路 5a 分離，位元線 BL 及 /BL 由位元線負荷電路 9(參考第 4 圖)，恢復至原先的電壓準位。

【0067】對應位元線 BL 及 /BL 的電壓恢復，反相器 IV1 及 IN2 的輸出信號皆為 H 準位，因此，MOS 電晶體 PT1 及 PT2 為導通狀態，且 VDD 源極線 VDM 的電壓準位恢復至高側電源

電壓 VDD 準位。回應此 VDD 源極線 VDM 的電壓準位的恢復，高側儲存節點的電壓上升至電壓 VDD 準位。

【0068】資料寫入時，寫入資料不傳送至選擇行且非選擇列的記憶單元，在位元線 BL 及 /BL 產生與資料讀出時同樣的電位變化。因此，與讀出動作時相同，非選擇列且選擇行的記憶單元的 VDD 源極線 VDM 維持在高側電源電壓 VDD 準位，選擇行/非選擇列的資料保持特性不惡化，因此破壞資料讀出的可能性極小。可以穩定地保持資料。

【0069】又，非選擇行且選擇列的記憶單元中，雖然單元高側電源節點 VH 的電壓準位降低，但是存取電晶體為非導通狀態，單元內部中不存在電流流過的路徑，穩定地保持儲存資料。

【0070】如上所述，根據本發明的第一實施例，根據位元線電位，供給高側電源電壓的 VDD 源極線選擇性地維持在浮動或電源供給狀態。因此，只有在資料寫入中，可以改變選擇列的記憶單元的電源電壓準位，可以使寫入界限增大，快速執行資料的讀出。

【0071】又，在讀出時，選擇列的位元線電位振幅很小，VDD 源極線維持在高側電源電壓 VDD 準位，記憶單元穩定地保持資料。

【0072】又，在上述 VDD 源極線 VDM 兩側，藉由配置寫入補助電路 PCKa 及 PCKb，可以防止 VDD 源極線 VDM 的配線電阻引起的電位下降(可以等效地設定 VDD 源極線的配線長為 1/2)，藉此，讀出動作時，可以防止記憶單元的靜態雜訊界

限下降。

【0073】又，VDD 源極線的電位的控制只根據位元線電位，不必利用列位址信號，因此不需要用於電壓控制的上述列位址信號的配線。

【0074】又，利用位元線電壓，設定 VDD 源極線的狀態，當選擇字元線時，設定記憶單元電源線的狀態，不特別要求用於電源線的狀態設定與字元線選擇之間的時序調整的電路，簡化了電源控制的結構。

【0075】又，可以改善寫入特性，且即使降低高側電源電壓 VDD，也可以穩定執行記憶動作，雖然有確保資料保持特性的下限電壓準位的限制，藉由使單元電源電壓下降，可以減低消耗功率。

【0076】又，寫入補助電路 PCKa 及 PCKb 中，可以在記憶單元陣列內最適當的位置配置控制 VDD 源極線與高側電源節點之間的連接的 MOS 電晶體，不只是在兩端，也可以使用配置於上述 VDD 源極線的中央部的結構。配置的自由度改善的同時，可以防止 VDD 源極線的配線電阻引起的電壓降，並可以保持低電源電壓下的動作界限。

【0077】 [第二實施例]

【0078】第 8 圖係概略顯示根據本發明第二實施例的半導體記憶裝置的一列的記憶單元 MC 的關聯部分(記憶單元電路)的結構。第 8 圖所示的結構中，在 VDD 源極線 VDM 的兩側，設置寫入補助電路 PCKa 及 PCKb。VDD 源極線 VDM，在各列個別配置，共同耦合至在對應列中排成一系列的記憶單元 MC 的

高側電源節點 VH。第 8 圖中，代表性地顯示配列成 4 行的記憶單元 MC。對應各記憶單元行，配置字元線 WL0-WL3。

【0079】 位元線 BL 及 /BL 對應記憶單元列配置，且位元線 BL 及 /BL 經由列選擇閘 CSG 耦合至內部資料匯流排 IO。上述列選擇閘 CSG 根據來自列解碼器 4a 的列選擇信號 CSL 選擇性地導通，耦合對應的位元線 BL 及 /BL 至內部資料匯流排 IO。列解碼器 4a，包括在第 1 圖所示的列選擇電路內，解碼主控制電路 7 所提供的列位址信號 CA，產生列選擇信號 CSL。

【0080】 位元線 BL 及 /BL 中，與第 4 圖所示的結構相同，設置位元線負荷電路，但為了簡化圖面，第 8 圖中不顯示上述位元線負荷電路。待命狀態時，位元線 BL 及 /BL 預充電至電源電壓 VDD 準位的 H 準位。上述位元線負荷電路在資料寫入時設定為非導通狀態。

【0081】 寫入補助電路 PCKa 及 PCKb，具有同一結構，對應的部分係付與同一參考符號。寫入補助電路 PCKa 及 PCKb 分別包括：2 輸入 NAND 閘 NG1，接收位元線 BL 及 /BL 的電壓；以及 P 通道 MOS 電晶體 PT3，根據 NAND 閘 NG1 的輸出信號耦合 VDD 電源節點至 VDD 源極線 VDM。

【0082】 即，第 8 圖所示的寫入補助電路 PCKa 及 PCKb 中，與前第一實施例的結構不同，取代分別對位元線 BL 及 /BL 所配置的反相器，設置 2 輸入 NAND 閘 NG1。

【0083】 記憶單元 MC 的連接與第 5 圖所示的記憶單元 MC 的連接相同，負荷電晶體 (PQ1、PQ2) 的高側電源節點 VH 共同耦合至 VDD 源極線 VDM。

【0084】第 9 圖係顯示第 8 圖所示的記憶單元電路的動作的信號波形圖。以下，參考第 9 圖，簡單說明第 8 圖所示的記憶單元電路的動作。資料讀出時，對應位址指示行的字元線 WL 的電位上升至 H 準位(VDD 準位)。因此，記憶單元 MC 中，存取電晶體(NQ3、NQ4)為導通狀態，儲存節點 ND1 及 ND2 耦合至位元線 BL 及 /BL。藉此，儲存 L 準位資料的儲存節點(例如 ND2)的電位根據流經位元線(例如 /BL)的列電流而上升(對應電晶體(NQ3、NQ4)與驅動電晶體(NQ1、NQ2)的 β 比及位元線負荷電路的電阻值的電壓準位)。

【0085】又，位元線 BL 及 /BL 的電位對應選擇行的記憶單元 MC 的儲存資料而變化。位元線 BL 及 /BL，經由列選擇閘 CSG，耦合至內部資料匯流排 IO，其電位準位持續地變化。不過，上述資料讀出時，位元線 BL 及 /BL 的電位振幅比 NAND 閘 NG1 的輸入邏輯臨界值 VTG 的電壓準位高，NAND 閘 NG1 判斷位元線 BL 及 /BL 的電壓電位皆為 H 準位，且其輸出信號維持在 L 準位。

【0086】因此，MOS 電晶體 PT3 維持在導通狀態，VDD 源極線 VDM 維持在高側電源電壓 VDD 準位。藉此，與前第一實施例相同，穩定地保持單元 MC 的資料的同時可以執行資料的讀出。

【0087】因此，在資料寫入時，位元線 BL 及 /BL，對應從列選擇閘 CSG 經由寫入驅動器 5a 提供的寫入資料，驅動其電壓準位為 H 準位(VDD 準位)及 L 準位(VSS 準位)。因此，藉由位元線 BL 及 /BL 中之一方的電壓準位降低，NAND 閘極 NG1

中之一方的輸入為 L 準位，其輸出信號為 H 準位，因此 P 通道 MOS 電晶體 PT3 為非導通狀態，VDD 源極線 VDM 為浮動狀態。

【0088】其次，根據圖中未顯示的行選擇電路的輸出信號，驅動字元線 WL 至選擇狀態時，選擇行的記憶單元中，儲存節點 ND1 及 ND2 耦合至位元線 BL 及 /BL。當寫入與記憶單元的儲存資料相反邏輯準位的資料時，選擇記憶單元的儲存節點 ND1 及 ND2 的電壓準位改變。上述儲存節點的電位變化時，在記憶單元內，貫通電流流經負荷電晶體及驅動電晶體，消耗浮動狀態的 VDD 源極線 VDM 的電荷，其電壓準位降低，因此儲存節點 ND1 及 ND2 的電位差變得更小，資料保持特性由於此 VDD 源極線 VDM 的電位降低而下降(寫入界限增大)，儲存節點 ND1 及 ND2 分別將儲存資料反相，設定至對應傳送至位元線 BL 及 /BL 的寫入資料的電壓準位。

【0089】資料寫入結束後，驅動字元線 WL 至非選擇狀態，又，位元線 BL 及 /BL 恢復至原先的預充電電壓電位，因此，NAND 閘 NG1 的輸出信號為 L 準位，VDD 源極線 VDM 的電壓準位恢復至高側電源電壓 VDD 準位。

【0090】即使字元線 WL 為選擇狀態，列選擇閘 CSG 為非導通狀態時，不執行傳送寫入資料至位元線 BL 及 /BL，且位元線從預充電電壓準位開始產生與資料讀出時相同的電位變化。不過，此時，其電位振幅小，NAND 閘 NG1 的輸出信號為 L 準位，經由 P 通道 MOS 電晶體 PT3 供給高側電源電壓 VDD 至 VDD 源極線 VDM，此電壓準位維持在高側電源電壓 VDD

準位。因此，選擇行且非選擇列的記憶單元穩定地保持儲存資料。

【0091】非選擇行且選擇列的記憶單元中，與第一實施例相同，記憶單元中，不存在電流流過的路徑，穩定地保持儲存資料。

【0092】如上所述，利用第 8 圖所示根據第二實施例的寫入補助電路，可以得到與第一實施列相同的效果。

【0093】又，由 NAND 閘 NG1，接收位元線 BL0 及 /BL0 的電壓，並檢測此變化，高側電源電壓 VDD 的供給節點與 VDD 源極線 VDM 之間只連接一 P 通道 MOS 電晶體 PT3。因此，此高側電源電壓供給節點與 VDD 源極線之間的電阻成份(通道電阻)變小，可以快速執行恢復至 VDD 源極線的高側電源電壓 VDD。又，VDD 源極線 VDL 的配線電阻小，其電壓降小，可以穩定供給既定的電壓準位(VDD 準位)的單元電源電壓至對應列的記憶單元的高側電源節點。

【0094】[第三實施例]

【0095】第十圖係概略顯示第三實施例的半導體記憶裝置的記憶陣列部的結構圖。第 10 圖概略顯示對於 4 行 4 列中配置的記憶單元 MC 的電路結構。分別對應記憶單元列，配設位元線對 BL0，/BL0，BL1，/BL1，BL2，/BL2 以及 BL3，/BL3。

【0096】位元線 BL0，/BL0 及 BL1，/BL1 耦合至 2：1 選擇器 4b0，位元線對 BL2，/BL2 及 BL3，/BL3，同樣地，耦合至 2：1 選擇器 4b1。這些 2:1 選擇器 4b0 及 4b1，根據列位址信號 CA 執行 2：1 選擇，從對應的 2 位元線對中選擇 1 位元

線對。

【0097】對於 2：1 選擇器 4b0，配設寫入驅動電路 5a0 及感應放大器電路 6a0，而對於 2：1 選擇器 4b1，配設寫入驅動電路 5a1 及感應放大器電路 6a1。

【0098】2：1 選擇器 4b0 及 4b1，包括在第 1 圖所示的列選擇電路 4 內，根據列位址信號 CA 同時執行列選擇動作。寫入驅動電路 5a0 及感應放大器電路 6a0 分別輸入及輸出資料 DI0 及 DO0，又，寫入驅動電路 5a1 及感應放大器電路 6a1 分別輸入及輸出資料 DI1 及 DO1。因此，第 10 圖所示的結構中，執行 2 位元資料的寫入/讀出。

【0099】分別對應記憶單元行，配設字元線 WL0-WL3。第 10 圖所示的記憶單元電源控制的結構中，在各位元線對中分割記憶單元為複數的群，且對於記憶單元群，配設分割 VDD 源極線。即，對於位元線 BL0、/BL0，在列方向平行配設分割 VDD 源極線 VDM0A 及 VDM0B，又，對於位元線 BL1、/BL1，配設分割 VDD 源極線 VDM1A 及 VDM1B。對於位元線 BL2、/BL2，設置分割 VDD 源極線 VDM2A 及 VDM2B，又，對於位元線 BL3、/BL3，設置分割 VDD 源極線 VDM3A 及 VDM3B。

【0100】分別對應分割 VDD 源極線 VDM0A-VDM3A，設置寫入補助電路 PCKa0-PCKa3，而分別對應分割 VDD 源極線 VDM0B-VDM3B，設置寫入補助電路 PCKb0-PCKb3。這些寫入補助電路 PCKa0-PCKa3 及 PCKb0-PCKb3，具有與前第 8 圖所示的 PCKa 及 PCKb 相同的結構，在對應的構成要素中，付與同一參考符號。這些寫入補助電路 PCKa0-PCKa3 及

- PCKb0-PCKb3，各包括：NAND 閘 NG1，接收對應的位元線對的各位元線的電壓；以及 P 通道 MOS 電晶體 PT3，根據對應的 NAND 閘 NG1 的輸出信號，選擇性地耦合高側電源電壓 VDD 的供給節點(以下稱作 VDD 供給節點)與對應的分割 VDD 源極線。

【0101】第 10 圖所示的記憶單元電源控制的結構中，資料讀出時的動作，與使用前第二實施例的寫入補助電路的結構相同，而根據字元線選擇，雖然在各位元線對中產生電位差，但此電位差很小，對應的位元線的電位由 NAND 閘 NG1 判斷為 H 準位，各分割 VDD 源極線 VDM0A-VDM3A 及 VDM0B-VDM3B 維持在高側電源電壓 VDD 準位，執行穩定的資料讀出。根據列位址信號 CA，2：1 選擇器 4b0 及 4b1 各執行 2：1 選擇，而在對應的 2 對的位元線中，選擇 1 對位元線以讀出 2 位元資料 DO0 及 DO1。

【0102】在資料寫入時，根據列位址信號 CA，2：1 選擇器 4b0 及 4b1 執行 2：1 選擇，寫入驅動電路 5a0 及 5a1，分別根據寫入資料位元 DI0 及 DI1，同時驅動選擇列的位元線。

【0103】在此情況下，連接至選擇字元線(例如字元線 WL3)的記憶單元中，執行放電。分割 VDD 源極線 VDM0B-VDM3B 中，對應選擇列的分割 VDD 源極線的電位下降(選擇列的寫入補助電路中，在資料寫入時，MOS 電晶體 PT3 全部已經在非導通狀態)。判斷非選擇列的分割 VDD 源極線的位元線電位為 H 準位，且 MOS 電晶體 PT3 為導通狀態，維持在高側電源電壓 VDD 準位，穩定地保持儲存資料。

【0104】另一方面，對於非選擇字元線所設置的分割 VDD 源極線 VDM0A-VDM3A，對應的記憶單元全部在非選擇狀態，雖然分割 VDD 源極線 VDM0A-VDM3A 為浮動狀態，但是記憶單元中不存在從高側電源節點到低側電源節點的電流流過的路徑，分割 VDD 源極線 VDM0A-VDM3A 維持在電源電壓 VDD 準位。

【0105】更具體地，在選擇字元線 WL 時，例如，選擇位元線 BL0 及 /BL0 時，分割 VDD 源極線 VDM0B 的電壓準位下降，對應的記憶單元 MC 的寫入界限增大，對應位元線 BL0 及 /BL0 的寫入資料快速執行寫入資料至記憶單元。此時，位元線 BL1 及 /BL1 為非選擇狀態，電流從圖中未顯示的位元線負荷電路所預充電的電壓準位流經對應的記憶單元 MC，雖然位元線 BL1 及 /BL1 中的一方的電位準位降低，但是其電位下降量與資料讀出時相同，寫入補助電路 PCKb1 中 NAND 閘 NG1 的輸出信號在低準位，MOS 電晶體 PT3 為導通狀態，對記憶單元穩定地供給高側電源電壓 VDD，穩定地保持資料。

【0106】關於位元線對 BL2，/BL2 及 BL3，/BL3，上述的動作相同。

【0107】第 10 圖所示的結構中，分割對應各記憶單元列設置的 VDD 源極線，對每分割 VDD 源極線，根據對應的位元線的電位而控制其電壓準位，藉此分割 VDD 源極線的配線電容降低，且資料寫入時，分割 VDD 源極線的電位下降快速，可以執行快速的寫入，又，寫入結束後，選擇列的分割 VDD 源極線的電位快速恢復至原先的電源電壓準位 VDD 準位，可以

縮短寫入時間。VDD 源極線的配線電阻的影響，與前第一實施例中的結構的情況相同，其中各列中設置 1 連續延伸的 VDD 源極線，以及在兩端設置寫入補助電路。

【0108】又，第 10 圖所示的結構中，記憶單元陣列中，具有分割為二的 VDD 源極線，在分割 VDD 源極線的邊界區，配置寫入補助電路 PCKa0-PCKa3。不過，可以使用寫入補助電路 PCKa0-PCKa3 配置於分割 VDD 源極線 VDM0A-VDM3A 的另一端(離 2:1 選擇器較近的端)，且記憶單元陣列的兩端，對向配置寫入補助電路 PCKa0-PCKa3 及 PCKb0-PCKb3 的結構。

【0109】又，雖然各列中 VDD 源極線為分割為 2 的構造，也可以是更大的分割數。藉由增加分割 VDD 源極線的分割數，可以縮短其配線長，因此減低配線電容，可以加快其電壓變化，而可以加速寫入動作。

【0110】又，雖然對各資料位元配置 2 列的記憶單元，但不限定對每一資料位元所配置的記憶單元列的數量為 2，而是任意的。又，同時輸出輸入的資料的位元數也可以使用 8 位元、16 位元等更寬的位元寬度的資料。

【0111】[第四實施例]

【0112】第 11 圖係顯示根據本發明的第四實施例的寫入補助電路的結構。第 11 圖代表性地顯示對於 1 位元線對 BL、/BL 所設置的寫入補助電路 PCK 的結構。記憶單元陣列中的配置也可以使用前第一至三實施例的任一結構。

【0113】寫入補助電路 PCK，包括電源控制部 VCT，根據位元線 BL 及 /BL 的電壓準位，調整 VDD 源極線 VDM 的阻抗；

一次脈衝產生電路 10，根據來自電源控制部 VCT 的位元線電壓檢測信號，產生一次脈衝信號；以及 N 通道 MOS 電晶體 NT1，根據一次脈衝產生電路 10 的輸出信號，驅動 VDD 源極線 VDM 至低側電源電壓 (VSS；第 2 電源電壓) 準位。

【0114】電源控制部 VCT，包括 NAND 閘 NG1，接收位元線 BL 及 /BL 的電壓；以及 P 通道 MOS 電晶體 PT3，根據 NAND 閘 NG1 的輸出信號，耦合 VDD 供給節點與 VDD 源極線 VDM。因此，對應前第二及三實施例中的寫入補助電路的結構，電源控制部 VCT 具有同樣的結構。

【0115】一次脈衝產生電路 10，包括反相延遲電路 11，延遲既定的時間並將上述 NAND 閘 NG1 的輸出信號反相；AND 閘 AG1，接收反相延遲電路 11 的輸出信號與 NAND 閘 NG1 的輸出信號。一次脈衝產生電路 10，回應 NAND 閘 NG1 的輸出信號的上升，產生具有既定的時間寬度的一次脈衝信號。上述一次脈衝信號的 H 準位期間由反相延遲電路 11 所具有的延遲時間決定。

【0116】第 12 圖係信號波形圖，顯示第 11 圖所示的寫入補助電路 PCK 的資料寫入時的動作。以下，參考第 12 圖，說明第 11 圖所示的寫入補助電路 PCK 的動作。

【0117】資料寫入時，位元線 BL 或 /BL 的電位根據寫入資料從 H 準位改變為 L 準位時，NAND 閘 NG1 的輸出節點 NDA 的電壓準位從 L 準位改變為 H 準位。因此，由一次脈衝產生電路 10 產生在既定期間變成 H 準位的一次脈衝信號。當 NAND 閘 NG1 的輸出信號變成 H 準位時，MOS 電晶體 PT3 變成非導

通狀態，而 VDD 源極線 VDM 與 VDD 供給節點分離。又，此時，來自一次脈衝產生電路 10 的一次脈衝信號(節點 NDB 上的信號)變成 H 準位，因此 MOS 電晶體 NT1 變成導通狀態。與 VDD 供給節點分離的 VDD 源極線 VDM 耦合至低側電源節點，其電壓準位降低。

【0118】選擇記憶單元中，儲存節點(ND1、ND2：圖中未顯示)對應其 VDD 源極線 VDM 的電位下降而急速降低資料保持特性，且其電位準位對應位元線 BL 及 /BL 的電位準位快速化變。藉此，可以縮短資料寫入所需要的時間(設定儲存節點 ND1、ND2 的電位為對應寫入資料的電位準位所需要的時間)，達到快速寫入。

【0119】當資料寫入結束時，字元線 WL 為非選擇狀態，位元線 BL 及 /BL 藉由列選擇電路與內部資料線分離，上述的電壓準位再由圖中未顯示位元線負荷電路恢復至原預充電壓準位。此時，來自一次脈衝產生電路 10 的一次脈衝信號已經在 L 準位，MOS 電晶體 NT1 為非導通狀態。由於上述位元線 BL 及 /BL 恢復至預充電電位，電源控制部 VCT 中 NAND 閘 NG1 的輸出信號為 L 準位，因此 MOS 電晶體 PT3 恢復 VDD 源極線 VDM 的電壓準位至原電壓(VDD 準位)。

【0120】如第 11 圖所示，回應位元線電位變化，在既定期間驅動 VDD 源極線的電壓準位至低側電源電壓 VSS 準位方向，並藉由強制降低其電壓準位，記憶單元的寫入界限增大，可以達成快速的寫入。

【0121】又，非選擇單元中，與第一至三實施例相同，在

資料寫入模式時也可以穩定地保持資料。

【0122】 [第五實施例]

【0123】 第 13 圖係顯示根據本發明第五實施例的寫入補電路 PCK 的結構。第 13 圖所示的電壓控制電路 PCK 中，設置 P 通道 MOS 電晶體 PT4，在位元線 BL、/BL 的電位變化時，用以驅動 VDD 源極線 VDM 至第 2 電源電壓(低側電源電壓 VSS)準位。上述 MOS 電晶體 PT4 的導通/非導通狀態的控制由一次脈衝產生電路 10 執行。上述一次脈衝產生電路 10，回應電源控制部 VCT 內所包含的 NAND 閘 NG1 的輸出信號的上升，產生在既定期間為 L 準位的一次脈衝信號，並提供給 P 通道 MOS 電晶體 PT4 的閘極。電源控制部 VCT 的結構與前第 11 圖所示的電源控制部 VCT 的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0124】 一次脈衝產生電路 10，包括反相延遲電路 11；NAND 閘 NG2，用以接收反相延遲電路 11 的輸出信號與電源控制部 VCT 的 NAND 閘 NG1 的輸出信號。上述一次脈衝產生電路 10 產生的一次脈衝信號的 L 準位期間由反相延遲電路 11 所具有的延遲時間決定。

【0125】 第 14 圖係信號波形圖，顯示第 13 圖所示的寫入補助電路 PCK 的資料寫入時的動作。以下，參考第 14 圖，說明第 13 圖所示的寫入補助電路 PCK 的動作。

【0126】 資料寫入時，對應選擇列的位元線 BL 及 /BL 的電壓準位，根據寫入資料，驅動至 H 準位及 L 準位。根據上述位元線 BL 及 /BL 的電位變化，電源控制部 VCT 輸出至節點 NDA

的信號上升至 H 準位，因此，一次脈衝產生電路 10 提供至節點 NDC 的一次脈衝信號在既定期間為 L 準位。回應上述節點 NDC 的 L 準位的信號，MOS 電晶體 PT4 為導通狀，往低側電源電壓方向驅動 VDD 源極線 VDM。此時，MOS 電晶體 PT3 由於 NAND 閘 NG1 的輸出信號而在非導通狀態，與 VDD 供給節點分離的 VDD 源極線 VDM 快速地降低其電壓準位。因此，與前第 11 圖所示的第四實施例所示的寫入補助的結構相同，寫入界限增大，根據寫入資料可以快速改變選擇記憶單元的儲存節點 (ND1、ND2) 的電位準位。

【0127】 位元線 BL 及 /BL 為非選擇列時或資料讀出模式時，位元線 BL 及 /BL 電位為高準位，NAND 閘 NG1 的輸出信號在 L 準位，MOS 電晶體 PT3 在導通狀態。由於 NAND 閘 NG1 的輸出信號固定在 L 準位，一次脈衝產生電路 10 的輸出節點 NDC 維持在 H 準位，且 MOS 電晶體 PT4 維持在非導通狀態。因此，非選擇列的位元線及資料讀出時的位元線係確實供給高側電源電壓 VDD 至 VDD 源極線 VDM，確保靜態雜訊界限而穩定保持資料。

【0128】 第 15 圖係概略顯示第 13 圖所示的 MOS 電晶體 PT3 及 PT4 的剖面結構圖。MOS 電晶體 PT3 及 PT4 在 N 井區 20 內形成。P 通道 MOS 電晶體 PT3，包括 P 型不純物區域 21c 及 21d，在 N 井區 20 表面上間隔形成；以及閘極電極 22b，形成於上述不純物區域 21c 及 21d 之間的井區表面上，而有圖中未顯示的閘極絕緣膜介於其間。

【0129】 MOS 電晶體 PT4，包括 P 型不純物區域 21a 及

21b，在 N 井區 20 表面上間隔形成；以及閘極電極 22a，形成於上述不純物區域 21a 及 21b 之間的井區表面上，而圖中未顯示的閘極絕緣膜介於其間。

【0130】耦合不純物區域 21a 以接收低側電源電壓 VSS，以及耦合不純物區域 21d 以接收高側電源電壓 VDD。閘極電極 22a 及 22b 分別耦合至第 13 圖所示的節點 NDC 及 NDA。不純物區域 21b 及 21c 耦合至 VDD 源極線 VDM。N 井區 20 偏壓至高側電源電壓 VDD 準位。

【0131】不純物區域 21b 及 21c 可以是連續形成的不純物區域，或是其間可以形成元件分離區域。

【0132】節點 NDA 的電壓準位在 H 準位(電壓 VDD 準位)時，MOS 電晶體 PT3 在非導通狀態，VDD 供給節點與 VDD 源極線 VDM 分離。另一方面，節點 NDC 為 L 準位時，不純物區域 21a 及 21c 之間形成通道，且 VDD 源極線 VDM 耦合至低側電源電壓 VSS。

【0133】VDD 源極線 VDM 的電壓準位降低時，不純物區域 21b 及井區 20 之間的 PN 接合變成深的反偏壓，且 MOS 電晶體 PT4 的閘極-源極間的電壓的絕對值相對變小，而電流驅動力降低，可以防止 VDD 源極線 VDM 的電壓準位降得過低(由於背面閘極偏壓效果)。

【0134】因此，可以防止產生 VDD 源極線 VDM 的電壓準位降得過低，非選擇記憶單元的資料保持特性惡化，以及破壞選擇列且非選擇行的記憶單元的保持資料的狀態。

【0135】如上所述，根據本發明第五實施例，對於 VDD 源

極線，利用 P 通道 MOS 電晶體，在位元線電位變化時，強制降低浮動狀態的 VDD 源極線的電位準位，而選擇列的 VDD 源極線的電壓準位快速下降的同時，可以防止其電壓準位下降過多，並可以防止破壞選擇列的非選擇行的記憶單元的保持資料。又，可以防止 VDD 源極線電壓下降過多，因此，寫入結束時可以快速恢復 VDD 源極線至下方的電壓準位。

【0136】 [第六實施例]

【0137】 第 16 圖係顯示根據發明第六實施例的寫入補助電路 PCK 的結構圖。第 16 圖顯示的寫入補助電路 PCK 中，二極體連接的 P 通道 MOS 電晶體 PT5 連接至 VDD 源極線 VDM，上述二極體連接的 P 通道 MOS 電晶體 PT5 的閘極及汲極連接至 VDD 源極線 VDM，而源極耦合至 VDD 供給節點。

【0138】 電源控制部 VCT 的結構與前第一至五實施例的寫入補助電路的結構相同，包括 NAND 閘 NG1，接收位元線 BL 及 /BL 的電壓；以及 P 通道 MOS 電晶體 PT3，根據 NAND 閘 NG1 的輸出信號，選擇性地分離 VDD 源極線 VDM 與 VDD 供給節點。

【0139】 第 17 圖係信號波形圖，顯示第 16 圖所示的寫入補助電路 PCK 的在資料寫入時的動作。以下，參考第 17 圖，說明關於第 16 圖所示的寫入補助電路 PCK 的動作。

【0140】 資料寫入時，在選擇列中，位元線 BL 及 /BL 的電壓準位對應寫入資料改變為 H 準位及 L 準位。根據位元線 BL 及 /BL 中之一方的位元線的電位下降，NAND 閘 NG1 的輸出信號變成 H 準位，因此 MOS 電晶體 PT3 為非導通狀態。當驅動

字元線 WL 至選擇狀態時，電流流經選擇記憶單元，VDD 源極線 VDM 的電壓準位降低。上述 VDD 源極線 VDM 的電壓準位在電壓 $VDD-V_{tp}$ 以上時，MOS 電晶體 PT5 為非導通狀態。在此， V_{tp} 係代表 MOS 電晶體 PT5 的臨界電壓的絕對值。

【0141】VDD 源極線 VDM 的電壓準位在電壓 $VDD-V_{tp}$ 以下時，MOS 電晶體 PT5 為導通狀態，VDD 源極線 VDM 耦合至 VDD 供給節點，且防止 VDD 源極線 VDM 的電位下降。因此，VDD 源極線 VDM 的電壓準位被鉗固在 $VDD-V_{tp}$ 的準位。

【0142】雖然電源控制部 VCT 的動作與前第一至六實施例所示的結構相同，但藉由鉗固電晶體 PT5，可以防止選擇列的 VDD 源極線 VDM 的電壓準位過度下降，可以抑制選擇列且非選擇行的記憶單元的資料保持特性惡化，並可以防止破壞保持資料。

【0143】又，也可以使用 PN 二極體等的其他元件作為上述 VDD 源極線 VDM 的電壓準位鉗位元件。

【0144】如上所述，根據本發明第六實施例，設置用以抑制 VDD 源極線的電壓準位的下降的電壓鉗位裝置，可以防止破壞選擇列/非選擇行的記憶單元的保持資料(可以防止高側電源電壓過度下降，因此可以抑制資料保持特性的下降)

【0145】[第七實施例]

【0146】第 18 圖係顯示本發明的第七實施例的寫入補助電路 PCK 的結構。第 18 圖所示的寫入補助電路 PCK 的結構與第 16 圖所示的寫入補助電路 PCK 有以下不同點。即，電源控制部 VCT 中，取代接收位元線 BL 及 /BL 的電壓的 NAND 閘 NG1，

設置接收冗餘信號 CRD、位元線 BL 及 /BL 的電壓的 NAND 閘 NG3，。根據上述 NAND 閘 NG3 的輸出信號，MOS 電晶體 PT3 選擇性地耦合 VDD 供給節點與 VDD 源極線 VDM。

【0147】 冗餘信號 CRD 係記憶單元陣列中指定不良列的信號，不良列的位元線平時為非選擇狀態，其位址係置換為備用位元線對。藉由置換此不良列的位元線為備用位元線對，變得可以使用不良列位址以修補不良列。

【0148】 又，第 18 圖所示的電源控制電路 PCK 中，二極體連接的 P 通道 MOS 電晶體 PT5 與 VDD 供給節點之間，連接根據反相器 IV3 的輸出信號而選擇性地成為導通狀態的 P 通道 MOS 電晶體 PT6。提供冗餘信號 CRD 至反相器 IV3。

【0149】 第 18 圖中所示的寫入補助電路 PCK 的結構中，VDD 源極線 VDM 對應每記憶單元列而配置，以調整各列中的電壓準位，而又，在不良列修補時，執行對不良列的電源控制。即，對於不良列，設定冗餘信號 CRD 為 L 準位，NAND 閘 NG3 的輸出信號固定在 H 準位，因此，MOS 電晶體 PT3 平時設在非導通狀態。又，反相器 IV3 的輸出信號在 H 準位，MOS 電晶體 PT6 平時在非導通狀態，因而阻斷 VDD 供給節點與 MOS 電晶體 PT5 之間的電流路徑。因此，對於不良列，VDD 源極線 VDM 完全與 VDD 供給節點分離，阻斷了不良列的不良記憶單元所引起的漏電流路徑，因而減低消耗功率。

【0150】 另一方面，對於不良列不存在的正常列，設定冗餘信號 CRD 為 H 準位。此時，NAND 閘 NG3，根據位元線 BL 及 /BL 的電位，決定其輸出信號的邏輯準位，又，反相器 IV3

的輸出信號固定在 L 準位，MOS 電晶體 PT6 為導通狀態。因此，在此情況下，實現前第 16 圖所示的寫入補助電路 PCK 相同的動作。

【0151】第 19 圖係概略顯示根據本發明第七實施例的半導體記憶裝置的主要部分的結構圖。第 19 圖中，記憶單元陣列，包括正規記憶單元陣列 $1n$ ，正規記憶單元 MC 排列成行列狀；以及備用記憶單元陣列 $1s$ ，配置用於不良列修補的備用記憶單元 SMC。

【0152】冗餘置換修補中，可以根據除了不良列之外位元線與列解碼器的輸出之間的對應位移，所謂位移冗餘方式，執行不良列的修補。不過，在此，為了顯示不良列的修補，顯示以備用位元線對只置換正規記憶單元陣列的不良列以修補不良列的結構。

【0153】正規記憶單元陣元 $1n$ 中，配置位元線對 BLP，對應各位元線對 BLP，配設 VDD 源極線 VDM，而對應各 VDD 源極線 VDM，配置寫入補助電路 PCK。備用記憶單元陣列 $1s$ 中，備用位元線對 SBLP 對應備用記憶單元列 SMC 而配置，又，對應備用位元線對 SBLP，配設備用 VDD 源極線 SVDM。上述備用記憶單元陣列 $1s$ 中的備用位元線對 SBLP 的數量係根據可能修補的不良列數量而決定。

【0154】列選擇電路，包括正規列選擇電路 $4n$ ，對應正規記憶單元陣列 $1n$ 而配置；以及冗餘列選擇電路 $4s$ ，對應記憶單元陣列 $1s$ 而配置。

【0155】為了控制上述正規列選擇電路 $4n$ 及冗餘電路 $4s$

的動作，設置冗餘列置換控制電路 20。冗餘列置換控制電路 20 包括程式電路，儲存指明內部的不良列的不良列位址，並根據列位址信號 CA 與程式化的不良列位址之間一致/不一致而產生正規列選擇致能信號 NE 及備用列選擇致能信號 NEZ。

【0156】位址指定的選擇列在正常列的情況下，冗餘列置換控制電路 20 活化正規選擇致能信號 NE，且正規列選擇電路 4n 選擇對應位址指定列的位元線對 BLP。冗餘列選擇電路 4s 為非活化狀態，且備用列維持在非選擇狀態。另一方面，當列位址信號 CA 指定不良列時，冗餘列置換控制電路 20 活化不良備用列置換致能信號 NEZ，且冗餘列選擇電路 4s 選擇對應的冗餘置換用的備用位元線對 SBLP。在此情況下，正規列選擇電路 4n 中，停止了列選擇動作(信號 NE 為非活化狀態)。

【0157】對於寫入補助電路 PCK，設置單元電源控制單位 22，以各列單位控制寫入補助電路 PCK 的致能/禁制。上述單元電源控制單位 22，根據不良列資訊，產生對於對應的寫入補助電路 PCK 的冗餘信號 CRD。

【0158】第 20 圖係顯示電路結構的一範例圖，產生對於第 19 圖所示的單元電源控制單位 22 內所包含的 1 列的 VDD 源極線的冗餘信號。第 20 圖中，冗餘信號產生部，包括：連結元件 FL，用以連接高側電源節點與內部節點 ND10 之間且可熔斷；高電阻電阻元件 Z，一端連接至內部節點 ND10；反相器 IV10，將內部節點 ND10 的電壓信號反相，反相器 IV11，將反相器 IV10 的輸出信號反相以產生冗餘信號 CRD；N 通道 MOS 電晶體 NT10，連接高電阻電阻 Z 及低側電源節點之間，且其

閘極接收反相器 IV10 的輸出信號；以及 N 通道 MOS 電晶體 NT11，連接高電阻電阻 Z 及低側電源節點之間，且其閘極接收重置信號 RST。

【0159】在系統重置時或電源啓動時，重置信號 RST 在既定期間內爲 H 準位。又，對於不良列的連結元件 FL 熔斷。

【0160】連結元件 FL 熔斷時，節點 ND 與高側電源節點 (VDD) 分離。根據重置信號 RST，MOS 電晶體 NT11 變成導通狀態時，經由高電阻電阻元件 Z，驅動內部節點 ND10 至低側電源節點的電壓準位。因此，反相器 IV10 的輸出信號變成 H 準位，MOS 電晶體 NT10 爲導通狀態。即使重置信號 RST 爲 L 準位而 MOS 電晶體 NT11 爲非導通狀態，藉由高電阻電阻元件 Z 及 MOS 電晶體 NT10，節點 ND10 維持在低側電源節點的電壓準位。在此狀態中，冗餘信號 CRD 由反相器 11 固定在 L 準位，停止對於不良列的 VDD 源極線的電源控制，且對應的 VDD 源極線平時維持在浮動狀態。

【0161】另一方面，連結元件 FL 爲非熔斷狀態的情況下，內部節點 ND10 耦合至高側電源節點 (VDD)。根據重置信號 RST，即使 MOS 電晶體 NT11 爲導通狀態，由於高電阻電阻元件 Z 的電阻值，節點 ND10 維持在 H 準位 (電壓 VDD 準位)。因此，反相器 IV10 的輸出信號爲 L 準位，且 MOS 電晶體 10 爲非導通狀態。因此，重置信號 RST 變成 L 準位後，內部節點 ND10 維持在電壓 VDD 準位，於是，冗餘信號 CRD 維持在 H 準位。MOS 電晶體 10 由於反相器 IV10 的輸出信號而爲非導通狀態，且冗餘信號產生部中，貫通電流流過的路徑被阻斷。

【0162】雖然顯示的單元電源控制的結構係以備用列置換不良列的結構作為單元電源單位 22 的結構，但是可以根據位移冗餘方式修補不良列。根據位移冗餘方式修補不良列時，切換對於來自列解碼器的列選擇信號的列選擇閘的傳播路徑。利用上述路徑切換指定用的信號，在單位電源控制單位 22 中，可以產生冗餘信號 CRD。即，對於各列選擇信號的列選擇閘的傳播路徑有 2 個，且利用 1 個信號傳播路徑時，切換路徑以不傳播列選擇信號至不良列的列選擇閘。因此，不良列中，切換列選擇信號的傳播路徑，設定鄰接列的列選擇信號傳播路徑的信號與設定不良列的列選擇信號的傳播路徑的信號之間邏輯準位不同。因此，各列中利用判斷鄰接列對的列選擇信號傳播路徑設定信號的邏輯是否相同的閘極電路，可以產生對各列的冗餘信號。

【0163】如上所述，根據本發明第七實施例，停止對不良列的 VDD 源極線的電源控制，且設定對應的 VDD 源極線為浮動狀態，可以防止因不良列的記憶單元引起的漏電流流過，因此可以減少消耗電流。

【0164】 [第八實施例]

【0165】第 21 圖係顯示根據本發明第八實施例的寫入補助電路 PCK 的結構圖。第 21 圖所示的寫入補助電路 PCK 中，設置反相器 IV13，接收電源控制部 VCT 的 NAND 閘 NG1 的輸出信號；以及 P 通道 MOS 電晶體 PT13，根據反相器 IV13 的輸出信號，耦合 VDD 源極線 VDM 至中間電壓供給節點。電源控制部 VCT 與前第一至七實施例相同，包括 NAND 閘 NG1 及 P

通道 MOS 電晶體 PT3。MOS 電晶體 PT3 耦合至接收通常的電源電壓 VDD1 的節點(VDD 供給節點)。另一方面，MOS 電晶體 PT13 耦合至接收比電源電壓 VDD1 低的電壓 VDD2 的中間電壓節點。

【0166】第 22 圖係信號波形圖，顯示第 21 圖所示的寫入補助電路 PCK 的寫入時的動作。以下參考第 22 圖，說明第 21 圖所示的寫入補助電路 PCK 的資料寫入時的動作。

【0167】資料寫入時，供給對應寫入資料的電壓至位元線 BL 及 /BL，驅動這些位元線的電壓至 H 準位及 L 準位。因此，電源控制部 VCT 中，NAND 閘 NG1 的輸出信號為 H 準位，MOS 電晶體 PT3 為非導通狀態，而 VDD 源極線 VDM 與供給電壓 VDD1 的節點分離。另一方面，反相器 IV13 的輸出信號為 L 準位，因此 MOS 電晶體 PT13 為導通狀態，且 VDD 源極線 VDM 接收中間電壓 VDD2。上述電壓 VDD2 係比電源電壓準位的電壓 VDD1 低的電壓準位。資料寫入時，確實地降低 VDD 源極線 VDM 的電壓準位，可以增大記憶單元的寫入界限，且可以快速執行資料的寫入。

【0168】在此情況下，電壓 VDD2 由產生中間電壓 VDD2 的電路所產成，如同使用二極體連接的 MOS 電晶體的情況等，可以設定 VDD 源極線 VDM 至想要的電壓而不受到電晶體參數引起的臨界電壓變化的影響。因此，可以確實地設定非選擇列 /選擇行的記憶單元的靜態雜訊界限為大的狀態，並可以確實地防止保持資料的破壞。

【0169】第 23 圖係概略顯示產生第 21 圖所示的 2 個電壓

VDD1 及 VDD2 的電源電壓產生部的結構。第 23 圖中，電源電壓產生部，包括電源電路 25，接收來自外部的電源電壓 VDD，執行除去雜訊等的安定化處理，產生電源電壓 VDD1；以及降壓電路 26，將電源電路 25 的輸出電壓 VDD1 降壓而產生中間電壓 VDD2。

【0170】電源電路 25 只執行雜訊除去等的過濾處理，以產生與來自外部的電源電壓 VDD 同一電壓電準位的單元電源電壓 VDD1。關於降壓電路 26，藉由變換基準電流產生電路的輸出電流為電壓的電路等的結構，可以產生中間電壓 VDD2，又，可以使用例如 DRAM(動態隨機存取記憶體)等之中所用的結構，即回授控制型的內部降壓電路(VDC；降壓反相器)，比較基準電壓與對應中間電壓 VDD2 的電壓，並根據比較的結果從電源節點供給電流至 VDD2 電源線。

【0171】藉由利用第 23 圖所示的電源電壓產生電路，可以由來自外部的電源電壓 VDD 產生想要的電壓準位的穩定的單元電源電壓 VDD1 及中間電壓 VDD2。

【0172】根據本發明的第八實施例，VDD 源極線電壓根據位元線電壓在通常的電源電壓 VDD1 與較低的中間電壓 VDD2 之間切換，資料寫入時，可以確實地設定對選擇列的 VDD 源極線電壓至想要的電壓準位，因而可以穩定且快速地執行資料寫入。

【0173】又，藉由利用中間電壓，可以設定選擇列的 VDD 源極線電壓為想要的電壓準位，可以防止非選擇記憶單元的資料保持特性惡化，並可以防止非選擇記憶單元的保持資料被破

壞。

【0174】 [第九實施例]

【0175】 第 24 圖係顯示根據本發明第九實施例的半導體記憶裝置的主要部分的結構圖。第 24 圖中，顯示對於排成一列的記憶單元 MC 的寫入補助電路的結構。記憶單元 MC 配列成 4 行 1 列，對應各行配設字元線 WL0-WL3。對應記憶單元列配設位元線 BL 及 /BL。對應各記憶單元列，與前第一至八實施例相同，配設 VDD 源極線 VDM。又，與 VDD 源極線 VDM 平行且分別對應記憶單元列，配設虛 VSS 源極線 DVSM。對記憶單元供給低側電源電壓 VSS 的 VSS 源極線未在圖中顯示，係另外配置。

【0176】 寫入補助電路 PCKa 及 PCKb 係在 VDD 源極線 VDM 及虛 VSS 源極線 DVSM 的兩端對向配置，執行虛 VSS 源極線 DVSM 的預充電以及 VDD 源極線 VDM 與虛 VSS 源極線 DVSM 的選擇性的耦合，並利用虛 VSS 源極線的累積電荷，調整 VDD 源極線 VDM 的電壓準位。

【0177】 寫入補助電路 PCKa 及 PCKb 具有同一結構，對應的部分係給與同一參考符號。寫入補助電路 PCKa 及 PCKb，各包括電源控制部 VCT，根據位元線 BL 及 /BL 的電壓準位的變化，分離 VDD 源極線 VDM 與 VDD 供給節點；反相器 IV15，將上述電源控制部 VCT 內所包括的 NAND 閘 NG1 的輸出信號反相；傳送閘 TX，根據 NAND 閘 NG1 及反相器 IV15 的輸出信號，選擇性地連接 VDD 源極線 VDM 至虛 VSS 源極線 DVSM；以及 N 通道 MOS 電晶體 NT15，根據反相器 IV15 的

輸出信號，耦合虛 VSS 源極線 DVSM 至低側電源節點(VSS 供給節點)。

【0178】傳送閘 TX 係由 P 通道 MOS 電晶體及 N 通道 MOS 電晶體並聯形成的 CMOS 電晶體傳送閘所構成，傳送電壓信號而不產生臨界電壓的損失。

【0179】第 25 圖係信號波形圖，顯示第 24 圖所示的寫入補助電路資料寫入時的動作。以下，參考第 25 圖，說明第 24 圖所示的寫入補助電路 PCKa 及 PCKb 的動作。

【0180】待命狀態及資料讀出時，位元線 BL 及 /BL 的電壓準位為邏輯高準位，NAND 閘 NG1 的輸出信號(節點 NDA 的電位)為 L 準位。因此，MOS 電晶體 PT3 及 NT15 為導通狀態，又，傳送閘 TX 為非導通狀態。因此，VDD 源極線 VDM 維持在高側電源電壓 VDD 準位，又，虛 VSS 源極線 DVSM 維持在低側電源電壓(VSS)準位。

【0181】當資料寫入開始，寫入資料傳送至選擇列的位元線 BL 及 /BL 時，位元線 BL 及 /BL 的電壓準位對應寫入資料而變化。根據位元線 BL 及 /BL 的電位變化，電源控制部 VCT 中，NAND 閘 NG1 的輸出信號(節點 NDA 的電壓)變成 H 準位。因此，MOS 電晶體 PT3 及 NT15 為非導通狀態。另一方面，傳送閘 TX 變成導通狀態，VDD 源極線 VDM 與虛 VSS 源極線 DVSM 電氣耦合。上述 VDD 源極線 VDM 及虛 VSS 源極線 DVSM 為浮動狀態，上述虛 VSS 源極線 DVSM 及 VDD 源極線 VDM 之間產生累積電荷的移動。假設 VDD 源極線 VDM 的電容為 C_d ，而虛 VSS 源極線的電容為 C_s 時，傳送閘 TX 導通後的源極線

VDM 及 DVSM 的電位 V ，如下式所示，變成由電容比 C_s/C_d 所決定的電壓準位。

$$\text{【0182】 } V = C_d \cdot V_{DD} / (C_d + C_s)$$

【0183】 其中，假設低側電源電壓 V_{SS} 為接地電壓 (0V)。例如，設計電容比 $C_s : C_d$ 為 10 : 1 時， V_{DD} 源極線的電位由傳送閘 TX 等化，成為約 10/11 倍的電壓準位，降低約 10%。藉此，選擇記憶單元 MC 中，高側電源節點的電壓準位降低，寫入界限增大，可以輕易地執行記憶單元的儲存資料的反相，而可以縮短寫入時間，還可以確實地執行寫入。

【0184】 非選擇記憶單元中，儲存節點的電壓準位最多只產生與讀出時相同的變化，可以穩定地保持儲存資料。

【0185】 又，上述電荷再分配時，與 V_{DD} 源極線 VDM 的電壓準位經由寫入至記憶單元的放電而降低時相比，由於 V_{DD} 源極線的電位更快速降低，可以實現更快速的寫入動作。

【0186】 寫入結束後，經由圖中未顯示的位元線負荷線，位元線 BL 及 /BL 的電壓準位分別回到原 H 準位 (電壓 V_{DD} 準位)，NAND 閘 NG1 的輸出信號為 L 準位，因此，傳送閘 TX 為非導通狀態，MOS 電晶體 PT3 及 NT15 為導通狀態。因此， V_{DD} 源極線 VDM 及虛 V_{SS} 源極線 DVSM 的電壓準位分別恢復為高側電源電壓 V_{DD} 及低側電源電壓 V_{SS} 準位。

【0187】 上述虛 V_{SS} 源極線 DVSM，與 V_{DD} 源極線 VDM 同一配線層或不同配線層，且使用在記憶單元 MC 上延伸的配線來配置。藉此，可以在各列配置 V_{DD} 源極線 VDM 及虛 V_{SS} 源極線 DVSM，又，即使記憶單元的行數增加， V_{DD} 源極線

VDM 及虛 VSS 源極線 DVSM 的配線長也可以相同，藉此，電容比 $C_d : C_s$ 也可以維持一定。因此，即使記憶單元陣列的行/列數改變，只要 VDD 源極線 VDM 及虛 VSS 源極線 DVSM 在列方向直線延伸，不需要再設計配線配置，也不需要改變記憶單元陣列的配置。又，可以利用同一配置的寫入補助電路，且記憶單元陣列結構變更時可以抑制單元電源控制單位部的面積增大(對應列的數量，只要改變寫入補助電路的數量，且列方向的記憶單元的數量即使增大也不必改變寫入補助電路的結構)。

【0188】又，關於上述 VDD 源極線 VDM 及虛 VSS 源極線 DVSM 的配線電容比，記憶單元 MC 的高側電源節點 VH 連接至 VDD 源極線 VDM，存在有寄生電容。考慮高側電源節點 VH 的寄生電容而設定 VDD 源極線 VDM 及虛 VSS 源極線 DVSM 的電容比，因此，即使源極線 VDM 及 DVSM 在列方向延長，考慮的寄生電容的配線電容比為相同。

【0189】如上所述，根據本發明第九實施例，資料寫入時，根據位元線電壓，虛 VSS 源極線及 VSS 源極線設為浮動狀態，同時為電氣短路，可以快速降低 VDD 源極線的電壓準位，且可以增大選擇記憶單元的寫入界限，因此可以快速執行資料的寫入。

【0190】[第十實施例]

【0191】第 26 圖係顯示根據本發明第十實施例的記憶單元電路的結構圖。第 26 圖顯示對於配設於 1 列的記憶單元的寫入補助電路的結構。記憶單元 MC 在第 26 圖中配列為 4 行 1

列，且對應各行配設字元線 WL0-WL3。對應記憶單元列，配設位元線 BL 及 /BL，且上述位元線 BL 及 /BL 分別耦合至列選擇閘 CSG 及位元線負荷電路 9。此結構與第一至九實施例相同，也與習知的記憶單元陣列的配置相同。

【0192】分別對應記憶單元列，配設傳送低側電源電壓 VSS 的 VSS 源極線 VSM。上述第十實施例中，使用 VSS 源極線 VSM 作為單元電源線 PVL 0-PVLn。根據對應列的位元線 BL 及 /BL 的電壓準位，控制 VSS 源極線 VSM 的電壓準位(阻抗)。

【0193】在上述 VSS 源極線 VSM 的兩端，配設寫入補助電路 PCKc 及 PCKd。上述寫入補助電路 PCKc 及 PCKd 具有同一結構，包括在低側電源節點與 VSS 源極線 VSM 之間串聯的 N 通道 MOS 電晶體 NT20 及 NT21。MOS 電晶體 NT20 及 NT21 的閘極分別連接至對應列的位元線 BL 及 /BL。

【0194】VSS 源極線 VSM 對各列分離配置。

【0195】第 27 圖係概略顯示第 26 圖所示的記憶單元 MC 的內部連接圖。如第 27 圖所示，驅動電晶體 NQ1 及 NQ2 的源極側節點，即低側電源節點 VL，共同耦合至 VSS 源極線 VSM。負荷電晶體 PQ1 及 PQ2 的源極節點，即高側電源節點 VH，通常有電源電壓 VDD 供給。儲存節點 ND1 及 ND2 分別經由存取電晶體 NQ3 及 NQ4 耦合至位元線 BL 及 /BL。

【0196】第 28 圖係信號波形圖，顯示第 26 圖所示的記憶單元電路的動作。以下，參考第 28 圖，說明第 26 及 27 圖所示的記憶單元電路的動作。

【0197】資料讀出時，驅動字元線 WL 至選擇狀態，記憶

單元 MC 的存取電晶體 NQ3 及 NQ4 導通。因此，儲存節點 ND1 及 ND2 耦合至位元線 BL 及 /BL，且對應上述儲存節點 ND1 及 ND2 的保持資料，位元線 BL 及 /BL 的電位準位改變。不過，上述情況中，由於來自位元線負荷電路 9 的列電流，位元線 BL 及 /BL 的電位變化小，其電壓電位比 MOS 電晶體 NT20 及 NT21 的臨界電壓 V_{th} 都是足夠高的電壓準位。因此，MOS 電晶體 NT20 及 NT21 皆為導通狀態，VSS 源極線 VSM 耦合至低側電源節點，且穩定地維持在低側電源電壓 VSS 準位。因此，即使對應列電流儲存節點 ND1 或 ND2 的電壓準位上升，雜訊界限也夠大，記憶單元 MC 穩定地保持資料。

【0198】上述資料讀出時，任一選擇記憶單元及非選擇記憶單元中，低側電源電壓 VSM 穩定維持在低側電源電壓 VSS 準位，又，高側電源節點 VH 也耦合至高側電源電壓 VDD，充分確保靜態雜訊界限，穩定地保持儲存資料。

【0199】資料寫入時，首先位元線 BL 及 /BL 的電壓準位對應寫入資料而變化。在此情況下，當驅動至 L 準位的位元線的電壓準位下降至比 MOS 電晶體 NT20 或 NT21 的臨界電壓 V_{th} 低時，MOS 電晶體 NT20 或 NT21 為非導通狀態，VSS 源極線 VSM 與低側電源節點分離，且 VSS 源極線 VSM 為浮動作態。假設，資料寫入時，寫入與儲存資料相反邏輯準位的資料。當驅動字元線 WL 至選擇狀態，而存取電晶體 NQ3 及 NQ4 為導通狀態時，電流流過位元線 BL 及 /BL 與儲存節點 ND1 及 ND2 之間，儲存節點 ND1 及 ND2 的電壓準位改變。之後，根據存取電晶體 NQ3 和 NQ4 與驅動電晶體 NQ1 和 NQ2 之間的 β 比(根

據反相閘鎖器的閘鎖能力)，儲存節點的電壓準位改變。上述電壓變化時，藉由記憶單元 MC 內從高側電源節點 VH 至低側電源節點 VL 的貫通電流及來自位元線的寫入電流，記憶單元 MC 中電流流入低側電源節點 VL，且 VSS 源極線 VSM 的電壓準位上升。

【0200】 VSS 源極線 VSM 的電壓準位上升時，記憶單元 MC 的寫入界限增大，且對應位元線 BL 及 /BL 的寫入資料，儲存節點 ND1 及 ND2 的電壓準位快速變化，因此可以正常地執行資料的寫入。

【0201】 分別驅動儲存節點 ND1 及 ND2 的電壓準位至高側電源電壓 VDD 及低側電源電壓 VSS 準位時，記憶單元 MC 中，阻斷貫通電流流過的路徑，VSS 源極線 VSM 的電壓準位停止上升。

【0202】 資料寫入至記憶單元結束時，位元線 BL 及 /BL 藉由列選擇閘 CSG 與內部資料線分離的同時，由位元線負荷電路 9 驅動至高側電源電壓 VDD 準位。根據位元線 BL 及 /BL 的電位上升，非導通狀態的 MOS 電晶體 NT20 或 NT21 變成導通狀態，VSS 源極線 VSM 耦合至低側電源節點，且其電壓準位恢復至低側電源電壓 VSS 準位。

【0203】 選擇行及選擇列的記憶單元 MC 中，由於對應的字元線在選擇狀態，位元線 BL 及 /BL 耦合至儲存節點 ND1 及 ND2。不過，不傳送寫入資料，保持位元線 BL 及 /BL 在位元線負荷電路 9 所預充電的電壓準位，只在對應的位元線產生與資料讀出同樣的微小電位變化，且上述非選擇列且選擇行的記

憶單元穩定保持儲存資料(由於 VSS 源極線 VSM 的低側電源電壓維持在 VSS 準位)。

【0204】如上所述，根據本發明第十實施例，即使使用 VSS 源極線作為記憶單元電源線 PVL，在資料寫入時，對應位元線電壓調整低側單元電源電壓 VSS，也可以降低寫入時的選擇記憶單元的資料保持特性，以快速執行寫入。

【0205】[第十一實施例]

【0206】第 29 圖係顯示根據本發明第十一實施例的記憶單元電路的結構圖。第 29 圖所示的記憶單元電路與第 26 圖所示的記憶單元電路的結構有下列不同點。即，在各寫入補助電路 PCKa 及 PCKb 中，設置接收位元線 BL 及 /BL 的電壓的 AND 閘 AG10、以及接收 AND 閘 AG10 的輸出信號的 N 通道 MOS 電晶體 NT22。MOS 電晶體 NT22 在低側電源節點與 VSS 源極線 VSM 間耦合，當導通時，低側電源節點與 VSS 源極線 VSM 耦合。

【0207】第 29 圖所示的記憶單元電路的其他結構與第 26 圖所示的記憶單元電路的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0208】第 29 圖所示的記憶體結構中，其動作大體上與前第十實施例所示的記憶單元電路的動作相同。不過，資料寫入時，位元線 BL 及 /BL 中之一方比 AND 閘 AG10 的輸入邏輯臨界值低時，AND 閘 AG10 的輸出信號為 L 準位，因此，MOS 電晶體 NT22 為非導通狀態。因此，VSS 源極線 VSM 變成浮動狀態，其電壓準位由於選擇記憶單元中的寫入電流及貫通電

流而上升，因此選擇記憶單元的寫入界限增大，並達成快速寫入。

【0209】選擇行且非選擇列的記憶單元中，雖然記憶單元的儲存節點(ND1、ND2)連接至對應的位元線，但是，在此情況下，位元線 BL 及 /BL 的電壓準位只稍微低於位元線負荷電路 9 所預充電的電壓準位，而此電壓準位係高於 AND 閘 AG10 的輸入邏輯臨界值的電壓準位，因而穩定保持儲存資料。

【0210】又，非選擇行且選擇列的記憶單元中，儲存節點(ND1、ND2)與對應的位元線 BL 及 /BL 分離，電流流過的路徑不存在，因而穩定地維持儲存節點的電壓準位。

【0211】因此，第 29 圖所示的結構中，與前述的實施例相同，可以不破壞非選擇記憶單元的儲存資料而快速執行資料的寫入，又，保持資料讀出時，可以穩定地保持保持資料。

【0212】又，第 29 圖所示的寫入補助電路 PCKc 及 PCKd 中，低側電源節點與 VSS 源極線 VSM 之間只配置 1 個 MOS 電晶體。因此，VSS 源極線 VSM 的配線電阻可以降更低，記憶單元資料讀出時的列電流可以經由記憶單元快速放電至低側電源節點 VSS，而可以達到快速的讀出。

【0213】又，第 29 圖所示的結構中，VSS 源極線 VSM 也分割為各記憶單元列的既定數量行的記憶單元，可以各配置寫入補助電路。

【0214】如上所述，根據本發明的第十一實施例，位元線電壓 AND 閘接收位元線電壓，且根據上述 AND 閘的輸出信號，選擇性地耦合 VSS 源極線至低側電源節點，可以達成記憶

單元的資料的穩定讀出及快速寫入，同時，VSS 源極線的配線電阻等效降低，因而可以快速執行讀出。

【0215】作為控制 VSS 源極線的電壓準位的結構，可以使用控制前 VDD 源極線的電壓準位的結構，特別是維持或鉗固在特定的電源電壓準位、或耦合至另一電壓源等的結構。即，例如在 VSS 源極線與接地節點之間，設置二極體連接的 MOS 電晶體所構成的鉗位元件，藉此可以抑制 VDD 源極線 VSM 的電壓準位上升至上述二極體連接的 MOS 電晶體的臨界電壓以上。又，使用虛 VDD 源極線，資料寫入時選擇性地與 VSS 源極線耦合，藉此可以升高 VSS 源極線的電位準位。又，上述 VSS 源極線耦合至供給既定的中間電壓至資料寫入時的選擇列的電源節點，藉此可以對選擇列穩定地決定 VSS 源極線為想要的電壓準位，而可以穩定地執行快速寫入。

【0216】[第十二實施例]

【0217】第 30 圖係概略顯示根據本發明第十二實施例的半導體記憶裝置的主要部分的結構圖。上述第 30 圖所示的半導體記憶裝置中，記憶單元陣列的基板區域 30 中，係 P 井區由 N 井區夾住而交互配置。藉由上述 P 井區與兩側的 N 井區 NW1 及 NW2，構成配置排成一列的記憶單元 MC 的記憶單元列形成區域 MFR。

【0218】記憶單元列形成區域 MFR 中，在 P 井區 PW 中形成記憶單元的 N 通道 MOS 電晶體，在 N 井區中形成構成負荷電晶體的 P 通道 MOS 電晶體。

【0219】對應記憶單元列形成區域 MFR 配置位元線 BL 及

/BL。又，分別對應記憶單元列形成區域 MFR，配置寫入補助電路 PCK。上述寫入補助電路 PCK，根據對應的位元線 BL 及 /BL 的電位，調整對應的 P 井區 PW 的電位。因此，本第十二實施例中的寫入補助電路 PCK，根據位元線 BL 及 /BL 的電壓，調整記憶單元的 N 通道 MOS 電晶體的背面閘極電位。因此，對各 P 井區 PW，個別從寫入補助電路 PCK 供給背面閘極電壓 VSB。

【0220】第 31 圖係概略顯示第 30 圖所示的記憶單元 MC 的配置圖。對於記憶單元 MC，在中央部配置 P 井區 PW，在兩側配置 N 井區 NW1 及 NW2。記憶單元 MC 中，在低側電源節點 VL 及儲存節點 ND1 之間，配置 N 通道 MOS 電晶體 NQ1，且在儲存節點 ND1 及位元線 BL 間，配置 N 通道 MOS 電晶體 NQ3。又，在低側電源節點 VL 及儲存節點 ND2 之間，配置 N 通道 MOS 電晶體 NQ2，且在儲存節點 ND2 及位元線 /BL 間，配置 N 通道 MOS 電晶體 NQ4。MOS 電晶體 NQ1 及 NQ2 的閘極分別耦合至儲存節點 ND2 及 ND1，而字元線 WL 連接至 MOS 電晶體 NQ3 及 NQ4 的閘極。

【0221】上述 MOS 電晶體 NQ1-NQ4 在 P 井區 PW 內形成，並從對應的寫入補助電路共同供給基板電壓 VSB 至上述 MOS 電晶體 NQ1-NQ4 的背面閘極。

【0222】又，記憶單元 MC 中，N 井區 NW1 及 NW2 中分別配置 P 通道 MOS 電晶體 PQ1 及 PQ2。MOS 電晶體 PQ1 在高側電源電壓節點 VH 及儲存節點 ND1 之間連接，且其閘極連接至儲存節點 ND2，MOS 電晶體 PQ2 在高側電源電壓節點 VH 及

儲存節點 ND2 之間連接，且其閘極連接至儲存節點 ND1。上述 MOS 電晶體 PQ1 及 PQ2 的背面閘極並未特別顯示，但由對應的 N 井區 NW1 及 N 井區 NW2 的偏壓電壓所偏壓。N 井區 NW1 及 N 井區 NW2 係由形成鄰接列的記憶單元的負荷電晶體的區域所共有。

【0223】又，第 31 圖顯示記憶單元的配置的一範例，各記憶單元列中，在中央部配置 N 井區，形成負荷電晶體，而在兩側設置 P 井區，分別配置位元線 BL 及 /BL 用的存取電晶體及驅動電晶體。在此情況下，爲了分離鄰接列的記憶單元的井區，使用各列接合分離等的適當的分離構造分離 P 井區。

【0224】第 32 圖係一範例圖，顯示第 30 圖所示的寫入補助電路 PCK 的結構及產生井區偏壓電壓 VSB 的電路結構。第 32 圖中，寫入補助電路 PCK，包括 AND 閘 AG30，接收位元線 BL 及 /BL 的電壓；N 通道 MOS 電晶體 NT30，在低側電源節點與井區偏壓電壓傳送線 SBL 之間連接，且回應 AND 閘 AG30 的輸出信號選擇性地變成導通狀態；反相器 IV30，接收 AND 閘 AG30 的輸出信號；以及 N 通道 MOS 電晶體 N32，根據反相器 IV30 的輸出信號選擇性地變成導通狀態，且傳送偏壓電壓產生電路 30 的偏壓電壓。

【0225】偏壓電壓產生電路 30，包括高電阻的電阻元件 31，在高側電源節點與節點 NDI 之間連接；以及 N 通道 MOS 電晶體 32，在節點 NDI 與低側電源節點之間連接且其閘極連接至節點 NDI。上述 MOS 電晶體 32 以二極體模式動作，且在節點 NDI 產生臨界電壓 V_{thn} 的電壓。MOS 電晶體 32 的臨界

電壓 V_{thn} 係比低側電源電壓 V_{SS} 高的電壓準位，而比 P 井區 PW 與 N 通道 MOS 電晶體的 N 型不純物區域之間的 PN 接合的順方向的電壓降 V_f 低的電壓準位。

【0226】第 33 圖信號波形圖，顯示第 30-32 圖所示的寫入補助電路的動作。以下參考第 33 圖，說明關於第 30-32 圖所示的電路的動作。

【0227】位元線 BL 及 /BL 的電壓準位由圖中未顯示的位元線負荷電路預充電至 H 準位。在資料讀出時，選擇列中，位元線 BL 及 /BL 的電位振幅小，其電壓準位比 AND 閘 AG30 的輸入邏輯臨界值高，AND 閘 AG30 的輸出信號為 H 準位。因此，MOS 電晶體 NT30 在導通狀態，MOS 電晶體 NT32 為非導通狀態，進入 P 井區 PW(PW1、PW2)的偏壓電壓 VSB 維持在低側電源電壓 V_{SS} 準位，穩定執行資料讀出。

【0228】另一方面，資料寫入時，位元線 BL 及 /BL 的電壓準位對應寫入資料而變化時，根據位元線 BL 及 /BL 中的一方的電位下降，AND 閘 AG30 的輸出信號由 H 準位下降至 L 準位。因此，MOS 電晶體 NT30 為非導通狀態，另一方面，MOS 電晶體 NT32 為導通狀態，且來自偏壓電壓產生電路 30 的偏壓電壓傳送至井區偏壓電壓傳送線 SBL 作為井區偏壓電壓 VSB。偏壓電壓產生電路 30 產生的電壓 (V_{thn}) 係比低側電源電壓 V_{SS} 高的電壓準位。因此，MOS 電晶體 NQ1-NQ4 的背面閘極-源極之間係順偏壓，其臨界電壓下降，因此，MOS 電晶體 NQ1-NQ4 驅動的汲極電流 I_{ds} 增加。藉此，對應寫入至位元線 BL 及 /BL 的資料，儲存節點 ND1 及 ND2 的電壓準位改變，快

速驅動儲存節點 ND1 及 ND2 至對應位元線 BL 及 /BL 上的寫入資料的 H 準位及 L 準位的電壓準位。

【0229】非選擇列中，P 井區電位係低側電源電壓 VSS 準位，穩定地保持儲存資料。非選擇行且選擇列的記憶單元中，雖然 P 井區 PW 的電壓 VSB 的電壓準位被驅動至比低側電源電壓 VSS 高的電壓準位，但對 MOS 電晶體 NQ1-NQ4 共同產生背面閘極偏壓效果，其臨界電壓位移相同，存取電晶體與驅動電晶體的 β 比不變，靜態雜訊界限不惡化，又儲存節點與對應的位元線分離，內部不存在電流流過的路徑，穩定保持儲存資料。

【0230】如上所述，根據本發明的第十二實施例，每記憶單元中，配置存取電晶體及驅動電晶體的井區的偏壓電壓係根據位元線電壓調整，寫入時，減少此 N 通道 MOS 電晶體的基板偏壓效果，等效增加閘極-源極間電壓而增加驅動電流量，可以快速且穩定地執行資料的寫入。

【0231】[第十三實施例]

【0232】第 34 圖係概略顯示根據本發明第十三實施例的半導體記憶裝置的主要部分的結構。第 34 圖中，顯示關於 1 列的記憶單元的部分的結構。連接至位元線 BL 及 /BL 的記憶單元 MC 分割為 2 個記憶單元群 MG1 及 MG2。相對於此，VDD 源極線 VDM 包括對應記憶單元群 MG1 的分割 VDD 源極線 VDM1、以及對應記憶單元群 MG2 的分割 VDD 源極線 VDM2。P 通道 MOS 電晶體 PT35 及 PT36 分別耦合至上述分割 VDD 源極線 VDM1 及 VDM2。上述 MOS 電晶體 PT35 及 PT36，根據

接收位元線 BL 及 /BL 的電壓的 NAND 閘 NG1 的輸出信號，選擇性地成爲導通狀態/非導通狀態，在導通狀態時，供給高側電源電壓 VDD 至對應的分割 VDD 源極線 VDM1 及 VDM2。

【0233】第 34 圖所示的寫入補助電路的結構，除了共同設置 NAND 閘 NG1 於上述記憶單元群 MG1 及 MG2 之外，與第 10 圖所示的第三實施例中所示的分割 VDD 源極線的結構相同。因此，資料寫入及讀出時的動作與前第 11 圖所示的第三實施例所示的結構相同，對各位元線對執行對應的 VDD 源極線 VDM 的電壓/阻抗控制。

【0234】在第 34 圖所示的結構的情況下，在位元線 BL 及 /BL 的一端，設置 NAND 閘 NG1，共同控制 MOS 電晶體 PT35 及 PT36，可以降低寫入補助電路的佔有面積。

【0235】[變形例]

【0236】第 35 圖係概略顯示本發明第十三實施例的變形例的結構。第 35 圖所示的結構中，在位元線 BL 及 /BL 的中央部，配置寫入補助電路 PCK。上述寫入補助電路 PCK，根據對應的位元線 BL 及 /BL 的電壓準位，控制分別設置於記憶單元群 MG1 及 MG2 的分割 VDD 源極線 VDM1 及 VDM2。

【0237】寫入補助電路 PCK 包括第 34 圖所示的 NAND 閘 NG1、及 P 通道 MOS 電晶體 PT35 及 PT36。上述分割 VDD 源極線 VDM1 及 VDM2 分別耦合至記憶單元群 MG1 及 MG2 的記憶單元 MC 的高側電源節點 VH。

【0238】在第 35 圖所示的結構的情況下，寫入補助電路 PCK 配置於記憶單元陣列中央部。構成寫入補助電路 PCK 的

NAND 閘 NG1 及 P 通道 MOS 電晶體 PT35 及 PT36 可以使用構成記憶單元 MC 的 P 通道 MOS 電晶體及 N 通道 MOS 電晶體實現，可以抑制陣列配置面積的增大。

【0239】第 36 圖係顯示第 35 圖所示的寫入補助電路 PCK 及記憶單元 MC 的平面配置圖。第 36 圖中，顯示活性區域到接觸窗的形成步驟結束後的配線配置圖。

【0240】第 36 圖中，在記憶單元列配置區域的中央部，N 井區 NW 在列方向直線的延伸配置，在 N 井區 NW 的兩側，P 井區 PW1 及 PW2 在列方向上延伸配置。N 井區 NW 及 P 井區 PW1 及 PW2 中，在行方向的延伸區域中，配置各形成 1 位元的記憶單元的記憶單元區域 MCa 及 MCb。上述記憶單元區域 MCa 及 MCb 之間，配置形成寫入補助電路 PCK 區域 PGa 及 PGb。上述寫入補助電路形成區域 PGa 及 PGb 分別具有與記憶單元區域 MCa 及 MCb 相同的列方向長度。

【0241】N 井區 NW 及 P 井區 PW 分別為同一半導體基板表面上形成的 N 型區域及 P 型區域。其上，形成 P 通道 MOS 電晶體及 N 通道 MOS 電晶體(或用以形成 P 型及 N 型電晶體元件的活性區)。上述井區 NW 及 PW 用作 MOS 電晶體的基板區域(背面閘)。即，N 井區 NW 係 P 通道 MOS 電晶體形成區域，P 井區 PW 係 N 通道 MOS 電晶體形成區域。

【0242】分別在 P 井區 PW1 及 PW2 中，形成在列方向連續延伸的活性區 AR1 及 AR6。N 井區 NW 中，活性區 AR2 設置於記憶單元區域 MCa 內，又，活性區 AR3 在列方向延伸通過區域 PGb 及 MCb。活性區 AR4 在列方向延伸通過區域 MCa 及

PGa，且在記憶單元 MCb 中，在列方向延伸形成活性區 AR5。

【0243】記憶單元 MCa 區域中，形成在行方向延伸的多晶矽配線 PL1 及 PL2。多晶矽配線 PL1 通過 P 井區 PW1 及 N 井區 NW 而延伸，另一方面，多晶矽配線 PL2 只在 P 井區 PW1 區域中延伸。

【0244】P 井區 PW1 中，多晶矽配線 PL3、PL4、PL5、PL6、PL7 及 PL8 在行方向延伸形成以橫切活性區 AR1。多晶矽配線 PL3、PL8 只在 P 井區 PW1 的區域內往行方向延伸。另一方面，多晶矽配線 PL4、P5，通過 P 井區 PW1、N 井區 NW、及 P 井區 PW2，在行方向直線延伸。

【0245】多晶矽配線 PL6 及 PL7 配設為分別通過 P 井區 PW1 及 N 井區 NW 在行方向延伸且分別橫切活性區 AR1 及 AR3。

【0246】多晶矽配線 PL11 配設為在行方向延伸以橫切 N 井區 NW 及 P 井區 PW2 內的活性區 AR5 及 AR6。

【0247】P 井區 PW2 中，配置只在 P 井區 PW2 內往行方向延伸的多晶矽配線 PL12、PL13、及 PL14。這些多晶矽配線 PL12-PL14 分別配設為橫切活性區 AR6。

【0248】多晶矽配線 PL2、PL3、及 PL8 分別在一端側形成接觸窗 CT1、CT2、及 CT3。活性區 AR1 中，除了多晶矽配線 PL4 及 PL5 間的區域之外，在各多晶矽配線間配設接觸窗 CT4-CT11。

【0249】對於多晶矽配線 PL4，P 井區及 N 井區的邊界區域中設置接觸窗 CT12。

【0250】活性區 AR2 中，關於多晶矽配線 PL1，在一側區域中設置接觸窗 CT13，而在另一側區域中設置共用接觸窗 ST1。共用接觸窗 ST1 直接連接對應活性區 AR2 的不純物區域至多晶矽配線 PL9。因此，共用接觸窗 ST1 係配置為延伸通過元件分離用的絕緣上方至多晶矽配線 PL9 上方。藉由利用共用接觸窗，可以避免使用用於連接活性區 AR2 至多晶矽配線 PL9 的配線層的金屬配線。

【0251】活性區 AR3 中，分別對應多晶矽配線 PL5、PL6 及 PL7 而設置接觸窗 CT15、CT16 及 CT17，在其另一端區域中，設置共用接觸窗 ST2。上述共用接觸窗 ST2 連接活性區 AR3 下端的不純物區域至多晶矽配線 PL11。

【0252】活性區 AR4 中，對於多晶矽配線 PL1，設置共用接觸窗 ST3，又，分別對應多晶矽配線 PL9、PL10 及 PL4 設置接觸窗 CT17、CT18 及 CT19。

【0253】活性區 AR5 同樣地經由接觸窗 ST3 連接至多晶矽配線 PL7，在另一側設置接觸窗 CT21。

【0254】活性區 AR6 中，對於各多晶矽配線，設置對各不純物區域的接觸窗 CT22-CT29。上述活性區 AR6 中，與活性區 AR1 相同，多晶矽配線 PL4 及 PL5 間不設置接觸窗。

【0255】對於多晶矽配線 PL12、P13 及 PL14，分別在另一端設置接觸窗 CT30、CT31 及 CT32。

【0256】如第 36 圖所示的配線配置中所示，記憶單元區域 MCa 及 MCb 的電晶體的閘極配線與寫入補助電路形成區域 PGa 及 PGb 的閘極配線的延伸方向相同，又，配線的配置係對

區域 PGa 及 PGb 的邊界區域的中央部點對稱，因此配線配置簡化的同時，可以維持記憶單元的配線圖案的規則性。

【0257】又，活性區也只在列方向直線延伸，可以以較佳的面積效率配置電晶體。又，P 井區 PW1 及 PW2 中，連續地直線配置活性區 AR1 及 AR6，變得容易圖案化，可以確實地對應微型化。

【0258】第 37 圖係顯示第 36 圖所示的配線配置的電氣等效電路圖。第 37 圖中，關於記憶單元 MCa，P 井區 PW1 中，N 通道 MOS 電晶體 NQ1 及 NQ3 係串聯配置，又，P 井區 PW2 中，N 通道 MOS 電晶體 NQ4 及 NQ2 係串聯配置。上述 MOS 電晶體 NQ1-NQ4 對應前第 31 圖所示的記憶單元 MC 的驅動電晶體及存取電晶體，且同一參考符號代表同一元件。

【0259】關於記憶單元 MCa，N 井區 NW 中，P 通道 MOS 電晶體 PQ1 及 PQ2 在行及列方向上位置錯開而配置。上述 MOS 電晶體 PQ1 及 PQ2 對應前第 31 圖所示的記憶單元 MC 的結構中的負荷電晶體，且同一參考符號代表同一元件。

【0260】MOS 電晶體 NQ1 的一導通節點連接至接觸窗 CT4，MOS 電晶體 NQ3 的閘極連接至接觸窗 CT1。MOS 電晶體 NQ1 及 PQ1 的閘極，經由共用接觸窗 ST3，連接至 MOS 電晶體 PQ2 的一導通節點(汲極節點)。MOS 電晶體 PQ1 的一導通節點(汲極節點)，經由共用接觸窗 ST1，連接至 MOS 電晶體 PQ2 及 NQ2 的閘極。MOS 電晶體 NQ4 的一導通節點連接至接觸窗 CT22，且其閘極連接至接觸窗 CT30。

【0261】關於寫入補助電路形成區域，P 井區 PW1 中，分

別在區域 PGa 及 PGb 中配置 MOS 電晶體 NT60、NT50 及 NT52、NT72，導通節點(源極/汲極)串聯連接(在活性區 AR1 內形成)。又，P 井區 PW2 中，MOS 電晶體 NT72、NT54、NT56、NT62 串聯連接。

【0262】區域 PGa 中，在 N 井區 NW 的區域中配置 P 通道 MOS 電晶體 PT35 及 PT50，關於區域 PGb，在 N 井區 NW 的區域中串聯配置 P 通道 MOS 電晶體 PT52 及 PT36。MOS 電晶體 PT35 及 PT36 係控制記憶單元電源的阻抗的電晶體，對應第 34 圖所示的 MOS 電晶體 PT35 及 PT36。

【0263】MOS 電晶體 NT60 的閘極連接至接觸窗 CT2，MOS 電晶體 NT50、PT50 及 NT54 的閘極經由共用的配線(多晶矽配線 PL4)耦合至接觸窗 CT12。MOS 電晶體 NT52、PT52 及 NT56 的閘極共同連接(藉由多晶矽配線 PL5)且連接至接觸窗 CT35。MOS 電晶體 PT52 的一導通節點耦合至接觸窗 CT15，而 MOS 電晶體 PT50 的一導通節點連接至接觸窗 CT19。

【0264】又，MOS 電晶體 NT70 及 PT36 的閘極共同(經由多晶矽配線 PL6)耦合至接觸窗 CT20，MOS 電晶體 NT72 及 PT35 的閘極共同(經由多晶矽配線 PL10)耦合至接觸窗 CT14。

【0265】MOS 電晶體 NT62 的閘極連接至接觸窗 CT31。記憶單元形成區域 MCb 中，同樣地，N 通道 MOS 電晶體 NQ1-NQ4 及 P 通道 MOS 電晶體 PQ1 及 PQ2 係以與記憶單元區域 MCa 相同的配置來配置。MOS 電晶體 NQ3 的閘極連接至接觸窗 CT3，MOS 電晶體 NQ3 的一導通節點連接至接觸窗 CT11。MOS 電晶體 PQ2 及 NQ4 的閘極經由共用接觸窗 ST2 連接至 MOS

電晶體 PQ1 的一導通節點，而 MOS 電晶體 NQ1 及 PQ1 的閘極經由共用接觸窗 ST4 連接 MOS 電晶體 PQ2 的一導通節點。MOS 電晶體 PQ2 及 NQ4 的各一導通節點連接至接觸窗 CT22 及 CT21，而 MOS 電晶體 NQ2 的閘極連接至接觸窗 CT32。

【0266】藉由利用用以形成寫入補助電路的 2 個記憶單元形成區域，可以維持兩側的記憶單元區域 MCa 及 MCb 的記憶單元的配置的規則性(列方向中記憶單元具有鏡射對象的配置)，即使配置寫入補助電路也不必再設計對記憶單元陣列的記憶單元的配置。

【0267】第 38 圖係顯示對第 36 圖所示的配線配置的上層配線的配置圖，顯示第 1 層金屬配線與在第 1 層金屬配線上形成的第 1 介層的配置。又，第 36 圖顯示加上參考符號的活性區及多晶矽配線。

【0268】第 38 圖中，記憶單元區域 MCa 中，配設經由接觸窗連接至活性區 AR1 的第 1 金屬配線 FML1、以及經由接觸窗連接至多晶矽配線 PL2 的第 2 金屬配線 FML4。第 1 金屬配線 FML4 構成一部分的字元線 W_{Li+1} ，且第 1 金屬配線 FML1 構成用以傳送低側電源電壓 VSS 的金屬配線的一部分。又，第 1 多晶矽配線 PL1 及 PL2 之間，設置耦合活性區 AR1 至活性區 AR2 且耦合至第 1 多晶矽配線 PL9 的第 1 金屬配線 FML5。上述第 1 金屬配線 FML5，經由在活性區 AR2 下方形成的共用接觸窗，耦合至活性區 AR2 且耦合至第 1 多晶矽配線 PL9。

【0269】對於多晶矽配線 PL1 與第 1 金屬配線 FML5 相反的區域中，形成經由接觸窗耦合至活性區 AR2 的第 1 金屬配

線 FML2。上述第 1 金屬配線 FML2 最終耦合至分割 VDD 源極線 VDM2。又，記憶單元 MCa 中，設置第 1 金屬配線 FML6，經由共用接觸窗耦合至活性區 AR4，且連接至第 1 多晶矽配線 PL1，且更經由接觸窗耦合至活性區 AR6。關於活性區 AR6 的第 1 多晶矽配線 PL12 的對應區域中，配置第 1 金屬配線 FML3。第 1 金屬配線 FML3 中，形成第 1 介層(V)，且最終耦合至互補的位元線 /BL。

【0270】記憶單元 MCa 的 P 井區 PW2 中，在行方向形成長矩形形狀的第 1 金屬配線 FML7。上述第 1 金屬配線 FML7，經由接觸窗耦合至第 1 多晶矽配線 PL12，構成字元線 WLi+1 的一部分。

【0271】記憶單元區域 MCa 與寫入補助電路形成區域 PGa 之間的邊界區域中，分別對應活性區 AR1、AR5 及 ATR6，在行方向設置長矩形形狀的第 1 金屬配線 FML8、FML9 及 FML10。上述第 1 金屬配線 FML8-FML10，分別經由接觸窗耦合至對應的活性區，且在各個的一部分中形成第 1 介層。第 1 金屬配線 FML8 最終耦合至位元線 BL，而第 1 金屬配線 FML9 最終耦合至分割 VDD 源極線 VDM1。第 1 金屬配線 FML10 構成用以傳送低側電源電壓 VSS 的電壓線的一部分。

【0272】寫入補助電路形成區域 PGa 中，設置經由接觸窗連接至第 1 多晶矽配線 PL3 的第 1 金屬配線 FML11。上述第 1 金屬配線 FML11 具有在行方向的長矩形形狀，最終經由第 1 介層耦合至用以傳送低側電源電壓 VSS 的電源線。

【0273】第 1 多晶矽配線 PL3 及 PL4 之間，設置第 1 金屬

配線 FML12，在行方向延伸且在列方向的 N 井區 NW 區域中直線延伸。上述第 1 金屬配線 FML12 連接至活性區 AR1，且經由接觸窗連接至第 1 多晶矽配線 PL10。上述第 1 金屬配線 FML12，在 N 井區 NW 的區域中，更超越第 1 多晶矽配線 PL4 在列方向延伸，且在區域 PGa 及 PGb 的邊界區域中在行方向延伸並經由接觸窗連接至活性區 AR4。上述第 1 金屬配線 FML12 係由在行及列方向直線延伸的部分配線以階段狀形成，並形成 NAND 閘 NG1 的輸出節點。

【0274】上述區域 PGa 中，更在多晶矽配線 PL10 及 PL4 之間配設經由接觸窗耦合至活性區 AR4 的第 1 金屬配線 FML13。上述第 1 金屬配線 FML13 經由第 1 介層耦合至傳送高側電源電壓 VDD 的電源線。P 井區 PW2 的區域中，第 1 多晶矽配線 PL10 及 PL4 之間，設置第 1 金屬配線 FML14。上述第 1 金屬配線 FML14，經由第 1 介層，最終耦合至傳送低側電源電壓 VSS 的 VS 源極線。

【0275】區域 PGa 及 PGb 的邊界區域中，設置第 1 金屬配線 FML15，經由接觸窗耦合至多晶矽配線 PL4，並延伸至活性區 AR1，又，設置第 1 金屬配線 FML16，延伸至活性區 AR6 且耦合至第 1 多晶矽配線 PL5。上述第 1 金屬配線 FML15 及 FML16，在活性區 AR1 及 AR6 中，由於不設置接觸窗，與活性區 AR1 及 AR6 分離。爲了維持配線配置的規則性，上述第 1 金屬配線 FML15 及 FML16 係配置爲延伸至活性區 AR1 及 AR6 上部。

【0276】區域 PGb 中，設置第 1 金屬配線 FML17，在多晶

矽配線 PL5 及 PL6 之間經由接觸窗連接至活性區 AR1。上述第 1 金屬配線 FML17 傳送低側電源電壓 VSS。N 井區 NW 中設置經由接觸窗連接至活性區 AR3 的第 1 金屬配線 FML18。上述第 1 金屬配線 FML18 連接至傳送高側電源電壓 VDD 的 VDD 源極線。

【0277】來自區域 PGa 的第 1 金屬配線 FML12 經由接觸窗耦合至活性區 AR4，上述第 1 金屬配線 FML12 更在區域 PGb 內連續以 L 字形狀往列方向及行方向延伸，經由接觸窗耦合至多晶矽配線 PL6。又，上述第 1 金屬配線 FML12 更經由接觸區耦合至 P 井區 PW2 內的活性區 AR6 的多晶矽配線 PL5 及 PL14 之間的區域。

【0278】區域 PGb 中，第 1 多晶矽配線 PL3 更經由接觸窗耦合至在行方向長矩形形狀的第 1 金屬配線 FML19。上述第 1 金屬配線 FML19，配置於與鄰接列的記憶單元的邊界區域，最終耦合至傳送低側電源電壓 VSS 的 VSS 源極線。

【0279】區域 PGb 及 MCb 的邊界區域中，設置第 1 金屬配線 FML20，經由接觸窗連接至活性區 AR1。上述第 1 金屬配線 FML20，傳送低側電源電壓 VSS 至多晶矽配線 PL6 及 PL7 之間的活性區 AR1。N 井區 NW 中，設置經由接觸窗連接至活性區 AR3 的第 1 金屬配線 FML21，而在 P 井區 PW2 中更設置經由接觸窗連接至活性區 AR6 的第 1 金屬配線 FML22。第 1 金屬配線 FML20-22 中更設置與上層配線連接用的第 1 介層。第 1 金屬配線 FML21 最終耦合至分割 VDD 源極線 VDM2，而第 1 金屬配線 FML22 耦合至互補位元線/BL。

【0280】記憶單元區域 MCb 中，同樣地，以與記憶單元區域 MCa 同樣的配置，在 P 井區 PW1 的區域中，設置連接至第 1 多晶矽配線 PL8 的第 1 金屬配線 FML24，又，設置經由接觸窗連接至活性區 AR1 的第 1 金屬配線 FML25。在第 1 多晶矽配線 PL7 及 PL8 之間，設置耦合至活性區 AR1 及 AR3 的第 1 金屬配線 FML26。第 1 金屬配線 FML26 經由接觸窗連接至活性區 AR1，且經由共用接觸窗耦合至活性區 AR3。因此，第 1 金屬配線 FML26 與第 1 多晶矽配線 PL11 耦合。

【0281】又，記憶單元區域 MCb 中，更設置第 1 金屬配線 FML28，經由接觸窗耦合至井區 NW 內的活性區 AR5 以及耦合至第 1 多晶矽配線 PL7。第 1 金屬配線 FML28 更延伸至 P 井區 PW2，並經由接觸窗耦合至活性區 AR6 的多晶矽配線 PL14 及 PL11 之間的區域。

【0282】又，在活性區 AR5 的端部，設置經由接觸窗耦合至活性區 AR5 的第 1 金屬配線 FML27，又，設置經由接觸窗耦合至活性區 AR6 的第 1 金屬配線 FML30。第 1 金屬配線 FML30，經由第 1 介層，耦合至傳送低側電源電壓 VSS 的 VSS 源極線。第 1 金屬配線 FML27 耦合至分割 VDD 源極線 VDM2，而第 1 金屬配線 FML20 經由第 1 介層耦合至位元線 BL。

【0283】記憶單元區域 MCb 中，更設置在行方向的長矩形形狀的第 1 金屬配線 FML29，經由接觸窗耦合至多晶矽配線 PL14。在與鄰接列的邊界區域中對向配置的第 1 金屬配線 FML24 及 FML29 構成共用的字元線 WLi 的一部分。

【0284】如第 38 圖所示，第 1 金屬配線在配置中只有直線

在行方向或列方向延伸，內部節點連接的配線以最短距離配置，可以使配線電阻降低。

【0285】第 39 圖係顯示第 38 圖所示的配線配置的電氣等效電路圖。第 39 圖中，MOS 電晶體 NQ1 及 NQ3 的連接節點經由第 1 金屬配線 FML5 連接至 MOS 電晶體 PQ2 及 NQ2 的閘極。P 通道 MOS 電晶體 PQ1 的一導通節點(源極節點)經由第 1 金屬配線 FML2 耦合至分割 VDD 源極線 VDM1。MOS 電晶體 PQ1 及 NQ1 的閘極，經由第 1 金屬配線 FML6，耦合至 MOS 電晶體 NQ4 及 NQ2 之間的連接節點。MOS 電晶體 NQ4 的一導通節點，經由第 1 金屬配線 FML3，耦合至構成一部分的互補位元線/BL 的節點，而其閘極經由第 1 金屬配線 FML7 耦合至字元線 WLi+1。

【0286】MOS 電晶體 NQ3 及 NT60 之間的連接節點經由第 1 金屬配線 FML8 耦合至位元線 BL。又，MOS 電晶體 PQ2 及 PT35 之間的連接節點，經由第 1 金屬配線 FML9，耦合至分割 VDD 源極線 VDM1。MOS 電晶體 NQ2 及 NT72 的連接節點，經由第 1 金屬配線 FML10，耦合至供給低側電源電壓 VSS 的節點。

【0287】區域 PGa 中，MOS 電晶體 NT60 的閘極經由第 1 金屬配線 FML11 耦合至低側電源電壓 VSS，又，藉由第 1 金屬配線 FML12，MOS 電晶體 NT60 及 NT50 之間的節點連接至 MOS 電晶體 PT35 及 NT72 的閘極，且共同耦合 MOS 電晶體 PT52 的一導通節點至 MOS 電晶體 NT74 及 NT54 的閘極的多晶矽配線耦合至第 1 金屬配線 FML15。上述第 1 金屬配線

FML15，在配線步驟結束時，端部為浮動狀態。又，共同連接 MOS 電晶體 NT52、PT52 及 NT51 的閘極的多晶矽配線連接至第 1 金屬配線 FML16。上述第 1 金屬配線 FML16，在配線步驟結束時，為浮動狀態，最終耦合至互補的位元線/BL。

【0288】區域 PGb 中，MOS 電晶體 NT52 及 NT70 之間的連接節點更經由第 1 金屬配線 FML17 耦合至供給低側電源電壓 VSS 的節點。MOS 電晶體 PT52 及 PT36 之間的連接節點經由第 1 金屬配線 FML18 耦合至供給高側電源電壓 VDD 的節點。MOS 電晶體 NT62 的閘極經由第 1 金屬配線 FML19 耦合至供給低側電源電壓 VSS 的節點。

【0289】區域 PGb 及 MCb 之間的邊界區域中，MOS 電晶體 NT70 及 NQ1 之間的連接節點，經由第 1 金屬配線 FML20，耦合至供給低側電源電壓 VSS 的節點。MOS 電晶體 PT36 及 PQ1 之間的連接節點，經由第 1 金屬配線 FML21，耦合至分割 VDD 源極線 VDM2。MOS 電晶體 NT62 及 NQ2 之間的連接節點，經由第 1 金屬配線 FML22，耦合至互補位元線/BL。

【0290】記憶單元區域 MCb 中，第 1 金屬配線 FML28 連接 MOS 電晶體 NQ2 及 NQ4 之間的連接節點至 MOS 電晶體 PQ1 及 NQ1 的閘極，又，第 1 金屬配線 FML26 連接 MOS 電晶體 PQ2 及 NQ4 的閘極至 MOS 電晶體 NQ1 及 NQ3 之間的連接節點。MOS 電晶體 NQ3 的一導通節點，經由第 1 金屬配線 FML25，耦合至位元線 BL。MOS 電晶體 PQ2 的一導通節點，經由第 1 金屬配線 FML27，耦合至分割 VDD 源極線 VDM2。MOS 電晶體 NQ4 的一導通節點，經由第 1 金屬配線 FML30，

耦合至供給低側電源電壓 VSS 的節點。上述記憶單元區域 MCa 及 MCb 的配線配置相同。不同點只有記憶單元區域 MCa 的 MOS 電晶體 NQ4 及 NQ3 的閘極耦合至字元線 WLi+1，以及記憶單元區域 MCb 的 MOS 電晶體 NQ4 及 NQ3 的閘極耦合至字元線 WLi，又，各分割 VDD 源極線 VDM1 及 VDM2 耦合至單元高側電源節點。

【0291】第 40 圖係顯示第 38 圖所示的配線配置的上層的第 2 金屬配線的配置圖。第 40 圖中，關於下層的第 1 金屬配線，對應第 38 圖所示的配線配置部分係付與同一參考符號，並省略詳細的說明。

【0292】第 40 圖中，記憶單元區域 MCa 的 P 井區 PW1 中，對於第 1 金屬配線 FML1，配置第 2 金屬配線 SML1，而第 1 介層介於其間。第 2 金屬配線 SML1 供給低側電源電壓 VSS。對應第 1 金屬配線 FML4，設置第 2 金屬配線 SML2，並耦合至字元線 WLi+1。又，在區域 MCa 的 P 井區 PW2 中，第 1 金屬配線 FML7 經由第 1 介層耦合至構成字元線 WLi+1 的一部分的第 2 金屬配線 SML11。

【0293】區域 PGa 的 P 井區 PW1 的區域中，設置經由第 1 介層耦合至第 1 金屬配線 FML11 的第 2 金屬配線 SML3。第 2 金屬配線 SML3 供給低側電源電壓 VSS。

【0294】區域 PGa 的 P 井區 PW2 的區域中，第 1 金屬配線 FML10 及 FML14 分別經由第 1 接觸窗由第 2 金屬配線 SML12 互相連接。第 2 金屬配線 SML12 供給低側電源電壓 VSS。

【0295】設置第 2 金屬配線 SML8，橫切通過區域 PGa 及

PGb 而延伸的第 1 金屬線 FML12。上述第 2 金屬配線 SML8，經由第 1 介層耦合至第 1 金屬配線 FML13 及 FML18，分別構成供給高側電源電壓 VDD 的節點。

【0296】區域 PGb 中，第 1 金屬配線 FML17 及 FML20 分別經由第 1 介層由第 2 金屬配線 SML4 互相連接。第 1 金屬配線 FML19 經由第 1 介層耦合至第 2 金屬配線 SML13。上述第 2 金屬配線 SML13 構成供給低側電源電壓 VSS 的節點。

【0297】記憶單元 MCb 的區域中，第 1 金屬配線 FML24 經由第 1 介層耦合至第 2 金屬配線 SML5，而構成字元線 WLi 的一部分。第 1 金屬配線 FML30 經由第 1 介層耦合至第 2 金屬配線 SML15，而構成傳送低側電源電壓 VSS 的節點的一部分。又，對向端部的第 1 金屬配線 FML29 經由第 1 介層耦合至第 2 金屬配線 SML14。第 2 金屬配線 SML14 還構成字元線 WLi 的一部分。

【0298】P 井區 PW1 的區域中，配設第 2 金屬配線 SML6，在列方向連續延伸。第 2 金屬配線 SML6 經由第 1 介層連接至各第 1 金屬配線 FML8、FML15 及 FML25，構成位元線 BL。

【0299】N 井區 NW 中，第 2 金屬配線 SML7 在列方向延伸且配置於記憶單元區域 MCa 內，並經由第 1 介層耦合至第 1 金屬配線 FML2 及 FML9。又，記憶單元區域 MCb 內，第 2 金屬配線 SML9 在列方向上延伸配置，並經由第 1 介層耦合至第 1 金屬配線 FML21 及 FML27。第 2 金屬配線 SML9 構成分割 VDD 源極線 VDM2 的一部分。第 2 金屬配線 SML7 構成分割 VDD 源極線 VDM1 的一部分。

【0300】 P 井區 PW2 中，配置第 2 金屬配線 SML10，在列方向連續地直線延伸。第 2 金屬配線 SML10，經由第 1 介層，耦合至各第 1 金屬配線 FML3、FML16 及 FML22，構成互補位元線 /BL。

【0301】 分割 VDD 源極線 VDM1 在第 40 圖的列方向往上連續延伸，另一方面，分割 VDD 源極線 VDM2 在列方向往下連續延伸。構成位元線 BL 及 /BL 的第 2 金屬配線 SML6 及 SML0，沿著列方向直線地連續延伸，並耦合至一系列的記憶單元。第 1 金屬配線 FML15 及 FML16 只連接至 MOS 電晶體的閘極，避免位元線 BL 及 /BL 耦合至寫入補助電路的內部節點。

【0302】 藉由上述第 2 金屬配線的配置，第 31 圖所示的電氣等效電路中，耦合至同一字元線或位元線的節點互相連接。

【0303】 第 41 圖係顯示第 40 圖所示的配線配置的上層的配線的配置圖。第 41 圖中，顯示下層的第 2 金屬配線的配置以及對應的參考符號。

【0304】 第 41 圖中，間隔配置第 3 金屬配線 TML1-TML7，並在行方向上連續延伸。第 3 金屬配線 TML1，經由第 2 介層 VV 耦合至第 2 金屬配線 SML1，並供給低側電源電壓 VSS。第 3 金屬配線 TML2，經由第 2 介層 VV 耦合至第 2 金屬配線 SML2 及 SML11，並構成字元線 W_{Li+1} 。

【0305】 第 3 金屬配線 TML3，經由第 2 介層耦合至第 2 金屬配線 SML3 及 SML12，並且同樣地傳送低側電源電壓 VSS。

【0306】 第 3 金屬配線 TML4，經由第 2 介層耦合至第 2 金屬配線 SML8，並供給高側電源電壓 VDD。

【0307】第 3 金屬配線 TML5，經由第 2 介層耦合至第 2 金屬配線 SML13 及 SML4，並傳送低側電源電壓 VSS。

【0308】第 3 金屬配線 TML6，在記憶單元 MCb 的區域中配置，經由第 2 介層耦合至第 2 金屬配線 SML5 及 SML14，並形成字元線 WLi。

【0309】第 3 金屬配線 TML7，經由第 2 介層耦合至第 2 金屬配線 SML15，並且傳送低側電源電壓 VSS。

【0310】如第 41 圖所示，在分別構成位元線 BL 及 /BL 的第 2 金屬配線 SML6 及 SML10 之間，平行配設構成分割 VDD 源極線 VDM1 及 VDM2 的第 2 金屬配線 SML7 及 SML6 與構成上述位元線 BL 及 /BL 的第 2 金屬配線 SML6 及 SML10。藉此，可以以記憶單元列單位，在位元線 BL 及 /BL 的電壓準位中，調整各記憶單元的高側電源節點的電壓。

【0311】又，第 41 圖所示的配線配置中，傳送低側電源電壓 VSS 的配線在行方向連續延伸，且可以以在行方向排列的記憶單元，即記憶單元行單位，調整 VSS 源極線的電壓。不過，爲了達成以各列單位調整 VSS 源極線的電壓的結構，可以使用第 4 金屬配線配置 VSS 源極線，由在列方向排列的記憶單元共用。即，第 41 圖的配置中，只在記憶單元區域內以行方向配置第 3 金屬配線 TML1、TML3、TML5 及 TML6，也可以在列方向與位元線同一方向平行配置第 4 金屬線以作爲 VSS 源極線。雖然配線層數增加，可以調整每列的 VSS 源極線的電壓。

【0312】第 42 圖係顯示第 41 圖所示的配線配置結束後的寫入補助電路 PCK 的內部連接的電氣等效電路圖。

【0313】第 42 圖中，NAND 閘 NG1 由 MOS 電晶體 NT50、NT52、NT54、NT56 以及 P 通道 MOS 電晶體 PT50 及 PT52 所形成。MOS 電晶體 NT50 及 NT52 在輸出節點 NGO 及低側電源節點(電壓 VSS 節點)之間串聯連接且各閘極連接至位元線 BL 及 /BL。MOS 電晶體 PT54 及 PT56 在輸出節點 NGO 與低側電源節點之間串聯連接，且各閘極耦合至位元線 BL 及 /BL。P 通道 MOS 電晶體 PT50 在電源節點與輸出節點 NGO 之間連接且其閘極耦合至位元線 BL。P 通道 MOS 電晶體 PT52 在電源節點與輸出節點 NGO 之間連接，且其閘極耦合至互補位元線 /BL。

【0314】MOS 電晶體 NT70 及 NT72 的閘極連接至 NAND 閘極 ND1 的輸出節點 NGO。MOS 電晶體 NT70 及 NT72 不影響 NAND 閘極 NG1 的動作本身，係配置以維持記憶單元陣列內配線圖案重複的規則性，用作形狀虛電晶體。

【0315】MOS 電晶體 NT60 及 NT62 的各閘極耦合至低側電源電壓 VSS，平常維持在非導通狀態。藉此，防止 NAND 閘極 NG1 的輸出節點 NGO 耦合至位元線 BL 及 /BL。藉由使用上述 MOS 電晶體 NT60 及 NT62 作為分離電晶體，寫入補助電路區域與記憶單元區域之間變得不必設置元件分離用的區域。即，藉由配置平常非導通狀態的分離用的電晶體(ND60 及 NT)以及形狀虛電晶體(NT70 及 NT72)，即使記憶單元的驅動器或存取電晶體的活性區與寫入補助電路的電晶體的活性區連續延伸，記憶單元區域與寫入補助電路之間確實分離，不產生任何電路動作上的問題。

【0316】 藉此，P 井區 PW1 及 PW2 中變得可以在列方向連續延伸活性區以形成電晶體。因此，P 井區內，可以沿著列方向連續延伸活性區，簡化上述活性區的配置，變得容易形成圖案，而可以容易對應微型化。即，形成記憶單元的井區內，可以不影響記憶單元的配置，以最大與記憶單元的行方向的間距相同的間距形成寫入補助電路，又，藉由利用在列方向中的 2 記憶單元形成區域，可以不影響記憶單元的鏡射對稱配置而配置寫入補助電路。構成上述寫入補助電路 PCK 的列方向的長度係最大記憶單元的間距的 2 倍，也可以比記憶單元間距短(只要可以利用記憶單元電晶體的配置)。

【0317】 [變形例 2]

【0318】 第 43 圖係顯示本發明第十三實施例的變形例的結構圖。第 43 圖顯示多晶矽配線及接觸窗的形成後的配線配置。第 43 圖所示的配線配置與第 36 圖所示的配線配置有以下相異點。即，N 井區 NW 中，在區域 PGa 及 PGb 的中央部形成的活性區 AR20 係連續形成。即，第 36 圖所示的活性區 AR3 及 AR4 一體形成，因此其不純物區域(活性區)連續地延伸而構成活性區 AR20。具體而言，N 井區 NW 中，活性區 AR20 在與多晶矽配線 PL4 及 PL5 相交的區域 AR20a 中，在行方向連續形成。因此，活性區 AR20 具有在列方向與活性區 AR2 對齊的區域、在列方向與活性區 AR5 對齊的區域、以及具有 2 列的寬度的中央區域 AR20a，在上述中央區域 AR20a 中形成的 MOS 電晶體通道寬度(閘極寬)增加至 2 倍以上。第 43 圖所示的配線配置的活性區 AR1、AR2、AR5 及 AR6 的配線配置與第 6 圖所

示的配線配置相同，還有接觸窗的配置也相同，在對應的部分付與同一參考符號，並省略其詳細說明。

【0319】第 43 圖所示的配線配置中，活性區 AR20 的中央區 AR20a 中，NAND 閘的 MOS 電晶體 PT50 及 PT52 分別在區域 PGa 及 PGb 內形成。在此情況下，與第 36 圖所示的配線配置相較，上述 MOS 電晶體 PT50 及 PT52 的通道寬度(閘極寬 W)變寬(例如 2 倍以上)，且 NAND 閘成爲非比例電路。在此情況下，通道長 L 相同，P 通道 MOS 電晶體 PT50 及 PT52 的電流驅動力變大(由於 W/L 變大)，因此，NAND 閘 NG1 的輸入邏輯臨界值變高，由於位元線 BL 及 /BL 的電位係比中間電壓 VDD/2 高的電壓準位，P 通道 MOS 電晶體爲導通狀態，輸出信號爲 L 準位，可以以更快速設定分割 VDD 源極線 VDM1 及 VDM2 爲浮動狀態或想要的電壓準位(在電壓切換時)，而可以加快寫入速度。

【0320】可以利用與第 38 圖、第 40 圖及第 41 圖所示的配線配置同樣的配線配置作爲上層配線的配置。

【0321】如上所述，根據本發明的第十三實施例，在記憶單元陣列內，設置寫入補助電路，根據對應的位元線電位調整對應記憶單元群而配置的分割 VDD 源極線的電壓準位，可以達成快速且穩定的寫入。

【0322】又，上述寫入補助電路使用與記憶單元內的電晶體配置相同的電晶體，且閘極配線也利用與記憶單元電晶體的閘極配線相同的配線，不使配線配置及製造步驟複雜化且不影響記憶單元的配置，而可以在記憶單元陣列內配置寫入補助電

路。

【0323】 又，上述第十三實施例中，可以利用各實施例的組合作為分割 VDD 源極線的電壓控制結構。

【0324】 又，寫入補助電路配置於記憶單元陣列的中央部，即，各位元線對的中央位置。不過，寫入補助電路配置於位元線對的端部，也可以對應各分割 VDD 源極線而配置。在此情況下，利用記憶單元的配線配置，以相同於上述第十三實施例中說明的寫入補助電路的配置，形成寫入補助電路。

【0325】 又，寫入補助電路，以與位元線負荷電路(9)的配置關係來看，可以以寫入補助電路、位元線負荷電路及記憶單元的順序，對各列配置以作為位元線周邊電路，又，也可以以位元線負荷電路、寫入補助電路及記憶單元的順序，對各列配置作為位元線周邊電路。上述位元線周邊電路的配置順序，係根據寫入補助電路的電路結構、位元線的配線及 VDD 源極線 VDM 的配線的配置及配線層，決定最適當的順序。上述位元線周邊電路(寫入補助電路及位元線負荷電路)可以配置在位元線的中央部，也可以分別配置在位元線的兩端，也可以只配置在位元線的一端。又，位元線負荷電路可以只配置在位元線對的一端，而寫入補助電路可以配置在位元線對的兩端、中央部以及一端(在此情況下，鄰近配置的位元線負荷電路與寫入補助電路的位置關係，可以使用上述的任一順序)。

【0326】 [第十四實施例]

【0327】 第 44 圖係概略顯示根據發明第十四實施例的記憶單元的結構圖。第 44 圖顯示關於配列成 1 列的記憶單元 MC

的寫入補助電路的結構。第 44 圖中，寫入補助電路 PCK 驅動分別對應位元線 BL 及 /BL 而配置的 VDD 源極線 VDML 及 VDMR。即，寫入補助電路 PCK 包括反相器 IV40，接收位元線 BL 的電位；P 通道 MOS 電晶體 PT80，根據反相器 IV40 的輸出信號選擇性地成為導通狀態，在導通狀態時，供給高側電源電壓 VDD 至左側 VDD 源極線 VDML；反相器 IV42，接收互補位元線 /BL 的電壓；以及 P 通道 MOS 電晶體 PT82，根據反相器 IV42 的輸出信號選擇性地成為導通狀態，在導通狀態時，傳送高側電源電壓 VDD 至右側 VDD 源極線 VDMR。

【0328】上述 VDD 源極線 VDML 及 VDMR 分別耦合至記憶單元 MC 的高側電源節點 VHL 及 VHR。VDD 源極線 VDML 及 VDMR 可以是在列方向中對應記憶單元群分割的分割 VDD 源極線結構。

【0329】第 45 圖係概略顯示第 44 圖所示的記憶單元的內部連接圖。如第 45 圖所示，記憶單元 MC 中，負荷電晶體 PQ1 及 PQ2 的高側電源節點 VHL 及 VHR 分別耦合至 VDD 源極線 VDML 及 VDMR，並分別根據位元線 BL 及 /BL 的電壓而個別驅動。

【0330】第 46 圖係信號波形圖，顯示第 44 圖所示的寫入補助電路的動作。以下，參考第 46 圖，說明關於第 44 及 45 圖所示的記憶單元電路的動作。

【0331】在讀出動作時，位元線 BL 及 /BL 的電壓準位根據第 45 圖所示的儲存節點 ND1 及 ND2 的儲存資料而改變。在此情況下，位元線 BL 及 /BL 的電位振幅小(第 46 圖表示位元線

/BL 的電位準位下降的情況。)，且由於位元線 BL 及 /BL 的電位係比輸入邏輯臨界值高的準位，反相器 IV40 及 IV42 的輸出信號維持在 L 準位。MOS 電晶體 PT80 及 PT82 維持與待命時同樣的導通狀態，且 VDD 源極線 VDML 及 VDMR 維持在高側電源電壓 VDD 準位。因此，資料讀出時，即使位元線列電流升高儲存節點 ND1 或 ND2 的電壓準位，資料保持特性不惡化，並可以穩定地保持資料。

【0332】 在資料寫入時，位元線 BL 及 /BL 的電位根據寫入資料而改變。現在，假設儲存節點 ND1 或 ND2 中分別保持 H 準位及 L 準位的資料，且位元線 BL 及 /BL 內寫入相反邏輯準位的 L 準位及 H 準位資料。在此情況下，當位元線 BL 的電位降低時，反相器 IV40 的輸出信號為 H 準位，因此，MOS 電晶體 PT80 變成非導通狀態，左側 VDD 源極線 VDML 為浮動狀態。另一方面，位元線 /BL 在 H 準位，反相器 IV 的輸出信號在 L 準位。MOS 電晶體 PT82 維持在導通狀態，右側 VDD 源極線 VDMR 維持在高側電源電壓 VDD 準位。

【0333】 當選擇字元線 WL，且儲存節點 ND1 及 ND2 分別耦合至位元線 BL 及 /BL 時，儲存節點 ND1 及 ND2 的電位準位改變。在此情況下，浮動狀態的左側 VDD 源極線 VDML，藉由放出累積電荷，降低其電壓準位。因此，MOS 電晶體 PQ1 的電流驅動力變得比 MOS 電晶體 PQ2 的電流驅動力小，導致記憶單元 MC 內反相門鎖器的門鎖能力成為非平衡狀態，且寫入界限增大，藉由寫入 H 準位資料的位元線 /BL，儲存節點 ND2 的電壓準位快速上升至 H 準位。另一方面，藉由因上述儲存節

點 ND2 的電壓準位上升而成爲導通狀態的 MOS 電晶體 NQ1 的放電，儲存節點 ND1 的電壓準位快速降低至低側電源電壓 VSS 準位。藉此，根據寫入資料，可以將記憶單元 MC 的記憶資料反相，並可以快速執行正確的資料寫入。

【0334】對於上述位元線 BL 及 /BL，設置 VDD 源極線 VDML 及 VDMR，分別根據對應的位元線 BL 及 /BL 的電位，控制上述的 VDD 源極線 VDML 及 VDMR 的狀態(阻抗狀態)，因此根據寫入資料，可以使記憶單元的反相門鎖器的門鎖能力成爲非平衡狀態，可以增大寫入界限，並可以快速執行資料的寫入。

【0335】又，記憶單元的負荷電晶體個別設置 VDD 源極線，與上述負荷電晶體的電源節點兩者由共同的 VDD 源極線控制時相比，可以減輕 VDD 源極線的電容，並可以更快速產生電壓變化。

【0336】又，對應位元線 BL 及 /BL 而個別設置 VDD 源極線的結構的寫入補助電路的結構中，如前第二至十二實施例所示，也可以使用鉗位元件或電壓變換裝置等。

【0337】[第十五實施例]

【0338】第 47 圖係概略顯示根據本發明第十五實施例的半導體裝置的主要部分的結構圖。位元線具有通用位元線 GBL 及 /GBL 與局部位元線 LBL 及 /LBL 的階層構造。第 47 圖中，代表性地顯示關聯 1 對局部位元線 LBL 及 /LBL 的部分的結構。通用位元線 GBL 及 /GBL 中，沿著列方向配設複數的局部位元線對。

【0339】分別對應局部位元線 LBL 及 /LBL，配置 VDD 源極線 VDML 及 VDMR。上述 VDD 源極線 VDML 及 VDMR 分別耦合至對應列的記憶單元 MC 的高側電源節點 VHL 及 VHR。於是，記憶單元 MC 的連接與第 45 圖所示的記憶單元 MC 的連接相同。

【0340】寫入補助電路 PCK 對應局部位元線 LBL 及 /LBL 而配置，且根據通用位元線 GBL 及 /GBL 的電壓，個別調整上述 VDD 源極線 VDML 及 VDMR 的阻抗。

【0341】即，寫入補助電路 PCK 包括 P 通道 MOS 電晶體 PT90，根據通用位元線 GBL 的電壓，傳送高側電源電壓 VDD 至左側 VDD 源極線 VDML；P 通道 MOS 電晶體 PT92，根據通用位元線 /GBL 的電壓選擇性成為導通狀態，並傳送高側電源電壓 VDD 至右側 VDD 源極線 VDMR；以及 P 通道 MOS 電晶體 PT94 及 PT96，鉗固 VDD 源極線 VDML 及 VDMR 的電壓準位的下限值至 $VDD - V_{thp}$ 的電壓準位。 V_{thp} 表示 MOS 電晶體 PT94 及 PT96 的臨界電壓的絕對值。MOS 電晶體 PT94 及 PT96 係二極體連接，並以二極體模式動作。

【0342】為了對局部位元線 LBL 及 /LBL 執行資料的寫入/讀出，設置局部位元線寫入/讀出電路作為周邊電路 PH。上述局部位元線寫入/讀出電路包括預充電用 P 通道 MOS 電晶體 PPQ1 及 PPQ2，根據預充電指示信號 PCG，傳送高側電源電壓 VDD 至局部位元線 LBL 及 /LBL；寫入用 N 通道 MOS 電晶體 WNQ1 及 WNQ3，各閘極連接至通用位元線 GBL 及 /GBL；以及寫入用 N 通道 MOS 電晶體 WNQ2 及 WNQ4，根據預充電指

示信號 PCG 選擇性地成為導通狀態，在導通時，連接 MOS 電晶體 WNQ1 及 WNQ3 至低側電源節點 (VSS)。

【0343】MOS 電晶體 WNQ1 及 WNQ2 構成根據通用位元線 GBL 的電壓寫入資料至局部位元線 LBL 的寫入電路 92i，以及 MOS 電晶體 WNQ3 及 WNQ4 構成根據通用位元線 /GBL 的電壓寫入資料至局部位元線 /LBL 的寫入電路 92r。

【0344】資料讀出部，包括 P 通道 MOS 電晶體 RPQ1，根據局部位元線 LBL 的電位，傳送高側電源電壓 VDD 至通用位元線 GBL；P 通道 MOS 電晶體 RPQ2，根據局部位元線 /LBL 的電位選擇性地成為導通狀態，傳送高側電源電壓 VDD 至通用位元線 /GBL；以及電位保持電路 100，用以保持局部位元線 LBL 及 /LBL 的電壓準位。

【0345】電位保持電路 100，包括閘極及汲極交叉耦合的 P 通道 MOS 電晶體 PT100 及 PT102，並維持局部位元線 LBL 及 /LBL 之中的高電位側的局部位元線的電壓至高側電源電壓 VDD 準位。

【0346】第 47 圖所示的半導體記憶裝置的結構中，在待命狀態時，預充電指示信號 PCG 在 L 準位，且局部位元線 LBL 及 /LBL 由 MOS 電晶體 PPQ1 及 PPQ2 維持在 H 準位。通用位元線 GBL 及 /GBL 在 L 準位，寫入補助電路 PCK 中的 MOS 電晶體 PT92 及 PT90 在導通狀態，以及 VDD 源極線 VDML 及 VDMR 維持在高側電源電壓 VDD 準位。

【0347】資料讀出時，當選擇連接至局部位元線 LBL 及 /LBL 的記憶單元時(選擇字元線時)，預充電指示信號 PCG 變

成 H 準位，預充電用的 MOS 電晶體 PPQ1 及 PPQ2 變成非導通狀態，停止對局部位元線 LBL 及 /LBL 的預充電動作。接著，根據字元線的選擇，局部位元線 LBL 及 /LBL 上產生對應選擇記憶單元的記憶資料的電壓變化。電位保持電路 100 維持局部位元線 LBL 及 /LBL 中的高電位側的局部位元線在高側電源電壓 VDD 準位。因此，經由選擇記憶單元放電，低電位側的局部位元線電位逐漸降低。

【0348】隨著上述局部位元線的電壓準位下降，讀出用的 P 通道 MOS 電晶體 RPQ1 及 RPQ2 的一方變成導通狀態，通用位元線 GBL 或 /GBL 的電壓準位上升。現在，為了簡化說明，假設通用位元線 GBL 的電壓準位上升。由於 MOS 電晶體 RPQ2 維持在非導通狀態，通用位元線 /GBL 維持在預充電狀態的 L 準位。上述狀態中，通用位元線 GBL 的電壓準位上升時，寫入電路 921 中，寫入用的 MOS 電晶體 WNQ1 變成導通狀態，往低側電源電壓方向驅動局部位元線 LBL 的電壓準位，因此，讀出用的 MOS 電晶體 RPQ1 快速成為導通狀態，且通用位元線 GBL 的電壓準位快速上升。

【0349】另一方面，寫入電路 92r 中，通用位元線 /GBL 在 L 準位，MOS 電晶體 WNQ3 在非導通狀態，且局部位元線 /LBL 維持在 H 準位。通用位元線 GBL 的電壓準位上升時，在資料讀出中，通用位元線 GBL 的電壓上升幅度小(比 MOS 電晶體 WNQ1 的臨界電壓高的電壓準位)。即，通用位元線 GBL 的配線電容大，其電壓準位不充分擺動至電壓 VDD 準位，也不上升至電壓 VDD-V_{thp} 準位。因此，MOS 電晶體 PT90 維持在導

通狀態，且 VDD 源極線 VDML 及 VDMR 都維持在高側電源電壓 VDD 準位，執行穩定且快速的資料讀出而不破壞資料。

【0350】資料寫入時，在寫入前的狀態中，通用位元線 GBL 及 /GBL 預充電至 L 準位，寫入補助電路 PCK 預充電 VDD 源極線 VDML 及 VDMR 至高側電源電壓 VDD 準位。又，藉由預充電指示號 PCG，通用位元線 LBL 及 /LBL 預充電至 H 準位。

【0351】資料寫入時，通用位元線 GBL 及 /GBL 根據寫入資料充分擺動至 H 準位及 L 準位。因此，寫入補助電路 PCK 中，對應傳送 H 準位資料的通用位元線的 MOS 電晶體 PT90 或 PT92 變成非導通狀態。現在，假設傳送 H 位元資料至通用位元線 GBL。在此情況下，局部位元線 LBL 經由 MOS 電晶體 WNQ1 及 WNQ2 放電至低側電源電壓準位。寫入電路 92r 中 MOS 電晶體 WNQ3 在非導通狀態，且局部位元線 /LBL 維持在 H 準位。

【0352】寫入補助電路 PCK 中，MOS 電晶體 PT90 為非導通狀態，且 VDD 源極線 VDML 變成浮動狀態。當選擇記憶單元 MC 內寫入相反資料(邏輯準位與保持資料相反的資料)時，由記憶單元內的各反相器的貫通電流降低左側 VDD 源極線 VDML 的電壓準位。上述狀態中，電位保持電路 100 維持局部位元線 /LBL 在高側電源電壓 VDD 準位，另一方面，驅動局部位元線 LBL 至 L 準位。在此情況下，對應 VDD 源極線 VDML 的電壓準位的下降，記憶單元內的反相閘鎖器的閘鎖能力下降，因此寫入界限增大，可以在選擇記憶單元內快速執行資料的寫入。上述資料寫入動作中，連接至高側電源節點 VHR 的

負荷電晶體，根據來自局部位元線 LBL 的 L 準位資料，快速成爲導通狀態，驅動對應的儲存節點至 H 準位，使其他的負荷電晶體爲非導通狀態，快速驅動各儲存節點至對應寫入資料的電壓準位。

【0353】因此，對應傳送 L 準位資料的局部位元線而配置的 VDD 源極線即使爲浮動狀態，記憶單元 MC 中，反相門鎖器的門鎖能力成爲非平衡狀態，且由於驅動 H 準位的反相器側的電流驅動能力變大，可以達成快速的寫入。

【0354】又，當需要長時間的資料寫入時，MOS 電晶體 PT94 及 PT96 抑制 VDD 源極線 VDML 及 VDMR 的電壓準位下降過多，而降低選擇列且非選擇行的記憶單元的資料保持特性。不過，執行快速寫入，且 VDD 源極線 VDML 及 VDMR 的電壓準位下降對於選擇列且非選擇行的記憶單元的保持資料無不良影響時，不必特別設置鉗固用的 MOS 電晶體 PT94 及 PT96。

【0355】又，取代上述鉗固用的 MOS 電晶體 PT94 及 PT96，也可以使用切換前實施例中所示的電源電壓的結構，或一次脈衝驅動等的結構。

【0356】第 48 圖係概略顯示根據本發明第十五實施例的半導體裝置的通用位元線對的相關部分的結構。對於通用位元線 GBL 及 /GBL，配置複數的行區塊 MBa-MBm 的記憶單元。分別在行區塊 MBa-MBm 中，配設字元線 WL0-WLn。例如，在各行區塊 MBa-MBm 中，配置 16 行或 32 行的記憶單元。局部位元線的負荷減輕，又，由於記憶單元不連接至通用位元線，通用位元線的負荷減輕，並快速執行資料的寫入/讀出。

【0357】分別對應行區塊 MBa-MBm，配設局部位元線 LBL0、/LBL0-LBLm、/LBLm。分別對應局部位元線對 LBL0、/LBL0-LBLm、/LBLm，設置 VDD 源極線對 VDML0、VDMR0-VDMLm、VDMRm。

【0358】分別對應行區塊 MBa-MBm，設置寫入補助電路 PCKa-PCKm，上述寫入補助電路 PCKa-PCKm，分別根據通用位元線 GBL、/GBL 的電位準位，控制對應的 VDD 源極線 LBL0、/LBL0-LBLm、/LBLm 的電壓準位(阻抗)。

【0359】又，更分別對應行區塊 MBa-MBm，設置在通用位元線與對應的局部位元線之間執行內部資料的寫入/讀出的周邊電路 PHa-PHm。上述的周邊電路 PHa-PHm 各具有與第 47 圖所示的周邊電路 PH 的結構相同的結構，並執行內部資料的寫入/讀出。

【0360】預充電指示信號 PCGa-PCGm 分別供應至周邊電路 PHa-PHm。分別根據指定包括選擇行的行區塊的行區塊選擇信號，控制預充電指示信號 PCGa-PCGm 的活化/非活化。對於非選擇行區塊，預充電指示信號維持在非活化狀態，且對應的局部位元線維持預充電狀態。因此，寫入補助電路 PCKa-PCKm 中，根據通用位元線 GBL 及 /GBL 的電壓準位變化，即使各行區塊的 VDD 源極線 VDML 或 VDMR 成爲浮動狀態，對應的字元線也爲非選擇狀態，記憶單元 MC 中，電流流過的路徑被阻斷，且非選擇行區塊且選擇列的記憶單元中，穩定保持資料。1 選擇行區塊內的非選擇記憶單元中，與各前實施例同樣穩定保持資料。即，選擇行/非選擇列的寫入補助電路中，通用位

元線 GBL 及 /GBL 都在 L 準位，VDD 源極線 VDML 及 VDMR 維持在高側電源電壓 VDD 準位。

【0361】如上所述，根據本發明的第十五實施例，位元線具有通用位元線及局部位元線的階層構造中，記憶單元的高側電源線對應局部位元線而形成分割構造，各分割 VDD 源極線內設置寫入補助電路，同時個別驅動記憶單元的高側電源節點，藉此 VDD 源極線 VDML、VDMR 的負荷減輕，資料寫入時可以快速改變電位，並可以達成快速寫入。又，根據通用位元線電位，改變 VDD 源極線電位，因此可以以較快的時序改變 VDD 源極線的電壓準位，達成快速寫入。又，對應通用位元線的電壓，設定電源線控制的時序，以所謂的自我時序執行動作控制，簡化時序控制。

【0362】 [第十六實施例]

【0363】第 49 圖係概略顯示根據本發明第十六實施例的半導體記憶裝置的主要部分的結構。第 49 圖概略顯示有關對位元線 BL 及 /BL 配置的記憶單元 MC 的結構。對於位元線 BL 及 /BL，單元電源線 PVL 在各列分離配置。對於上述單元電源線 PVL(VDD 源極線或 VSS 源極線或井區)，設置寫入補助電路 PCK。上述寫入補助電路 PCK，根據內部資料線 IOL 及 /IOL 的電位與選擇信號 CSL，控制選擇列的單元電源線 PVL 的電壓準位(阻抗)。

【0364】位元線 BL 及 /BL，經由列選擇閘 CSG，耦合至內部資料線 IOL 及 /IOL。寫入時，內部資料線 IOL 及 /IOL 的電壓準位比位元線 BL 及 /BL 以更快的時序改變。因此，根據列

選擇信號 CSL，調整對選擇列的單元電源線 PVL 的電壓準位(阻抗)，藉此以更快的時序在寫入時增大記憶單元的寫入界限，可以達成快速的寫入。

【0365】資料讀出時的動作與目前為止所說明的實施例相同。

【0366】但是，第 49 圖所示的結構中，需要利用列選擇信號 CSL，且產生列選擇信號 CSL 的部分需要大的驅動力，配置面積及消耗功率稍微變大。不過，以自我時序執行單元電源線的電壓阻抗控制，簡化控制電路的結構，用以抑制配置面積及消耗功率大幅增大。

【0367】如上所述，根據本發明第十六實施例，依據內部資料線的電壓，以各列單位調整單元電源線的電壓準位，並可以快速執行資料寫入。

【0368】[第十七實施例]

【0369】第 50 圖係概略顯示根據本發明第十七實施例的半導體記憶裝置的全體結構圖。第 50 圖所示的半導體記憶裝置中，單元電源控制單位 2 中，分別對應位元線對 BL0、/BL0，...，BLn、/BLn，設置寫入補助電路 APCK0，...，APCKn。上述各寫入補助電路 PCK0-APCKn，在資料寫入時，設定對於對應列(位元線對)設置的單元電源線對 APVL0-APVLn 的電壓準位為與資料讀出時不同的電壓準位。

【0370】上述的單元電源線對 APVL0-APVLn 分別對應記憶單元列而配置，各包括傳送單元高側電源電壓 VDD 及單元低側電源電壓 VSS 的單元電源線(第 1 及第 2 單元電源線)。

【0371】寫入補助電路 APCK0-APCKn，在資料寫入時，將經由對應的單元電源線對 APVL0-APVLn 傳送的單元電源電壓 VDD 及 VSS 的電壓準位，分別設定為電源電壓 VDD 及 VSS 之間的中間電壓準位。藉此，寫入時，選擇記憶單元 MC 為不安定狀態，快速達成寫入。

【0372】第 50 圖所示的半導體記憶裝置的其他結構與第 1 圖所示的半導體記憶裝置的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0373】第 50 圖所示的寫入補助電路 APCK0-APCKn 中，在寫入時，單元電源線對 APVL0-APVLn 上的電源電壓 VDD 及 VSS 兩者都改變。因此，與 VDD 源極線或 VSS 源極線中只有一方改變電壓準位時情況相比，記憶單元可以更快成為不安定狀態(雜訊界限可以變小，即寫入界限可以變大)，可以快速執行寫入。

【0374】第 51 圖係顯示第 50 圖所示的記憶單元 MC 的結構的一範例圖。第 51 圖所示的記憶單元 MC 與第 2 圖所示的記憶單元 MC 的結構有以下不同點。即，記憶單元 MC 中，低側電源節點 VL 耦合至 VSS 源極線 VSM。上述低側電源節點 VL 共同連接至資料儲存用的 N 通道 MOS 電晶體 NQ1 及 NQ2 的源極。第 51 圖所示的記憶單元 MC 其他的結構與第 5 圖所示的記憶單元的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0375】高側電源節點 VH 及低側電源節點 VL 分別耦合至包含在單元電源線對 APCK 內的 VDD 單元電源線(VDD 源極

線)VDM 及 VSS 單元電源線(VSS 源極線)VSM。記憶單元的高側電源節點 VH 及低側電源節點 VL 在寫入時兩者都改變電壓準位。

【0376】第 52 圖係信號波形圖，顯示第 50 圖所示的半導體記憶裝置的動作。第 52 圖顯示的動作係，第 51 圖所示的記憶單元 MC 中，H 準位在儲存節點 ND1 及 L 準位在儲存節點 ND2 的資料保持。

【0377】在資料讀出時，當驅動字元線 WL 至選擇狀態時，記憶單元 MC 中的 MOS 電晶體 NQ3 及 NQ4 導通，儲存節點 ND1 及 ND2 連接至位元線 BL 及 /BL。因此，對應記憶單元 MC 的儲存資料，產生位元線 BL 及 /BL 之間的電位差。上述位元線 BL 及 /BL 的電位差係比啓動第 1 圖所示的寫入補助電路 APCK0-APCKn 的電位變化動作的電壓準位 VT 高的電壓準位。因此，VDD 源極線 VDM 及 VSS 源極線 VSM 的電壓準位分別維持在高側電源電壓 VDD 及低側電源電壓 VSS。

【0378】記憶單元 MC 中，雖然 L 準位的儲存節點 ND2 的電壓準位經由連接至互補的位元線 /BL 而上升，但是高側電源節點 VH 及低側電源節點 VL 的電壓準位分別為高側電源電壓 VDD 及低側電源電壓 VSS 準位，可以穩定保持資料，並執行資料的讀出。

【0379】另一方面，資料寫入動作時，選擇字元線 WL，又，位元線 BL 及 /BL 的電壓準位，對應寫入資料，充分擺動至電源電壓 VDD 及 VSS 準位。上述寫入時，位元線 BL 及 /BL 的其中一方比寫入補助電路的輸入邏輯臨界電壓 VT 低時，啓動

第 50 圖所示的寫入補助電路 APCK0-APCKn，VDD 源極線 VDM 及 VSS 源極線 VSM 的電壓準位改變。藉此，VDD 源極線 VDM 的電壓準位下降電壓 ΔV_H ，且 VSS 源極線 VSM 的電壓準位上升 ΔV_L 。因此，記憶單元 MC 中，高側電源節點 VH 與低側電源節點 VL 的電壓差只降低電壓 $\Delta V_H + \Delta V_L$ ，記憶單元 MC 的儲存節點 ND1 及 ND2 的電壓準位，對應傳送至位元線 BL 及 /BL 的寫入資料，而快速改變(分別驅動儲存節點 ND1 及 ND2 至 L 準位及 H 準位)。

【0380】因此，資料寫入時，記憶單元的高側電源節點 VH 及低側電源節點 VL 的電壓準位改變，其電壓差降低，藉此靜態雜訊界限變小，可以快速執行資料的寫入。

【0381】VDD 源極線 VDM 及 VSS 源極線 VSM 耦合至各對應列的記憶單元的電源節點，其寄生電容大體上相同。因此，上述源極線 VDM 及 VSM 中，可以輕易產生大體上同樣大小的電位改變。

【0382】在此結構下，對應記憶單元列而配置源極線 VDM 及 VSM，上述源極線 VDM 及 VSM 的電壓準位改變。因此，不必另外設置虛的電源線，因而配線面積降低，因此，簡化了配線配置。

【0383】分別對應記憶單元列，配置 VDD 源極線及 VSS 源極線的結構，可以使用與配置前實施例 VDD 源極線及虛源極線的相同結構。只要取代虛源極線 DVSM，而使用 VSS 源極線即可。

【0384】[寫入補助電路的具體結構 1]

【0385】第 53 圖係顯示根據本發明的第十七實施例的半導體裝置的寫入補助電路的具體結構圖。第 53 圖顯示有關排成一行而配置的記憶單元 MC 的部分的結構。對應各記憶單元列，設置第 53 圖所示的寫入補助電路 APCK(APCKa、APCKb)。第 53 圖中，對應記憶單元列，在位元線的兩端對向設置寫入補助電路 APCKa、APCKb。由於上述寫入補助電路 APCKa、APCKb 具有同一結構，對應的部分係付與相同的參考符號。

【0386】寫入補助電路 APCKa、APCKb 各包括單元電源控制部 AVCT，用以根據對應列的位元線 BL 及 /BL 上的電位，控制對單元電源線對 APVL 的電源供給；以及 P 通道 MOS 電晶體 PT100，用以根據單元電源控制部 AVCT 的輸出信號，電氣耦合 VDD 源極線 VDM 及 VSS 源極線 VSM。

【0387】單元電源線對 APVL 內包括的 VDD 源極線 VDM 及 VSS 源極線 VSM，分別設置於每記憶單元，並分別耦合至對應列的記憶單元 MC 的高側電源節點 VH 及低側電源節點 VL。

【0388】單元電源控制部 AVCT，具有的結構大體上與第 24 圖所示的單元電源控制部 VCT 的結構相同，包括 NAND 閘 NG1，接收位元線 BL 及 /BL 上的電壓；反相器 IV15，接收 NAND 閘 NG1 的輸出信號；P 通道 MOS 電晶體 PT3，根據 NAND 閘 NG1 的輸出信號，選擇性地分離 VDD 源極線 VDM 與電源節點 (VDD)；以及 N 通道 MOS 電晶體 NT100，根據反相器 IV15 的輸出信號，選擇性地分離 VSS 源極線 VSM 與接地節點。

【0389】P 通道 MOS 電晶體 PT100，根據反相器 IV15 的輸

出信號而選擇性地導通，並電氣耦合 VDD 源極線 VDM 及 VSS 源極線 VSM。上述 P 通道 MOS 電晶體 PT100 的導通電阻設定的比較高，即使 P 通道 MOS 電晶體 PT100 導通時，上述的源極線 VDM 及 VSM 中的電荷移動而產生電位變化，但是源極線 VDM 及 VSM 的電位為不同電位，且兩者間在有限時間內產生電位差。假設 MOS 電晶體 PT100 的導通電阻為 Z ，VDD 源極線 VDM 及 VSS 源極線 VSM 的配線電容都為 C 時，上述源極線 VDM 及 VSM 的電位變化速度各為 $(VDD - \Delta VH - \Delta VL) / (R \cdot C)$ 的比例。源極線 VDM 及 VSM 的電位差大時，電位變化速度大，且漸漸降低電位變化速度。因此，寫入時，VDD 源極線 VDM 及 VSS 源極線 VSM 間可以在最初產生大的電位變化，在寫入時的動作界限可以很大。又，VDD 源極線 VDM 及 VSS 源極線 VSM 的配線電容大體上相同，電壓變化 ΔVH 及 ΔVL 的大小也大體上相同。因此，與一方的單元電源線產生電位變化的情況相較，可以在記憶單元的電源節點 VL 及 VH 之間產生幾乎 2 倍的電位變化，可以快速使記憶單元不穩定而放大寫入界限。

【0390】又，第 53 圖中，代表性地顯示 4 條的字元線 WL0-WL3，各對應排成 1 列配置的記憶單元而設置字元線。

【0391】第 54 圖係信號波形圖，顯示第 53 圖所示的結構在資料寫入時的動作。以下參考第 54 圖，說明第 53 圖所示的寫入補助電路的動作。

【0392】資料寫入前，位元線 BL 及 /BL 在待命狀態，位元線 BL 及 /BL 中設置有圖中未顯示的位元線負荷電路，而上述位元線負荷電路在待命時預充電位元線 BL 及 /BL 至電源電壓

準位或接近的電壓準位，成爲 H 準位。上述狀態中，NAND 閘 NG1 的輸出節點 NDA 在 L 準位，MOS 電晶體 PT3 及 NT100 都爲導通狀態，而 VDD 源極線 VDM 耦合至電源節點，VSS 源極線 VSM 耦合至接地節點，分別爲電源電壓 VDD 及 VSS 準位。

【0393】資料寫入時，根據寫入資料，位元線 BL 及 /BL 的電位改變。上述位元線 BL 及 /BL 中的一方的電位超過 NAND 閘 NG1 的輸入邏輯臨界值 VT 時，NAND 閘 NG1 的輸出信號爲 H 準位，MOS 電晶體 PT3 及 NT100 爲非導通狀態，且源極線 VDM 及 VSM 與高側電源節點及低側電源節點分離而成爲浮動狀態。同時，P 通道 MOS 電晶體 PT100 導通，而 VDD 源極線 VDM 及 VSS 源極線 VSM 電氣耦合。

【0394】P 通道 MOS 電晶體 PT100 的導通電阻(通道電阻及源極/汲極擴散電阻)較大，其浮動狀態的源極線 VDM 及 VSM 中，即使電荷從 VDD 源極線 VDM 往 VSS 源極線 VSM 移動，也不使上述兩者之間的電位在有限時間內相等。即，VDD 源極線 VDM 的電壓準位從電源電壓 VDD 稍微下降，且 VSS 源極線 VSM 的電壓準位比低側電源電壓 VSS 上升少許(電壓變化速度最初爲大，逐漸變小)。

【0395】由於上述源極線 VDM 及 VSM 的電壓準位的變化，記憶單元 MC 的鎖門能力降低，且寫入界限增加，而可以快速執行寫入。又，上述源極線 VDM 及 VSM 的電壓準位變化小，充分確保選擇單元列的非選擇記憶單元的靜態雜訊界限，可以穩定保持資料。同樣地，非選擇列的選擇行的記憶單元

中，維持記憶單元與讀出動作時相同的狀態，可以穩定地保持資料與讀出時相同。

【0396】資料讀出時及待命時，位元線 BL 及 /BL 的電壓準位係比 NAND 閘 NG1 的輸入邏輯臨界值 V_T 高的電壓準位，MOS 電晶體 PT3 及 NT100 為導通狀態，又，MOS 電晶體 PT100 為非導通狀態。因此，VDD 源極線 VDM 及 VSS 源極線 VSM 分別確實地維持在高側電源電壓 VDD 及低側電源電壓 VSS，可以穩定執行資料的保持及讀出。

【0397】如上所述，根據第十七實施例，使用分別對應記憶單元列而配置的 VDD 源極線及 VSS 源極線，在資料寫入時改變上述兩電壓準位，不需要如前第 24 圖所示的虛源極線，可以更減低配線配置面積，又，只使用 1 個 MOS 電晶體取代 CMOS 傳送閘，可以減低配置面積。

【0398】又，本發明的第十七實施例中的源極線 VDM 及 VSM 的配線，藉由在各記憶單元列，設置 P 井區及 N 井區，且 VDD 源極線及 VSS 源極線沿著各井區的列方向配設(例如使用第 3 金屬線)而達成。

【0399】又，單元電源控制部 AVCT 中，藉由利用與列方向排列的 2 記憶單元相同的電晶體配置，可以實現 NAND 閘 NG1、反相器 IV15 及 MOS 電晶體 PT3、NT100 的電路結構。上述配置中，只再需要電氣耦合至 VDD 源極線 VDM 及 VSS 源極線 VSM 的 P 通道 MOS 電晶體 PT100。

【0400】[寫入補助的電路結構 2]

【0401】第 55 圖係顯示根據本發明第十七實施例的寫入補

助電路的第 2 結構圖。第 55 圖所示的寫入補助電路 APCKa 及 APCKb 的結構與第 53 圖所示的寫入補助電路的結構有以下不同點。即，根據節點 NDA 上的信號，使用選擇性地導通的 N 通道 MOS 電晶體 NT102 作為電氣耦合 VDD 源極線 VDM 至 VSS 源極線 VSM 的電晶體元件。第 55 圖所示的寫入補助電路 APCKa 及 APCKb 的其他結構與第 53 圖所示的寫入補助電路 APCKa 及 APCKb 的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0402】又，記憶單元 MC、字元線 WL0-WL3、及單元電源線對 APVL 的配置與第 53 圖所示的配置相同。即，單元電源線對 APVL(源極線 VDM、VSM)設置於各記憶單元列。

【0403】第 55 圖所示的寫入補助電路 APCKa 及 APCKb 中，資料寫入時，位元線 BL 及 /BL 中的一方的電位成為比 NAND 閘 NG1 的輸入邏輯臨界值 V_T (參考第 54 圖)低的電壓準位。當 NAND 閘 NG1 的輸出信號為 H 準位時，N 通道 MOS 電晶體 NT102 成為導通狀態，而 MOS 電晶體 PT3 及 NT100 成為非導通狀態。上述 N 通道 MOS 電晶體 NT102 的導通電阻大，抑制 VDD 源極線 VDM 及 VSS 源極線 VSM 之間的電荷移動，不執行上述的源極線 VDM 及 VSM 的電位等化，而維持電位差。即，與前第 54 圖所示的信號波形圖相同，VDD 源極線 VDM 的電位準位稍微下降，VSS 源極線 VSM 的電位準位稍微上升。藉此，記憶單元 MC 成為不穩定狀態，可以放大寫入界限。

【0404】因此，資料寫入時，使用 N 通道 MOS 電晶體 NT102 作為耦合 VDD 源極線 VDM 至 VSS 源極線 VSM 的元件，與前

第 53 圖所示的寫入補助電路的結構相同，可以升高寫入時的動作界限，而可以得到與第 53 圖所示的結構相同的效果。

【0405】第 55 圖所示的寫入補助電路的結構中，可以利用與 2 列的記憶單元相同的配置的電晶體，達成寫入補助電路。即，可以利用對應記憶單元的存取電晶體的電晶體，作為電氣耦合的 N 通道 MOS 電晶體 NT102，雖然內部配線的配置不同，但是可以規律地重覆配置電晶體形成區域以配置寫入補助電路。

【0406】[寫入補助電路的結構 3]

【0407】第 56 圖係顯示根據本發明第十七實施例的寫入補助電路的第 3 結構圖。第 56 圖所示的寫入補助電路的結構與第 53 及 54 圖所示的寫入補助電路 APCKa 及 APCKb 的結構有以下不同點。即，VDD 源極線 VDM 及 VSS 源極線 VSM 之間串聯設置 N 通道 MOS 電晶體 NT110 及 P 通道 MOS 電晶體 PT110。N 通道 MOS 電晶體 NT110 的閘極耦合至節點 NDA，MOS 電晶體 PT110 在閘極接收反相器 IV15 的輸出信號。N 通道 MOS 電晶體 NT110 耦合至 VDD 源極線 VDM，而 P 通道 MOS 電晶體 PT110 耦合至 VSS 源極線 VSM。

【0408】第 56 圖所示的寫入補助電路的其他結構及記憶單元的配置，與第 53 圖或第 55 圖所示的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0409】第 57 圖係信號波形圖，顯示第 56 圖所示的寫入補助電路在資料寫入時的動作。以下，參考第 57 圖，說明關於第 56 圖所示的寫入補助電路的動作。

【0410】資料寫入時，當位元線 BL 及 /BL 的電位根據寫入資料而改變，且其中之一方的位元線電位比 NAND 閘 NG1 的輸入邏輯臨界值 V_T 低時，節點 NDA 的電壓準位成爲 H 準位。因此，MOS 電晶體 PT3 及 NT100 成爲非導通狀態，另一方面，MOS 電晶體 NT110 及 PT110 爲導通狀態。經由上述的 MOS 電晶體 PT110 及 NT110，成爲浮動狀態的 VDD 源極線 VDM 及 VSS 源極線 VSM 電氣耦合。MOS 電晶體 PT110 及 NT110 的導通電阻的合成電阻比 1 個 MOS 電晶體的導通電阻大的多，因此，抑制了浮動狀態的源極線 VDM 及 VSM 之間的電荷移動。因此，如第 57 圖所示，與使用 1 個 MOS 電晶體的情況相較，更抑制 VDD 源極線 VDM 及 VSS 源極線 VSM 的電位變化。

【0411】藉此，抑制 VSS 源極線 VSM 的電位過度上升或 VDD 源極線 VDM 的電位過度下降，使記憶單元的資料保持特性惡化，而產生資料破壞。藉此，可以更安全地抑制資料保持特性下降，同時放大寫入動作界限。

【0412】[變形例]

【0413】第 58 圖係顯示寫入補助電路的第 3 結構的變形例的結構圖。第 58 圖所示的寫入補助電路 APCKa 及 APCKb 中，VDD 源極線 VDM 及 VSS 源極線 VSM 之間，P 通道 MOS 電晶體 PT112 及 N 通道 MOS 電晶體 NT112 串聯連接。P 通道 MOS 電晶體 PT112 的閘極接收反相器 IV15 的輸出信號，而 N 通道 MOS 電晶體 NT112 的閘極耦合至節點 NDA。P 通道 MOS 電晶體 PT112 耦合至 VDD 源極線 VDM，N 通道 MOS 電晶體 NT112

耦合至 VSS 源極線 VSM。

【0414】第 58 圖所示的寫入補助電路的其他結構、記憶單元的配置以及單元電源線的配置，與第 56 圖所示的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0415】第 58 圖所示的結構中，與第 56 圖所示的寫入補助電路中的電晶體元件的配置相較，電氣耦合 VDD 源極線 VDM 及 VSS 源極線 VSM 的 MOS 電晶體的位置改變。因此，利用第 58 圖所示的結構，可以達到大體上與第 56 圖所示的寫入補助電路相同的效果，可以抑制 VDD 源極線及 VSS 源極線的電位變化量，而可以抑制記憶單元的資料保持特性的惡化，並可以穩定保持保持資料。

【0416】又，上述第十七實施例的結構中，在位元線的兩端配置寫入補助電路。不過，上述寫入補助電路可以設置在位元線的中央部，又，如果位元線為局部/通用位元線的階層構造時，可以在各局部位元線設置寫入補助電路。

【0417】又，上述的說明中，單元電源線對 APVL0-APVLn(VDD 源極線 VDM 及 VSS 源極線 VSM)，對應記憶單元而個別配設。不過，上述單元的 VDD 源極線及 VSS 源極線對記憶陣列區塊共同設置，上述高側電源電壓及低側電源電壓可以以陣列區塊單位來調整。

【0418】如上所述，根據本發明的第十七實施例，記憶單元陣列內配設的高側電源線(VDD 源極線)及低側電源線(VSS 源極線)在資料寫入時電氣耦合，因此記憶單元的電源節點間的電壓在資料寫入時，可以更確實地減少，而可以在寫入時放

大動作界限。又，單元電源線與電源節點分離，電荷只在 VDD 源極線與 VSS 源極線之間移動，可以防止高側及低側電源節點之間流過貫通電流，而可以降低消耗電流。

【0419】 [第十八實施例]

【0420】 第 59 圖係概略顯示根據本發明第十八實施例的半導體記憶裝置的主要部分的結構圖。第 59 圖所示的半導體記憶裝置的結構與第 50 圖所示的半導體記憶裝置有以下不同點。

【0421】 即，單元電源控制電路 150，包括寫入補助電路 BPCK0-BPCKn，分別對應對應位元線對而配置的單元電源線對 APVL0-APVLn 而設置。上述寫入補助電路 BPCK0-BPCKn，各根據來自列選擇電路 4 的列選擇信號 CSL0-CSLn 以及來自主控制電路 7 的寫入指示信號 WEN，改變對應選擇列而配置的單元電源線對的電壓準位。

【0422】 來自列選擇電路 4 的列選擇信號 CSL0-CSLn，如第 8 圖所示，相當於來自列解碼器(4a)的列選擇信號(CSL)，並根據列位址信號 CA 而產生。寫入指示信號 WEN 由主控制電路 7 根據來自外部的寫入致能信號 WE 以及晶片致能信號 CE 而產生，在寫入動作時活化。

【0423】 單元電源線對 APVL0-APVLn 在與單元控制電路 150 對向的端部，設置電位保持電路 160。上述電位保持 160 包括保持電路 KP0-KPn，分別對應單元電源線對 APVL0-APVLn 而設置。保持電路 KP0-KPn 各鉗固對應的單元電源線對 APVL0-APVLn 的高側電源電壓 VDD 的下限值及低側電源電壓 VSS 的上限值在既定電壓電位。藉此，資料寫入

時，抑制了上述單元電源線對 APVL0-APVL_n 的電位過度變化。

【0424】第 59 圖所示的半導體記憶裝置的其他結構，與第 56 圖所示的結構相同，對應的部分付與同一參考符號，並省略詳細的說明。

【0425】第 59 圖所示的結構中，寫入補助電路 BPCK0-BPCK_n，根據寫入指示信號 WEN 與列選擇信號 CSL0-CSL_n，調整對應的單元電源線對 APVL0-APVL_n 的電壓電位。因此，在位元線電位變化前，可以調整單元電源線對 APVL0-APVL_n 的電壓準位，可以以較快的時序完成寫入動作。

【0426】又，藉由配置上述單元控制電路 150 於列選擇電路的近旁，可以抑制列選擇信號線的配線長增加，並傳送列選擇信號至各寫入補助電路。又，寫入補助電路 BPCK0-BPCK_n，各根據對應的位元線對的電位，只調整單元電源線(VDD 源極線 VDM 及 VSM 源極線 VSM)的電位，相較於基板區域(井區)的電位控制，負荷小，因此可以降低電晶體尺寸，並可以抑制電路配置面積的增大。

【0427】第 60 圖係顯示第 59 圖所示的保持電路 KP0-KP_n 及寫入補助電路 BPCK0-BPCK_n 的具體結構的一範例圖。第 60 圖中，代表性地顯示關於 1 列的記憶單元的部分的結構。分別對應記憶單元 MC，配置字元線 WL0-WL3。排成 1 列而配置的記憶單元的數量可以更多。第 60 圖所示的結構係對應各記憶單元列而設置。

【0428】在位元線對 BL、/BL 的一端，設置位元線負荷電路 9，將位元線電位預充電至電源電壓或比電源電壓低的既定

電壓準位，同時供給列電流至位元線；以及列選擇閘 CSG，根據列選擇信號 CSL 而導通，且耦合對應的位元線 BL 及 /BL 至內部資料線對 IO。

【0429】寫入補助電路 BPCK，包括 NAND 閘 NG10，用以接收列選擇信號 CSL 及寫入指示信號 WEN；反相器 IV20，用以反相 NAND 閘 NG10 的輸出信號；P 通道 MOS 電晶體 PPQ1，用以根據反相器 IV20 的輸出信號，耦合 VDD 源極線 VDM 至高側電源節點 (VDD 節點)；N 通道 MOS 電晶體 NNQ1，用以根據 NAND 閘 NG10 的輸出信號，耦合 VSS 源極線 VSM 至低側電源節點 (VSS 節點)；以及 P 通道 MOS 電晶體 PPQ2，用以根據 NAND 閘 NG10 的輸出信號，電氣耦合源極線 VDM 及 VSM。

【0430】寫入指示信號 WEN 在活化時 (資料寫入動作時) 設定為 H 準位。列選擇信號 CSL 在選擇時為 H 準位。因此，當列選擇信號 CSL 指定對應的列時，NAND 閘 NG10 輸出 L 準位的信號。

【0431】保持電路 KP，包括二極體連接的 P 通道 MOS 電晶體 PPQ3，在 VDD 源極線 VDM 及高側電源節點 (VDD 節點) 之間連接；以及二極體連接的 N 通道 MOS 電晶體 NNQ2，在 VSS 源極線 VSM 及低側電源節點 (VSS 節點) 之間連接。

【0432】MOS 電晶體 PPQ3 的閘極耦合至 VDD 源極線 VDM，並鉗固上述 VDD 源極線 VDM 的電壓下限值在電壓 $V_{DD}-V_{thp}$ 的電壓準位。MOS 電晶體 NNQ2 的閘極耦合至低側電源節點，並鉗固 VSS 源極線 VSM 的電壓上限值在電壓 $V_{thn}+V_{SS}$ 的準位。在此， V_{thp} 及 V_{thn} 分別表示 MOS 電晶體

PPQ3 及 NNQ2 的臨界電壓的絕對值。

【0433】第 61 圖係信號波形圖，顯示第 60 圖所示結構在資料寫入時的動作。以下，參考第 61 圖，說明第 60 圖所示的寫入補助電路的動作。

【0434】待命狀態及資料讀出時，寫入指示信號 WEN 在 L 準位，NAND 閘 NG10 的輸出信號為 H 準位，以及反相器 IV20 的輸出信號為 L 準位。因此，上述狀態中，MOS 電晶體 PPQ1 及 NNQ1 都為導通狀態，另一方面，MOS 電晶體 PPQ2 為非導通狀態。因此，VDD 源極線 VDM 及 VSS 源極線 VSM 分別維持在高側電源電壓 VDD 及低側電源電壓 VSS 準位。上述狀態中，保持電路 KP 中鉗固用的 MOS 電晶體 PPQ3 及 NNQ3 為反偏壓狀態，皆為非導通狀態。

【0435】資料寫入時，寫入指示信號 WEN 根據寫入致能信號 WE 而活化。此時，列選擇信號 CSL 為 H 準位的選擇狀態時，NAND 閘 NG10 的輸出信號為 L 準位，因此，反相器 IV20 的輸出信號為 H 準位。上述狀態中，MOS 電晶體 PPQ1 及 NNQ1 為非導通狀態，另一方面，MOS 電晶體 PPQ2 為導通狀態。藉此，VDD 源極線 VDM 及 VSS 源極線 VSM 與對應的電源節點分離，並經由 MOS 電晶體 PPQ2 而電氣耦合，而改變其電壓準位。當 MOS 電晶體 PPQ2 的導通電阻小，VDD 源極線 VDM 及 VSS 源極線 VSM 的電壓準位改變大時，保持電路 KP 的 MOS 電晶體 PPQ3 及 NNQ2 鉗固各電壓準位，以防止上述 VDD 源極線 VDM 及 VSS 源極線 VSM 分別超過電壓 $VDD - V_{thp}$ 及 $VSS + V_{thn}$ 而變化。藉此，可以防止記憶單元的電源電壓 V_H

及 VL 大變化而資料保持特性惡化。

【0436】因此，在此情況下，位元線 BL 及 /BL 中，對應寫入資料產生電位變化前，可以根據寫入指示信號 WEN 改變 VDD 源極線 VDM 及 VSS 源極線 VSM 的電壓準位，且選擇列的記憶單元的雜訊界限小的狀態下，可以根據寫入資料執行寫入，而可以達成快速寫入。

【0437】另一方面，上述資料寫入時，對於非選擇列的記憶單元，列選擇信號 CSL 為 L 準位的非選擇狀態。因此，NAND 閘 NG10 的輸出信號為 H 準位，且與讀出時或待命時相同狀態地，上述的 VDD 源極線 VDM 及 VSS 源極線 VSM 的電壓準位分別維持在高側電源電壓 VDD 及低側電源電壓 VSS 準位。只對於執行資料寫入的記憶單元列，調整記憶單元電源電壓的準位，確實防止非選擇列的記憶單元的誤寫入。

【0438】又，對於選擇列的非選擇行的記憶單元，VDD 源極線 VDM 及 VSS 源極線 VSM 的電壓準位的電位變化量變小，抑制了資料保持特性的惡化，可以確實地保持資料。又，非選擇列的單元電源線 VDM 及 VSM 的電位不改變，只有選擇列中的電源線產生電位變化，單元電源線的電壓恢復時選擇列一定要成為非選擇列，不必執行全體的單元電源線的電壓恢復，減少了消耗電流。

【0439】又，第 60 圖所示的寫入補助電路 BPCK 的結構中，可以使用 N 通道 MOS 電晶體，以取代電氣耦合源極線 VDM 及 VSM 的 P 通道 MOS 電晶體 PPQ2。在此情況下，反相器 IV20 的輸出信號提供給用以促進電位變化的 N 通道 MOS 電晶體的

閘極。

【0440】 [變形例]

【0441】 第 62 圖係顯示根據本發明的第十八實施例的寫入補助電路的變形例的結構圖。第 62 圖所示的寫入補助電路 BPCK 中，VDD 源極線 VDM 及 VSS 源極線 VSM 之間串聯設置 N 通道 MOS 電晶體 NNQ3 及 P 通道 MOS 電晶體 PPQ4。MOS 電晶體 NNQ3 的閘極耦合至節點 NDB，而 MOS 電晶體 PPQ4 的閘極耦合至 NAND 閘極 NG10 的輸出。

【0442】 第 62 圖所示的寫入補助電路的其他結構、記憶單元的配置以及保持電路 KP 的結構，與第 60 圖所示的結構相同，對應的部分係付與同一參考符號，並省略詳細的說明。

【0443】 與設置 1 個開關電晶體(傳送閘)相比，MOS 電晶體 NNQ3 及 PPQ4 的串聯體可以經由大的導通電阻而電氣耦合 VDD 源極線 VDM 及 VSS 源極線 VSM。因此，可以減小對應資料寫入時的選擇列而配置的 VDD 源極線 VDM 及 VSS 源極線 VSM 的電位變化量，確實地放大寫入動作界限，還可以抑制非選擇記憶單元的保持資料破壞。

【0444】 又，第 62 圖所示的結構中，可以交換 N 通道 MOS 電晶體 NNQ3 與 PPQ4 的位置。又，當設定 N 通道 MOS 電晶體 NNQ3 及 PPQ4 的導通電阻為足夠的值，VDD 源極線 VDM 及 VSS 源極線 VSM 的電位變化量小時，不必特別設置保持電路 KP。

【0445】 如上所述，根據本發明的第十八實施例，在寫入時，調整對選擇列設置的單元電源線的電壓準位，可以放大寫

入動作的界限，並快速執行資料寫入。

【0446】又，電位變化時，只有浮動狀態的 VDD 源極線 VDM 及 VSS 源極線 VSM 之間電氣耦合，即使寫入周期變長，單元電源線間產生電荷移動，也可以防止電源節點與接地節點之間流過直流電流(貫通電流)。當寫入周期變長時，也可以第十七實施例中達成抑制 DC 電流的效果。

【0447】又，第十八實施例中，可以是位元線局部/通用位元線的階層位元線結構。對應局部位元線而配置各寫入補助電路。

【0448】又，寫入補助電路 BPCK，與第十七實施例的情況相同，可以利用具有與 2 個記憶單元同樣的電晶體配置的電晶體形成區，配置配線 NAND 閘 NG10、反相器 20、MOS 電晶體 PPQ1 及 NNQ1。

【0449】藉由應用上述發明於靜態型半導體裝置，即使在低電源電壓下，也可以改善寫入特性，且可以利用提供寫入及讀出的下限特性的電源電壓值，而可以以低電源電壓動作。因此，藉由在特別是晶片上系統(SOC)等的高積體化的半導體裝置中用作混載記憶體，可以實現以低消耗功率穩定地快速動作的半導體記憶裝置。

雖然已詳細說明並圖示本發明，但應了解上述僅用於例示，並非用於限定本發明，本發明的精神與範圍係由所附的申請專利範圍所限定。

【符號說明】

【0450】

- 1～記憶單元陣列；
- 10～一次脈衝產生電路；
- 100～電位保持電路；
- 112～列選擇閘；
- 150～單元電源控制電路；
- 160～電位保持電路；
- 1n～正規記憶單元陣元；
- 1s～備用記憶單元陣列；
- 2～單元電源控制單位；
- 20～N井區；
- 20～冗餘列置換控制電路；
- 21a、21b、21c、21d～P型不純物區域；
- 22～單元電源控制單位；
- 22a、22b～閘極電極；
- 25～電源電路；
- 26～降壓電路；
- 3～行選擇驅動電路；
- 30～偏壓電壓產生電路；
- 31～電阻元件；
- 32～N通道MOS電晶體；
- 4～列選擇電路；
- 4a～列解碼器；
- 4b0、4b1～2:1選擇器；
- 4n～正規列選擇電路；

4s ~ 冗餘列選擇電路；
5 ~ 寫入電路；
5a、5a0、5a1 ~ 寫入驅動電路；
6 ~ 讀出電路；
6a、6a0 ~ 感應放大器電路；
6a1 ~ 感應放大器電路；
7 ~ 主控制電路；
9 ~ 位元線負荷電路；
92l、92r ~ 寫入電路；
AD ~ 位址信號；
AG1、AG10 ~ AND 閘；
APCK0-APCKn、APCKa、APCKb ~ 寫入補助電路；
APVL ~ 單元電源線對；
APVL0-APVLn ~ 單元電源線對；
AR1-AR6 ~ 活性區；
AVCT ~ 單元電源控制部；
BL、/BL ~ 位元線；
BL0，/BL0、...、BLn，/BLn ~ 位元線；
BLP ~ 位元線對；
BPCK ~ 寫入補助電路；
BPCK0-BPCKn ~ 寫入補助電路；
CA ~ 內部列位址信號；
CE ~ 晶片致能信號；
CRD ~ 冗餘信號；

CSG～列選擇閘；
CSL～列選擇信號；
CSL0-CSLn～列選擇信號；
CT1-CT11、CT22-CT29、CT30-CT32～接觸窗；
DI～寫入資料；
DO～讀出資料；
DO0、DO1～2位元資料；
DVSM～虛VSS源極線；
FL～連結元件；
FML1、FML4、FML5～第1金屬配線；
FML8-FML10～第1金屬配線；
FML19、FML20、FML25、FML28～第1金屬配線；
IO～內部資料線對；
IV1、IV2、IV20、IV30～反相器；
k1、k2、kk1、kk2～曲線；
KP0-KPn～保持電路；
LBL及/LBL～局部位元線；
NT70～MOS電晶體；
MBa-MBm～行區塊；
MC～記憶單元；
MCa～記憶單元區域；
MFR～記憶單元列形成區域；
MG1、MG2～記憶單元群；
ND1、ND2～儲存節點；

- ND10～內部節點；
- NDA～NAND 閘 NG1 的輸出節點；
- NDC、NDI～節點；
- NDO～輸出節點；
- NE～正規列選擇致能信號；
- NEZ～備用列選擇致能信號；
- NG1、NG10～NAND 閘；
- NGO～輸出節點；
- NQ1、NQ2～驅動電晶體；
- NQ1～N 通道 MOS 電晶體(絕緣閘型場效電晶體)；
- NQ2～N 通道 MOS 電晶體；
- NQ3、NQ4～存取電晶體；
- NT22～N 通道 MOS 電晶體；
- NT70、NT72～形狀虛電晶體；
- NW1、NW2～N 井區；
- PCG～預充電指示信號；
- PCGa-PCGm～預充電指示信號；
- PCK～寫入補助電路；
- PCK0-PCKn、PCKa、PCKb、PCKa0-PCKa3、PCKb0-PCKb3
～寫入補助電路；
- PGa、Pgb～寫入補助電路形成區域；
- PH、PHa-PHm～周邊電路；
- PL1 及 PL2～多晶矽配線；
- PL3、PL4、PL5、PL6、PL7、PL8～多晶矽配線；

PPQ1、PPQ2、PQ1、PQ2、PT1、PT2、PT1、PT2、PT6、
RPQ1、RPQ2～P 通道 MOS 電晶體；

PVL～記憶單元電源線；

PVL0-PVLn～單元電源線；

PW1、PW2～P 井區；

RA～內部行位址信號；

RST～重置信號；

S2、S1～點；

SBL～井區偏壓電壓傳送線；

SBLP～備用位元線對；

SMC～備用記憶單元列；

SML1、SML2、SML3、SML11～第 2 金屬配線；

SNM～靜態雜訊界限；

ST1～共用接觸窗；

SVDM～備用 VDD 源極線；

TML3、TML6、TML7～第 3 金屬配線；

TX～傳送閘；

V～第 1 介層；

VCT～電源控制部；

VDD～高側電源電壓；

VDM～VDD 源極線；

VDM0A、VDM0B、VDM0A-VDM3A、VDM1、VDM2～分
割 VDD 源極線；

VDML～左側 VDD 源極線；

VDMR ~ 右側 VDD 源極線；
VH ~ 高側電源節點；
VHL、VHR ~ 高側電源節點；
VL ~ 低側電源節點；
VSB ~ 背面閘極電壓；
VSM ~ VSS 源極線；
VSS ~ 低側電源電壓；
VT ~ 輸入邏輯臨界值；
VTG ~ NAND 閘 NG1 的輸入邏輯臨界值；
Vthn ~ MOS 電晶體 NNQ2 的臨界電壓的絕對值；
Vthp ~ MOS 電晶體 PPQ3 的臨界電壓的絕對值；
VV ~ 第 2 介層；
WE ~ 寫入指示信號；
WE ~ 寫入致能信號；
WEN ~ 寫入指示信號；
WL ~ 字元線；
WL0-WLm ~ 字元線；
WLi ~ 字元線；
WLi+1 ~ 字元線；
WNQ1 ~ 寫入用的 MOS 電晶體；
Z ~ 高電阻電阻元件。

申請專利範圍

1. 一種半導體記憶裝置，包括：

複數的記憶單元，配置成一行，分別構成靜態隨機存取記憶體中的記憶單元；

第 1 位元線，共通連接至上述複數的記憶單元；

第 2 位元線，共通連接至上述複數的記憶單元；

單元電源線，共通連接至上述複數的記憶單元，供給第 1 電源電壓給各記憶單元；

寫入電路，供給互補的數位信號給上述第 1 位元線及上述第 2 位元線；以及

寫入補助電路，連接上述單元電源線，控制上述單元電源線的電位準位，

其中上述寫入補助電路包括：

邏輯電路，回應於上述寫入電路所供給的上述互補的數位信號而輸出回應信號；以及

第 1 開關元件，連接於供給比上述第 1 電源電壓低的第 2 電源電壓的供給線與上述單元電源線之間，回應於上述邏輯電路所輸出的回應信號而導通，藉此降低上述單元電源線的電壓。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中上述寫入補助電路更包括：

第 2 開關元件，連接於供給上述第 1 電源電壓的供給線與上述單元電源線之間，阻斷第 1 電源電壓供給至上述單元電源線。

3. 一種半導體記憶裝置，包括：

複數的記憶單元，配置成一行，分別構成靜態隨機存取記憶體的記憶單元；

第 1 位元線，共通連接至上述複數的記憶單元；

第 2 位元線，共通連接至上述複數的記憶單元；

單元電源線，共通連接至上述複數的記憶單元，供給電源電壓給各記憶單元；

寫入電路，供給互補的數位信號給上述第 1 位元線及上述第 2 位元線；以及

寫入補助電路，控制上述單元電源線的電位準位，

其中上述寫入補助電路包括：

邏輯電路，回應於上述寫入電路所供給的互補的數位信號而輸出回應信號；

第 1 開關元件，連接於供給第 1 電壓的第 1 供給線與上述單元電源線之間，依照上述邏輯電路所輸出的回應信號而選擇地導通及非導通；以及

第 2 開關元件，連接於供給比上述第 1 電壓低的第 2 電壓的第 2 供給線與上述單元電源線之間，依照上述邏輯電路所輸出的回應信號而與上述第 1 開關元件互補地導通及非導通。

4. 一種半導體記憶裝置，包括：

複數的第 1 記憶單元，配置成一行，分別構成靜態隨機存取記憶體的記憶單元；

第 1 局部位元線，共通連接至上述複數的第 1 記憶單元；

第 1 單元電源線，共通連接至上述複數第 1 記憶單元，供給電源電壓給各第 1 記憶單元；

複數的第 2 記憶單元，排列於某一方向，分別構成靜態隨機存取記憶體的記憶單元；

第 2 局部位元線，共通連接至上述複數的第 2 記憶單元；

第 2 單元電源線，共通連接至上述複數第 2 記憶單元，供給電源電壓給各第 2 記憶單元；

通用位元線，共通地對上述第 1 局部位元線及上述第 2 局部位元線設置；

周邊電路，連接於上述通用位元線與上述第 1 及第 2 局部位元線之間，選擇上述第 1 及第 2 局部位元線中的一者，將供給至上述通用位元線的寫入資料傳送到被選擇的局部位元線；

第 1 開關元件，連接於供給第 1 電源電壓的節點與上述第 1 單元電源線之間，依照上述通用電源線的電壓而導通及非導通；以及

第 2 開關元件，連接於供給上述第 1 電源電壓的節點與上述第 2 單元電源線之間，依照上述通用電源線的電壓而導通及非導通。

5. 一種半導體記憶裝置，包括：

複數的記憶單元，配置成一行，分別構成靜態隨機存取記憶體的記憶單元；

第 1 位元線，共通連接至上述複數的記憶單元；

第 2 位元線，共通連接至上述複數的記憶單元；

單元電源線，共通連接至上述複數的記憶單元，供給第 1 電源電壓給各記憶單元；

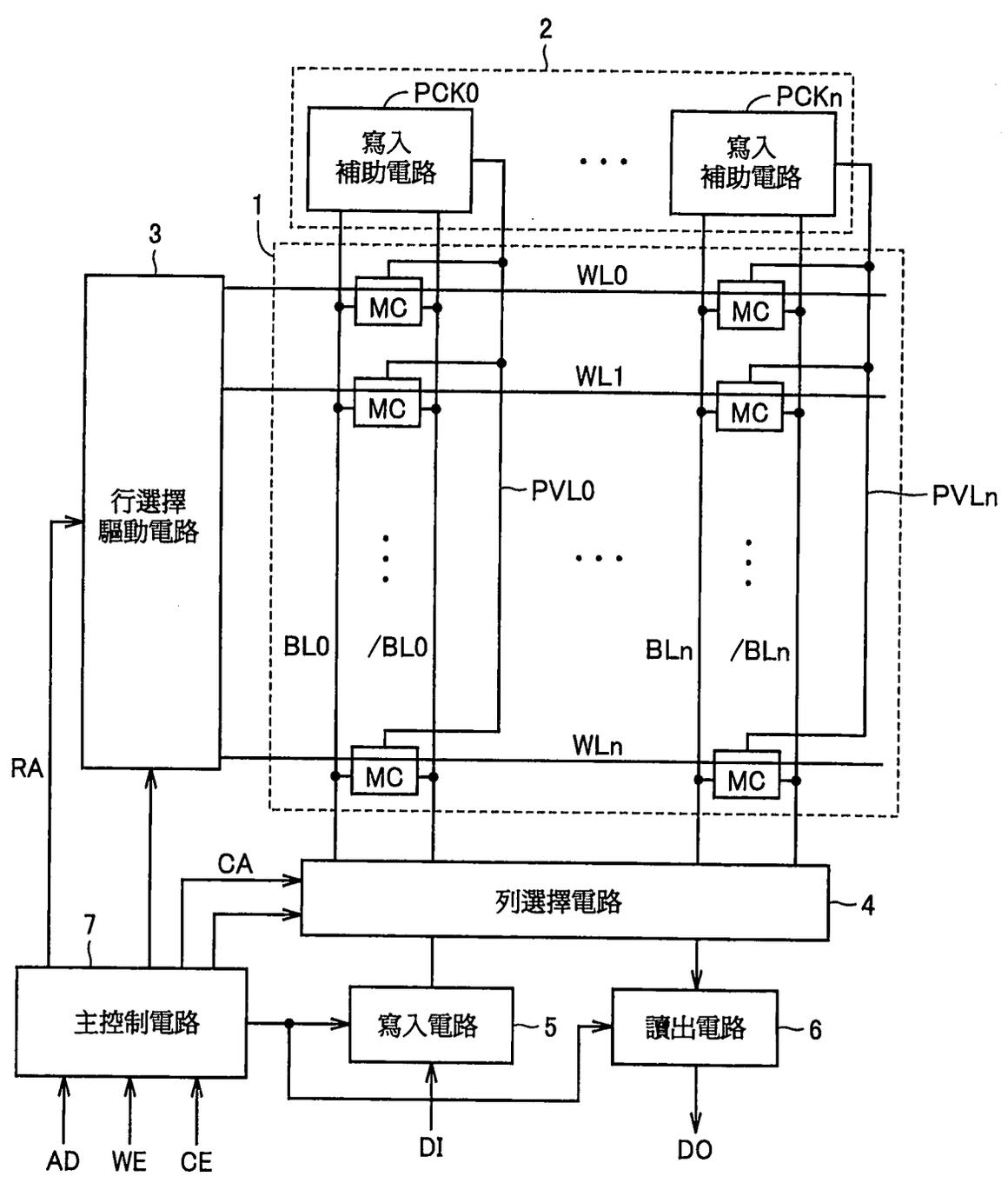
第 1 及第 2 內部資料線，各自傳送彼此互補的數位信號；

列選擇閘，根據選擇信號控制，將上述第 1 及第 2 位元線分別連接至上述第 1 及第 2 內部資料線；以及

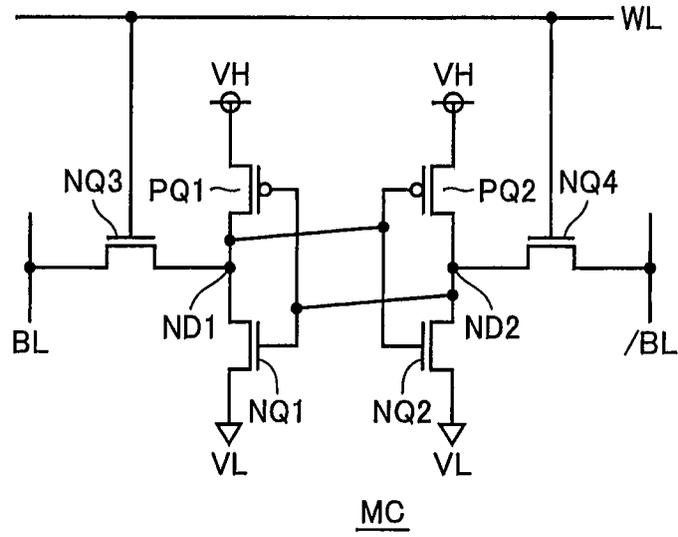
寫入補助電路，連接至上述第 1 及第 2 內部資料線，回應上述第 1 及第 2 內部資料線的電壓而控制上述單元電源線的電位位準。

6. 如申請專利範圍第 5 項所述之半導體裝置，其中上述寫入補助電路更回應於上述列選擇信號而控制上述單元電源線的電位準位。

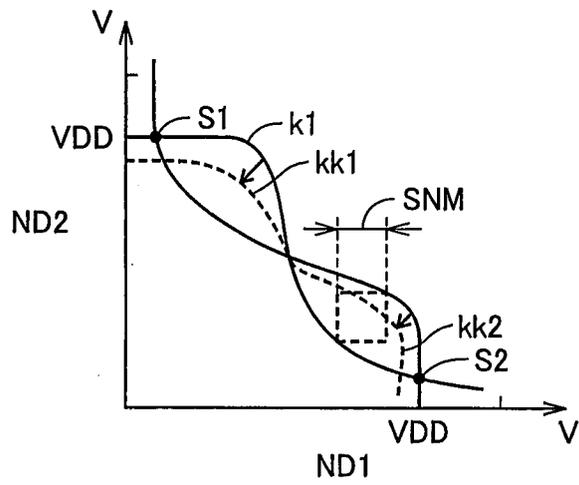
圖式



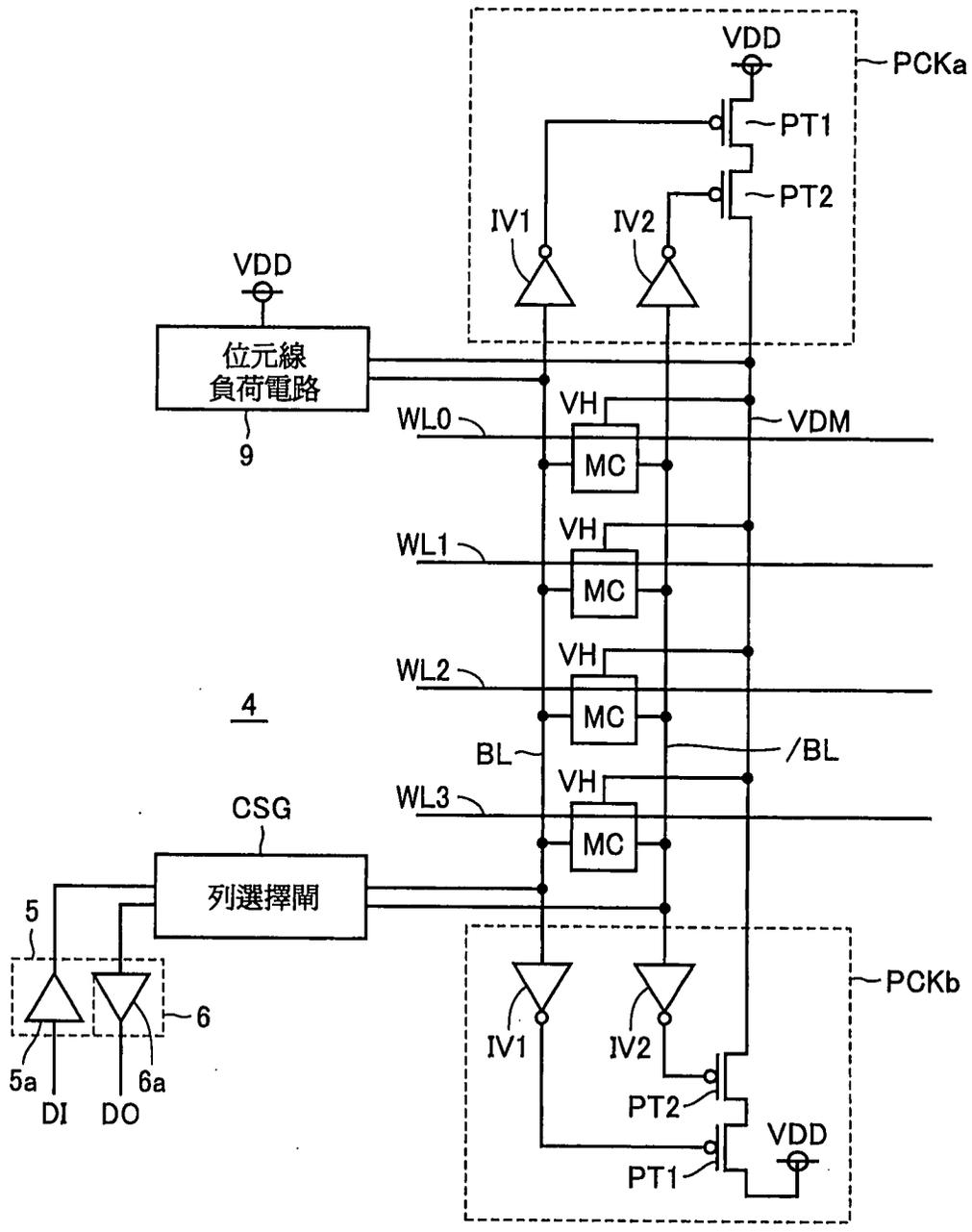
第1圖



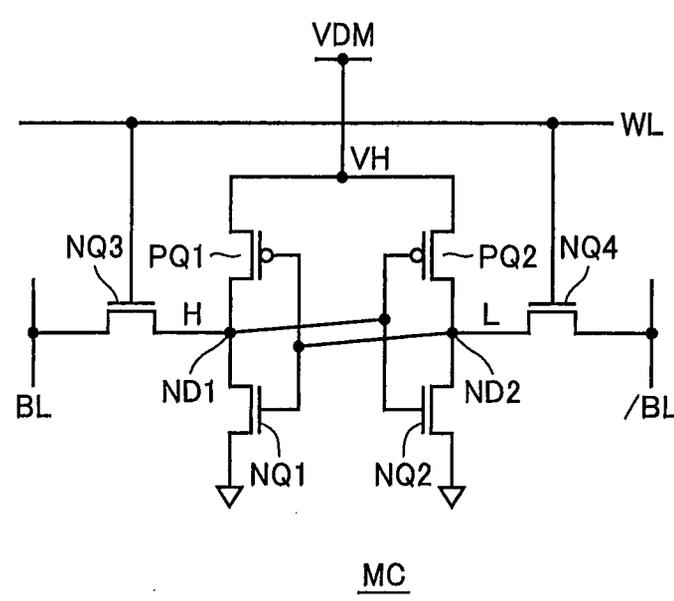
第2圖



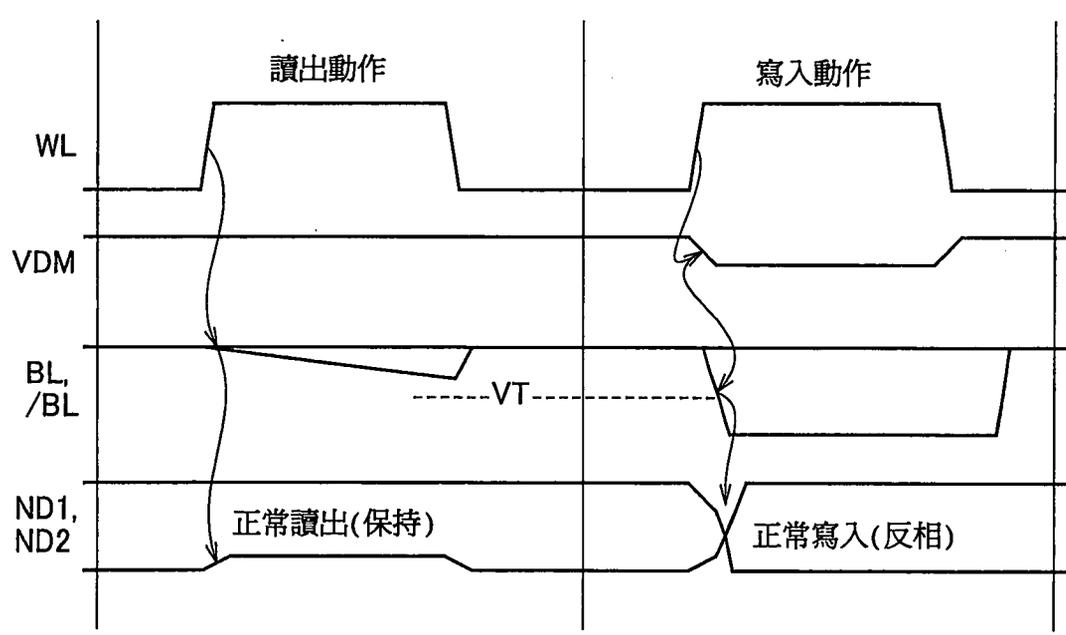
第3圖



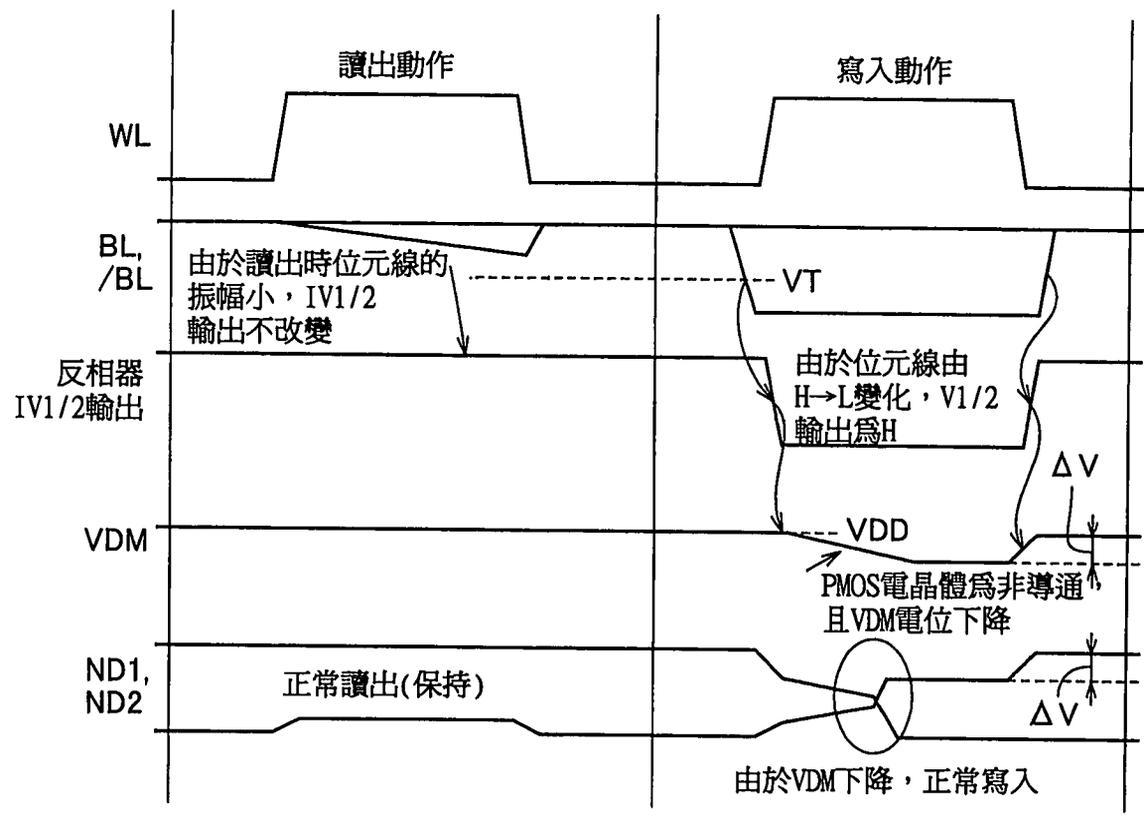
第4圖



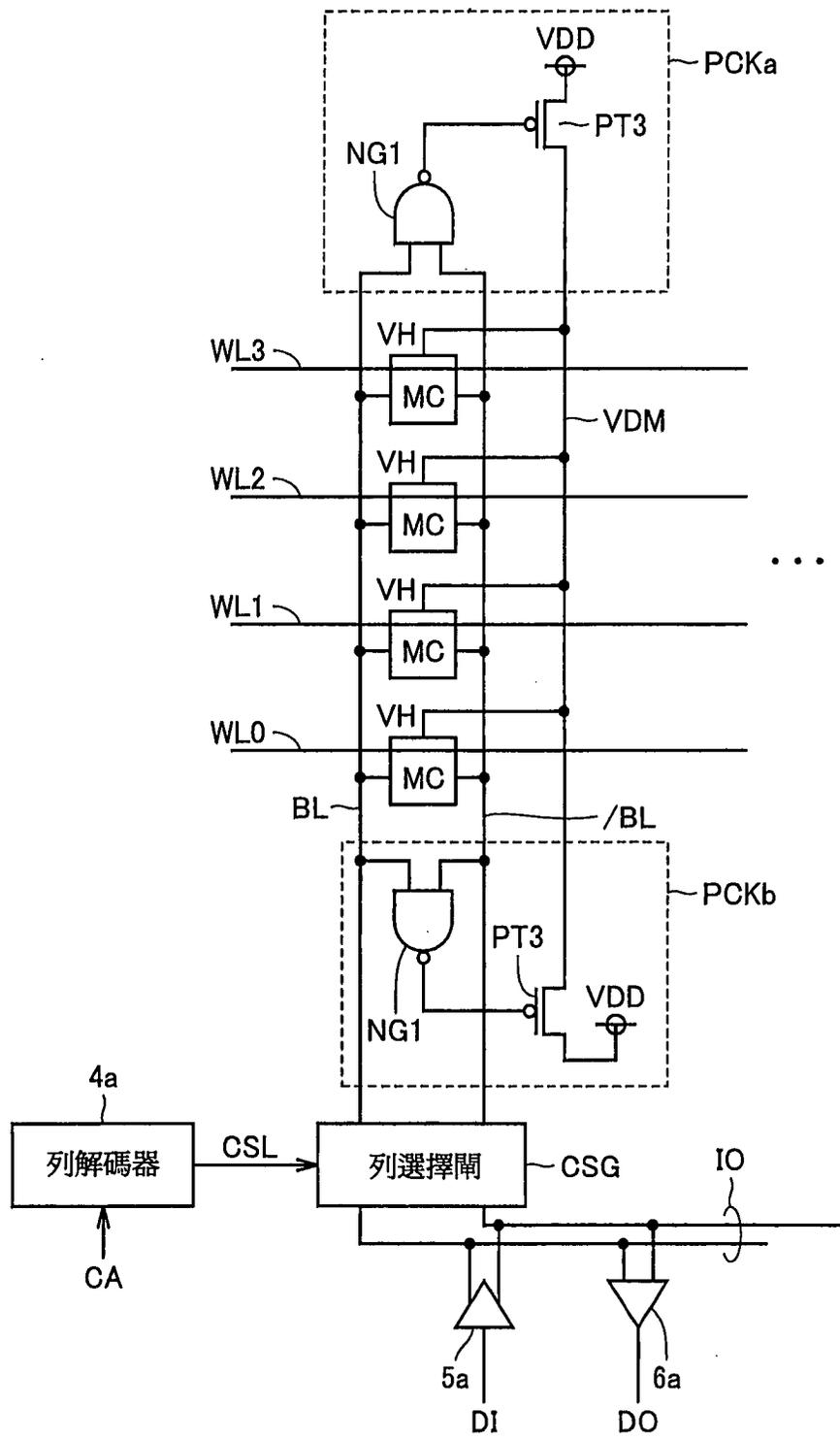
第5圖



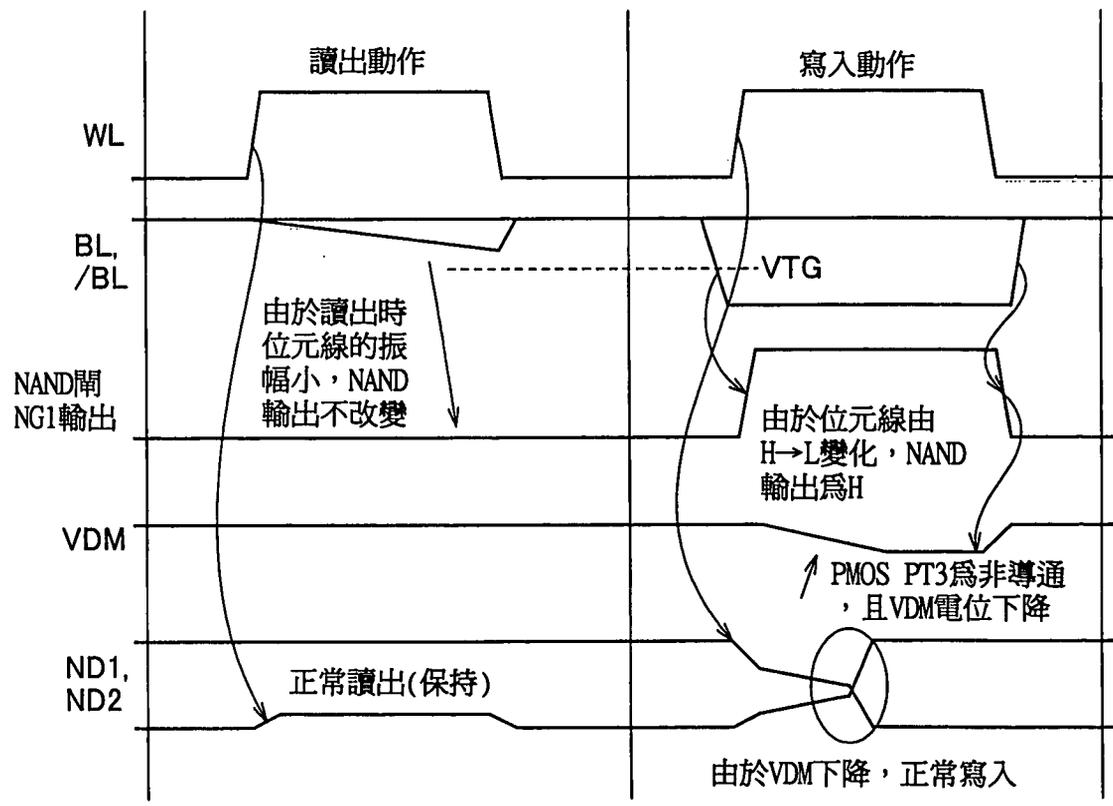
第6圖



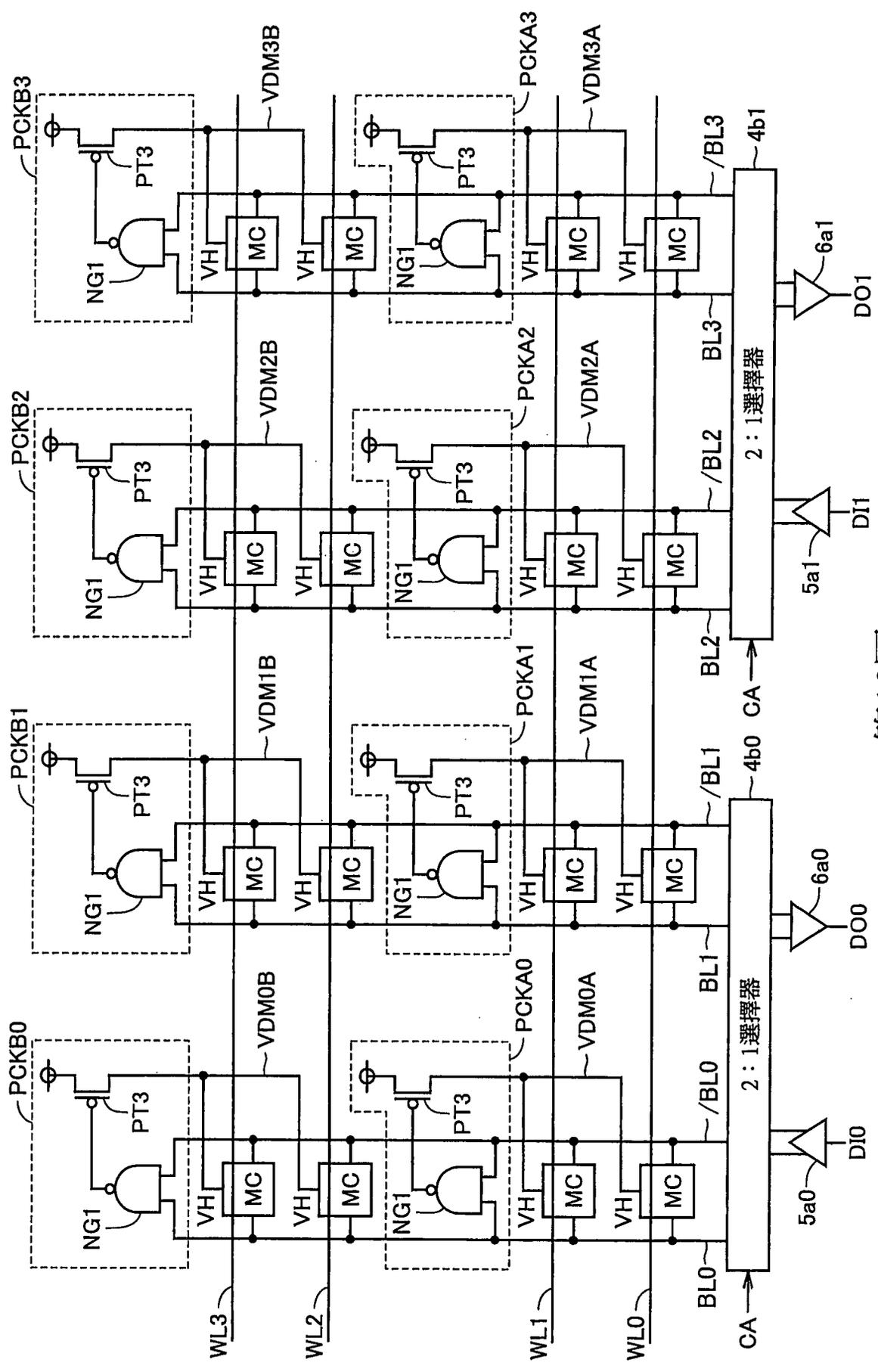
第7圖



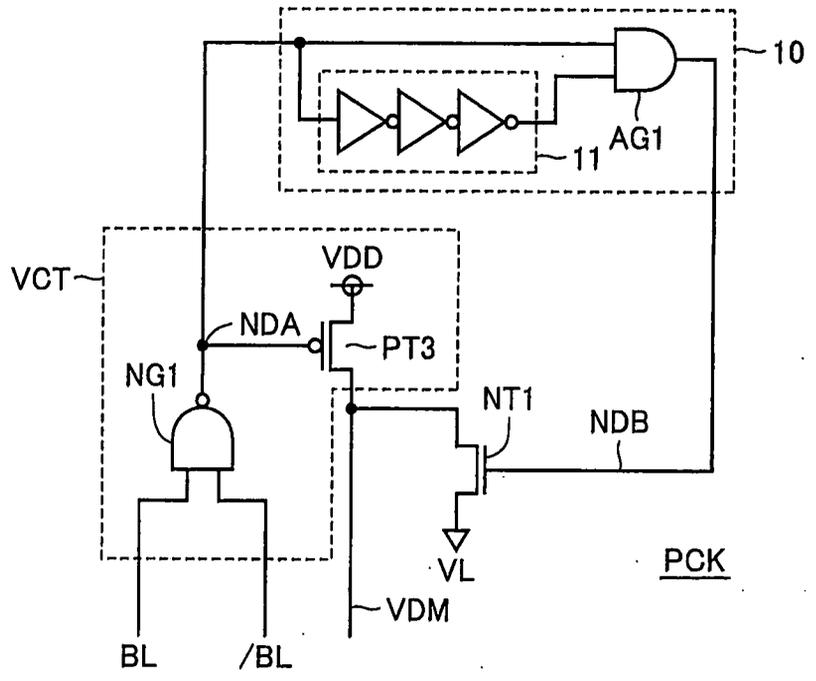
第8圖



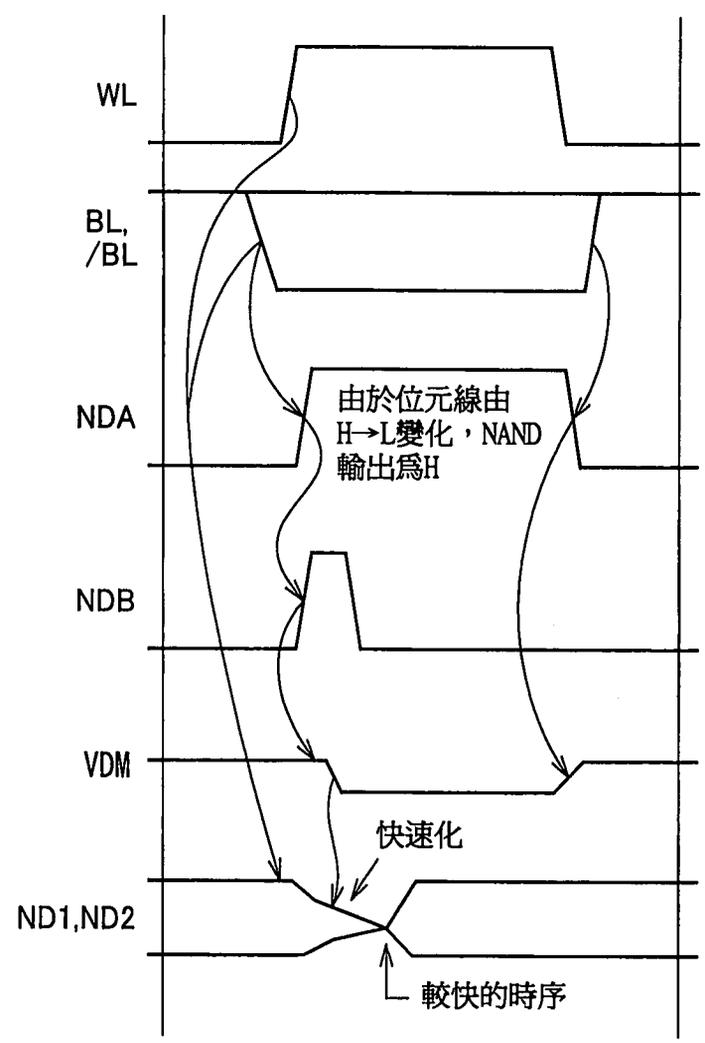
第9圖



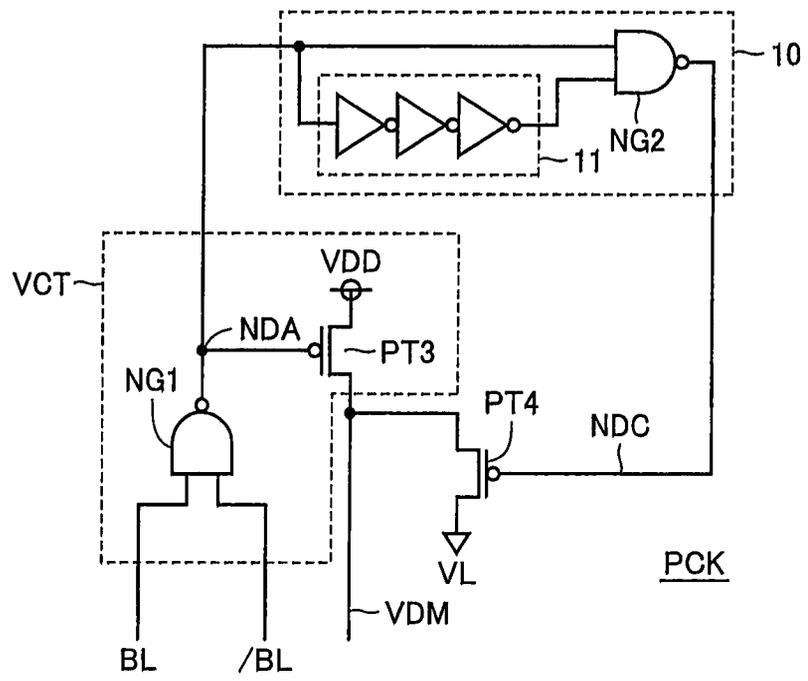
第10圖



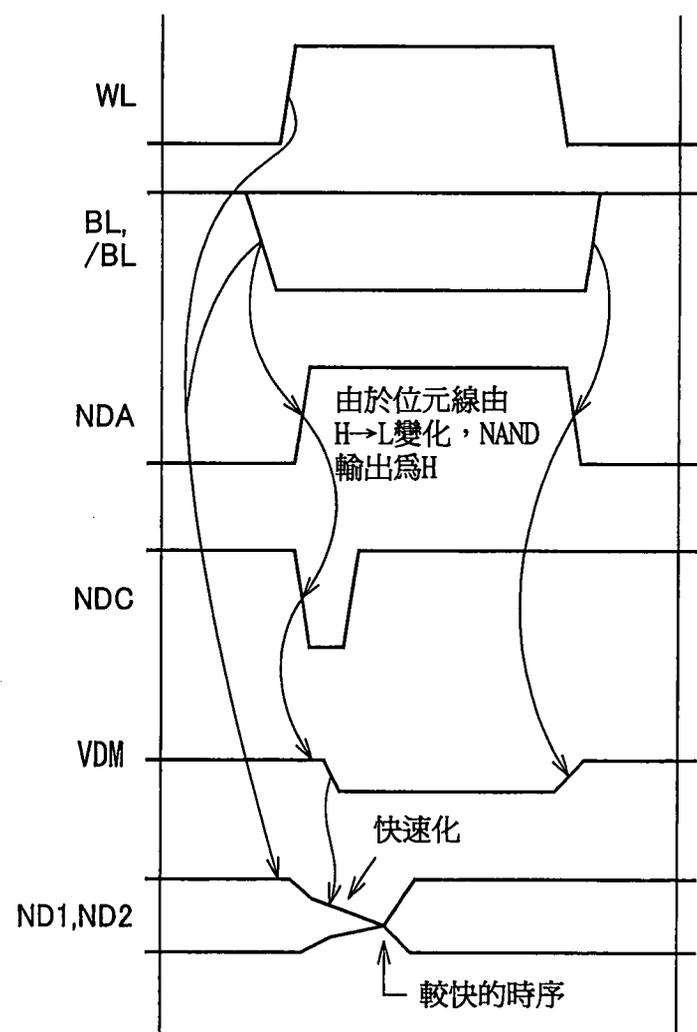
第11圖



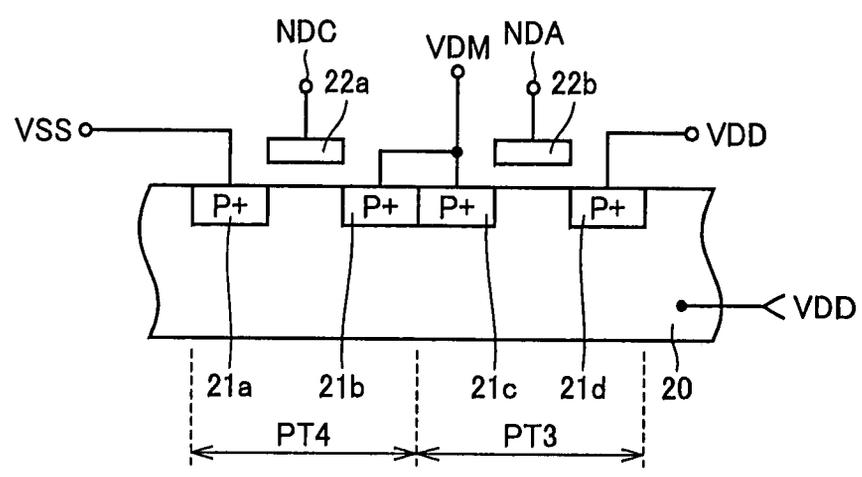
第12圖



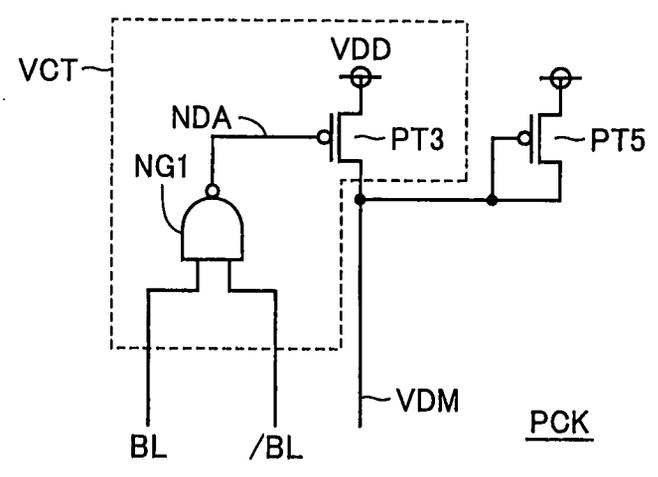
第13圖



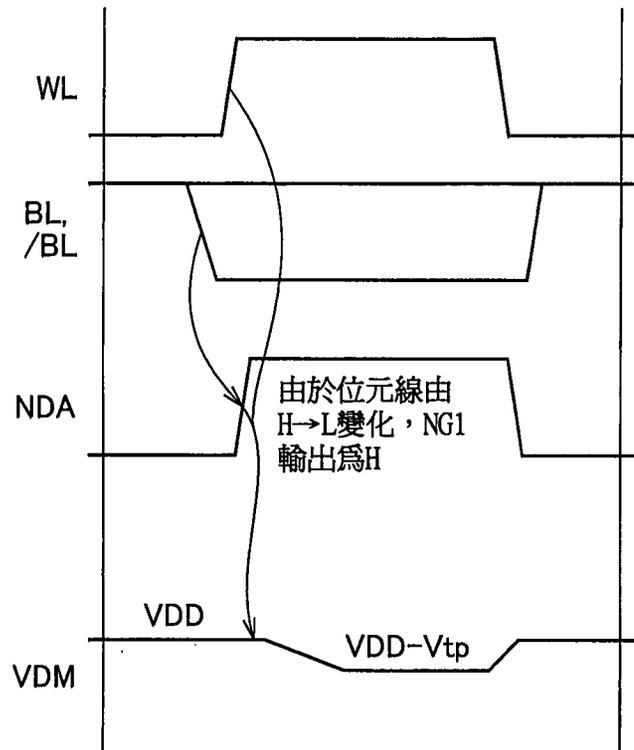
第14圖



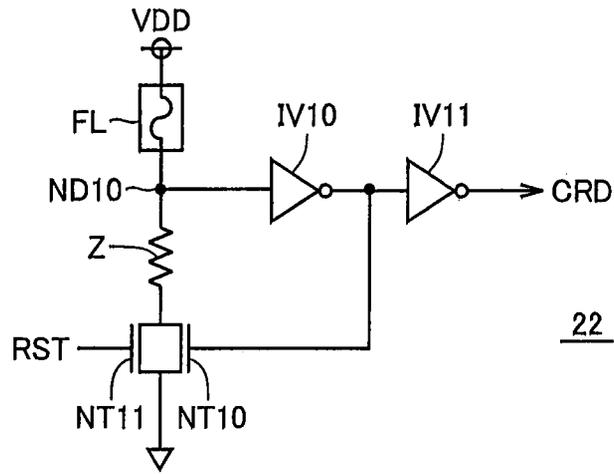
第15圖



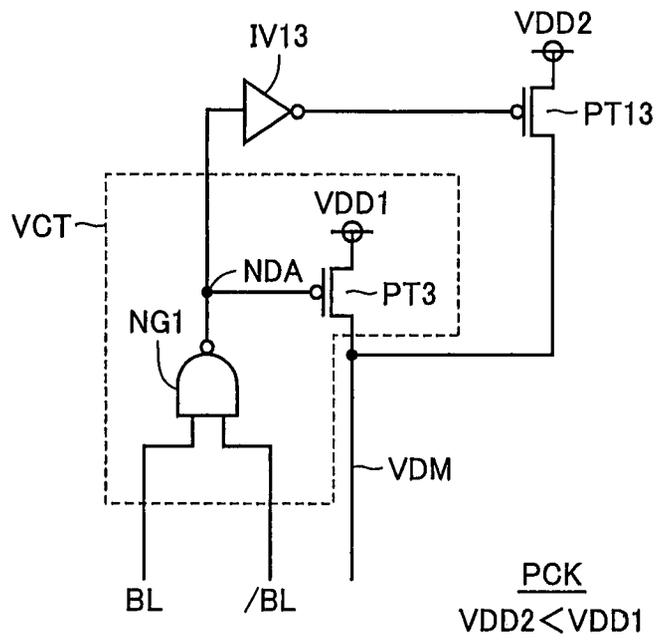
第16圖



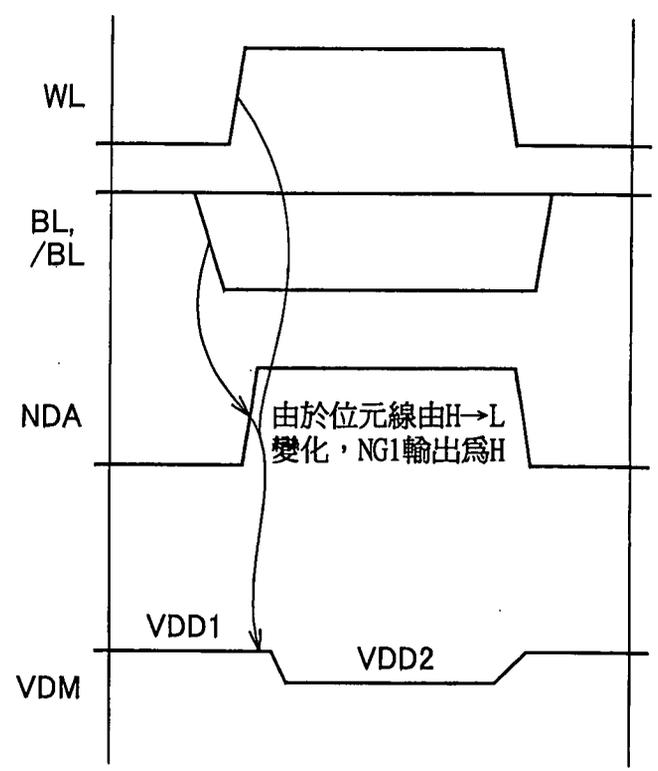
第17圖



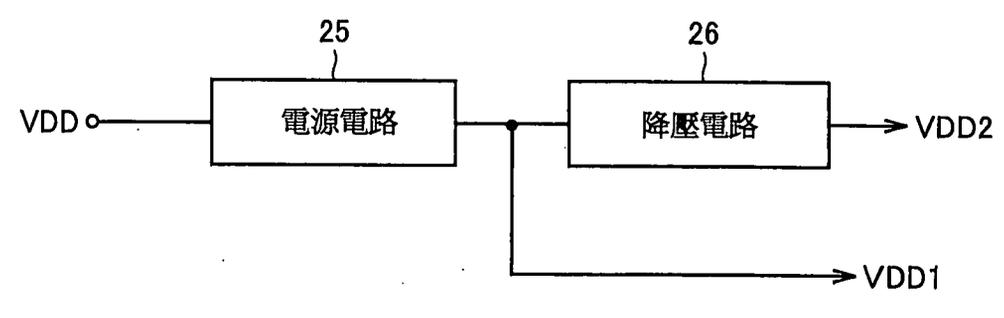
第20圖



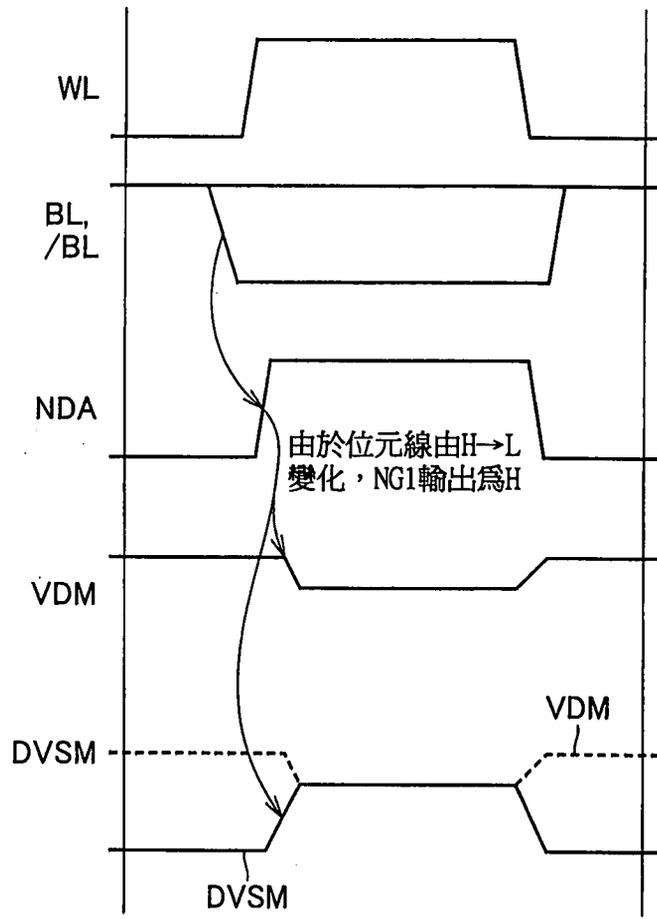
第21圖



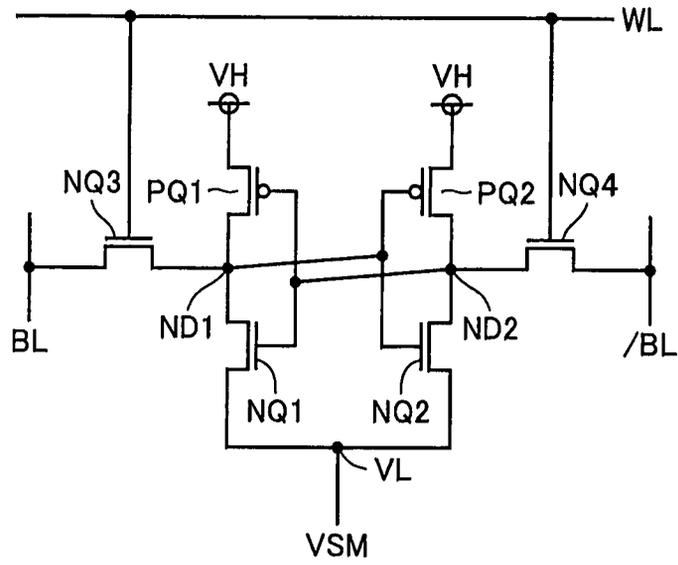
第22圖



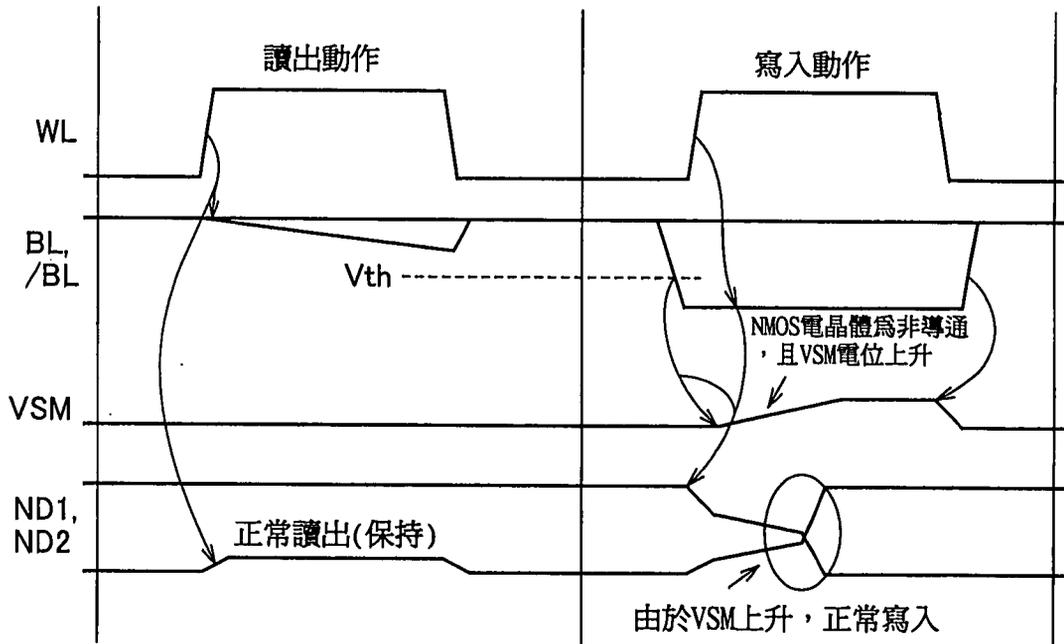
第23圖



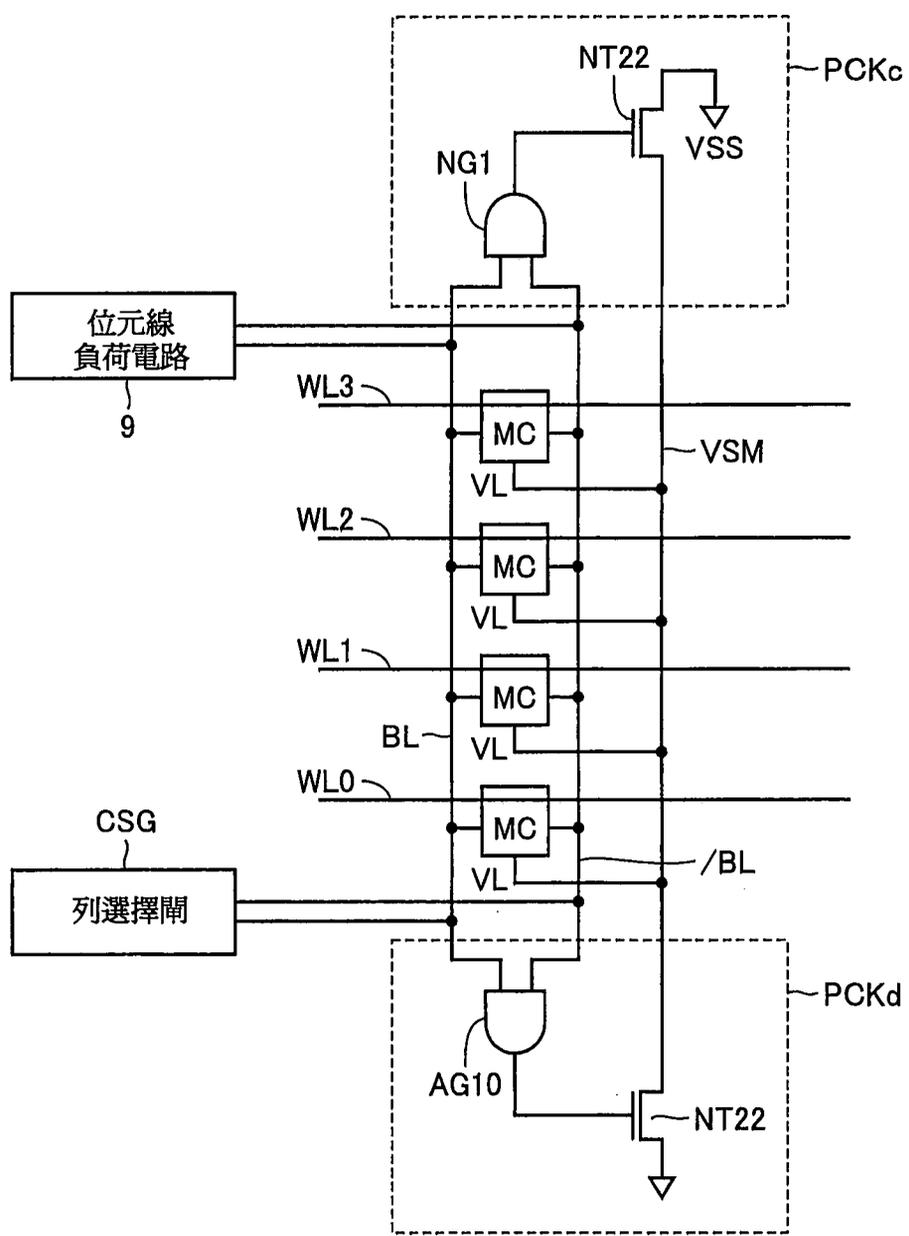
第25圖



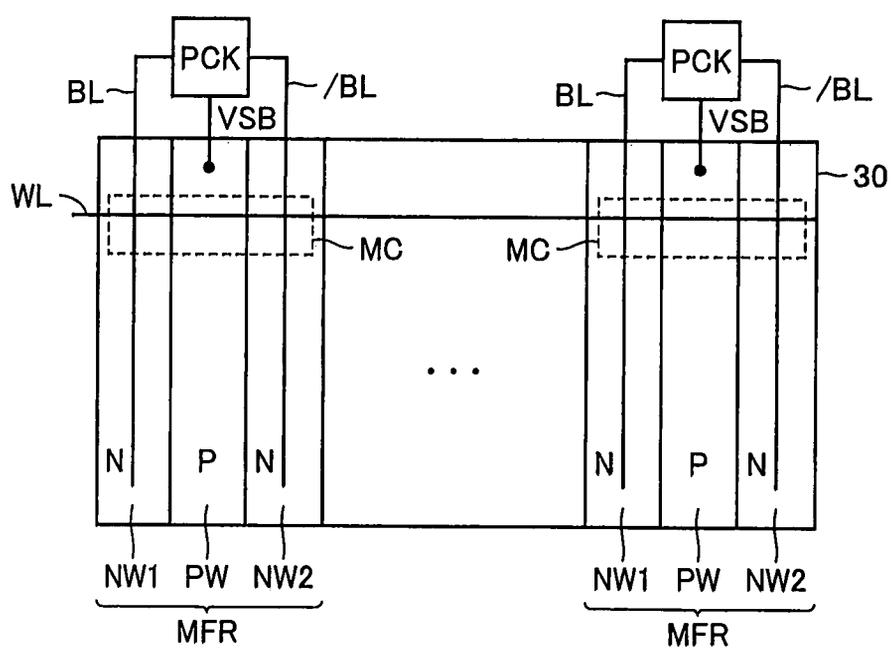
第27圖



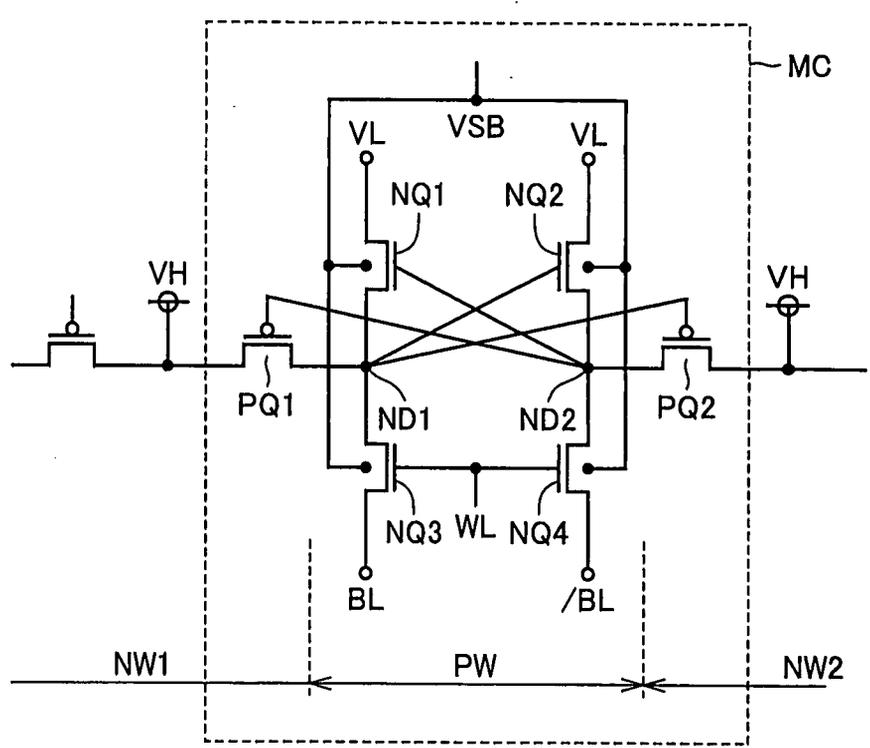
第28圖



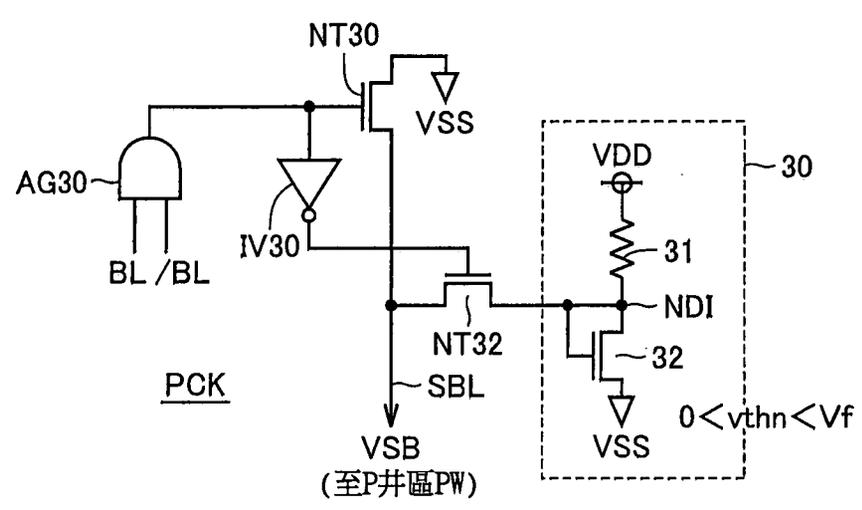
第29圖



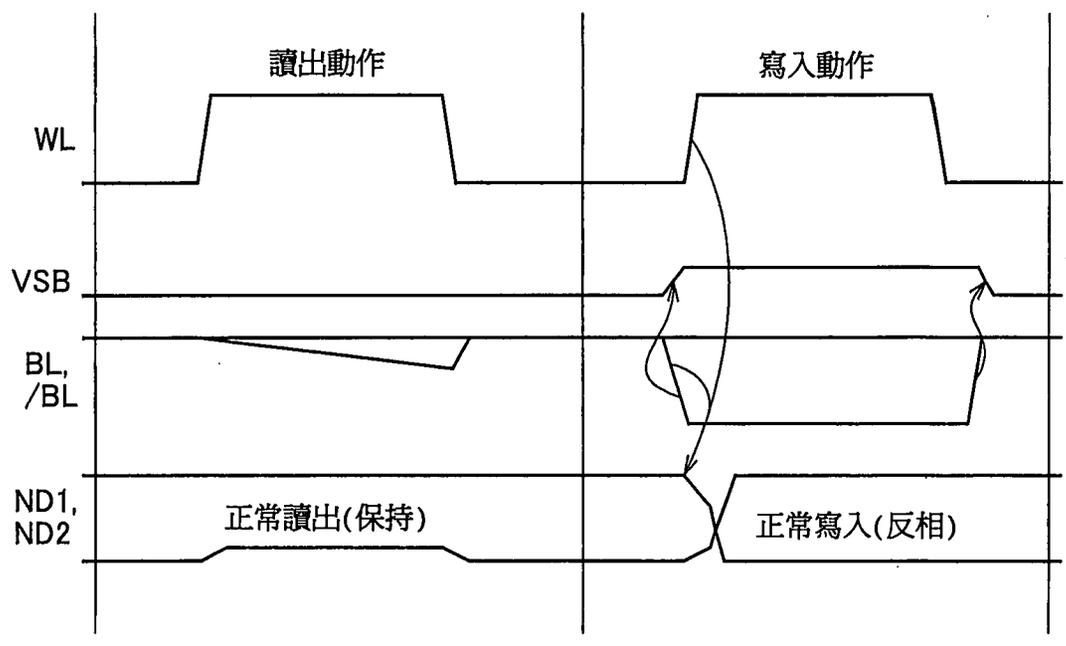
第30圖



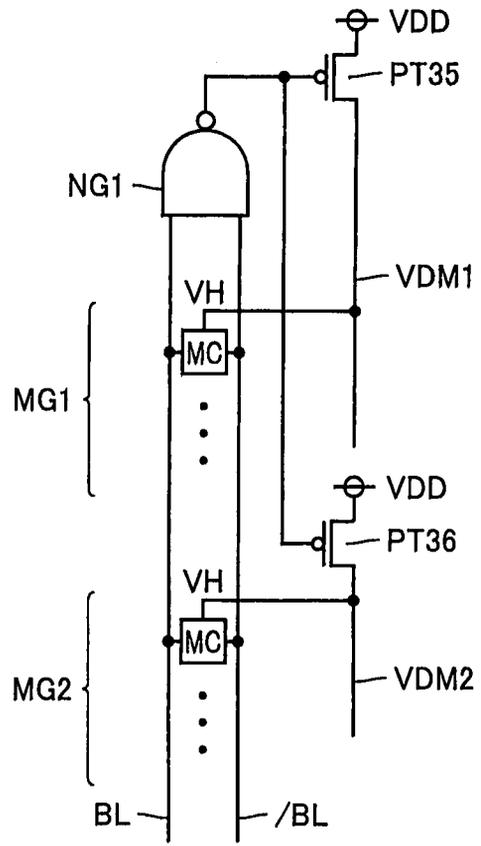
第31圖



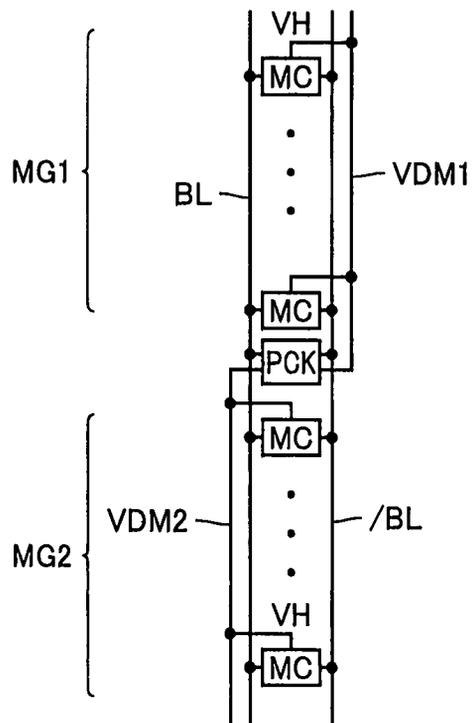
第32圖



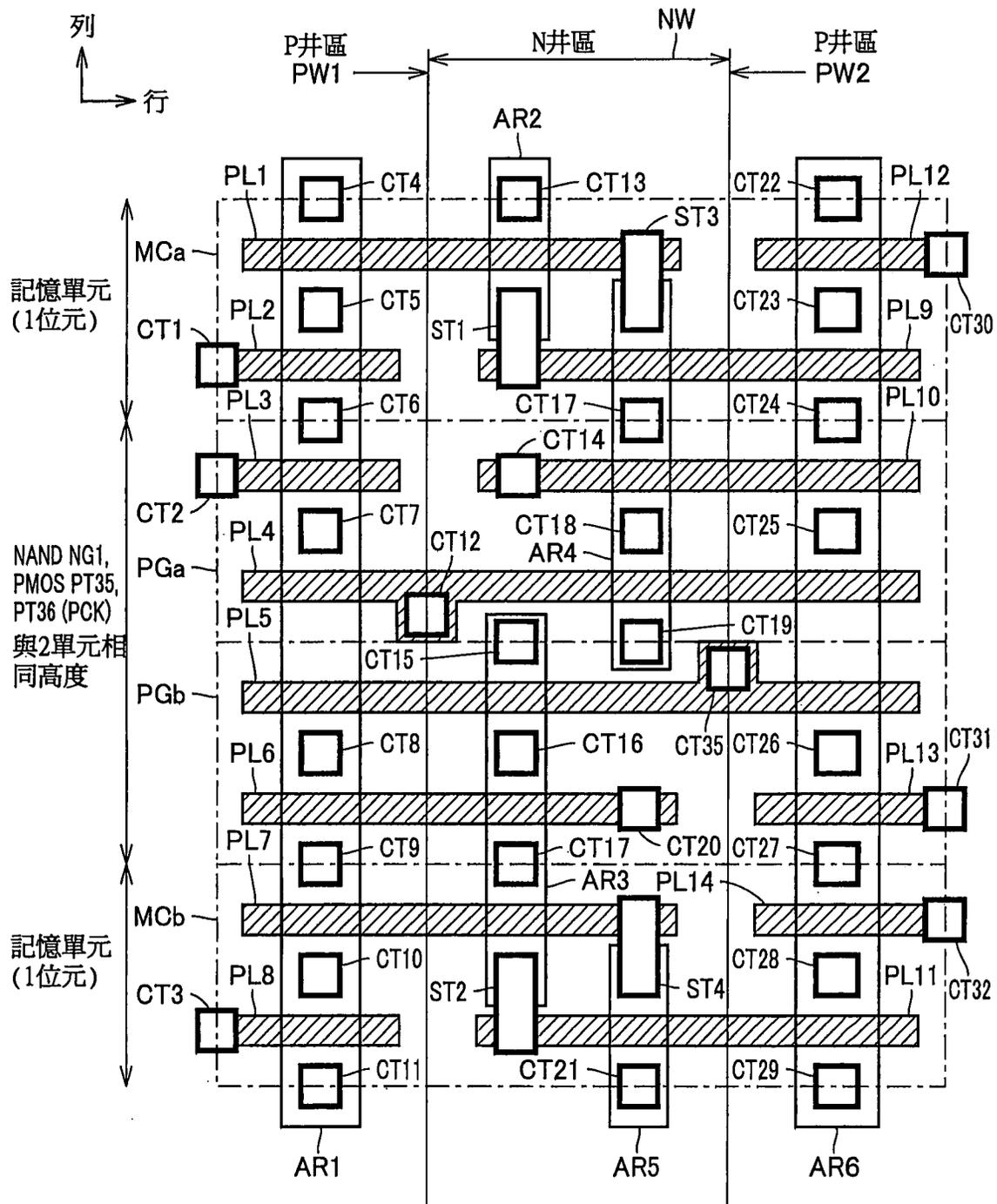
第33圖



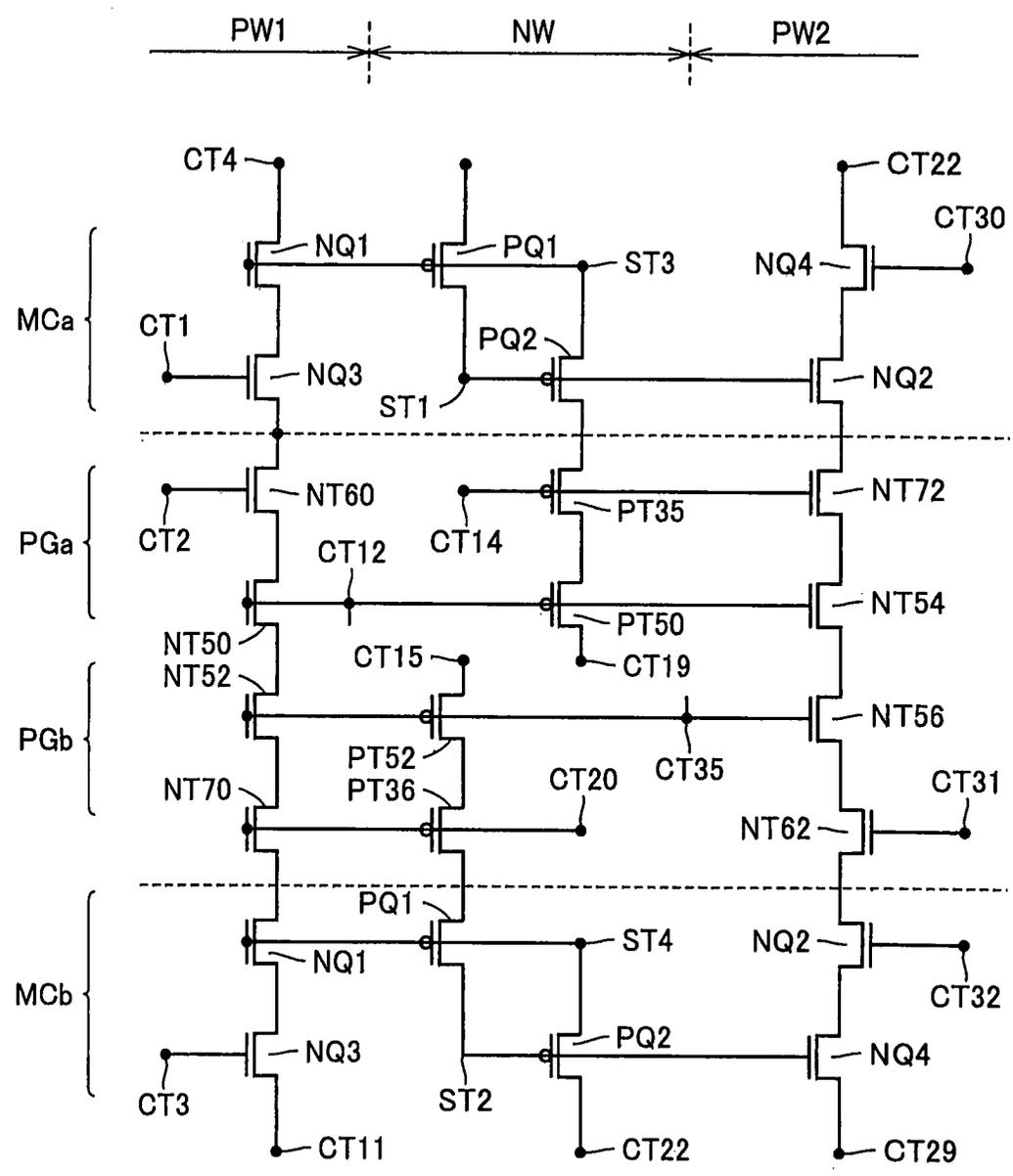
第34圖



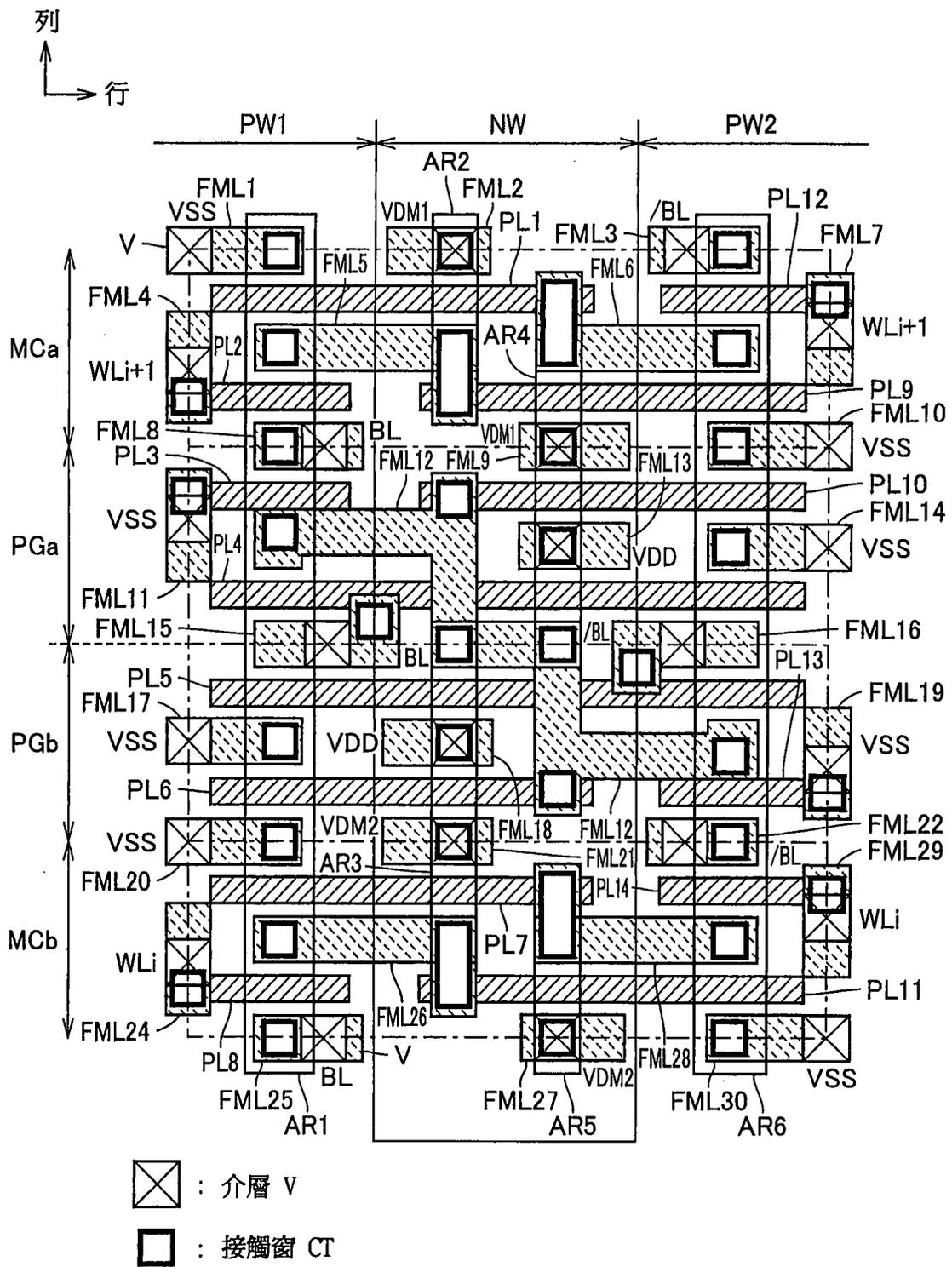
第35圖



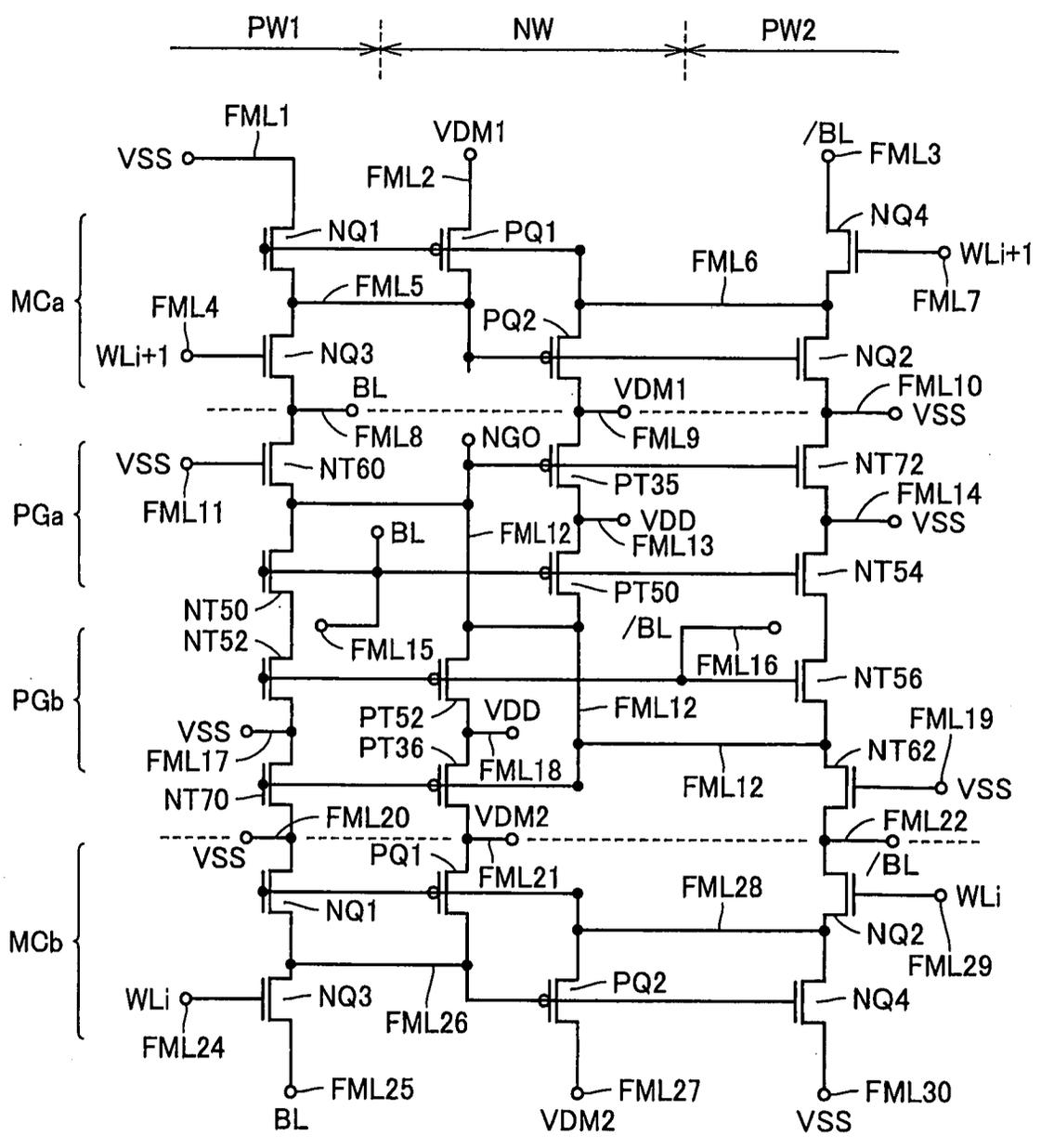
第36圖



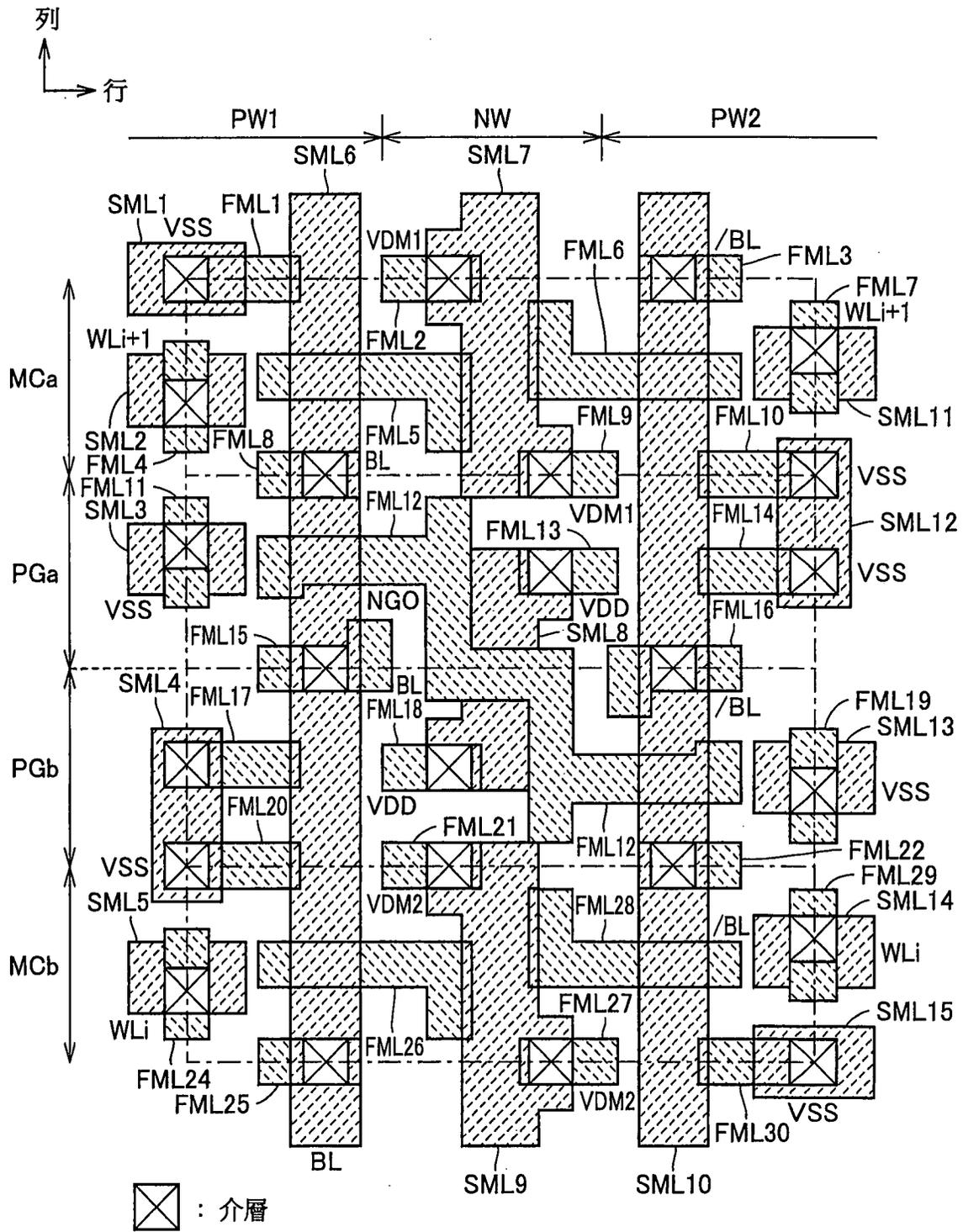
第37圖



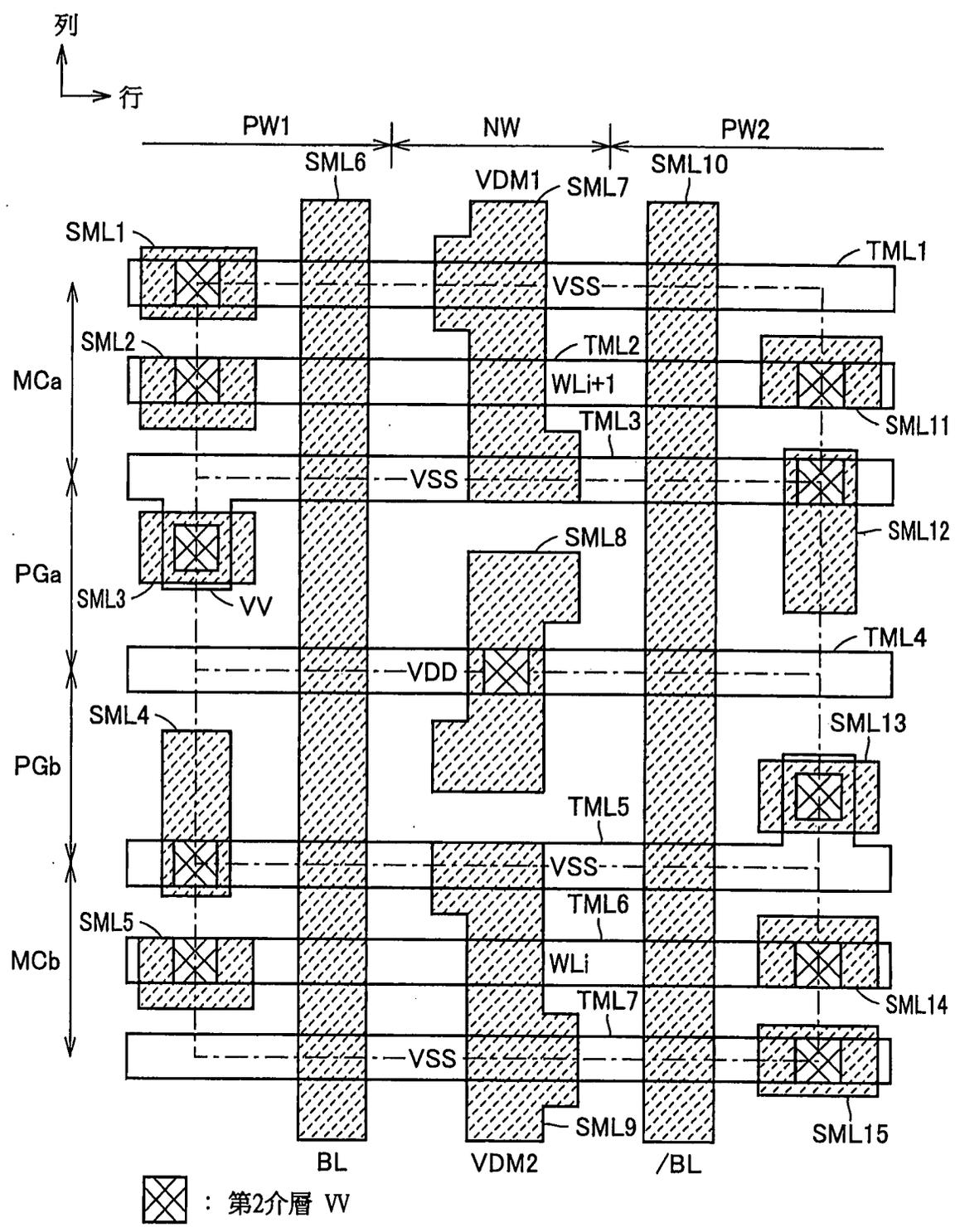
第38圖



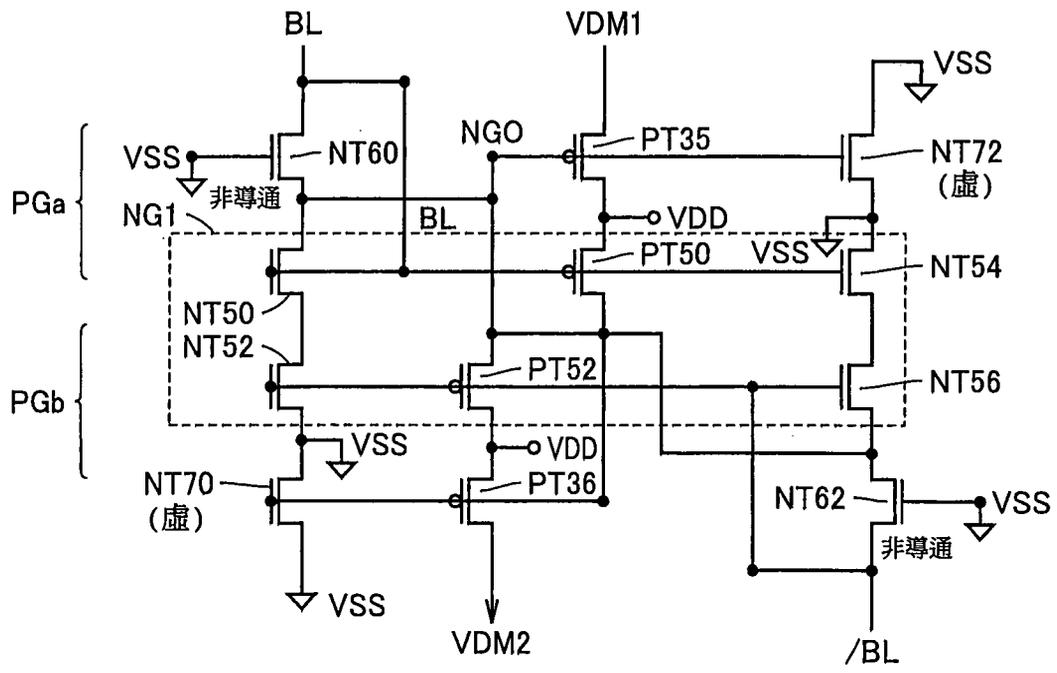
第39圖



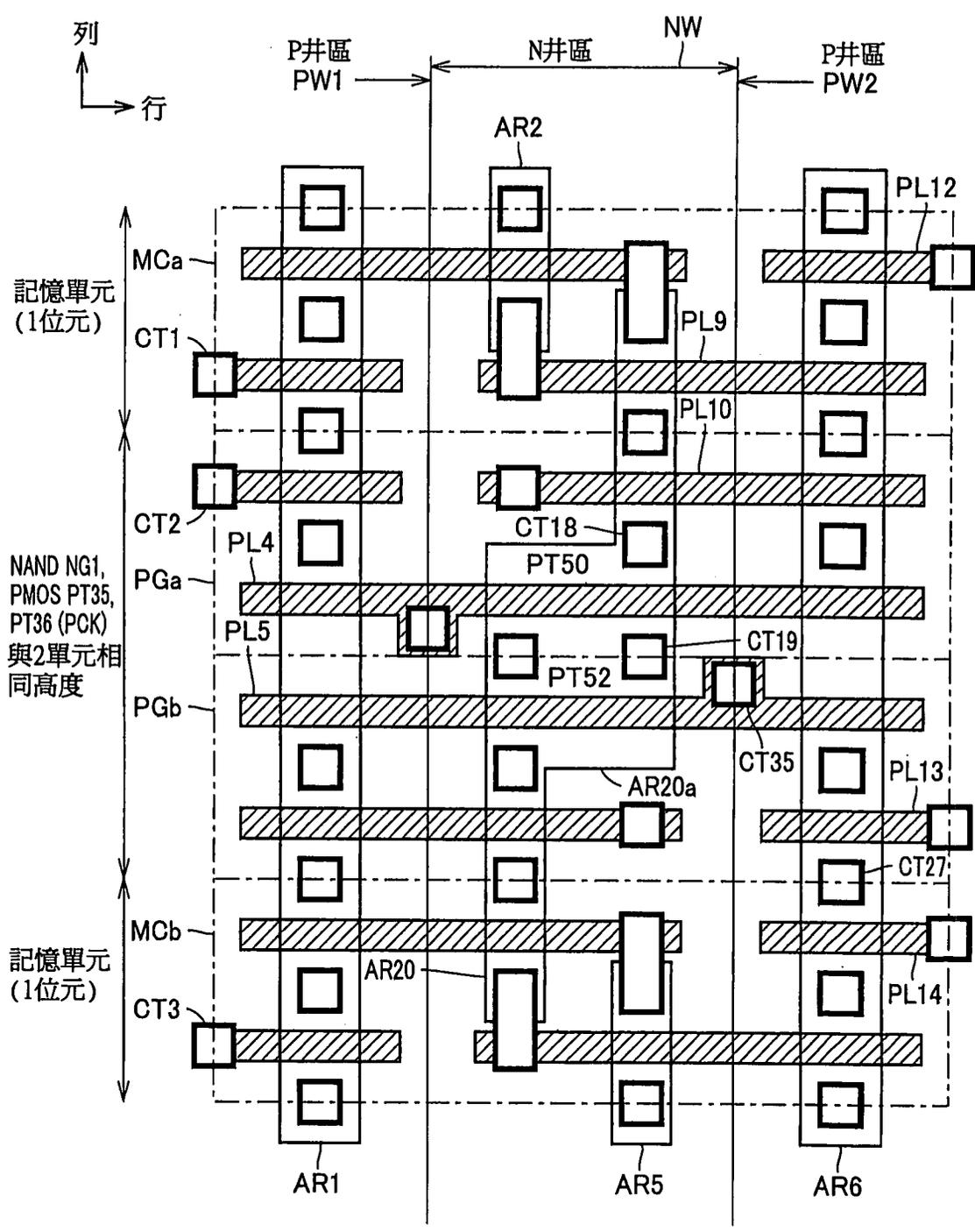
第40圖



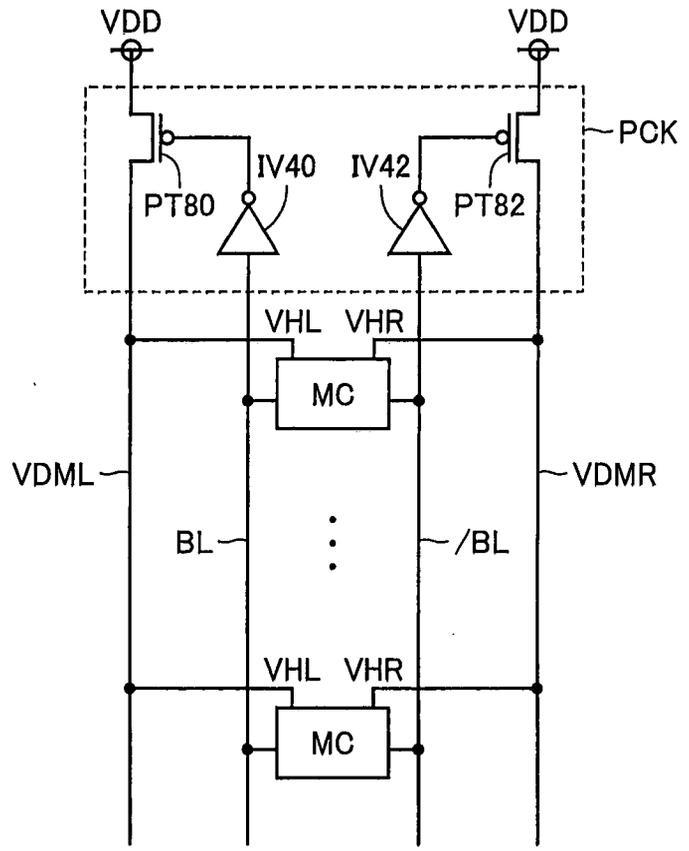
第41圖



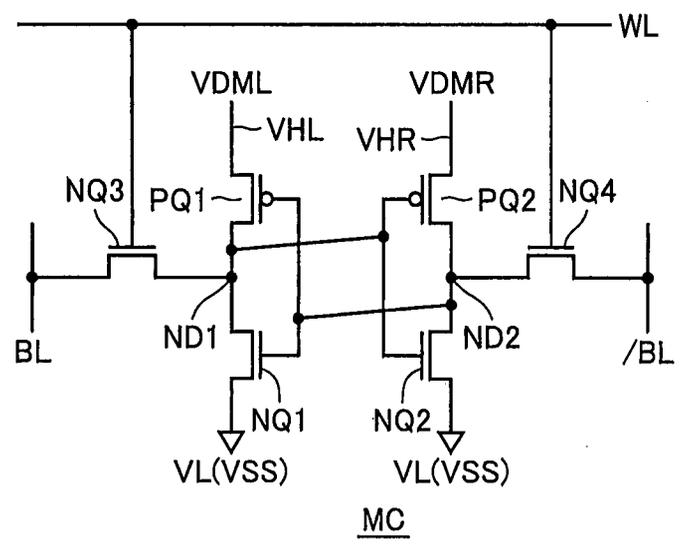
第42圖



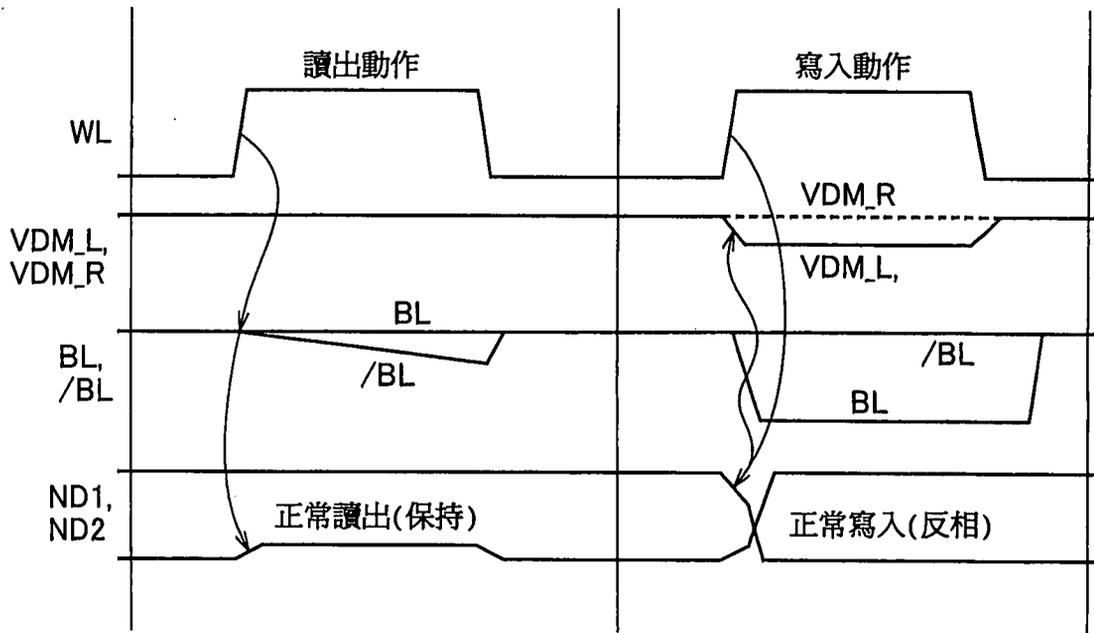
第43圖



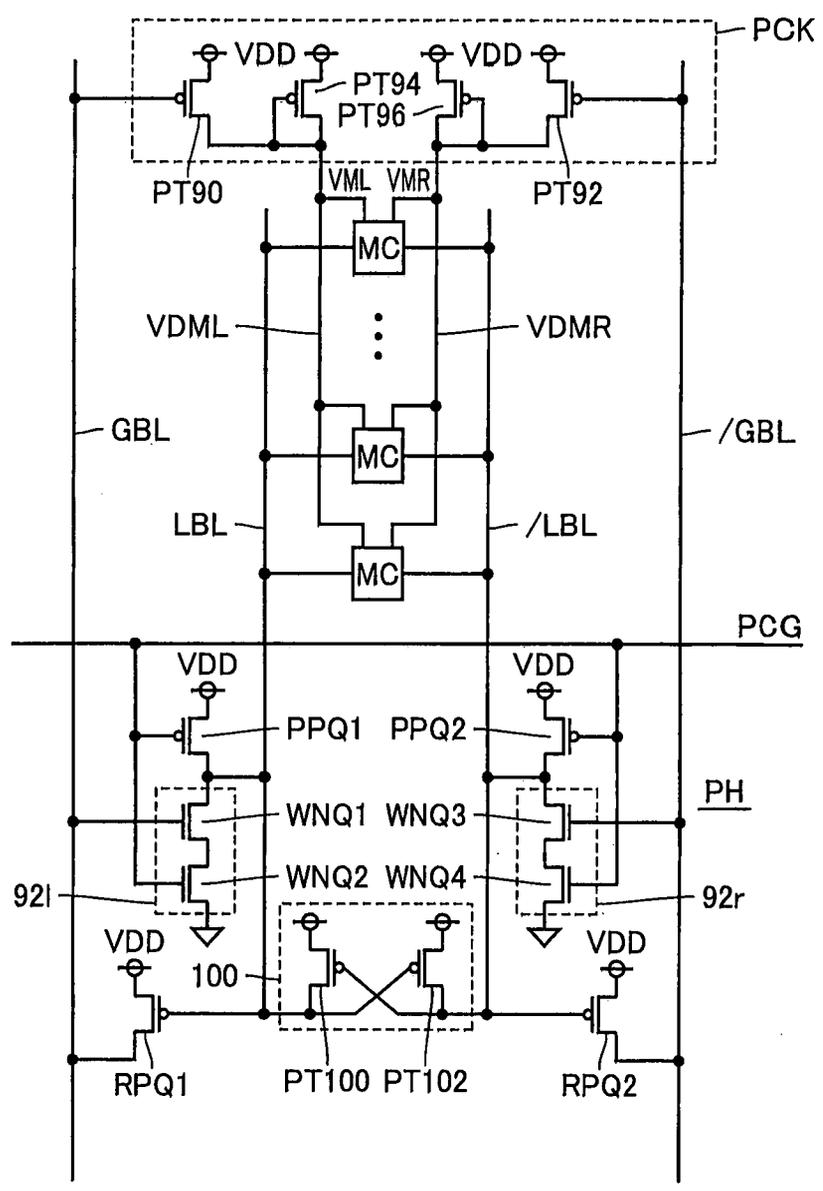
第44圖



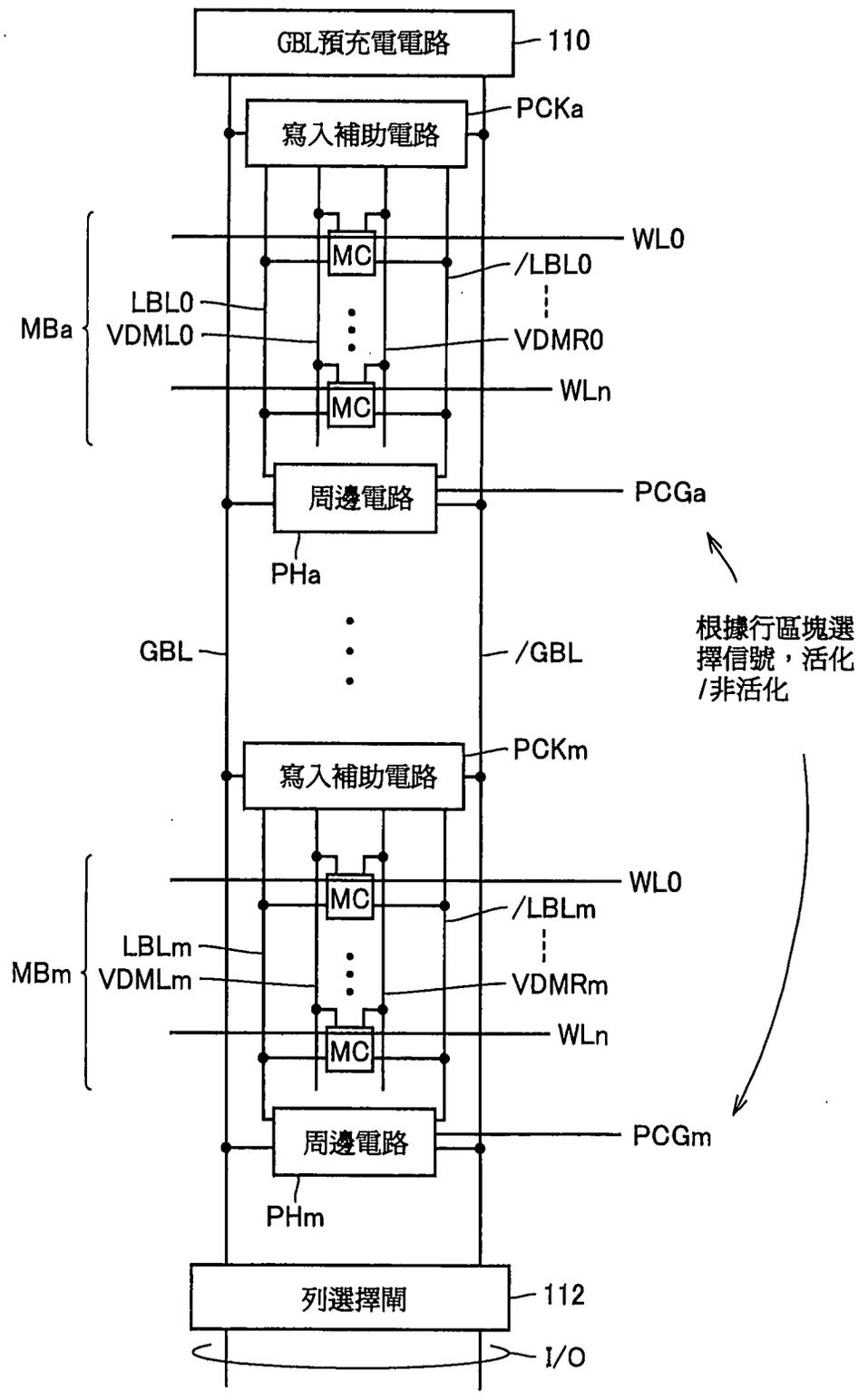
第45圖



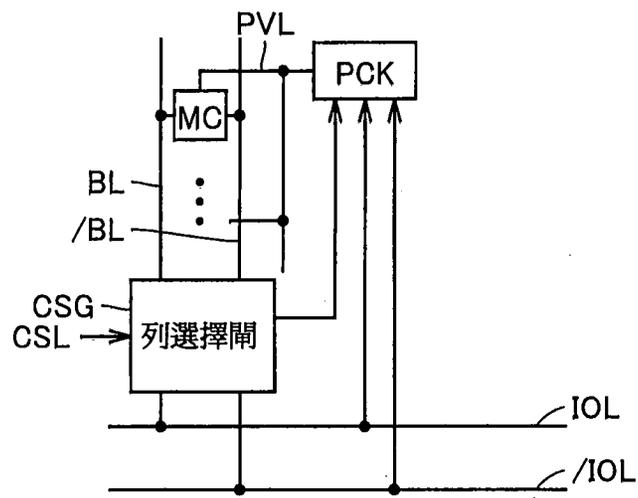
第46圖



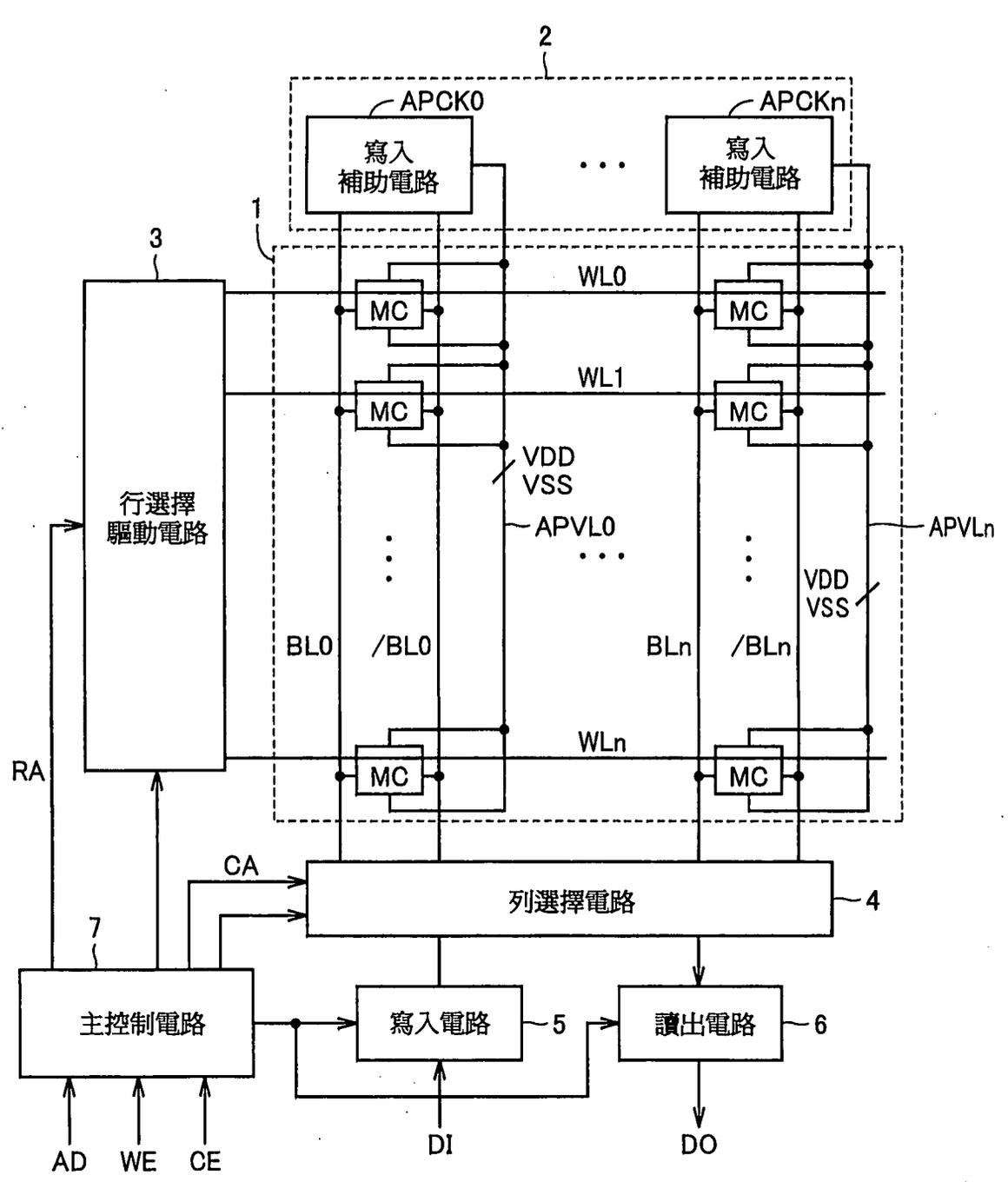
第47圖



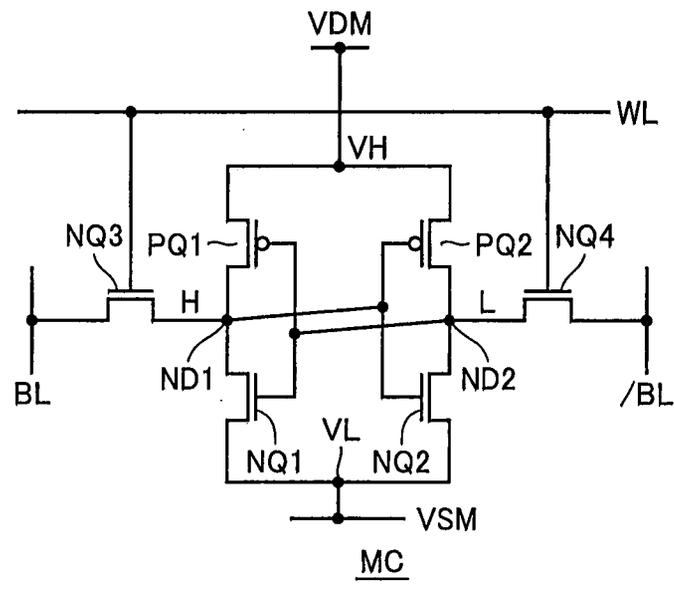
第48圖



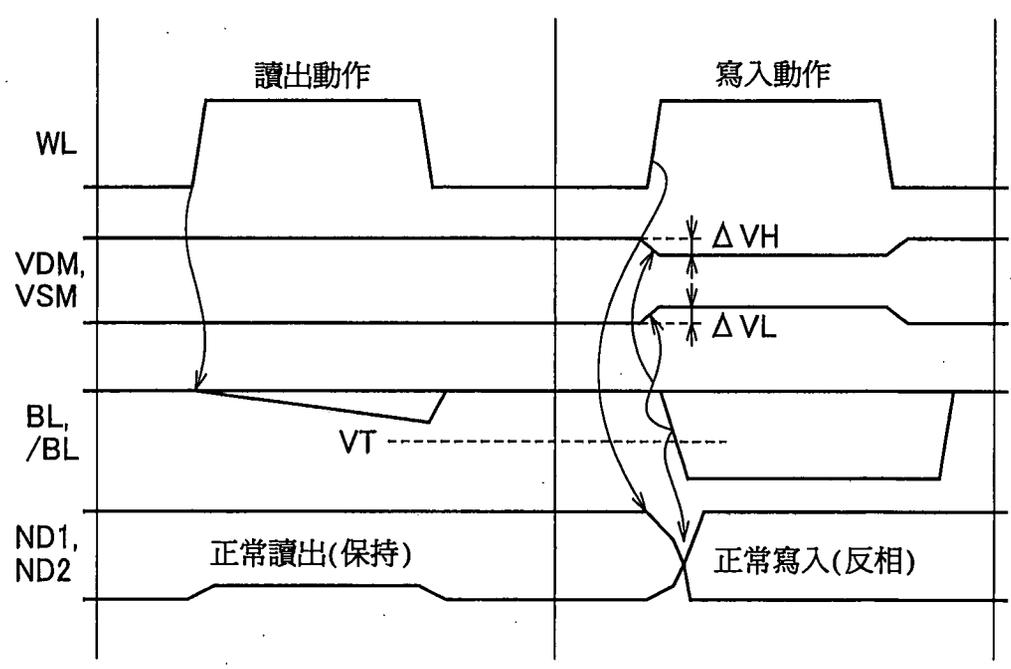
第49圖



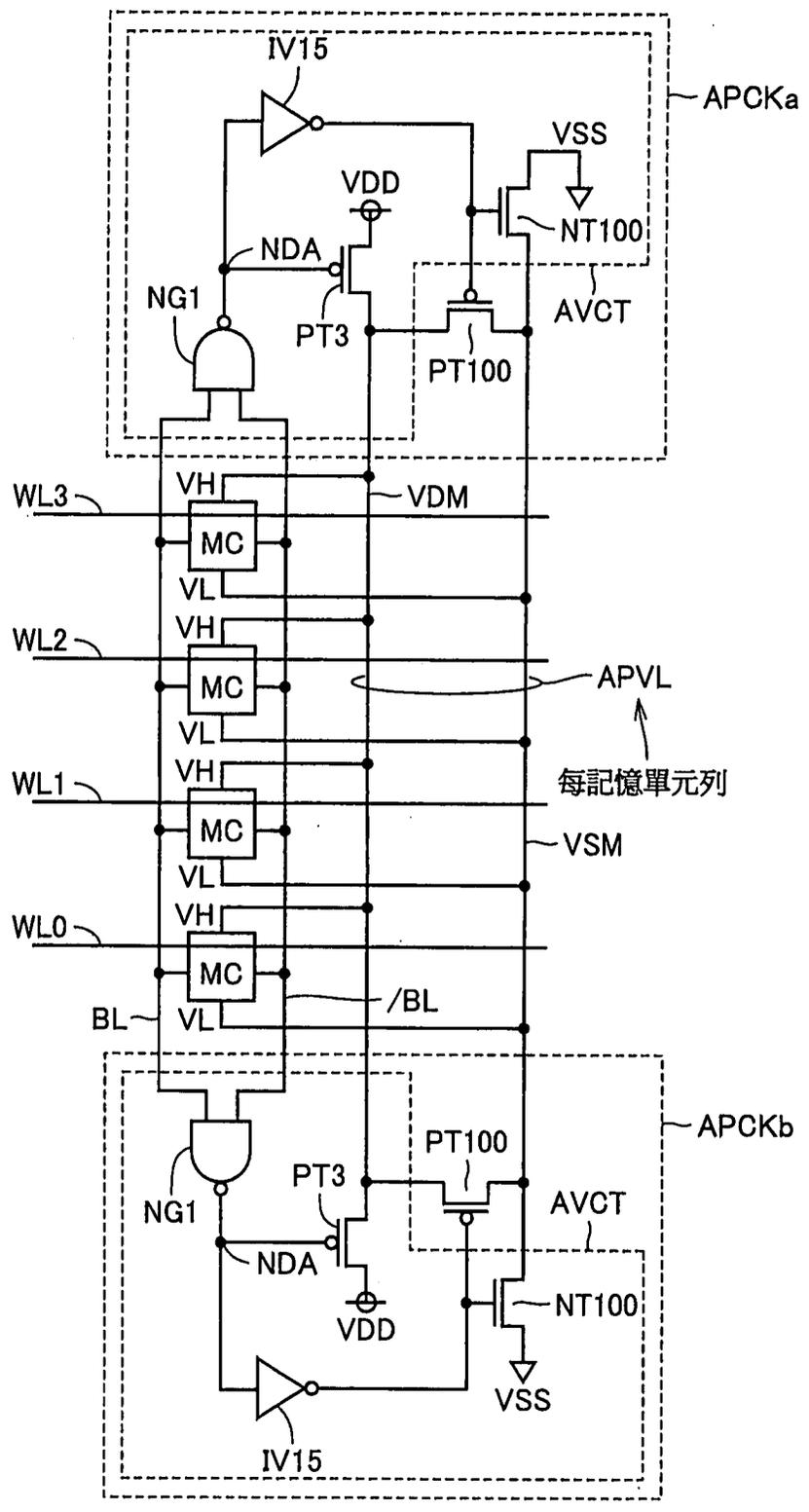
第50圖



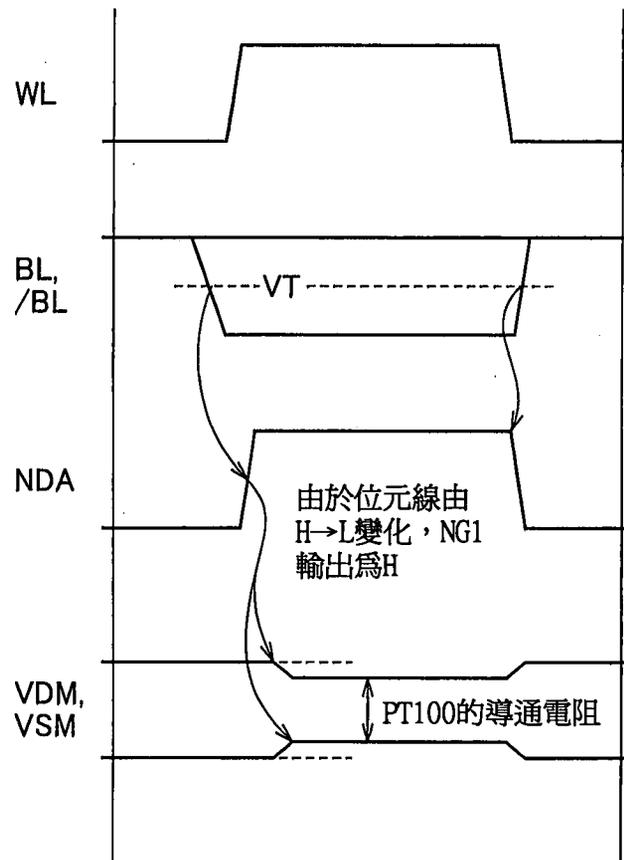
第51圖



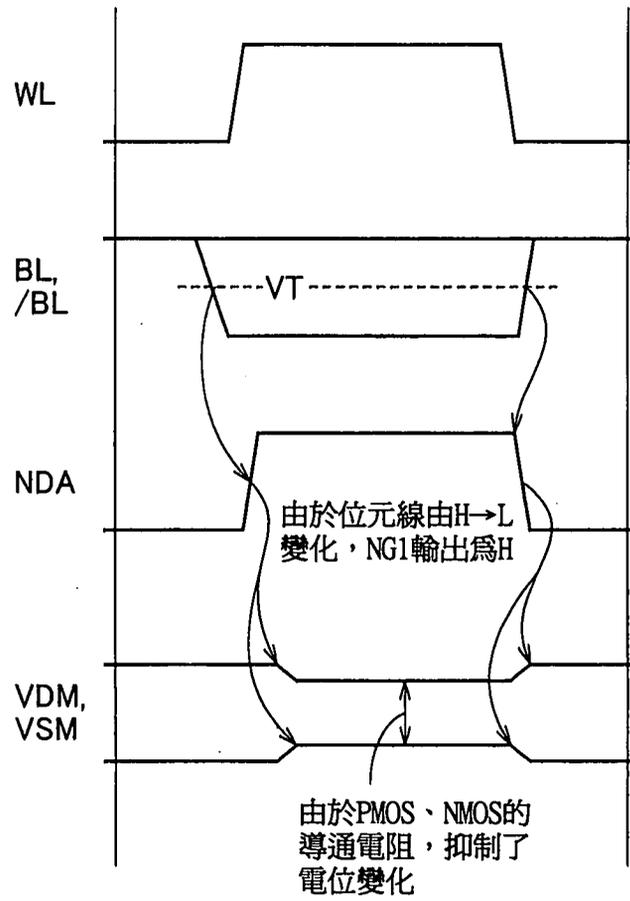
第52圖



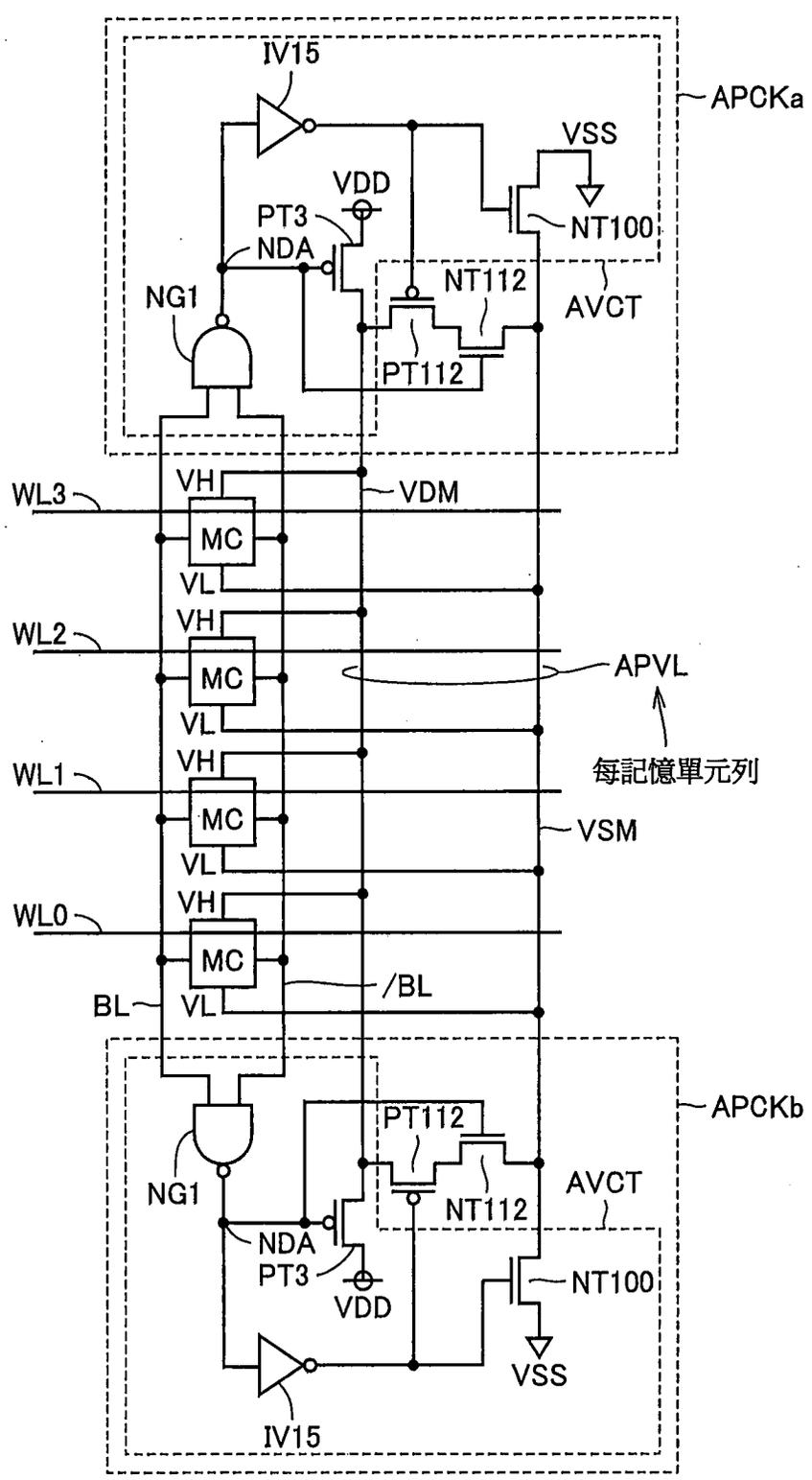
第53圖



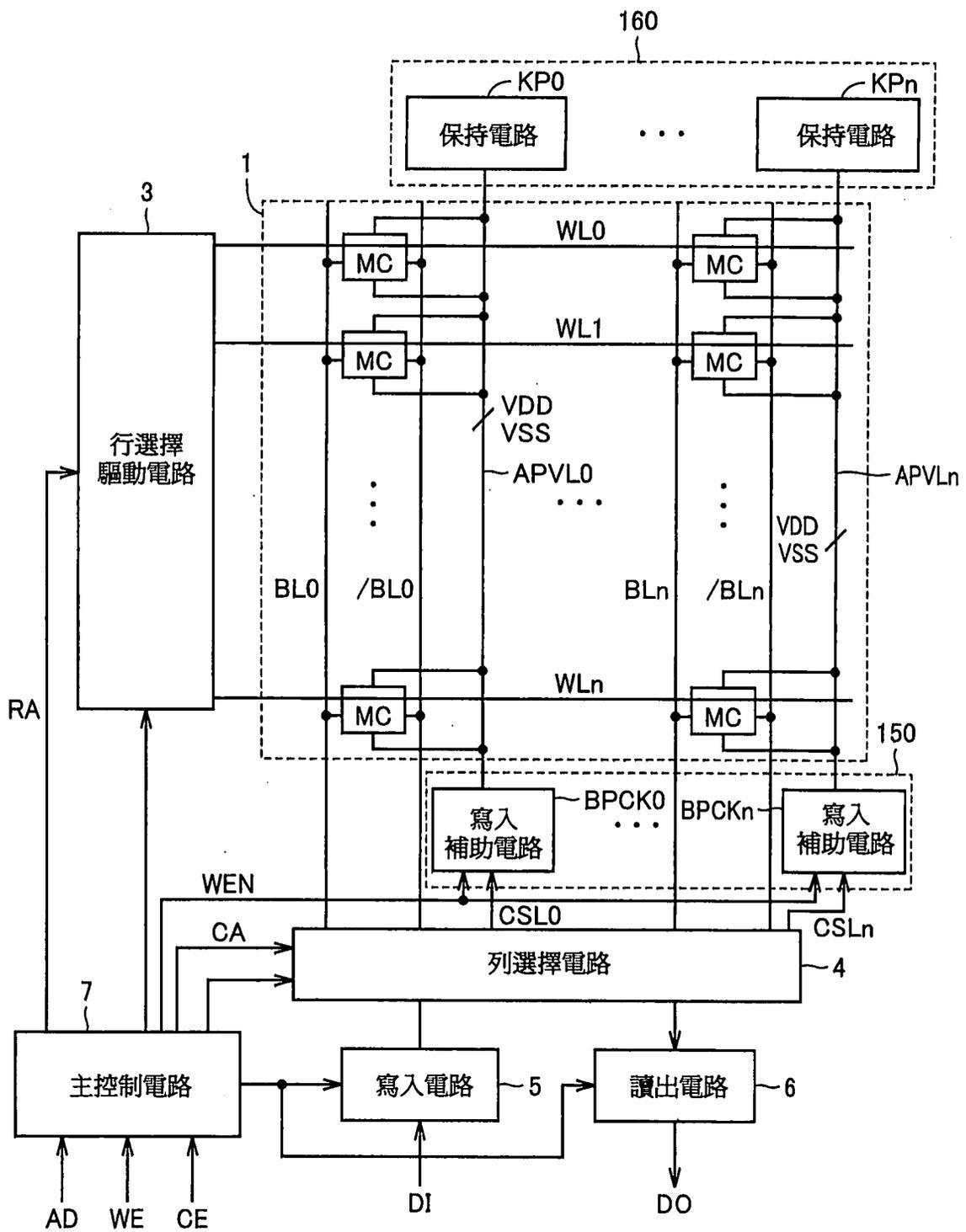
第54圖



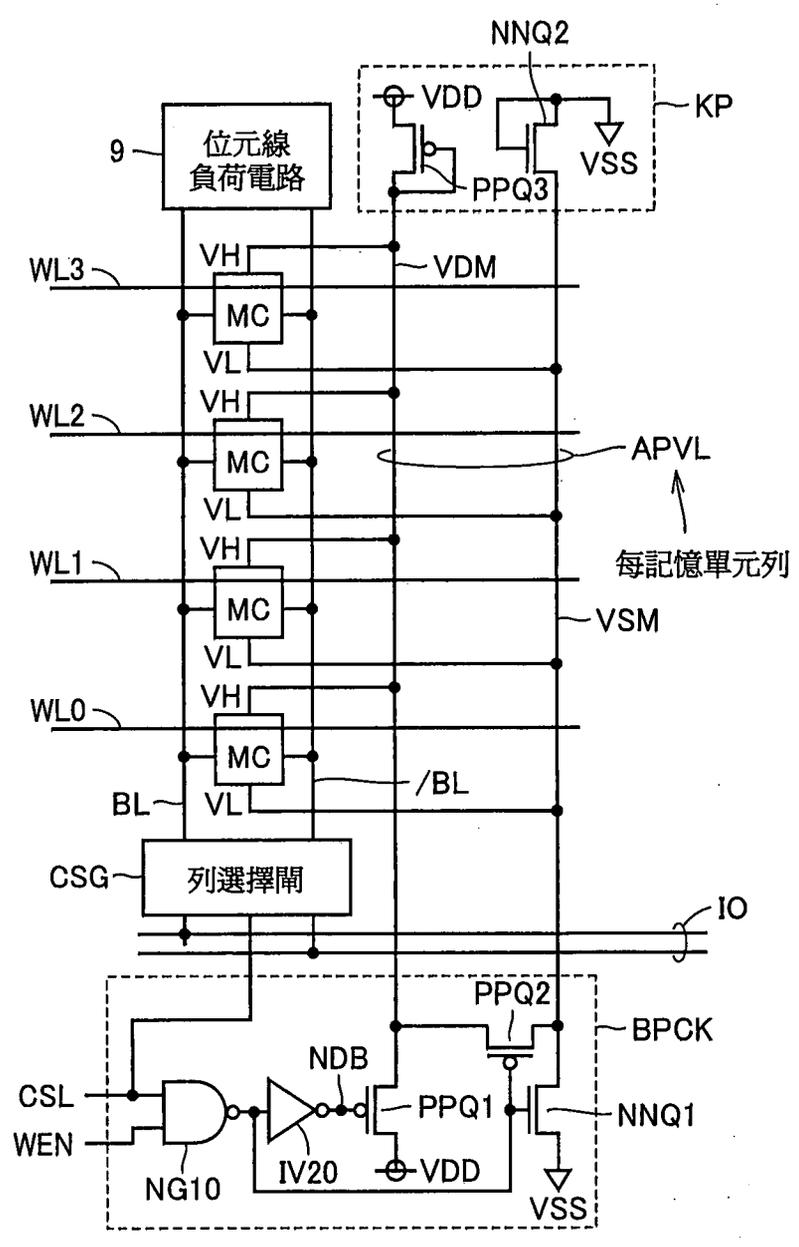
第57圖



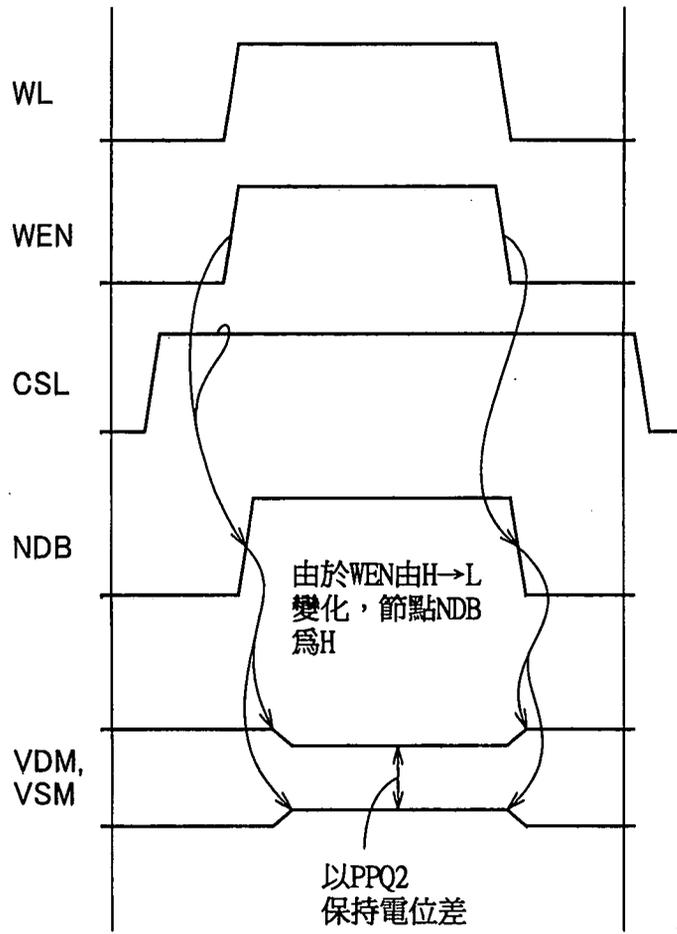
第58圖



第59圖



第60圖



第61圖

