

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月16日(16.01.2020)



(10) 国際公開番号

WO 2020/012943 A1

- (51) 国際特許分類:
H03K 5/08 (2006.01) H03M 1/56 (2006.01)
H03F 3/45 (2006.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2019/025040
- (22) 国際出願日: 2019年6月25日(25.06.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-129693 2018年7月9日(09.07.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 千葉 政善 (CHIBA Masayoshi); 〒2430014 神奈川県厚木市旭町四丁目1番1号

号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 渡邊 慎一(WATANABE Shinichi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

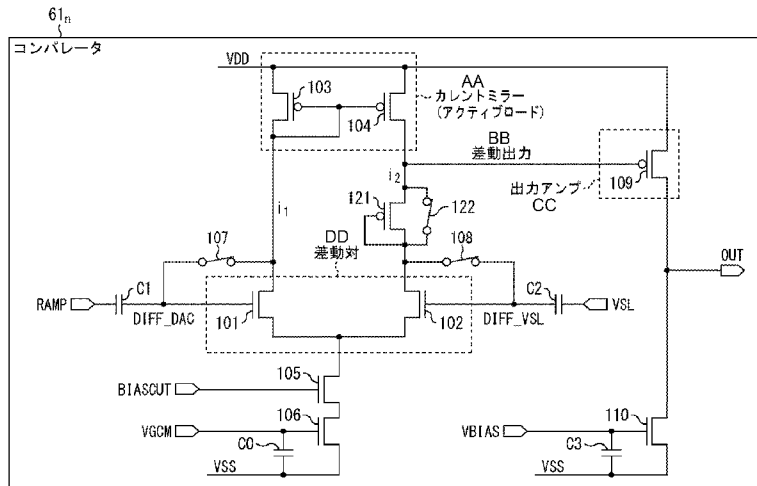
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: COMPARATOR AND IMAGING DEVICE

(54) 発明の名称: コンパレータ及び撮像装置

【図8】
FIG. 8



61n... COMPARATOR
AA... CURRENT MIRROR (ACTIVE LOAD)
BB... DIFFERENTIAL OUTPUT
CC... OUTPUT AMPLIFIER
DD... DIFFERENTIAL PAIR

(57) Abstract: The present technology relates to a comparator and an imaging device which make it possible to easily change an operation point potential of the comparator. A pixel signal output from a pixel and a reference signal the voltage of which changes are input to a differential pair. A current mirror is connected to the differential pair, and a voltage drop mechanism for causing a prescribed voltage drop is connected between transistors constituting the differential pair and transistors constituting the current mirror. Switches are connected in parallel to the voltage drop mechanism. The present technology can be applied to an image sensor for capturing an image, for example.



WO 2020/012943 A1

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

(57) 要約 : 本技術は、コンパレータの動作点電位を容易に変更することができるようにするコンパレータ及び撮像装置に関する。差動対には、画素から出力される画素信号、及び、電圧が変化する参照信号が入力される。差動対には、カレントミラーが接続され、差動対を構成するトランジスタと、カレントミラーを構成するトランジスタとの間には、所定の電圧降下を生じさせる電圧降下機構が接続されている。電圧降下機構には、スイッチが、並列に接続されている。本技術は、例えば、画像を撮像するイメージセンサ等に適用することができる。

明 細 書

発明の名称：コンパレータ及び撮像装置

技術分野

[0001] 本技術は、コンパレータ及び撮像装置に関し、特に、例えば、コンパレータの動作点電位を容易に変更することができるようにするコンパレータ及び撮像装置に関する。

背景技術

[0002] 例えば、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサは、光電変換を行うPD(Photo diode)等の光電変換素子を有する画素が出力するアナログの画素信号をAD(Analog to Digital)変換するADC(AD Converter)を、例えば、画素の列等ごとに有する。

[0003] CMOSイメージセンサのADCとしては、例えば、コンパレータとカウンタとを有し、所定の参照信号と画素が出力する画素信号とを比較することにより、画素信号のAD変換を行う、シングルスロープ型と呼ばれるADCがある。

[0004] シングルスロープ型のADCでは、コンパレータにおいて、ランプ(RAMP)信号等の一定の傾きで電圧が変化する参照信号と画素が出力する画素信号とが比較され、カウンタにおいて、参照信号と画素信号とのレベルが一致するまでの、参照信号の電圧の変化に要する時間がカウントされることにより、画素が出力する画素信号がAD変換される。

[0005] CMOSイメージセンサでは、画素をリセットした直後の画素信号であるリセットレベルのAD変換結果と、リセット後に、画素のPDに蓄積される電荷を含む電荷に対応する画素信号である信号レベルのAD変換結果との差分を求めるCDS(Correlated Double Sampling)が行われ、そのCDSの結果得られる差分が、画素値として出力される。

[0006] ところで、シングルスロープ型のADCを採用するCMOSイメージセンサでは、AD変換の前に、コンパレータの動作点電位を決定するオートゼロ動作が行われる。オートゼロ動作では、コンパレータ（を構成する差動対）に入力され

る画素信号と参照信号とがオートゼロ電位と呼ばれる同一の電位になるように、コンパレータが設定される。

- [0007] 特許文献1には、コンパレータの外部に設けられた外部印加電圧生成回路において、外部印加電圧を生成し、その外部印加電圧をコンパレータに供給することにより、オートゼロ電位を変更する技術が記載されている。

先行技術文献

特許文献

- [0008] 特許文献1：特開2014-197772号公報

発明の概要

発明が解決しようとする課題

- [0009] 近年、オートゼロ動作のオートゼロ電位、すなわち、コンパレータの動作点電位を、容易に変更することができる技術の提案が要請されている。

- [0010] 本技術は、このような状況に鑑みてなされたものであり、コンパレータの動作点電位を容易に変更することができるようにするものである。

課題を解決するための手段

- [0011] 本技術のコンパレータは、画素から出力される画素信号、及び、電圧が変化する参照信号が入力される差動対と、前記差動対に接続されたカレントミラーと、前記差動対を構成するトランジスタと、前記カレントミラーを構成するトランジスタとの間に接続された、所定の電圧降下を生じさせる電圧降下機構と、前記電圧降下機構に並列に接続されたスイッチとを備えるコンパレータである。

- [0012] 本技術の撮像装置は、光電変換を行い、画素信号を出力する画素と、前記画素信号と、電圧が変化する参照信号とを比較するコンパレータと、前記コンパレータの、前記画素信号と前記参照信号との比較結果に基づいて、前記画素信号と前記参照信号とが一致するまでの、前記参照信号の変化に要する時間をカウントすることにより得られるカウント値を、前記画素信号のAD(Analog Digital)変換結果として求めるカウンタとを備え、前記コンパレータは

、画素信号、及び、前記参照信号が入力される差動対と、前記差動対に接続されたカレントミラーと、前記差動対を構成するトランジスタと、前記カレントミラーを構成するトランジスタとの間に接続された、所定の電圧降下を生じさせる電圧降下機構と、前記電圧降下機構に並列に接続されたスイッチとを有する撮像装置である。

[0013] 本技術のコンパレータ及び撮像装置においては、画素から出力される画素信号、及び、電圧が変化する参照信号が入力される差動対を構成するトランジスタと、前記差動対に接続されたカレントミラーを構成するトランジスタとの間に、所定の電圧降下を生じさせる電圧降下機構が接続され、前記電圧降下機構には、スイッチが、並列に接続されている。

[0014] コンパレータや撮像装置は、独立した装置（チップやモジュールを含む）であっても良いし、1つの装置を構成している内部ブロックであっても良い。

発明の効果

[0015] 本技術によれば、コンパレータの動作点電位を容易に変更することができる。

[0016] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0017] [図1]本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[図2]イメージセンサ2の構成例を示すブロック図である。

[図3]画素1 1_{m, n}の構成例を示す回路図である。

[図4]ADC 3 1_nの構成例を示すブロック図である。

[図5]コンパレータ6 1_nの第1の構成例を示す回路図である。

[図6]コンパレータ6 1_nの第1の構成例の動作の例を説明するタイミングチャートである。

[図7]RAMP信号及びVSL信号が反転変化する場合のコンパレータ6 1_nの第1の

構成例の動作の例を説明するタイミングチャートである。

[図8]コンパレータ61_nの第2の構成例を示す回路図である。

[図9]コンパレータ61_nの第2の構成例において、VSL信号やRAMP信号が通常変化する場合の比較動作時のスイッチ107及びスイッチ108、並びに、スイッチ122の状態を示す図である。

[図10]RAMP信号及びVSL信号が通常変化する場合のコンパレータ61_nの第2の構成例の動作の例を説明するタイミングチャートである。

[図11]コンパレータ61_nの第2の構成例において、VSL信号やRAMP信号が反転変化する場合のオートゼロ動作時のスイッチ107及びスイッチ108、並びに、スイッチ122の状態を示す図である。

[図12]RAMP信号及びVSL信号が反転変化する場合のコンパレータ61_nの第2の構成例の動作の例を説明するタイミングチャートである。

[図13]コンパレータ61_nの第3の構成例を示す回路図である。

[図14]コンパレータ61_nの第3の構成例において、VSL信号やRAMP信号が通常変化する場合の比較動作時のスイッチ107及びスイッチ108、並びに、スイッチ122及びスイッチ132の状態を示す図である。

[図15]RAMP信号及びVSL信号が通常変化する場合のコンパレータ61_nの第3の構成例の動作の例を説明するタイミングチャートである。

[図16]コンパレータ61_nの第3の構成例において、VSL信号やRAMP信号が反転変化する場合のオートゼロ動作時のスイッチ107及びスイッチ108、並びに、スイッチ122及びスイッチ132の状態を示す図である。

[図17]RAMP信号及びVSL信号が反転変化する場合のコンパレータ61_nの第3の構成例の動作の例を説明するタイミングチャートである。

[図18]コンパレータ61_nの第4の構成例を示す回路図である。

[図19]コンパレータ61_nの第5の構成例を示す回路図である。

[図20]イメージセンサ2を使用する使用例を示す図である。

[図21]車両制御システムの概略的な構成の一例を示すブロック図である。

[図22]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0018] <本技術を適用したデジタルカメラの一実施の形態>

[0019] 図1は、本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[0020] なお、デジタルカメラは、静止画、及び、動画のいずれも撮像することができる。

[0021] 図1において、デジタルカメラは、光学系1、イメージセンサ2、メモリ3、信号処理部4、出力部5、及び、制御部6を有する。

[0022] 光学系1は、例えば、図示せぬズームレンズや、フォーカスレンズ、絞り等を有し、外部からの光を、イメージセンサ2に入射させる。

[0023] イメージセンサ2は、例えば、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサ等の撮像装置であり、光学系1からの入射光を受光し、光電変換を行って、光学系1からの入射光に対応する画像データを出力する。

[0024] メモリ3は、イメージセンサ2が出力する画像データを一時記憶する。

[0025] 信号処理部4は、メモリ3に記憶された画像データを用いた信号処理としての、例えば、ノイズの除去や、ホワイトバランスの調整等の処理を行い、出力部5に供給する。

[0026] 出力部5は、信号処理部4からの画像データを出力する。

[0027] すなわち、出力部5は、例えば、液晶等で構成されるディスプレイ（図示せず）を有し、信号処理部4からの画像データに対応する画像を、いわゆるスルー画として表示する。

[0028] また、出力部5は、例えば、半導体メモリや、磁気ディスク、光ディスク等の記録媒体を駆動するドライバ（図示せず）を有し、信号処理部4からの画像データを記録媒体に記録する。

[0029] 制御部6は、ユーザの操作等に従い、デジタルカメラを構成する各ブロックを制御する。

[0030] 以上のように構成されるデジタルカメラでは、イメージセンサ2が、光

学系 1 からの入射光を受光し、その入射光に応じて、画像データを出力する。
。

[0031] イメージセンサ 2 が出力する画像データは、メモリ 3 に供給されて記憶される。メモリ 3 に記憶された画像データについては、信号処理部 4 による信号処理が施され、その結果得られる画像データは、出力部 5 に供給されて出力される。

[0032] <イメージセンサ 2 の構成例>

[0033] 図 2 は、図 1 のイメージセンサ 2 の構成例を示すブロック図である。

[0034] 図 2 において、イメージセンサ 2 は、画素アレイ 10、制御部 20、画素駆動部 21、列並列 AD 変換部 22、及び、出力部 23 を有する。

[0035] 画素アレイ 10 は、光電変換を行う $M \times N$ 個 (M 及び N は、1 以上の整数) の画素 $11_{1,1}$, $11_{1,2}$, \dots , $11_{1,N}$, $11_{2,1}$, $11_{2,2}$, \dots , $11_{2,N}$, \dots , $11_{M,1}$, $11_{M,2}$, \dots , $11_{M,N}$ を有し、画像を撮像する撮像部 (撮像素子) として機能する。

[0036] $M \times N$ 個の画素 $11_{1,1}$ ないし $11_{M,N}$ は、2 次元平面上に、 M 行 N 列の行列 (格子) 状に配置されている。

[0037] 画素アレイ 10 の、(上から) m 行目 ($m=1, 2, \dots, M$) の行方向 (横方向) に並ぶ N 個の画素 $11_{m,1}$ ないし $11_{m,N}$ には、行方向に延びる画素制御線 41_m が接続されている。

[0038] また、(左から) n 列目 ($n=1, 2, \dots, N$) の列方向 (縦方向) に並ぶ M 個の画素 $11_{1,n}$ ないし $11_{M,n}$ には、列方向に延びる VSL (Vertical Signal Line) 42_n が接続されている。

[0039] 画素 $11_{m,n}$ は、そこに入射する光 (入射光) の光電変換を行う。さらに、画素 $11_{m,n}$ は、光電変換によって得られる電荷に対応する電圧としての画素信号を、画素駆動部 21 からの、画素制御線 41_m を介しての制御に従い、電流源 43_n が接続された VSL 42_n 上に出力する。

[0040] なお、画素 $11_{m,n}$ は、例えば、ベイヤ配列等の色フィルタ (図示せず) を介して入射する所定の色の光の光電変換を行うことができる。

- [0041] 制御部20は、画素駆動部21や、列並列AD変換部22（を構成するオートゼロ制御部32や、参照信号出力部33等）、その他の必要なブロックを、所定のロジック等に従って制御する。
- [0042] 画素駆動部21は、制御部20の制御に従い、画素制御線41_mを介して、その画素制御線41_mに接続されている画素11_{m,1}ないし11_{m,N}を制御（駆動）する。
- [0043] 列並列AD変換部22は、一行に並ぶ画素11_{m,1}ないし11_{m,N}それぞれと、VSL42₁ないし42_Nを介して接続されており、したがって、画素11_{m,n}がVSL42_n上に出力する画素信号（電圧）（以下、VSL信号ともいう）は、列並列AD変換部22に供給される。
- [0044] 列並列AD変換部22は、一行に並ぶ画素11_{m,1}ないし11_{m,N}それぞれから、VSL42₁ないし42_Nを介して供給されるVSL信号のAD変換を、並列で行う処理装置であり、AD変換の結果得られるデジタルデータを、画素11_{m,1}ないし11_{m,N}の画素値（画素データ）として、出力部23に供給する。
- [0045] ここで、列並列AD変換部22は、一行に並ぶN個の画素11_{m,1}ないし11_{m,N}すべての画素信号のAD変換を、並列で行う他、そのN個の画素11_{m,1}ないし11_{m,N}のうちの、N個未満の1個以上の画素の画素信号のAD変換を、並列で行うことができる。
- [0046] 但し、以下では、説明を簡単にするため、列並列AD変換部22は、一行に並ぶN個の画素11_{m,1}ないし11_{m,N}すべてのVSL信号のAD変換を、並列で行うこととする。
- [0047] 列並列AD変換部22は、一行に並ぶN個の画素11_{m,1}ないし11_{m,N}すべてのVSL信号のAD変換を、並列で行うために、N個のADC(Analog to Digital Converter)31₁ないし31_Nを有する。
- [0048] さらに、列並列AD変換部22は、オートゼロ制御部32、参照信号出力部33、及び、クロック出力部34を有する。
- [0049] オートゼロ制御部32は、ADC31_nが有する、後述するコンパレータ61_nのオートゼロ動作を制御するための信号であるオートゼロパルス（オートゼ

口信号)を、オートゼロ信号線32Aを介して、ADC31₁ないし31_Nに供給(出力)する。

[0050] 参照信号出力部33は、例えば、DAC(Digital to Analog Converter)で構成され、ランプ(RAMP)信号のような一定の傾きで、所定の初期値から所定の最終値まで電圧が変化する期間を有する参照信号を、参照信号線33Aを介して、ADC31₁ないし31_Nに供給(出力)する。

[0051] クロック出力部34は、所定の周波数のクロックを、クロック信号線34Aを介して、ADC31₁ないし31_Nに供給(出力)する。

[0052] ADC31_nは、VSL41_nに接続されており、したがって、ADC31_nには、画素11_{m, n}がVSL41_n上に出力するVSL信号(画素信号)が供給される。

[0053] ADC31_nは、画素11_{m, n}が出力するVSL信号のAD変換を、参照信号出力部33からの参照信号、及び、クロック出力部34からのクロックを用いて行い、さらに、CDS(Correlated Double Sampling)を行って、画素値としてのデジタルデータを求める。

[0054] ここで、ADC31_nは、画素11_{m, n}のVSL信号と、参照信号出力部33からの参照信号とを比較し、画素11_{m, n}のVSL信号と参照信号との電圧が一致するまでの(VSL信号と参照信号との大小関係が逆転するまでの)、参照信号の電圧の変化に要する時間をカウントすることにより、画素11_{m, n}のVSL信号のAD変換を行う。

[0055] ADC31_nにおいて、画素11_{m, n}のVSL信号と参照信号との電圧が一致するまでの、参照信号の電圧の変化に要する時間のカウントは、クロック出力部34からのクロックをカウントすることにより行われる。

[0056] また、N個のADC31₁ないし31_Nには、画素アレイ10の第1行ないし第M行の各行のN個の画素11_{m, 1}ないし11_{m, N}のVSL信号が、例えば、第1行から順次供給され、そのVSL信号のAD変換、及び、CDSが、行単位で行われる。

[0057] 出力部23は、画素値を読み出す列nを選択し、その列nのADC31_nから、そのADC31_nで求められた画素11_{m, n}のAD変換(及びCDS)の結果を、画素値として読み出し、外部(本実施の形態では、メモリ3(図1))に出力す

る。

[0058] なお、ここでは、ADC 3 1_nにおいて、AD変換の他、CDSを行うこととしたが、ADC 3 1_nでは、AD変換のみを行い、CDSは、出力部 2 3 で行うことが可能である。

[0059] また、以下では、CDSについては、適宜、説明を省略する。

[0060] <画素 1 1_{m, n}の構成例>

[0061] 図 3 は、図 2 の画素 1 1_{m, n}の構成例を示す回路図である。

[0062] 図 3 において、画素 1 1_{m, n}は、PD 5 1、並びに、4 個のNMOS(negative channel MOS)のFET(Field Effect Transistor) 5 2、5 4、5 5、及び、5 6 を有する。

[0063] また、画素 1 1_{m, n}においては、FET 5 2 のドレイン、FET 5 4 のソース、及び、FET 5 5 のゲートが接続されており、その接続点には、電荷を電圧に変換するためのFD(Floating Diffusion) (容量) 5 3 が形成されている。

[0064] PD 5 1 は、光電変換を行う光電変換素子の一例であり、入射光を受光して、その入射光に対応する電荷をチャージすることにより、光電変換を行う。

[0065] PD 5 1 のアノードはグラウンド(ground)に接続され(接地され)、PD 5 1 のカソードは、FET 5 2 のソースに接続されている。

[0066] FET 5 2 は、PD 5 1 にチャージされた電荷を、PD 5 1 からFD 5 3 に転送するためのFETであり、以下、転送Tr 5 2 ともいう。

[0067] 転送Tr 5 2 のソースは、PD 5 1 のカソードに接続され、転送Tr 5 2 のドレインは、FD 5 3 を介して、FET 5 4 のソースに接続されている。

[0068] また、転送Tr 5 2 のゲートは、画素制御線 4 1_mに接続されており、転送Tr 5 2 のゲートには、画素制御線 4 1_mを介して、転送パルスTRGが供給される。

[0069] ここで、画素駆動部 2 1 (図 2) が、画素制御線 4 1_mを介して、画素 1 1_{m, n}を駆動(制御)するために、画素制御線 4 1_mに供給する制御信号(電圧)には、転送パルスTRGの他、後述するリセットパルスRST、及び、選択パルスSELがある。

- [0070] FD53は、転送Tr52のドレイン、FET54のソース、及び、FET55のゲートの接続点に形成された、コンデンサの如く電荷を電圧に変換する領域である。
- [0071] FET54は、FD53にチャージされた電荷（電圧（電位））をリセットするためのFETであり、以下、リセットTr54ともいう。
- [0072] リセットTr54のドレインは、電源Vddに接続されている。
- [0073] また、リセットTr54のゲートは、画素制御線41_mに接続されており、リセットTr54のゲートには、画素制御線41_mを介して、リセットパルスRSTが供給される。
- [0074] FET55は、FD53の電圧をバッファするためのFETであり、以下、増幅Tr55ともいう。
- [0075] 増幅Tr55のゲートは、FD53に接続され、増幅Tr55のドレインは、電源Vddに接続されている。また、増幅Tr55のソースは、FET56のドレインに接続されている。
- [0076] FET56は、VSL42_nへの画素信号（VSL信号）の出力を選択するためのFETであり、以下、選択Tr56ともいう。
- [0077] 選択Tr56のソースは、VSL42_nに接続されている。
- [0078] また、選択Tr56のゲートは、画素制御線41_mに接続されており、選択Tr56のゲートには、画素制御線41_mを介して、選択パルスSELが供給される。
- [0079] ここで、増幅Tr55のソースが、選択Tr56、及び、VSL42_nを介して電流源43_nに接続されることで、増幅Tr55及び電流源43_nによって、SF(Source Follower)（の回路）が構成されており、したがって、FD53の電圧は、SFを介して、VSL42_n上のVSL信号となる。
- [0080] なお、画素11_{m, n}は、選択Tr56なしで構成することができる。
- [0081] また、画素11_{m, n}の構成としては、FD53ないし選択Tr56を、複数のPD51及び転送Tr52で共有する共有画素の構成を採用することができる。
- [0082] 以上のように構成される画素11_{m, n}では、PD51は、そこに入射する光を

受光し、光電変換を行うことにより、受光した入射光の光量に応じた電荷のチャージを開始する。なお、ここでは、説明を簡単にするために、選択パルスSELはHレベルになっており、選択Tr 5 6はオン状態であることとする。

[0083] PD 5 1での電荷のチャージが開始されてから、所定の時間（露光時間）が経過すると、画素駆動部 2 1（図 2）は、転送パルスTRGを、一時的に、（L（Low）レベルから）H（High）レベルにする。

[0084] 転送パルスTRGが一時的にHレベルになることにより、転送Tr 5 2は、一時的に、オン状態になる。

[0085] 転送Tr 5 2がオン状態になると、PD 5 1にチャージされた電荷は、転送Tr 5 2を介して、FD 5 3に転送されてチャージされる。

[0086] 画素駆動部 2 1は、転送パルスTRGを一時的にHレベルにする前に、リセットパルスRSTを、一時的に、Hレベルにし、これにより、リセットTr 5 4を、一時的に、オン状態にする。

[0087] リセットTr 5 4がオン状態になることにより、FD 5 3は、リセットTr 5 4を介して、電源Vddに接続され、FD 5 3にある電荷は、リセットTr 5 4を介して、電源Vddに掃き出されてリセットされる。

[0088] ここで、以上のように、FD 5 3が、電源Vddに接続され、FD 5 3にある電荷がリセットされることが、画素 1 1_{m, n}のリセットである。

[0089] FD 5 3の電荷のリセット後、画素駆動部 2 1は、上述のように、転送パルスTRGを、一時的に、Hレベルにし、これにより、転送Tr 5 2は、一時的に、オン状態になる。

[0090] 転送Tr 5 2がオン状態になることにより、PD 5 1にチャージされた電荷は、転送Tr 5 2を介して、リセット後のFD 5 3に転送されてチャージされる。

[0091] FD 5 3にチャージされた電荷に対応する電圧（電位）は、増幅Tr 5 5及び選択Tr 5 6を介して、VSL信号として、VSL 4 2_n上に出力される。

[0092] VSL 4 2_nに接続されているADC 3 1_n（図 2）では、画素 1 1_{m, n}のリセットが行われた直後のVSL信号であるリセットレベルがAD変換される。

[0093] さらに、ADC 3 1_nでは、転送Tr 5 2が一時的にオン状態になった後のVSL信

号 (PD5 1 にチャージされ、FD5 3 に転送された電荷に対応する電圧) である信号レベル (リセットレベルと、画素値となるレベルとを含む) がAD変換される。

[0094] そして、ADC3 1_nでは、リセットレベルのAD変換結果 (以下、リセットレベルAD値ともいう) と、信号レベルのAD変換結果 (以下、信号レベルAD値ともいう) との差分を、画素値として求めるCDSが行われる。

[0095] <ADC3 1_nの構成例>

[0096] 図4は、図2のADC3 1_nの構成例を示すブロック図である。

[0097] ADC3 1_nは、コンパレータ6 1_n、及び、カウンタ6 2_nを有し、シングルスロープ型のAD変換、及び、CDSを行う。

[0098] コンパレータ6 1_nは、反転入力端子(-)、及び、非反転入力端子(+)²の2つの入力端子を有する。

[0099] コンパレータ6 1_nの2つの入力端子のうち一方の入力端子である反転入力端子(-)には、参照信号出力部3 3からの参照信号、及び、画素1 1_{m, n}のVSL信号 (リセットレベル、信号レベル) のうち一方である、例えば、参照信号が供給される。コンパレータ6 1_nの2つの入力端子のうち他方の入力端子である非反転入力端子(+)²には、参照信号出力部3 3からの参照信号、及び、画素1 1_{m, n}のVSL信号のうち他方である、例えば、VSL信号が供給される。

[0100] コンパレータ6 1_nは、反転入力端子に供給される参照信号と、非反転入力端子に供給されるVSL信号とを比較し、その比較結果を出力する。

[0101] すなわち、コンパレータ6 1_nは、反転入力端子に供給される参照信号が、非反転入力端子に供給されるVSL信号よりも大である場合、H及びLレベルのうち一方である、例えば、Lレベルを出力する。

[0102] また、コンパレータ6 1_nは、非反転入力端子に供給されるVSL信号が、反転入力端子に供給される参照信号の電圧よりも大である場合、H及びLレベルのうち他方であるHレベルを出力する。

[0103] なお、コンパレータ6 1_nには、オートゼロ制御部3 2から、オートゼロ信

号線32Aを介して、オートゼロパルスが供給される。コンパレータ61_nでは、オートゼロ制御部32からのオートゼロパルスに従って、コンパレータ61_nの動作点電位であるオートゼロ電位を決定するオートゼロ動作が行われる。

[0104] ここで、オートゼロ動作では、コンパレータ61_nに入力（供給）される画素信号と参照信号とが同一のオートゼロ電位になるように、コンパレータが設定される。したがって、オートゼロ動作では、コンパレータ61_nにおいて、そのコンパレータ61_nに現に与えられている2つの入力信号、すなわち、コンパレータ61_nの反転入力端子に現に供給されている信号と、非反転入力端子に現に供給されている信号とが一致している旨の比較結果が得られるように、コンパレータ61_nが設定される。

[0105] カウンタ62_nには、コンパレータ61_nの出力と、クロック出力部34からのクロックとが供給される。

[0106] カウンタ62_nは、例えば、参照信号出力部33からコンパレータ61_nに供給される参照信号（の電圧）が変化を開始するタイミングで、クロック出力部34からのクロックのカウントを開始し、コンパレータ61_nの出力が、例えば、LレベルからHレベルになると（、又は、HレベルからLレベルになると）、すなわち、コンパレータ61_nの反転入力端子に供給される参照信号と、非反転入力端子に供給されるVSL信号との電圧が等しくなると（参照信号とVSL信号との大小関係が逆転すると）、クロック出力部34からのクロックのカウントを終了する。

[0107] そして、カウンタ62_nは、クロックのカウント値を、コンパレータ61_nの非反転入力端子に供給されるVSL信号のAD変換結果として出力する。

[0108] ここで、参照信号出力部33は、参照信号として、例えば、所定の初期値から所定の最終値まで、一定の割合で電圧が小さく又は大きくなっていくスロープ（スロープ状の波形）を有するRAMP信号を出力する。

[0109] カウンタ62_nでは、スロープの開始から、参照信号が、コンパレータ61_nの非反転入力端子に供給されるVSL信号に一致する電圧に変化するまでの時

間がカウントされ、そのカウントにより得られるカウント値が、コンパレータ61_nの非反転入力端子に供給されるVSL信号のAD変換結果とされる。

[0110] ADC31_nは、画素11_{m, n}からコンパレータ61_nの非反転入力端子に供給されるVSL信号としてのリセットレベル、及び、信号レベルのAD変換結果を得る。そして、ADC31_nは、信号レベルのAD変換結果（信号レベルAD値）と、リセットレベルのAD変換結果（リセットレベルAD値）との差分を求めるCDSを行い、そのCDSにより得られる差分を、画素11_{m, n}の画素値として出力する。

[0111] なお、ADC31_nにおいて、CDSは、信号レベルAD値とリセットレベルAD値との差分を求める演算を実際に行うことにより行う他、例えば、カウンタ62_nでのクロックのカウントを制御することにより行うことができる。

[0112] すなわち、カウンタ62_nにおいて、リセットレベルについては、例えば、カウント値を、1ずつデクリメントしながら、クロックをカウントし、信号レベルについては、リセットレベルについてのクロックのカウント値を初期値として、カウント値を、リセットレベルの場合とは逆に、1ずつインクリメントしながら、クロックをカウントすることにより、リセットレベル、及び、信号レベルのAD変換を行いつつ、信号レベル（のAD変換結果）とリセットレベル（のAD変換結果）との差分を求めるCDSを行うことができる。

[0113] <コンパレータ61_nの第1の構成例>

[0114] 図5は、図4のコンパレータ61_nの第1の構成例を示す回路図である。

[0115] コンパレータ61_nは、NMOSのFET101及びFET102、PMOS(positive channel MOS)のFET103及びFET104、NMOSのFET105及びFET106、スイッチ107及びスイッチ108、PMOSのFET109、NMOSのFET110、並びに、コンデンサC0, C1, C2, C3を有する。

[0116] FET101及びFET102は、いわゆる差動対を構成しており、それぞれのソースどうしが接続されている。さらに、FET101及びFET102のソースどうしの接続点は、FET105のドレインに接続されている。

[0117] FET101のゲートは、コンデンサC1を介して、コンパレータ61_nの反転

入力端子に接続されており、FET 101のゲートには、コンデンサC1を介して、参照信号としてのRAMP信号が供給される。FET 102のゲートは、コンデンサC2を介して、コンパレータ61_nの非反転入力端子に接続されており、FET 102のゲートには、コンデンサC2を介して、画素11_{m, n}が出力するVSL信号（画素信号）が供給される。

[0118] コンパレータ61_nは、以上のように、FET 101、及び、FET 102で構成される差動対を入力段に有し、その差動対の入力段としてのFET 101及び102のゲートには、コンデンサC1及びC2がそれぞれ設けられている。

[0119] FET 103及びFET 104は、カレントミラーを構成しており、FET 101及び102で構成される差動対のアクティブロードとして機能する。FET 103及びFET 104において、ゲートどうしは接続され、ソースは、電源（電圧）VDD(>0)に接続されている、FET 103及びFET 104のゲートどうしの接続点は、FET 103のドレインに接続されている。

[0120] カレントミラーを構成するFET 103及びFET 104のうちの、FET 103のドレインは、FET 101のドレインに接続され、FET 104のドレインは、FET 102のドレインに接続されている。

[0121] そして、FET 102及びFET 104のドレインどうしの接続点は、FET 109のゲートに接続されており、したがって、FET 102及びFET 104のドレインどうしの接続点の信号は、FET 109に対して、そのFET 109の入力信号として与えられる。

[0122] スイッチ107及びスイッチ108は、例えば、FET等で構成されるスイッチであり、オートゼロ制御部32から供給されるオートゼロパルスに応じて、オン又はオフする。

[0123] すなわち、スイッチ107は、オートゼロパルスに応じて、FET 101のゲートとドレインとの間を接続又は切断するようにオン又はオフする。スイッチ108は、オートゼロパルスに応じて、FET 102のゲートとドレインとの間を接続又は切断するようにオン又はオフする。

[0124] ここで、スイッチ107及びスイッチ108は、オートゼロ動作において

、オンになる。スイッチ107及びスイッチ108がオンになると、FET101及びFET102それぞれのゲート電圧及びドレイン電圧が等しくなるように、コンデンサC1及びC2がチャージされる。したがって、オートゼロ動作によれば、コンデンサC1を介してFET101のゲートに供給されるRAMP信号であるDIFF_DAC信号と、コンデンサC2を介してFET102のゲートに供給されるVSL信号であるDIFF_VSL信号との電圧が、同一になる。

[0125] この、オートゼロ動作によって等しくなるDIFF_DAC信号及びDIFF_VSL信号の電圧が、コンパレータ61_nの動作点電位であるオートゼロ電位である。

[0126] FET105のドレインは、上述したように、差動対を構成するFET101及びFET102のソースどうしの接続点に接続されている。そして、FET105のソースは、FET106のドレインに接続され、FET105のゲートには、図示せぬ回路から制御信号としてのBIASCUT信号が供給される。

[0127] FET106のゲート及びソースは、コンデンサC0の一端及び他端とそれぞれ接続されている。FET106のゲートとコンデンサC0の一端との接続点には、図示せぬ回路から制御信号としてのVGCM信号が供給され、FET106のソースとコンデンサC0の他端との接続点は、電源（電圧）VSS(<VDD)に接続されている。FET105及び106、並びに、コンデンサC0は、電流源を構成する。

[0128] FET109のソースは、電源VDDに接続され、ドレインは、FET110のドレインに接続されている。

[0129] FET110のゲート及びソースは、コンデンサC3の一端及び他端とそれぞれ接続されている。FET110のゲートとコンデンサC3の一端との接続点には、図示せぬ回路から制御信号としてのVBIAS信号が供給され、FET110のソースとコンデンサC3の他端との接続点は、電源VSSに接続されている。FET110及びコンデンサC3は、電流源を構成する。

[0130] 以上のように構成されるコンパレータ61_nでは、FET101（のドレインからソース）には、FET101のゲート電圧としてのDIFF_DAC信号に対応する電流 i_1 が流れ、FET102（のドレインからソース）には、FET102のゲート電圧としてのDIFF_VSLに対応する電流 i_2 が流れる。

- [0131] また、カレントミラーを構成するFET 103及びFET 104（のソースからドレイン）には、FET 101に流れる電流 i_1 と同一の電流が流れる。
- [0132] FET 101のゲート電圧としてのDIFF_DAC信号が、FET 102のゲート電圧としてのDIFF_VSL信号よりも大である場合には、FET 101に流れる電流 i_1 が、FET 102に流れる電流 i_2 よりも大になる。
- [0133] この場合、FET 101に接続されているFET 103をミラー元としてカレントミラーを構成するFET 104には、FET 101に流れる電流 i_1 と同一の電流が流れるが、FET 104と接続しているFET 102に流れる電流 i_2 は、電流 i_1 よりも小さい電流であるため、FET 102では、電流 i_2 を増大させようとして、ドレインソース間電圧が大になる。
- [0134] その結果、FET 102とFET 104の接続点の電圧は、Hレベルになる。
- [0135] 一方、FET 102のゲート電圧としてのDIFF_VSL信号が、FET 101のゲート電圧としてのDIFF_DAC信号よりも大である場合には、FET 102に流れる電流 i_2 が、FET 101に流れる電流 i_1 よりも大になる。
- [0136] この場合、FET 101に接続されているFET 103をミラー元としてカレントミラーを構成するFET 104には、FET 101に流れる電流 i_1 と同一の電流が流れるが、FET 104と接続しているFET 102に流れる電流 i_2 は、電流 i_1 よりも大きい電流であるため、FET 102では、電流 i_2 を減少させようとして、ドレインソース間電圧が小になる。
- [0137] その結果、FET 102とFET 104との接続点の電圧は、Lレベルになる。
- [0138] FET 102とFET 104との接続点の電圧は、差動対とカレントミラーとで構成される差動アンプの出力である差動出力として、コンパレータ61_nの出力信号であるOUT信号を出力する出力アンプを構成するFET 109のゲートに供給される。
- [0139] FET 110は、そのゲートに供給される差動出力に応じて、コンパレータ61_nの出力信号であるOUT信号を出力する。
- [0140] すなわち、差動出力がHレベルである場合には、FET 109はオフになって、LレベルのOUT信号を出力する。また、差動出力がLレベルである場合には、

FET 109はオンになって、HレベルのOUT信号を出力する。

[0141] 以上から、参照信号としてのRAMP信号（の電圧）が、VSL信号（の電圧）よりも高い場合には、コンパレータ61_nの出力信号であるOUT信号は、Lレベルになる。一方、VSL信号が、RAMP信号よりも高い場合には、コンパレータ61_nの出力信号であるOUT信号は、Hレベルになる。

[0142] 以上のように構成されるコンパレータ61_nでは、オートゼロ動作と比較動作とが行われる。

[0143] オートゼロ動作では、スイッチ107及びスイッチ108がオンになる。

[0144] スイッチ107及びスイッチ108がオンになると、FET101のゲートとドレインとが接続されるとともに、FET102のゲートとドレインとが接続され、FET101及びFET102のゲート電圧は、同一になる。

[0145] FET101のゲート電圧は、コンデンサC1を介して供給されるRAMP信号であるDIFF_DAC信号であり、FET102のゲート電圧は、コンデンサC2を介して供給されるVSL信号であるDIFF_VSL信号である。オートゼロ動作では、これらのDIFF_DAC信号とDIFF_VSL信号とが一致するように、コンデンサC1及びC2には、電荷がチャージされる。

[0146] その後、コンパレータ61_nでは、スイッチ107及びスイッチ108がオフになり、コンパレータ61_nに供給されるRAMP信号とVSL信号とを比較する比較動作が開始される。スイッチ107及びスイッチ108がオフになることにより、コンデンサC1及びC2では、スイッチ107及びスイッチ108がオンになっているときにチャージされた電荷が維持される。

[0147] その結果、コンパレータ61_nは、スイッチ107及びスイッチ108がオンになっているときにコンパレータ61_nに与えられていたDIFF_DAC信号としてのRAMP信号とDIFF_VSL信号としてのVSL信号とが一致するように設定される。

[0148] 以上のようなコンパレータ61_nの設定が行われる動作が、オートゼロ動作である。

[0149] オートゼロ動作が行われることにより、その後の比較動作では、コンパレ

ータ61_nにおいて、オートゼロ動作時に、コンパレータ61_nに与えられていたRAMP信号（電圧）と、VSL信号（電圧）とが一致しているということを基準として、RAMP信号とVSL信号との大小関係を判定することができる。

[0150] 図6は、図5のコンパレータ61_nの第1の構成例の動作の例を説明するタイミングチャートである。

[0151] 図6には、スイッチ107及びスイッチ108のオン/オフ、コンパレータ61_nの動作、並びに、RAMP信号及びVSL信号が示されている。

[0152] ここで、VSL信号のAD変換では、図3等で説明したように、リセットレベルのVSL信号のAD変換と、信号レベルのVSL信号のAD変換とが行われる。

[0153] VSL信号のAD変換では、図4で説明したように、一定の割合で電圧が小さく又は大きくなっていくスロープを有するRAMP信号のスロープの開始から、RAMP信号が、VSL信号に一致する電圧に変化するまでの時間がカウントされ、そのカウントにより得られるカウント値が、VSL信号のAD変換結果とされる。

[0154] リセットレベルのVSL信号のAD変換が行われるRAMP信号のスロープの期間はP(Preset)相と呼ばれ、信号レベルのVSL信号のAD変換が行われるRAMP信号のスロープの期間はD(Data)相と呼ばれる。ここでは、P相及びD相の順で、AD変換を行うこととする。但し、AD変換は、D相及びP相の順で行うことも可能である。

[0155] コンパレータ61_nでは、例えば、画素11_{m, n}に入射する光が明るいほど（光の強度が強いほど）、その画素11_{m, n}が出力するVSL信号（電圧）が低下することを前提として、P相及びD相で電圧が低下するRAMP信号が用いられる。

[0156] ここで、図6では（後述する図でも同様）、画素11_{m, n}に入射する光が明るい場合のVSL信号を実線で、暗い場合のVSL信号を点線で、それぞれ示してある。

[0157] コンパレータ61_nでは、オートゼロ動作（AZ動作）において、スイッチ107及びスイッチ108がオンにされる。これにより、RAMP信号としてのDIFF_DAC信号と、VSL信号としてのDIFF_VSL信号とは、いずれもオートゼロ電位（

AZ電位) VNとなる。

- [0158] オートゼロ電位VNは、スイッチ107（スイッチ108）がオンになっているときのFET101（FET102）のゲート電圧であるから、FET101（FET102）のドレイン電圧に等しい。したがって、オートゼロ電位VNは、電源電圧VDDから、FET103（FET104）のゲートソース間電圧Vgsp2を減算した電圧VDD-Vgsp2である。
- [0159] コンパレータ61_nでは、オートゼロ動作後、スイッチ107及びスイッチ108がオフになり、比較動作が開始される。
- [0160] 比較動作では、VSL信号のAD変換、すなわち、リセットレベルのVSL信号のAD変換と、信号レベルのVSL信号のAD変換とが行われる。
- [0161] 比較動作では、P相の開始前に、RAMP信号（としてのDIFF_DAC信号）が、所定の電圧だけ上昇するようにオフセットされ、その後、P相において、一定の割合で下降される。そして、P相の開始から、RAMP信号（としてのDIFF_DAC信号）と、リセットレベルのVSL信号（としてのDIFF_VSL信号）との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、リセットレベルのVSL信号のAD変換結果となる。
- [0162] P相の終了後、RAMP信号は、P相の開始時の電圧まで上昇するようにオフセットされ、その後、D相において、一定の割合で下降される。そして、D相の開始から、RAMP信号と、信号レベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、信号レベルのVSL信号のAD変換結果となる。
- [0163] ここでは、上述したように、画素11_{m, n}に入射する光が明るいほど、その画素11_{m, n}が出力するVSL信号が低下することを前提としているので、D相において、画素11_{m, n}に入射する光が明るい場合には、図6に実線で示すように、信号レベルのVSL信号は大きく低下し、画素11_{m, n}に入射する光が暗い場合には、図6に点線で示すように、信号レベルのVSL信号はあまり低下しない。
- [0164] 以上のように、画素11_{m, n}に入射する光が明るいほど、その画素11_{m, n}

が出力するVSL信号が低下することを前提として、RAMP信号としては、P相及びD相において時間の経過とともに低下（下降）する信号が用いられる。

[0165] ここで、上述のような、画素 $11_{m,n}$ に入射する光が明るいほど低下するVSL信号の変化、及び、P相及びD相において時間の経過とともに低下（下降）するRAMP信号の変化を、通常変化ともいう。

[0166] 図5の第1の構成例のコンパレータ 61_n は、VSL信号やRAMP信号が通常変化することを前提として設計されている。

[0167] すなわち、電源電圧VDDより、FET 103 及びFET 104 が飽和領域で動作するのに必要なFET 103 及びFET 104 のドレインソース間電圧 V_{ds} だけ低い電圧を、電圧VHとする。また、電源電圧VSSより、FET 105 及びFET 106 が飽和領域で動作するのに必要なFET 105 のドレインソース間電圧 V_{ds} とFET 106 のドレインソース間電圧 V_{ds} との加算値だけ高い電圧を、電圧VL(>VH)とする。

[0168] コンパレータ 61_n は、電圧VL以上電圧VH以下の範囲を、コンパレータ 61_n の動作範囲として、通常変化するRAMP信号（としてのDIFF_DAC信号）及びVSL信号（としてのDIFF_VSL信号）が、コンパレータ 61_n の動作範囲に収まるように設計される。

[0169] ところで、通常変化とは反対に、入射する光が明るいほど、VSL信号（画素信号）が上昇する新規の画素が開発された場合、かかる新規の画素については、RAMP信号としては、通常変化とは反対に、P相及びD相において時間の経過とともに上昇するRAMP信号が適切な場合があり得る。

[0170] また、新規の画素については、通常変化するRAMP信号が適切であるか、又は、通常変化とは反対に、P相及びD相において時間の経過とともに上昇するRAMP信号が適切であるかは、実際に試して評価してみないと分からないことがあり得る。

[0171] ここで、VSL信号及びRAMP信号の通常変化とは反対の変化、すなわち、画素 $11_{m,n}$ に入射する光が明るいほど上昇するVSL信号の変化、及び、P相及びD相において時間の経過とともに上昇するRAMP信号の変化を、反転変化ともい

う。

- [0172] 図7は、RAMP信号及びVSL信号が反転変化する場合のコンパレータ61_nの第1の構成例の動作の例を説明するタイミングチャートである。
- [0173] 図7には、図6と同様に、スイッチ107及びスイッチ108のオン/オフ、コンパレータ61_nの動作、並びに、RAMP信号及びVSL信号が示されている。
- [0174] 図7では、RAMP信号及びVSL信号が通常変化するのではなく、反転変化している点が、図6の場合と異なっている。
- [0175] コンパレータ61_nでは、オートゼロ動作(AZ動作)において、スイッチ107及びスイッチ108がオンにされる。これにより、RAMP信号としてのDIFF_DAC信号と、VSL信号としてのDIFF_VSL信号とは、いずれもオートゼロ電位(AZ電位)VNとなる。
- [0176] オートゼロ電位VNは、図6で説明したように、電源電圧VDDから、FET103のゲートソース間電圧Vgsp2を減算した電圧VDD-Vgsp2である。
- [0177] コンパレータ61_nでは、オートゼロ動作後、スイッチ107及びスイッチ108がオフになり、比較動作が開始される。
- [0178] 比較動作では、VSL信号のAD変換、すなわち、リセットレベルのVSL信号のAD変換と、信号レベルのVSL信号のAD変換とが行われる。
- [0179] 反転変化するRAMP信号が用いられる場合、比較動作では、P相の開始前に、RAMP信号が、所定の電圧だけ下降するようにオフセットされ、その後、P相において、一定の割合で上昇される。そして、P相の開始から、RAMP信号と、リセットレベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、リセットレベルのVSL信号のAD変換結果となる。
- [0180] P相の終了後、RAMP信号は、P相の開始時の電圧まで下降するようにオフセットされ、その後、D相において、一定の割合で上昇される。そして、D相の開始から、RAMP信号と、信号レベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、信号レベ

ルのVSL信号のAD変換結果となる。

- [0181] 図7では、VSL信号が反転変化するので、D相において、画素1 1_{m, n}に入射する光が明るい場合には、図7に実線で示すように、信号レベルのVSL信号は大きく上昇し、画素1 1_{m, n}に入射する光が暗い場合には、図7に点線で示すように、信号レベルのVSL信号はあまり上昇しない。
- [0182] コンパレータ6 1_nの第1の構成例では、RAMP信号及びVSL信号が通常変化する場合でも、反転変化する場合でも、オートゼロ電位は電圧（電位）VNのままで変化しない。オートゼロ電位が電圧VNである場合、RAMP信号及びVSL信号が通常変化するときには、図6に示したように、RAMP信号及びVSL信号は、コンパレータ6 1_nの動作範囲である電圧VL以上電圧VH以下の範囲に収まる。しかしながら、オートゼロ電位が電圧VNである場合、RAMP信号及びVSL信号が反転変化するときには、図7に示したように、RAMP信号及びVSL信号が、コンパレータ6 1_nの動作範囲である電圧VL以上電圧VH以下の範囲に収まらず、電圧VHを超えた電圧になることがあり得る。
- [0183] このように、RAMP信号やVSL信号が、電圧VHを超えた電圧になると、FET 1 0 3 及びFET 1 0 4 が飽和領域で動作することができず、AD変換のリニアリティが損なわれる。
- [0184] そこで、特許文献1には、コンパレータの外部に設けられた外部印加電圧生成回路において、外部印加電圧を生成し、その外部印加電圧をコンパレータに供給することにより、オートゼロ電位を変更する技術が記載されている。
- [0185] しかしながら、コンパレータの外部の外部印加電圧生成回路において、外部印加電圧を生成し、コンパレータに供給する場合には、コンパレータの外部に、外部印加電圧生成回路を設ける必要がある。さらに、例えば、外部印加電圧生成回路を、CMOSイメージセンサとしてのチップの外部に設ける場合には、外部印加電圧生成回路に加えて、チップに、外部印加電圧生成回路が生成する外部印加電圧をコンパレータに供給するための外部入力端子が必要となる。

- [0186] そこで、以下では、コンパレータのオートゼロ電位を容易に変更することができるコンパレータ、すなわち、例えば、外部印加電圧生成回路を設けることなく、簡単な構成で、オートゼロ電位を容易に変更することができるコンパレータを説明する。
- [0187] <コンパレータ61_nの第2の構成例>
- [0188] 図8は、図4のコンパレータ61_nの第2の構成例を示す回路図である。
- [0189] なお、図8において、図5の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。
- [0190] 図8において、コンパレータ61_nは、FET101ないしFET110、コンデンサC0ないしC3、PMOSのFET121、及び、スイッチ122を有する。
- [0191] したがって、図8のコンパレータ61_nは、FET101ないしFET110、及び、コンデンサC0ないしC3を有する点で、図5の場合と共通する。但し、図8のコンパレータ61_nは、FET121、及び、スイッチ122が新たに設けられている点で、図5の場合と相違する。
- [0192] FET121は、差動対を構成するFET102と、カレントミラーを構成するFET104との間に接続されている。すなわち、FET121のドレインは、FET102のドレインと接続され、FET121のソースは、FET104のドレインと接続されている。そして、FET121のゲートは、FET121のドレインと接続されている。したがって、FET121は、ダイオード接続されており、FET102とFET104との間で、所定の電圧降下を生じさせる電圧降下機構として機能する。
- [0193] なお、本実施の形態では、所定の電圧降下を生じさせる電圧降下機構として、ダイオード接続されたFET等のトランジスタを採用するが、電圧降下機構としては、例えば、ダイオードや抵抗等の、所定の電圧降下を生じさせる任意の機構を採用することができる。
- [0194] スイッチ122は、例えば、FET等で構成され、電圧降下機構としてのダイオード接続されたFET121に並列に接続されている。すなわち、スイッチ122は、差動対を構成するFET102と、カレントミラーを構成するFET10

4との間に、FET 1 2 1をバイパスするように接続されている。

[0195] なお、図8では、図6の場合と同様に、FET 1 0 2とFET 1 0 4との接続点の電圧である差動出力が、コンパレータ 6 1_nの出力信号であるOUT信号を出力する出力アンプを構成するFET 1 0 9のゲートに供給される。

[0196] したがって、コンパレータ 6 1_nでは、VSL信号が入力されるFET 1 0 2（のドレイン）が、出力アンプを構成するFET 1 0 9（のゲート）に接続されている。

[0197] ここで、出力アンプを構成するFET 1 0 9には、差動対を構成するFET 1 0 1及びFET 1 0 2のうちの、FET 1 0 2ではなく、FET 1 0 1（のドレイン）を接続することができる。

[0198] 但し、FET 1 0 1のゲートには、RAMP信号を入力するための参照信号線 3 3 A（図4）が接続され、参照信号線 3 3 Aは、1行の画素 1 1_{m, 1}ないし画素 1 1_{m, n}に接続されている。FET 1 0 9に、FET 1 0 1を接続する場合には、ある画素 1 1_{m, n}のVSL信号（画素信号）を処理するコンパレータ 6 1_nのFET 1 0 9の影響が、参照信号線 3 3 Aを介して、画素 1 1_{m, n}の隣の画素 1 1_{m, n-1}や画素 1 1_{m, n+1}に伝播することがある。そのため、FET 1 0 9に、参照信号線 3 3 Aが接続されたFET 1 0 1を接続することは、ストリーキングの原因となる。ストリーキングとは、例えば、光源等を撮像したときに、その光源の光が左右に帯状に広がって映るような現象である。

[0199] そこで、FET 1 0 9には、図8に示したように、差動対を構成するFET 1 0 1及びFET 1 0 2のうちの、参照信号線 3 3 Aが接続されていないFET 1 0 2を接続することができる。

[0200] FET 1 0 9にFET 1 0 2を接続することにより、ストリーキングを抑制することができる。

[0201] なお、FET 1 0 9にFET 1 0 2を接続することにより、VSL信号やRAMP信号が通常変化する場合、及び、反転変化する場合のいずれの場合も、FET 1 0 9を、飽和領域の、なるべく線形領域から離れた位置から動作を開始させることができる。これにより、コンパレータ 6 1_nの動作の安定性に資することができる。

きる。

- [0202] また、図8では、FET121及びスイッチ122が、差動対を構成するFET101及びFET102のうちの、VSL信号が入力されるFET102と、カレントミラーを構成するFET103及びFET104のうちの、ミラー先のFET104との間に接続されている。但し、FET121及びスイッチ122は、FET102とFET104との間ではなく、差動対を構成するFET101及びFET102のうちの、RAMP信号が入力されるFET101と、カレントミラーを構成するFET103及びFET104のうちの、ミラー元のFET103との間に接続することができる。
- [0203] 以上のように構成されるコンパレータ61_nにおいて、VSL信号やRAMP信号が通常変化する場合、オートゼロ動作時には、図8に示したように、スイッチ107及びスイッチ108、並びに、スイッチ122は、オンになる。スイッチ122がオンである場合、FET102とFET104とは、ダイオード接続のFET121をバイパスして、いわば直接接続される。
- [0204] 図9は、図8のコンパレータ61_nの第2の構成例において、VSL信号やRAMP信号が通常変化する場合の比較動作時のスイッチ107及びスイッチ108、並びに、スイッチ122の状態を示す図である。
- [0205] 図8のコンパレータ61_nの第2の構成例において、VSL信号やRAMP信号が通常変化する場合、比較動作時には、図9に示したように、スイッチ107及びスイッチ108は、オフになり、スイッチ122は、オンになる。したがって、VSL信号やRAMP信号が通常変化する場合、スイッチ122は、常時オンになる。
- [0206] 図10は、RAMP信号及びVSL信号が通常変化する場合のコンパレータ61_nの第2の構成例の動作の例を説明するタイミングチャートである。
- [0207] 図10には、図6と同様に、スイッチ107及びスイッチ108のオン／オフ、コンパレータ61_nの動作、並びに、RAMP信号及びVSL信号が示されている。さらに、図10には、スイッチ122のオン／オフが示されている。
- [0208] RAMP信号及びVSL信号が通常変化する場合、スイッチ122は、常時オンに

なる。したがって、図8のコンパレータ61_nの第2の構成例において、FET102とFET104とは、スイッチ122を介して接続される。すなわち、説明を簡単にするため、スイッチ122での電圧降下がないと考えれば、FET102とFET104とは、図5のコンパレータ61_nの第1の構成例と同様に、直接接続されていると考えることができる。

[0209] したがって、図8のコンパレータ61_nの第2の構成例は、図5のコンパレータ61_nの第1の構成例と同様に動作する。

[0210] すなわち、コンパレータ61_nでは、オートゼロ動作(AZ動作)において、スイッチ107及びスイッチ108がオンにされる。これにより、RAMP信号としてのDIFF_DAC信号と、VSL信号としてのDIFF_VSL信号とは、いずれもオートゼロ電位(AZ電位)VNとなる。

[0211] オートゼロ電位VNは、図5の場合と同様に、電源電圧VDDから、FET103のゲートソース間電圧Vgsp2を減算した電圧VDD-Vgsp2である。

[0212] コンパレータ61_nでは、オートゼロ動作後、スイッチ107及びスイッチ108がオフになり、比較動作が開始される。

[0213] 比較動作では、VSL信号のAD変換、すなわち、リセットレベルのVSL信号のAD変換と、信号レベルのVSL信号のAD変換とが行われる。

[0214] 通常変化するRAMP信号が用いられる場合、比較動作では、P相の開始前に、RAMP信号が、所定の電圧だけ上昇するようにオフセットされ、その後、P相において、一定の割合で下降される。そして、P相の開始から、RAMP信号と、リセットレベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、リセットレベルのVSL信号のAD変換結果となる。

[0215] P相の終了後、RAMP信号は、P相の開始時の電圧まで上昇するようにオフセットされ、その後、D相において、一定の割合で下降される。そして、D相の開始から、RAMP信号と、信号レベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、信号レベルのVSL信号のAD変換結果となる。

- [0216] なお、図10では、図6と同様に、実線のVSL信号は、画素11_{m, n}に入射する光が明るい場合のVSL信号を示しており、点線のVSL信号は、画素11_{m, n}に入射する光が暗い場合のVSL信号を示している。
- [0217] 図10において、VSL信号及びRAMP信号は、図6の場合と同様に、オートゼロ電位である電圧VN=VDD-Vgsp2を基準として通常変化するので、その通常変化するRAMP信号及びVSL信号は、コンパレータ61_nの動作範囲に収まる。
- [0218] 図11は、図8のコンパレータ61_nの第2の構成例において、VSL信号やRAMP信号が反転変化する場合のオートゼロ動作時のスイッチ107及びスイッチ108、並びに、スイッチ122の状態を示す図である。
- [0219] 図8のコンパレータ61_nの第2の構成例において、VSL信号やRAMP信号が反転変化する場合、オートゼロ動作時には、図11に示したように、スイッチ107及びスイッチ108は、オンになり、スイッチ122は、オフになる。
- [0220] スイッチ122がオフになることにより、FET102とFET104とは、ダイオード接続のFET121を介して接続される。その結果、FET102とFET104との間では、ダイオード接続のFET121において、FET121のゲートソース間電圧Vgsp3だけの電圧降下が生じる。
- [0221] したがって、VSL信号やRAMP信号が反転変化する場合のオートゼロ電位は、VSL信号やRAMP信号が通常変化する場合のオートゼロ電位である電圧VNよりも、FET121のゲートソース間電圧Vgsp3だけ低い電圧VN-Vgsp3=VDD-Vgsp2-Vgsp3となる。
- [0222] 図8のコンパレータ61_nの第2の構成例では、オートゼロ動作後、図9に示したように、スイッチ107及びスイッチ108がオフになり、さらに、スイッチ122がオンになって、比較動作が開始される。
- [0223] 図12は、RAMP信号及びVSL信号が反転変化する場合のコンパレータ61_nの第2の構成例の動作の例を説明するタイミングチャートである。
- [0224] 図12には、図6と同様に、スイッチ107及びスイッチ108のオン／オフ、コンパレータ61_nの動作、並びに、RAMP信号及びVSL信号が示されて

いる。さらに、図12には、スイッチ122のオン／オフが示されている。

[0225] 図12では、RAMP信号及びVSL信号が通常変化するのではなく、反転変化している点が、図10の場合と異なっている。さらに、図12では、オートゼロ動作時に、スイッチ122がオフになる点、及び、オートゼロ電位が、RAMP信号及びVSL信号が通常変化する場合のオートゼロ電位VNから、ダイオード接続されたFET121のゲートソース間電圧Vgsp3だけ低い電圧VRになっている点が、図10の場合と異なっている。

[0226] コンパレータ61_nでは、オートゼロ動作（AZ動作）において、スイッチ107及びスイッチ108がオンにされるとともに、スイッチ122がオフにされる。これにより、RAMP信号としてのDIFF_DAC信号と、VSL信号としてのDIFF_VSL信号とは、いずれもオートゼロ電位（AZ電位）VRとなる。

[0227] 図11で説明したように、RAMP信号及びVSL信号が反転変化する場合、スイッチ122がオフになることにより、FET102とFET104との間では、ダイオード接続のFET121において、FET121のゲートソース間電圧Vgsp3だけの電圧降下が生じる。その結果、RAMP信号及びVSL信号が反転変化する場合のオートゼロ電位VRは、VSL信号やRAMP信号が通常変化する場合のオートゼロ電位である電圧VNよりも、FET121のゲートソース間電圧Vgsp3だけ低い電圧VN-Vgsp3=VDD-Vgsp2-Vgsp3となる。

[0228] コンパレータ61_nでは、オートゼロ動作後、スイッチ107及びスイッチ108がオフになり、さらに、スイッチ122がオンになって、比較動作が開始される。

[0229] 比較動作では、VSL信号のAD変換、すなわち、リセットレベルのVSL信号のAD変換と、信号レベルのVSL信号のAD変換とが行われる。

[0230] 反転変化するRAMP信号が用いられる場合、比較動作では、P相の開始前に、RAMP信号が、所定の電圧だけ下降するようにオフセットされ、その後、P相において、一定の割合で上昇される。そして、P相の開始から、RAMP信号と、リセットレベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、リセットレベルのVSL信号のAD変

換結果となる。

- [0231] P相の終了後、RAMP信号は、P相の開始時の電圧まで下降するようにオフセットされ、その後、D相において、一定の割合で上昇される。そして、D相の開始から、RAMP信号と、信号レベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、信号レベルのVSL信号のAD変換結果となる。
- [0232] なお、図12では、図7と同様に、実線のVSL信号は、画素11_{m, n}に入射する光が明るい場合のVSL信号を示しており、点線のVSL信号は、画素11_{m, n}に入射する光が暗い場合のVSL信号を示している。
- [0233] 図12において、VSL信号及びRAMP信号は、図6や図7の場合のオートゼロ電位VNよりも、FET121のゲートソース間電圧Vgsp3だけ低い電圧VR=VN-Vgsp3を基準として反転変化するので、その反転変化するRAMP信号及びVSL信号を、コンパレータ61_nの動作範囲に収めることができる。
- [0234] したがって、RAMP信号やVSL信号が反転変化する場合に、図7に示したように、RAMP信号やVSL信号が、コンパレータ61_nの動作範囲である電圧VL以上電圧VH以下の範囲に収まらず、電圧VHを超えた電圧になって、AD変換の線形性が損なわれることを防止することができる。
- [0235] 以上のように、図8のコンパレータ61_nの第2の構成例によれば、電圧降下機構としてのダイオード接続されたFET121及びスイッチ122を追加した簡単な構成により、オートゼロ電位を、スイッチ122のオン／オフだけで容易に変更することができる。
- [0236] これにより、RAMP信号やVSL信号が通常変化する場合、及び、反転変化する場合のいずれの場合にも、線形性を維持したAD変換を行うことができる。
- [0237] また、図8のコンパレータ61_nの第2の構成例では、オートゼロ電位を変更するために、特許文献1に記載の技術のように、外部印加電圧生成回路や、外部印加電圧生成回路が生成する外部印加電圧をコンパレータに供給するための外部入力端子を設ける必要がない。したがって、オートゼロ電位を変

更するために、イメージセンサ2としてのチップが大型化することを抑制することができる。

[0238] さらに、図8のコンパレータ61_nの第2の構成例では、RAMP信号やVSL信号が通常変化する場合、及び、反転変化する場合のいずれの場合にも、差動対を構成するFET101及びFET102のうちの、参照信号線33Aが接続される（RAMP信号が入力される）方ではないFET102が、出力アンプを構成するFET109に接続された状態になっているので、FET109の影響が、参照信号線33Aを介して伝播することに起因するストリーキングを抑制することができる。

[0239] <コンパレータ61_nの第3の構成例>

[0240] 図13は、図4のコンパレータ61_nの第3の構成例を示す回路図である。

[0241] なお、図13において、図8の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0242] 図13において、コンパレータ61_nは、FET101ないしFET110、コンデンサC0ないしC3、FET121、スイッチ122、PMOSのFET131、及び、スイッチ132を有する。

[0243] したがって、図13のコンパレータ61_nは、FET101ないしFET110、コンデンサC0ないしC3、FET121、及び、スイッチ122を有する点で、図8の場合と共通する。但し、図13のコンパレータ61_nは、FET131、及び、スイッチ132が新たに設けられている点で、図8の場合と相違する。

[0244] ここで、図8のコンパレータ61_nの第2の構成例では、差動対を構成するFET101及びFET102のうち的一方であるFET102と、カレントミラーを構成するFET103及びFET104のうち的一方であるFET104との間に、FET121及びスイッチ122が設けられている。但し、差動対を構成するFET101及びFET102のうち他方であるFET101と、カレントミラーを構成するFET103及びFET104のうち他方であるFET103との間には、FET121及びスイッチ122に相当する回路は、設けられていない。したがって、図8のコンパレータ61_nの第2の構成例において、差動対とカレントミ

ラーとで構成される差動アンプは、いわば左右対称に構成されていない。

[0245] このように差動アンプが左右対称に構成されていない場合には、例えば、RAMP信号やVSL信号が通常変化する場合と反転変化する場合とで、コンパレータ61_nの動作にずれが生じることが懸念される。

[0246] そこで、図13のコンパレータ61_nの第3の構成例では、図8のコンパレータ61_nの第2の構成例のFET101とFET103との間に、FET121及びスイッチ122に相当する回路であるFET131及びスイッチ132を設けることで、差動対とカレントミラーとで構成される差動アンプが左右対称の構成になっている。

[0247] すなわち、図13において、FET131は、差動対を構成するFET101と、カレントミラーを構成するFET103との間に接続されている。具体的には、FET131のドレインは、FET101のドレインと接続され、FET131のソースは、FET103のドレインと接続されている。そして、FET131のゲートは、FET131のドレインと接続されている。したがって、FET131は、FET121と同様に、ダイオード接続されており、FET101とFET103との間で、所定の電圧降下を生じさせる電圧降下機構として機能する。

[0248] スイッチ132は、例えば、FET等で構成され、電圧降下機構としてのダイオード接続されたFET131に並列に接続されている。すなわち、スイッチ132は、差動対を構成するFET101と、カレントミラーを構成するFET103との間に、FET131をバイパスするように接続されている。

[0249] なお、図13でも、図8の場合と同様に、FET109には、FET102が接続されることにより、ストリーキングの抑制等が担保されるようになっている。

[0250] 以上のように構成されるコンパレータ61_nにおいて、VSL信号やRAMP信号が通常変化する場合、オートゼロ動作時には、図13に示したように、スイッチ107及びスイッチ108、並びに、スイッチ122及びスイッチ132は、オンになる。スイッチ122及びスイッチ132がオンである場合、FET102とFET104とが、ダイオード接続のFET121をバイパスして直接

接続されるとともに、FET 101とFET 103とが、ダイオード接続のFET 131をバイパスして直接接続される。

[0251] 図14は、図13のコンパレータ61_nの第3の構成例において、VSL信号やRAMP信号が通常変化する場合の比較動作時のスイッチ107及びスイッチ108、並びに、スイッチ122及びスイッチ132の状態を示す図である。

[0252] 図13のコンパレータ61_nの第3の構成例において、VSL信号やRAMP信号が通常変化する場合、比較動作時には、図14に示したように、スイッチ107及びスイッチ108は、オフになり、スイッチ122及びスイッチ132は、オンになる。したがって、VSL信号やRAMP信号が通常変化する場合、スイッチ122及びスイッチ132は、常時オンになる。

[0253] 図15は、RAMP信号及びVSL信号が通常変化する場合のコンパレータ61_nの第3の構成例の動作の例を説明するタイミングチャートである。

[0254] 図15には、図10と同様に、スイッチ107及びスイッチ108のオン／オフ、コンパレータ61_nの動作、RAMP信号及びVSL信号、並びに、スイッチ122のオン／オフが示されている。さらに、図15には、スイッチ132のオン／オフが示されている。

[0255] RAMP信号及びVSL信号が通常変化する場合、スイッチ122及びスイッチ132は、常時オンになる。したがって、図13のコンパレータ61_nの第3の構成例において、FET 102とFET 104とは、スイッチ122を介して接続されるとともに、FET 101とFET 103とは、スイッチ132を介して接続される。すなわち、説明を簡単にするため、スイッチ122及びスイッチ132での電圧降下がないと考えれば、図5のコンパレータ61_nの第1の構成例と同様に、FET 102とFET 104とが直接接続され、FET 101とFET 103とが直接接続されていると考えることができる。

[0256] したがって、図13のコンパレータ61_nの第3の構成例は、図5のコンパレータ61_nの第1の構成例と同様に動作する。

[0257] すなわち、コンパレータ61_nでは、オートゼロ動作（AZ動作）において、

スイッチ107及びスイッチ108がオンにされる。これにより、RAMP信号としてのDIFF_DAC信号と、VSL信号としてのDIFF_VSL信号とは、いずれもオートゼロ電位(AZ電位)VNとなる。

[0258] オートゼロ電位VNは、電源電圧VDDから、FET103のゲートソース間電圧Vgsp2を減算した電圧VDD-Vgsp2である。電源電圧VDDから、FET103のゲートソース間電圧Vgsp2を減算した電圧VDD-Vgsp2は、電源電圧VDDから、FET101のゲートソース間電圧を減算した電圧でもある。

[0259] コンパレータ61_nでは、オートゼロ動作後、スイッチ107及びスイッチ108がオフになり、比較動作が開始される。

[0260] 比較動作では、VSL信号のAD変換が、図6や図10の場合と同様に行われる。

[0261] すなわち、通常変化するRAMP信号が用いられる場合、比較動作では、P相の開始前に、RAMP信号が、所定の電圧だけ上昇するようにオフセットされ、その後、P相において、一定の割合で下降される。そして、P相の開始から、RAMP信号と、リセットレベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、リセットレベルのVSL信号のAD変換結果となる。

[0262] P相の終了後、RAMP信号は、P相の開始時の電圧まで上昇するようにオフセットされ、その後、D相において、一定の割合で下降される。そして、D相の開始から、RAMP信号と、信号レベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、信号レベルのVSL信号のAD変換結果となる。

[0263] 図15において、VSL信号及びRAMP信号は、図6や図10の場合と同様に、オートゼロ電位である電圧VN=VDD-Vgsp2を基準として通常変化するので、その通常変化するRAMP信号及びVSL信号は、コンパレータ61_nの動作範囲に収まる。

[0264] 図16は、図13のコンパレータ61_nの第3の構成例において、VSL信号やRAMP信号が反転変化する場合のオートゼロ動作時のスイッチ107及びス

スイッチ108、並びに、スイッチ122及びスイッチ132の状態を示す図である。

[0265] 図13のコンパレータ61_nの第3の構成例において、VSL信号やRAMP信号が反転変化する場合、オートゼロ動作時には、図16に示したように、スイッチ107及びスイッチ108は、オンになり、スイッチ122及びスイッチ132は、オフになる。

[0266] スwitch122及びスイッチ132がオフになることにより、FET102とFET104とは、ダイオード接続のFET121を介して接続され、FET101とFET103とは、ダイオード接続のFET131を介して接続される。その結果、FET102とFET104との間では、ダイオード接続のFET121において、FET121のゲートソース間電圧Vgsp3だけの電圧降下が生じる。さらに、FET101とFET103との間では、ダイオード接続のFET131において、FET131のゲートソース間電圧だけの電圧降下が生じる。

[0267] したがって、VSL信号やRAMP信号が反転変化する場合のオートゼロ電位は、VSL信号やRAMP信号が通常変化する場合のオートゼロ電位である電圧VNよりも、FET121のゲートソース間電圧Vgsp3だけ低い電圧 $VN - Vgsp3 = VDD - Vgsp2 - Vgsp3$ となる。

[0268] なお、FET103及びFET104は、同一の特性を有し、FET121及びFET131は、同一の特性を有することとする。VSL信号やRAMP信号が通常変化する場合のオートゼロ電位VNは、電源電圧VDDから、FET103のゲートソース間電圧Vgsp2を減算した電圧 $VDD - Vgsp2$ であり、この電圧 $VDD - Vgsp2$ は、電源電圧VDDから、FET104のゲートソース間電圧を減算した電圧に等しい。そして、VSL信号やRAMP信号が反転変化する場合のオートゼロ電位VRは、VSL信号やRAMP信号が通常変化する場合のオートゼロ電位である電圧VNよりも、FET121のゲートソース間電圧Vgsp3だけ低い電圧 $VN - Vgsp3 = VDD - Vgsp2 - Vgsp3$ であり、この電圧 $VN - Vgsp3$ は、電圧VNより、FET131のゲートソース間電圧だけ低い電圧に等しい。

[0269] 図13のコンパレータ61_nの第3の構成例では、オートゼロ動作後、図1

4に示したように、スイッチ107及びスイッチ108がオフになり、さらに、スイッチ122及びスイッチ132がオンになって、比較動作が開始される。

[0270] 図17は、RAMP信号及びVSL信号が反転変化する場合のコンパレータ61_nの第3の構成例の動作の例を説明するタイミングチャートである。

[0271] 図17には、図12と同様に、スイッチ107及びスイッチ108のオン／オフ、コンパレータ61_nの動作、RAMP信号及びVSL信号、並びに、スイッチ122のオン／オフが示されている。さらに、図17には、スイッチ132のオン／オフが示されている。

[0272] 図17では、RAMP信号及びVSL信号が通常変化するのではなく、反転変化している点が、図15の場合と異なっている。さらに、図17では、オートゼロ動作時に、スイッチ122がオフになる点、及び、オートゼロ電位が、RAMP信号及びVSL信号が通常変化する場合のオートゼロ電位VNから、ダイオード接続されたFET121（又はFET131）のゲートソース間電圧Vgsp3だけ低い電圧VRになっている点が、図15の場合と異なっている。

[0273] コンパレータ61_nでは、オートゼロ動作（AZ動作）において、スイッチ107及びスイッチ108がオンにされるとともに、スイッチ122及びスイッチ132がオフにされる。これにより、RAMP信号としてのDIFF_DAC信号と、VSL信号としてのDIFF_VSL信号とは、いずれもオートゼロ電位（AZ電位）となる。

[0274] 図16で説明したように、RAMP信号及びVSL信号が反転変化する場合、スイッチ122及びスイッチ132がオフになることにより、FET102とFET104との間では、ダイオード接続のFET121において、FET121のゲートソース間電圧Vgsp3だけの電圧降下が生じる。同様に、FET101とFET103との間では、ダイオード接続のFET131において、FET131のゲートソース間電圧だけの電圧降下が生じる。その結果、RAMP信号及びVSL信号が反転変化する場合のオートゼロ電位VRは、VSL信号やRAMP信号が通常変化する場合のオートゼロ電位である電圧VNよりも、FET121のゲートソース間電圧Vgsp3

だけ低い電圧 $V_N - V_{gsp3} = V_{DD} - V_{gsp2} - V_{gsp3}$ となる。図16で説明したように、電圧 $V_N - V_{gsp3}$ は、電圧 V_N より、FET131のゲートソース間電圧だけ低い電圧に等しい。

[0275] コンパレータ61_nでは、オートゼロ動作後、スイッチ107及びスイッチ108がオフになり、さらに、スイッチ122及びスイッチ132がオンになって、比較動作が開始される。

[0276] 比較動作では、VSL信号のAD変換が、図12の場合と同様に行われる。

[0277] すなわち、反転変化するRAMP信号が用いられる場合、比較動作では、P相の開始前に、RAMP信号が、所定の電圧だけ下降するようにオフセットされ、その後、P相において、一定の割合で上昇される。そして、P相の開始から、RAMP信号と、リセットレベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、リセットレベルのVSL信号のAD変換結果となる。

[0278] P相の終了後、RAMP信号は、P相の開始時の電圧まで下降するようにオフセットされ、その後、D相において、一定の割合で上昇される。そして、D相の開始から、RAMP信号と、信号レベルのVSL信号との大小関係が逆転するまでの時間がカウントされ、そのカウントにより得られるカウント値が、信号レベルのVSL信号のAD変換結果となる。

[0279] 図17において、VSL信号及びRAMP信号は、図15の場合のオートゼロ電位 V_N よりも、FET121のゲートソース間電圧 V_{gsp3} だけ低い電圧 $V_R = V_N - V_{gsp3}$ を基準として反転変化するので、その反転変化するRAMP信号及びVSL信号を、コンパレータ61_nの動作範囲に収めることができる。

[0280] したがって、RAMP信号やVSL信号が反転変化する場合に、図7に示したように、RAMP信号やVSL信号が、コンパレータ61_nの動作範囲である電圧 V_L 以上電圧 V_H 以下の範囲に収まらず、電圧 V_H を超えた電圧になって、AD変換の線形性が損なわれることを防止することができる。また、図17のコンパレータ61_nの第3の構成例によれば、その他、図8のコンパレータ61_nの第2の構成例と同様の効果を奏することができる。

[0281] さらに、図17のコンパレータ61_nの第3の構成例では、差動対とカレントミラーとで構成される差動アンプが左右対称に構成されているので、いわば、差動アンプの左右のバランスが等しくなる。その結果、例えば、RAMP信号やVSL信号が通常変化する場合と反転変化する場合とで、コンパレータ61_nの動作にずれが生じることを抑制することができる。

[0282] <コンパレータ61_nの第4の構成例>

[0283] 図18は、図4のコンパレータ61_nの第4の構成例を示す回路図である。

[0284] ここで、図8のコンパレータ61_nの第2の構成例は、いわゆるN-top型のコンパレータであるが、コンパレータ61_nは、P-top型のコンパレータに構成することができる。図18のコンパレータ61_nの第4の構成例は、図8のコンパレータ61_nの第2の構成例に対応するP-top型のコンパレータになっている。

[0285] 図18において、コンパレータ61_nは、PMOSのFET201及びFET202、NMOSのFET203及びFET204、PMOSのFET205及びFET206、スイッチ207及びスイッチ208、NMOSのFET209、PMOSのFET210、コンデンサC10、C11、C12、C13、NMOSのFET221、並びに、スイッチ222を有する。

[0286] FET201ないしFET210、コンデンサC10ないしC13、FET221、及び、スイッチ222は、図8のFET101ないしFET110、コンデンサC0ないしC3、FET121、及び、スイッチ122に、それぞれ相当する。

[0287] そして、図18のコンパレータ61_nの第4の構成例は、図8の場合と極性が反対になっていること、すなわち、図8において電源電圧VDDに接続されている側が、図18では、電源電圧VSSに接続され、図8において電源電圧VSSに接続されている側が、図18では、電源電圧VDDに接続されていることを除き、図8の場合と同様に構成されるため、説明は省略する。

[0288] 図18のコンパレータ61_nの第4の構成例によれば、図8のコンパレータ61_nの第2の構成例の場合と同様の効果を奏することができる。

[0289] <コンパレータ61_nの第5の構成例>

- [0290] 図19は、図4のコンパレータ61_nの第5の構成例を示す回路図である。
- [0291] ここで、図13のコンパレータ61_nの第3の構成例は、図8の場合と同様に、N-top型のコンパレータである。図19のコンパレータ61_nの第5の構成例は、図13のN-top型のコンパレータ61_nの第3の構成例に対応するP-top型のコンパレータになっている。
- [0292] 図19において、コンパレータ61_nは、PMOSのFET201及びFET202、NMOSのFET203及びFET204、PMOSのFET205及びFET206、スイッチ207及びスイッチ208、NMOSのFET209、PMOSのFET210、コンデンサC10、C11、C12、C13、NMOSのFET221、スイッチ222、NMOSのFET231、及び、スイッチ232を有する。
- [0293] FET201ないしFET210、コンデンサC10ないしC13、FET221、スイッチ222、FET231、及び、スイッチ232は、図13のFET101ないしFET110、コンデンサC0ないしC3、FET121、スイッチ122、FET131、及び、スイッチ132に、それぞれ相当する。
- [0294] そして、図19のコンパレータ61_nの第5の構成例は、図13の場合と極性が反対になっていること、すなわち、図13において電源電圧VDDに接続されている側が、図19では、電源電圧VSSに接続され、図13において電源電圧VSSに接続されている側が、図19では、電源電圧VDDに接続されていることを除き、図13の場合と同様に構成されるため、説明は省略する。
- [0295] 図19のコンパレータ61_nの第5の構成例によれば、図13のコンパレータ61_nの第3の構成例の場合と同様の効果を奏することができる。
- [0296] なお、コンパレータ61_nは、FET以外のトランジスタ、すなわち、例えば、バイポーラトランジスタ等で構成することができる。
- [0297] また、FET121及びスイッチ122のセット（FET131及び132や、FET221及びスイッチ222、FET231及びスイッチ232についても同様）を、直列的に複数セット設けることにより、オン／オフするスイッチ122（の数）によって、オートゼロ電位を、3段階以上の値に変更することができる。

[0298] <イメージセンサの使用例>

[0299] 図20は、図1のイメージセンサ2を使用する使用例を示す図である。

[0300] イメージセンサ2は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々な電子機器に使用することができる。

[0301] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する電子機器

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される電子機器

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される電子機器

・内視鏡や、電子顕微鏡、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される電子機器

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される電子機器

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される電子機器

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される電子機器

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される電子機器

[0302] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されても

よい。

[0303] 図21は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0304] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図21に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0305] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0306] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウインカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0307] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット1203

0には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0308] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0309] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0310] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0311] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に

基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0312] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0313] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図21の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0314] 図22は、撮像部12031の設置位置の例を示す図である。

[0315] 図22では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0316] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、

主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0317] なお、図22には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0318] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0319] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0320] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出

し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0321] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0322] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、例えば、図5や、図8、図13、図18、図19のコンパレータ61_nを有する図2のイメージセンサ2は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、RAMP信号やVSL信号が通常変化する場合及び反転変化する場合の両方に対応する撮像部12031を安価に構成することがで

き、その結果、車両12100が高コスト化することを抑制することができる。

[0323] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0324] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0325] なお、本技術は、以下のような構成をとることができる。

[0326] <1>

画素から出力される画素信号、及び、電圧が変化する参照信号が入力される差動対と、

前記差動対に接続されたカレントミラーと、

前記差動対を構成するトランジスタと、前記カレントミラーを構成するトランジスタとの間に接続された、所定の電圧降下を生じさせる電圧降下機構と、

前記電圧降下機構に並列に接続されたスイッチと

を備えるコンパレータ。

<2>

前記電圧降下機構は、ダイオード接続されたトランジスタである

<1>に記載のコンパレータ。

<3>

前記参照信号の変化として、電圧が下降する通常変化が行われる場合、前記スイッチは、前記コンパレータの動作点電位を決定するオートゼロ動作時、及び、前記画素信号と前記参照信号とを比較する比較動作時のいずれもオンにされ、

前記参照信号の変化として、電圧が上昇する反転変化が行われる場合、前記スイッチは、前記オートゼロ動作時にオフにされ、前記比較動作時にオンにされる

ように構成された<1>又は<2>に記載のコンパレータ。

<4>

前記差動対を構成する一対のトランジスタのうち一方のトランジスタと、前記カレントミラーを構成する一対のトランジスタのうち一方のトランジスタとの間に接続された第1の電圧降下機構と、

前記第1の電圧降下機構に並列に接続された第1のスイッチとを、前記電圧降下機構及び前記スイッチとして備える

<1>ないし<3>のいずれかに記載のコンパレータ。

<5>

前記差動対を構成する一対のトランジスタのうち他方のトランジスタと、前記カレントミラーを構成する一対のトランジスタのうち他方のトランジスタとの間に接続された第2の電圧降下機構と、

前記第2の電圧降下機構に並列に接続された第2のスイッチとを、前記電圧降下機構及び前記スイッチとしてさらに備える

<4>に記載のコンパレータ。

<6>

前記差動対を構成する一対のトランジスタのうち、前記画素信号が入力されるトランジスタが、前記コンパレータの出力信号を出力するアンプに接続された

<1>ないし<5>のいずれかに記載のコンパレータ。

<7>

光電変換を行い、画素信号を出力する画素と、

前記画素信号と、電圧が変化する参照信号とを比較するコンパレータと、

前記コンパレータの、前記画素信号と前記参照信号との比較結果に基づいて、前記画素信号と前記参照信号とが一致するまでの、前記参照信号の変化に要する時間をカウントすることにより得られるカウント値を、前記画素信号のAD(Analog Digital)変換結果として求めるカウンタと

を備え、

前記コンパレータは、

前記画素信号、及び、前記参照信号が入力される差動対と、
 前記差動対に接続されたカレントミラーと、
 前記差動対を構成するトランジスタと、前記カレントミラーを構成するト
 ランジスタとの間に接続された、所定の電圧降下を生じさせる電圧降下機構
 と、
 前記電圧降下機構に並列に接続されたスイッチと
 を有する
 撮像装置。

符号の説明

[0327] 1 光学系, 2 イメージセンサ, 3 メモリ, 4 信号処理部,
 5 出力部, 6 制御部, 10 画素アレイ, 11₁, 1ないし11_M,
_N 画素, 20 制御部, 21 画素駆動部, 22 列並列AD変換部,
 31₁ないし31_N ADC, 32 オートゼロ制御部, 32A オートゼ
 ロ信号線, 33 参照信号出力部, 33A 参照信号線, 34 クロ
 ック出力部, 34A クロック信号線, 41₁ないし41_M 画素制御線
 , 42₁ないし42_N VSL, 43₁ないし43_N 電流源, 51 PD,
 52 転送Tr, 53 FD, 54 リセットTr, 55 増幅Tr, 56
 選択Tr, 61₁ないし61_N コンパレータ, 62₁ないし62_N カウ
 ンタ, 101ないし106 FET, 107, 108 スイッチ, 109
 , 110, 121 FET, 122 スイッチ, 131 FET, 132
 スイッチ, 201ないし206 FET, 207, 208 スイッチ, 2
 09, 210, 221 FET, 222 スイッチ, 231 FET, 23
 2 スイッチ

請求の範囲

- [請求項1] 画素から出力される画素信号、及び、電圧が変化する参照信号が入力される差動対と、
前記差動対に接続されたカレントミラーと、
前記差動対を構成するトランジスタと、前記カレントミラーを構成するトランジスタとの間に接続された、所定の電圧降下を生じさせる電圧降下機構と、
前記電圧降下機構に並列に接続されたスイッチと
を備えるコンパレータ。
- [請求項2] 前記電圧降下機構は、ダイオード接続されたトランジスタである請求項1に記載のコンパレータ。
- [請求項3] 前記参照信号の変化として、電圧が下降する通常変化が行われる場合、前記スイッチは、前記コンパレータの動作点電位を決定するオートゼロ動作時、及び、前記画素信号と前記参照信号とを比較する比較動作時のいずれもオンにされ、
前記参照信号の変化として、電圧が上昇する反転変化が行われる場合、前記スイッチは、前記オートゼロ動作時にオフにされ、前記比較動作時にオンにされる
ように構成された請求項1に記載のコンパレータ。
- [請求項4] 前記差動対を構成する一対のトランジスタのうちの一方向のトランジスタと、前記カレントミラーを構成する一対のトランジスタうちの一方向のトランジスタとの間に接続された第1の電圧降下機構と、
前記第1の電圧降下機構に並列に接続された第1のスイッチと
を、前記電圧降下機構及び前記スイッチとして備える
請求項1に記載のコンパレータ。
- [請求項5] 前記差動対を構成する一対のトランジスタのうち他方のトランジスタと、前記カレントミラーを構成する一対のトランジスタうち他方のトランジスタとの間に接続された第2の電圧降下機構と、

前記第2の電圧降下機構に並列に接続された第2のスイッチとを、前記電圧降下機構及び前記スイッチとしてさらに備える請求項4に記載のコンパレータ。

[請求項6] 前記差動対を構成する一対のトランジスタのうちの、前記画素信号が入力されるトランジスタが、前記コンパレータの出力信号を出力するアンプに接続された

請求項1に記載のコンパレータ。

[請求項7] 光電変換を行い、画素信号を出力する画素と、前記画素信号と、電圧が変化する参照信号とを比較するコンパレータと、

前記コンパレータの、前記画素信号と前記参照信号との比較結果に基づいて、前記画素信号と前記参照信号とが一致するまでの、前記参照信号の変化に要する時間をカウントすることにより得られるカウント値を、前記画素信号のAD(Analog Digital)変換結果として求めるカウンタと

を備え、

前記コンパレータは、

前記画素信号、及び、前記参照信号が入力される差動対と、

前記差動対に接続されたカレントミラーと、

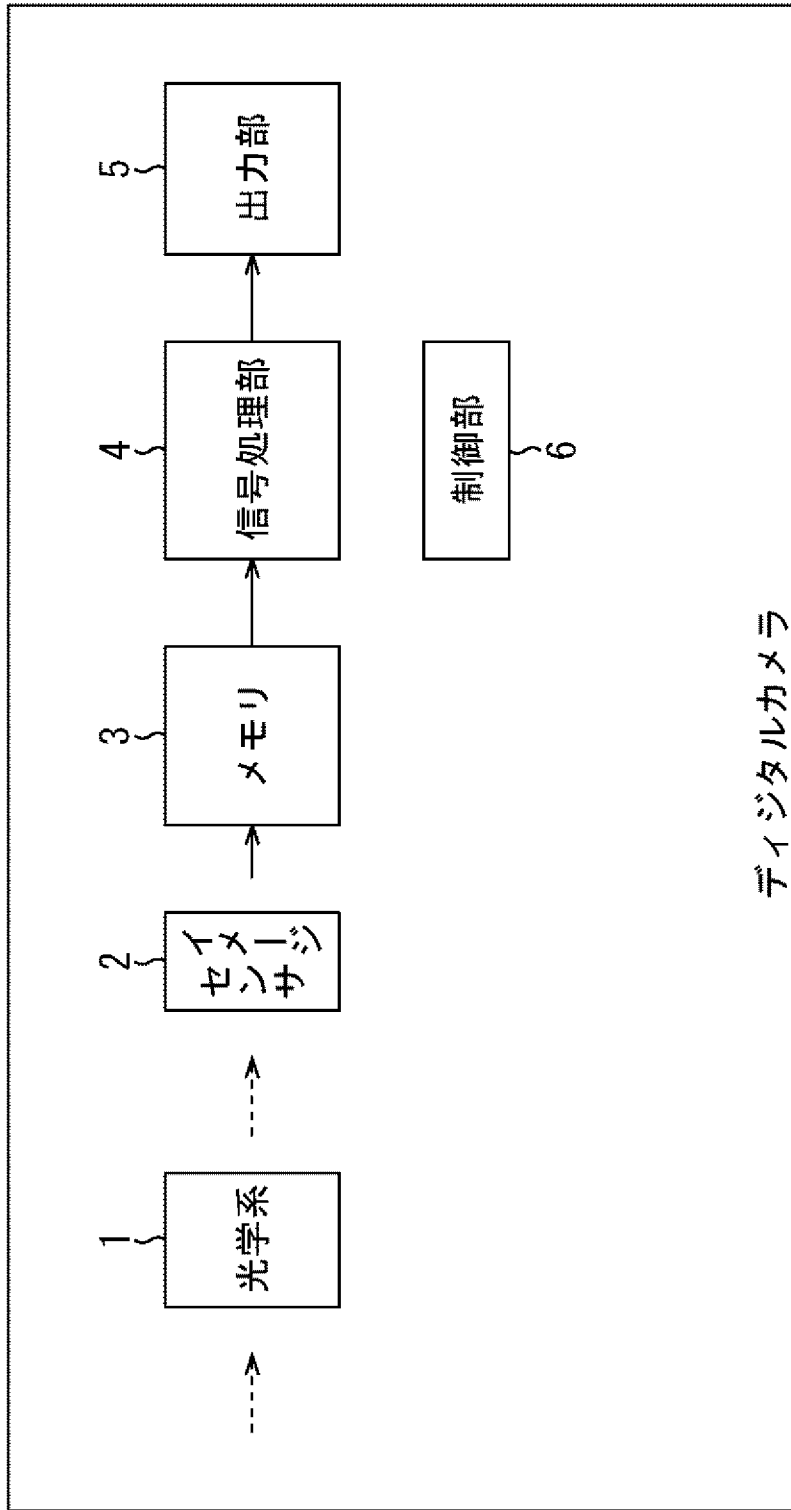
前記差動対を構成するトランジスタと、前記カレントミラーを構成するトランジスタとの間に接続された、所定の電圧降下を生じさせる電圧降下機構と、

前記電圧降下機構に並列に接続されたスイッチと

を有する

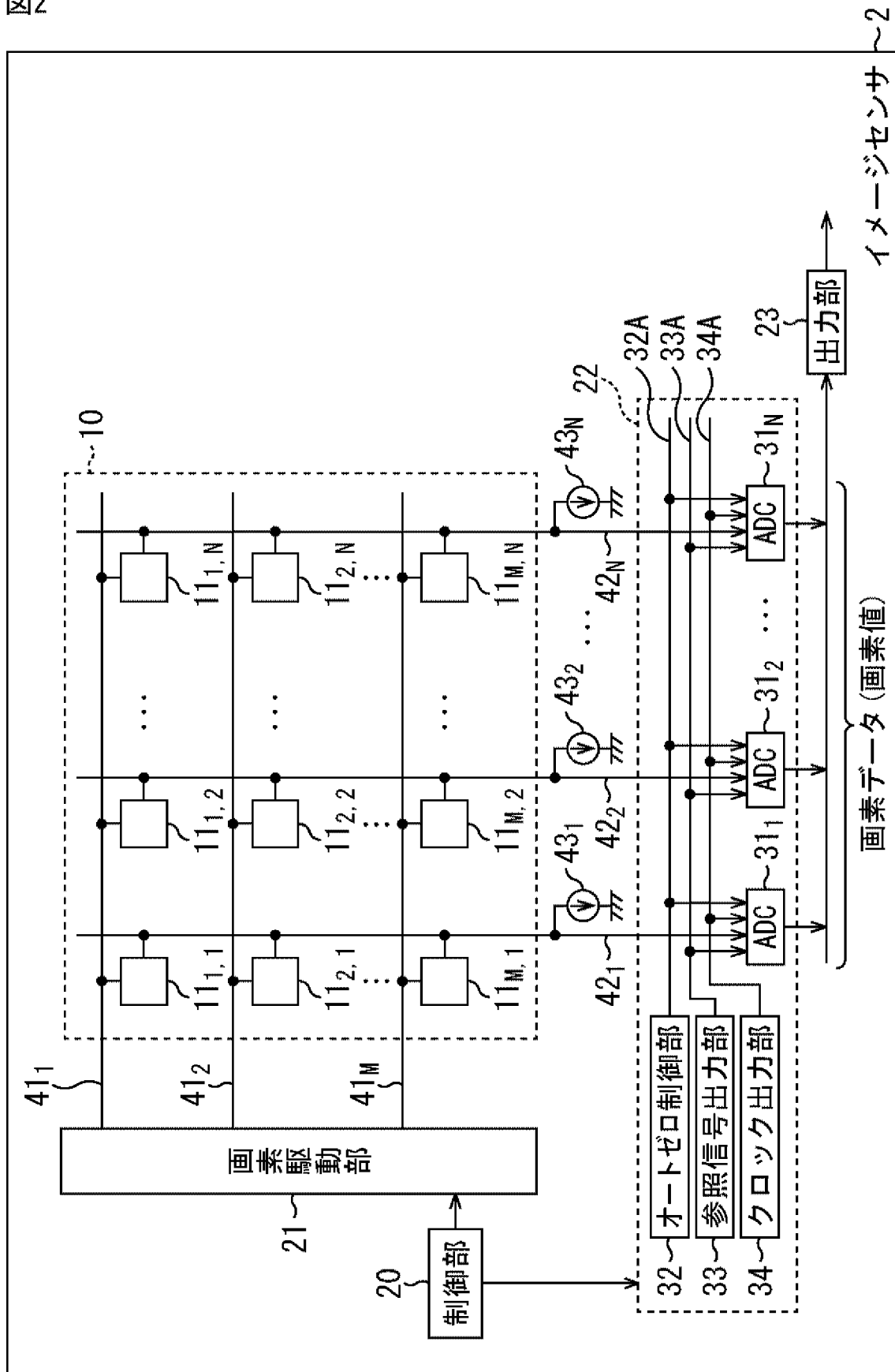
撮像装置。

[図1]
図1



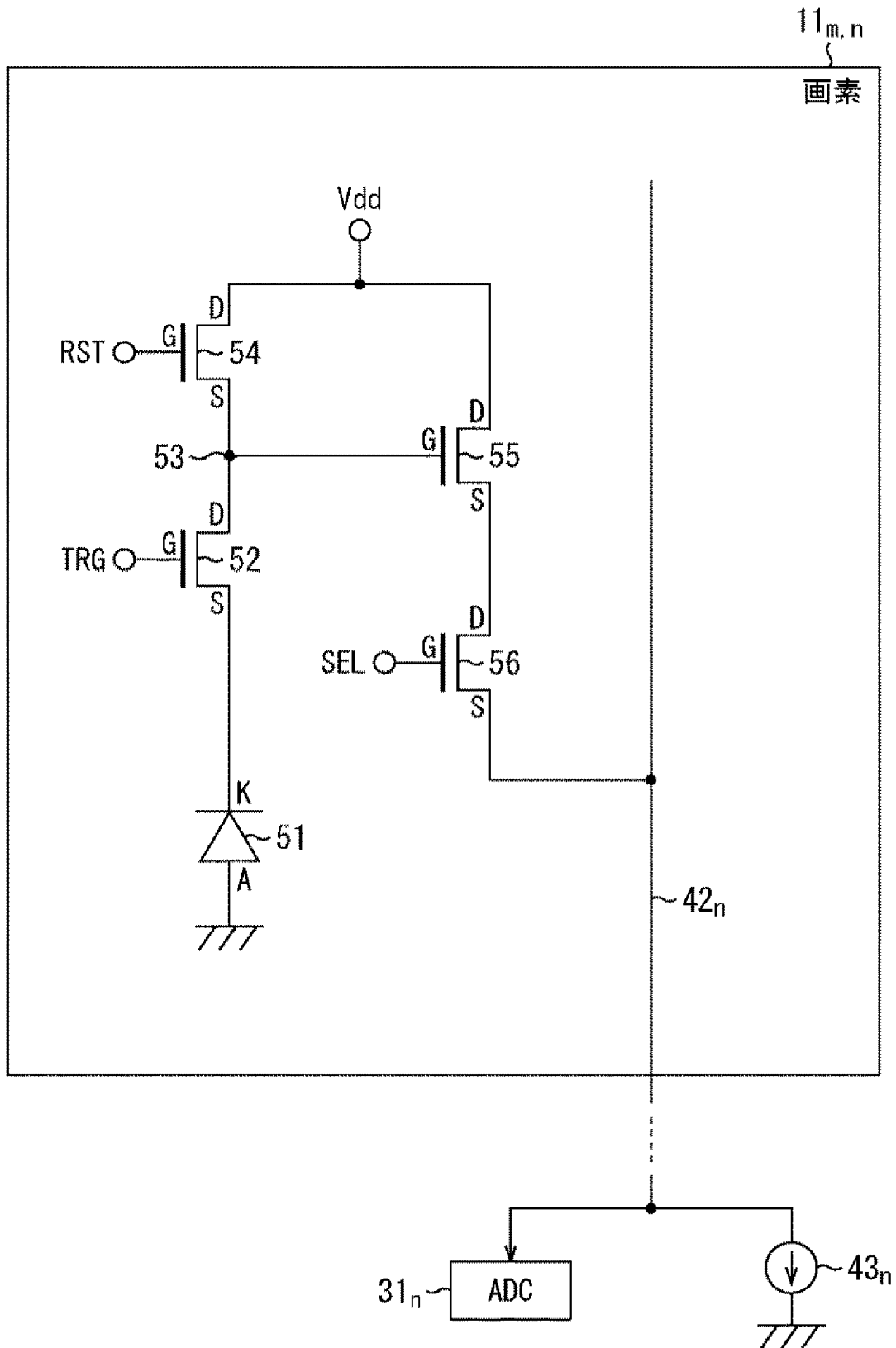
[図2]

図2

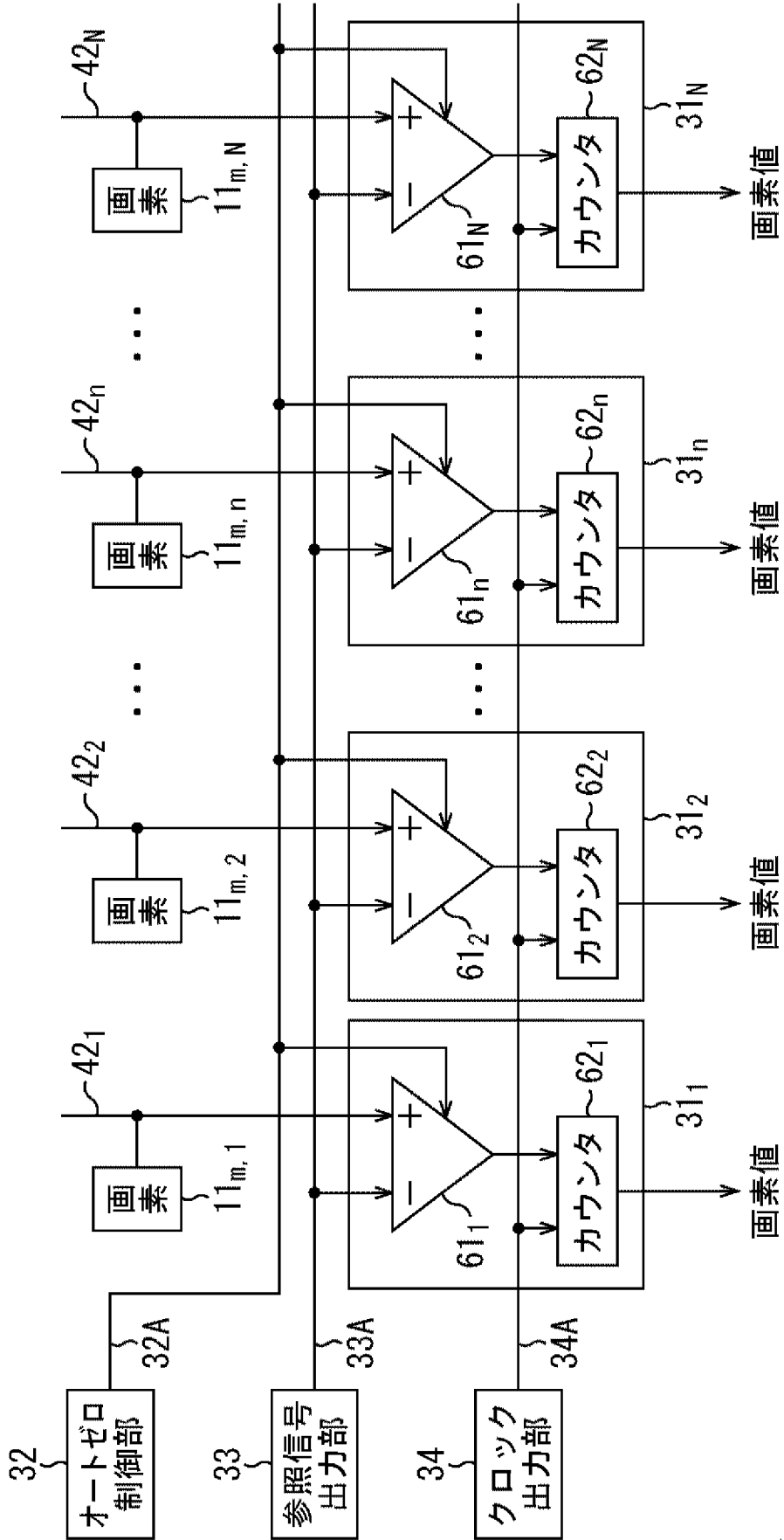


[図3]

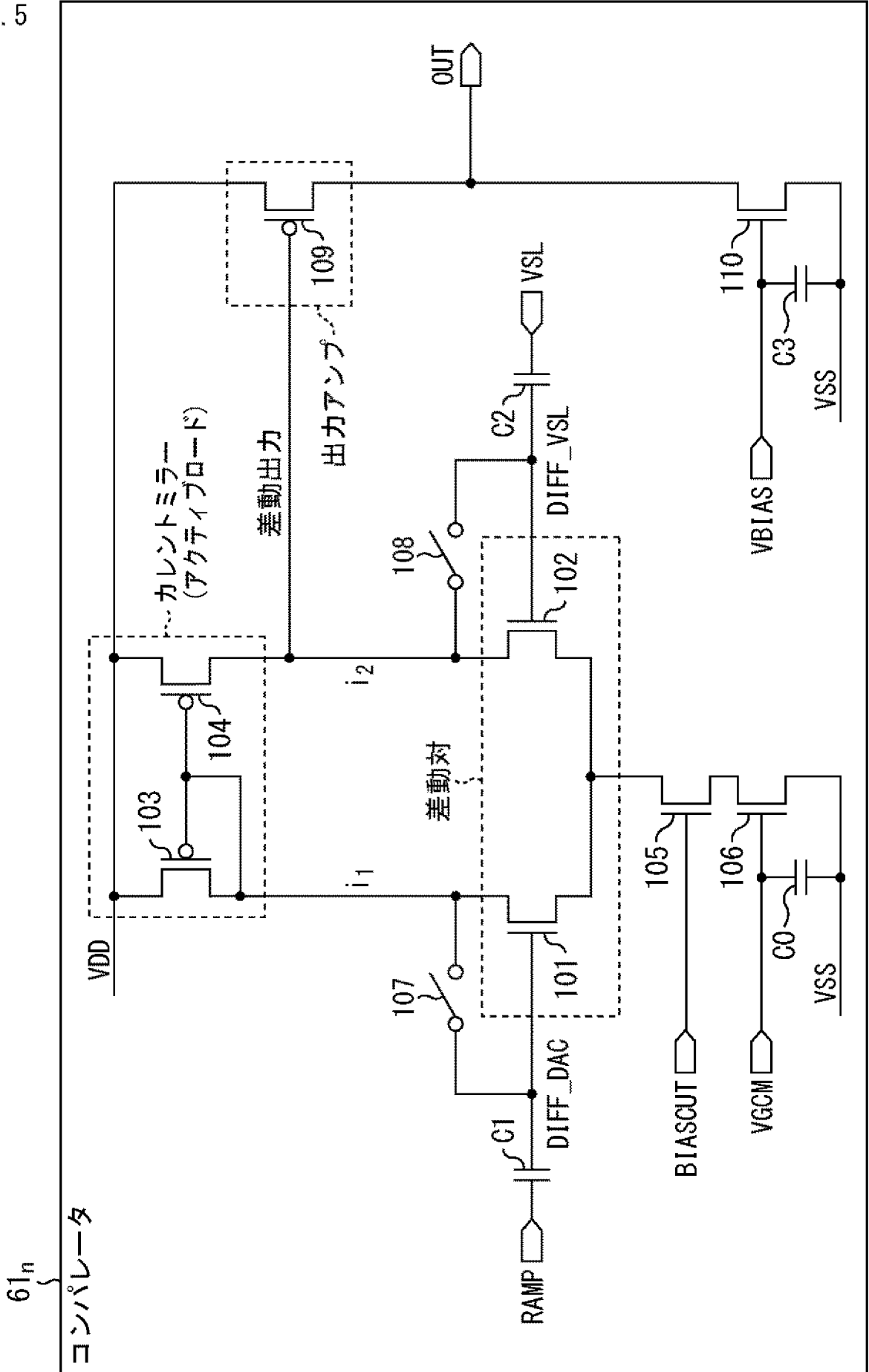
図3



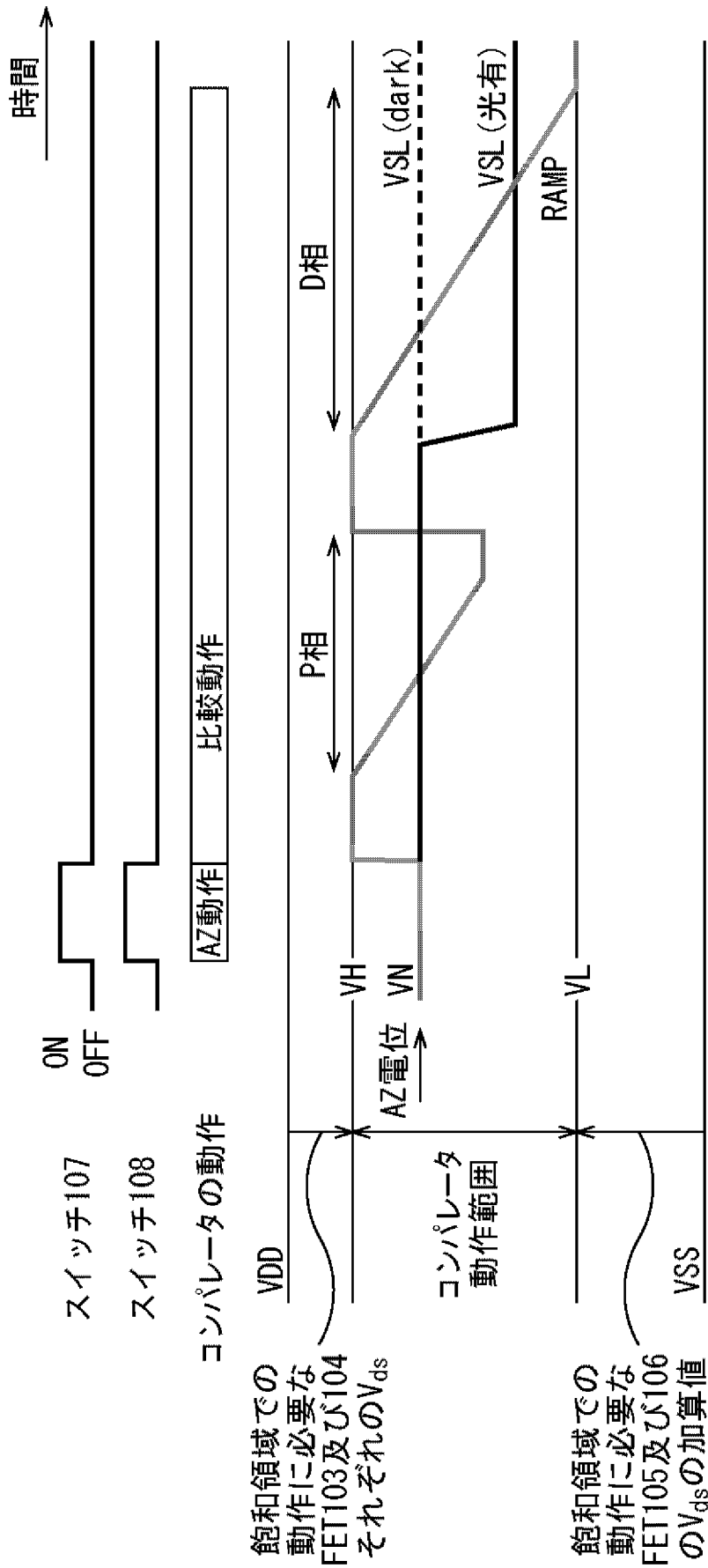
[図4]
図4



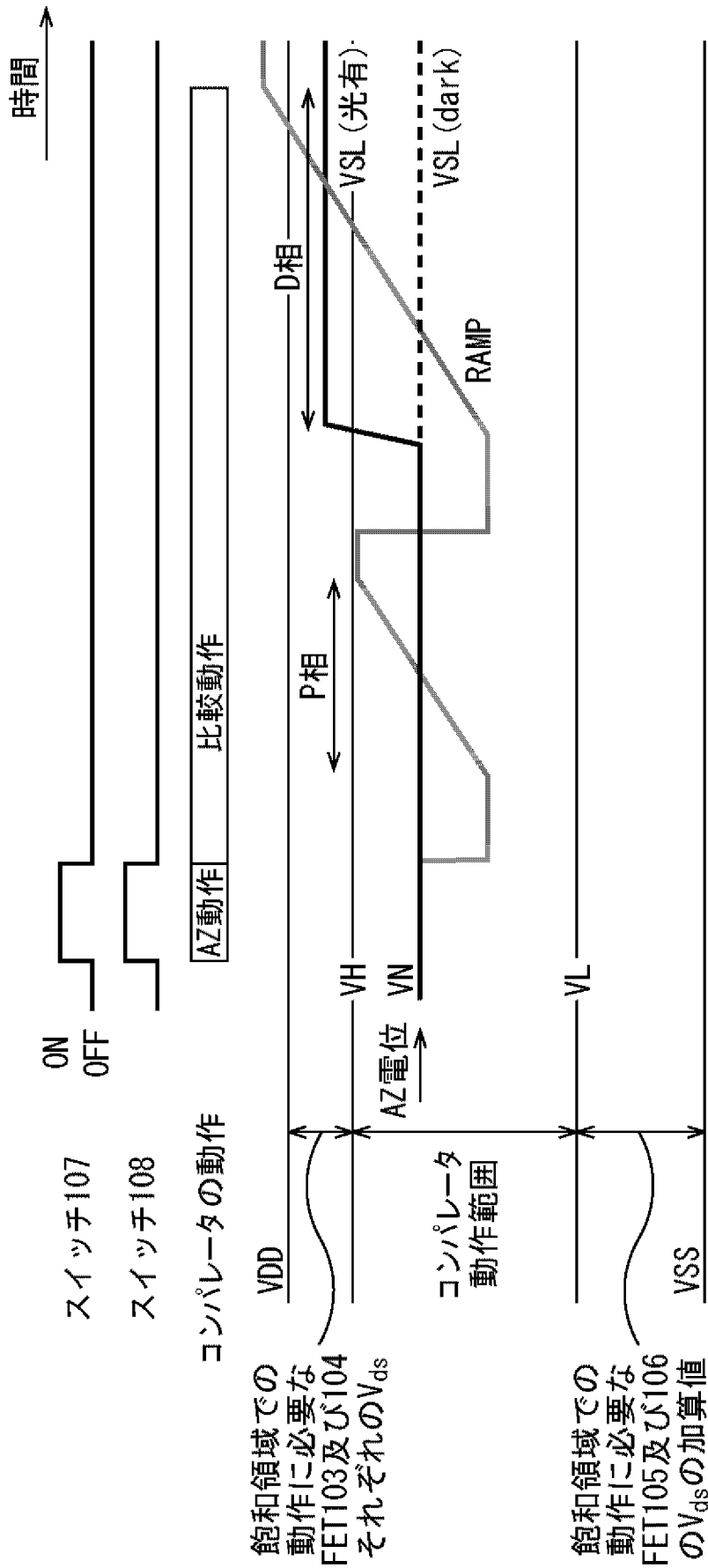
[図5]
FIG. 5



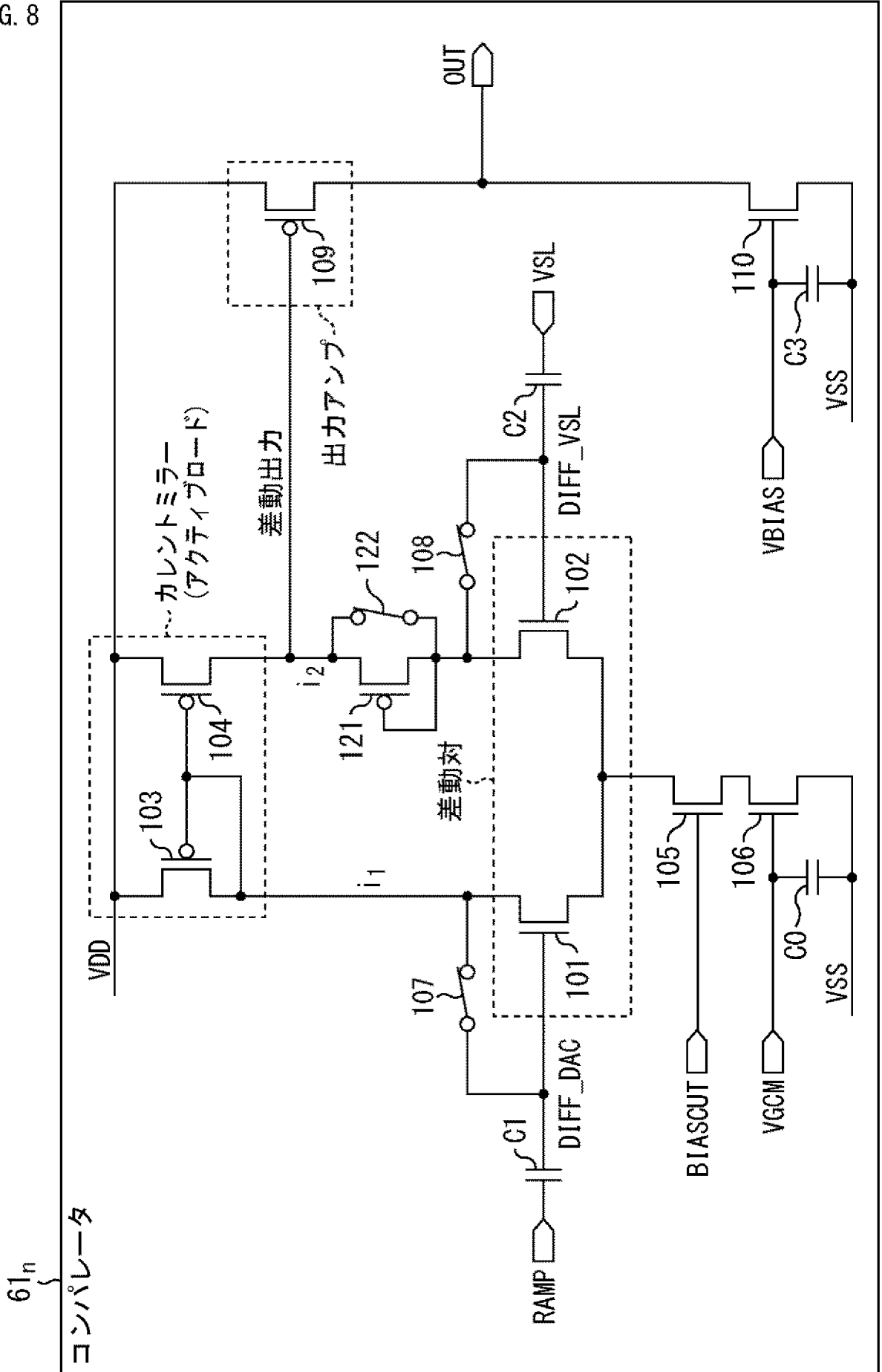
[図6]
FIG. 6



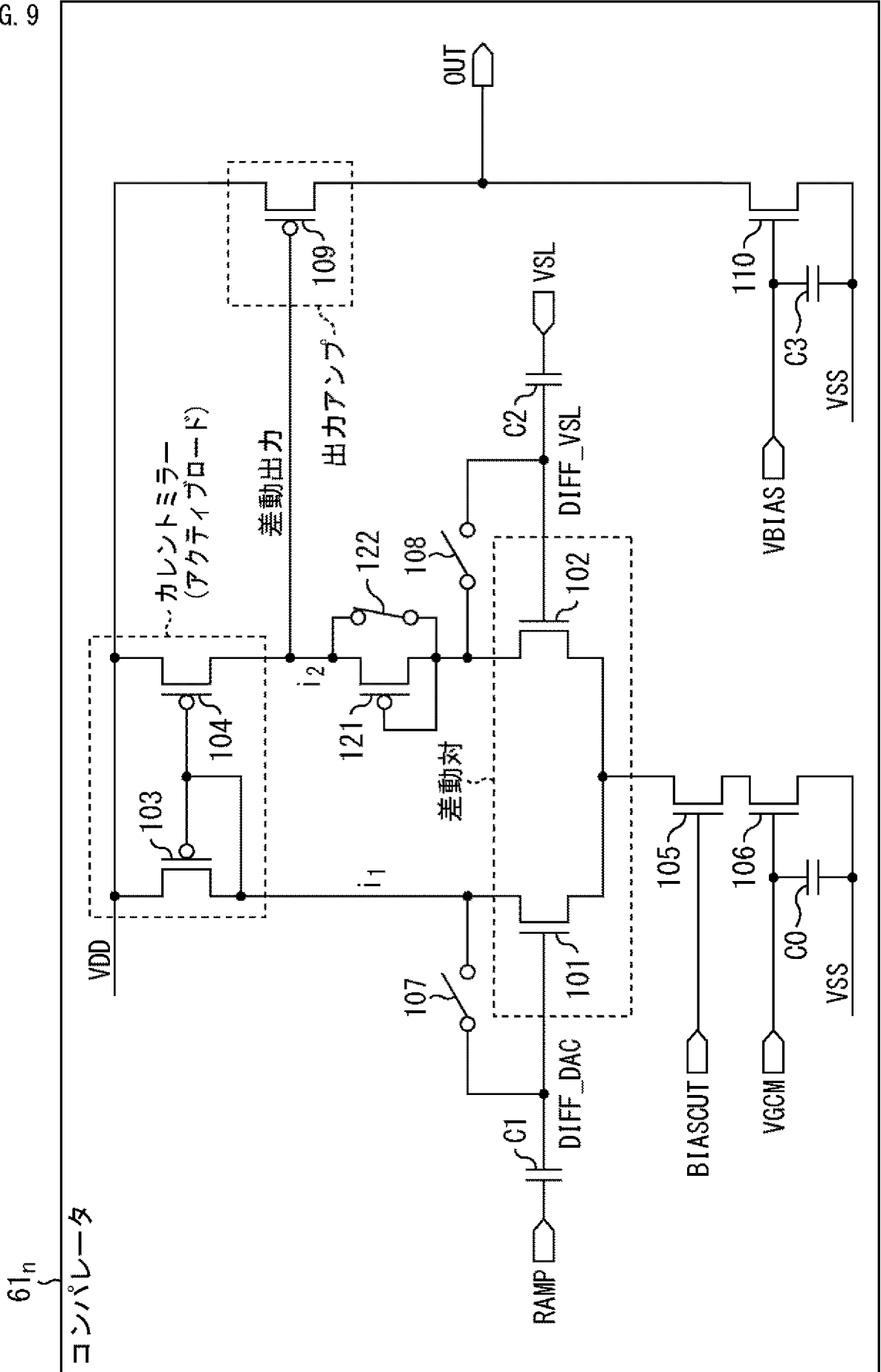
[図7]
FIG. 7



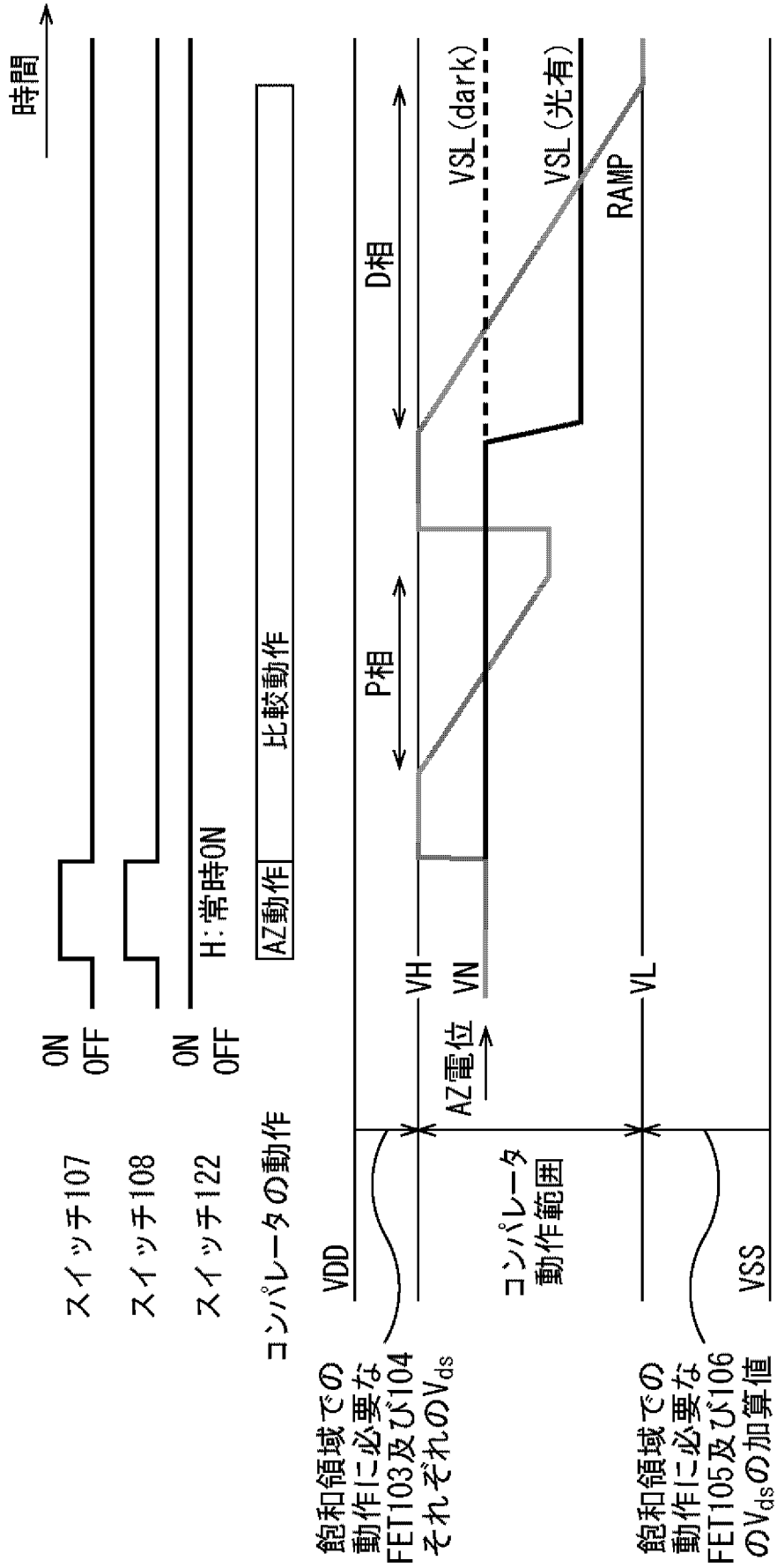
[図8]
FIG. 8



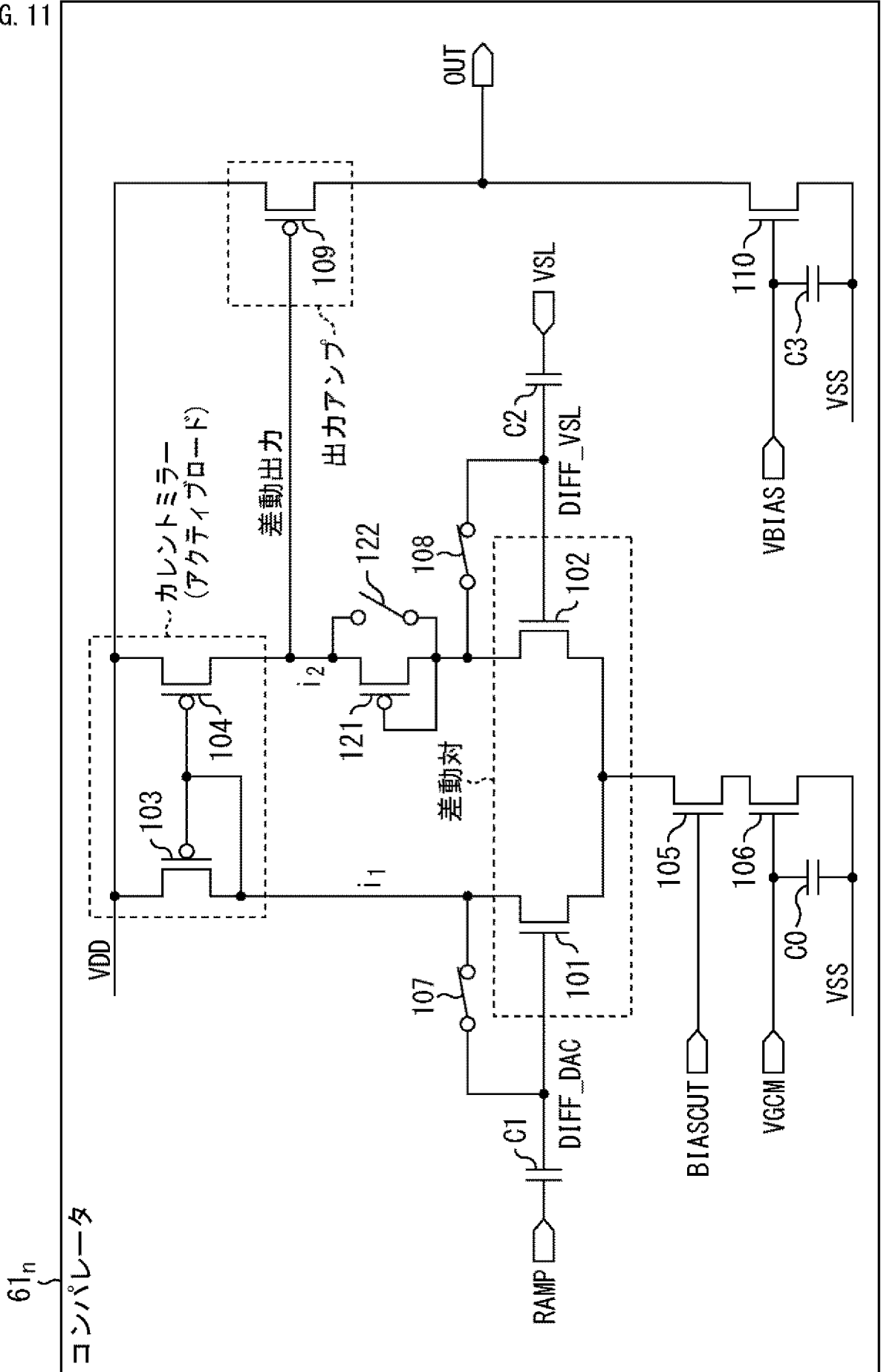
[図9]
FIG. 9



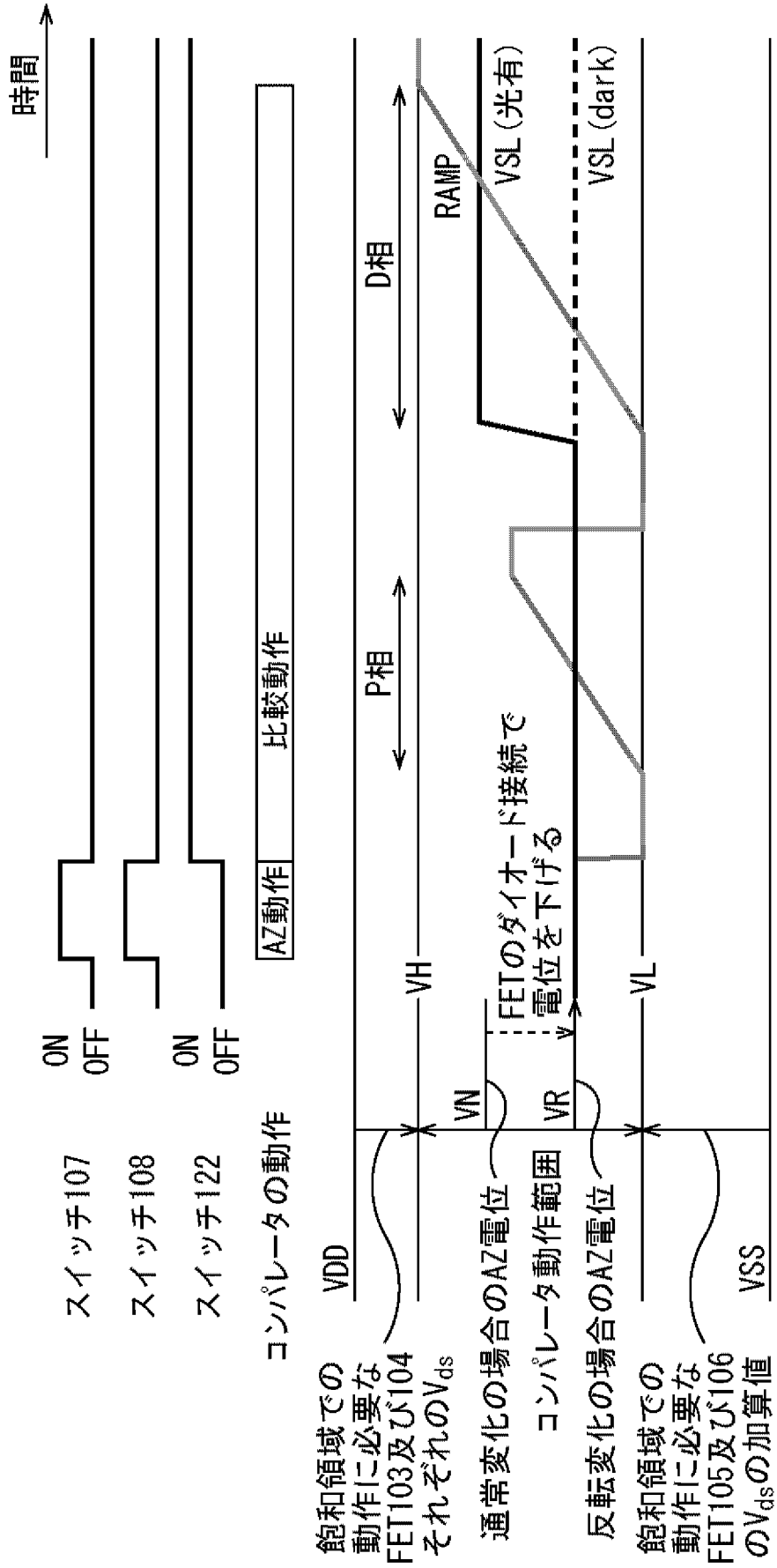
[図10]
FIG. 10



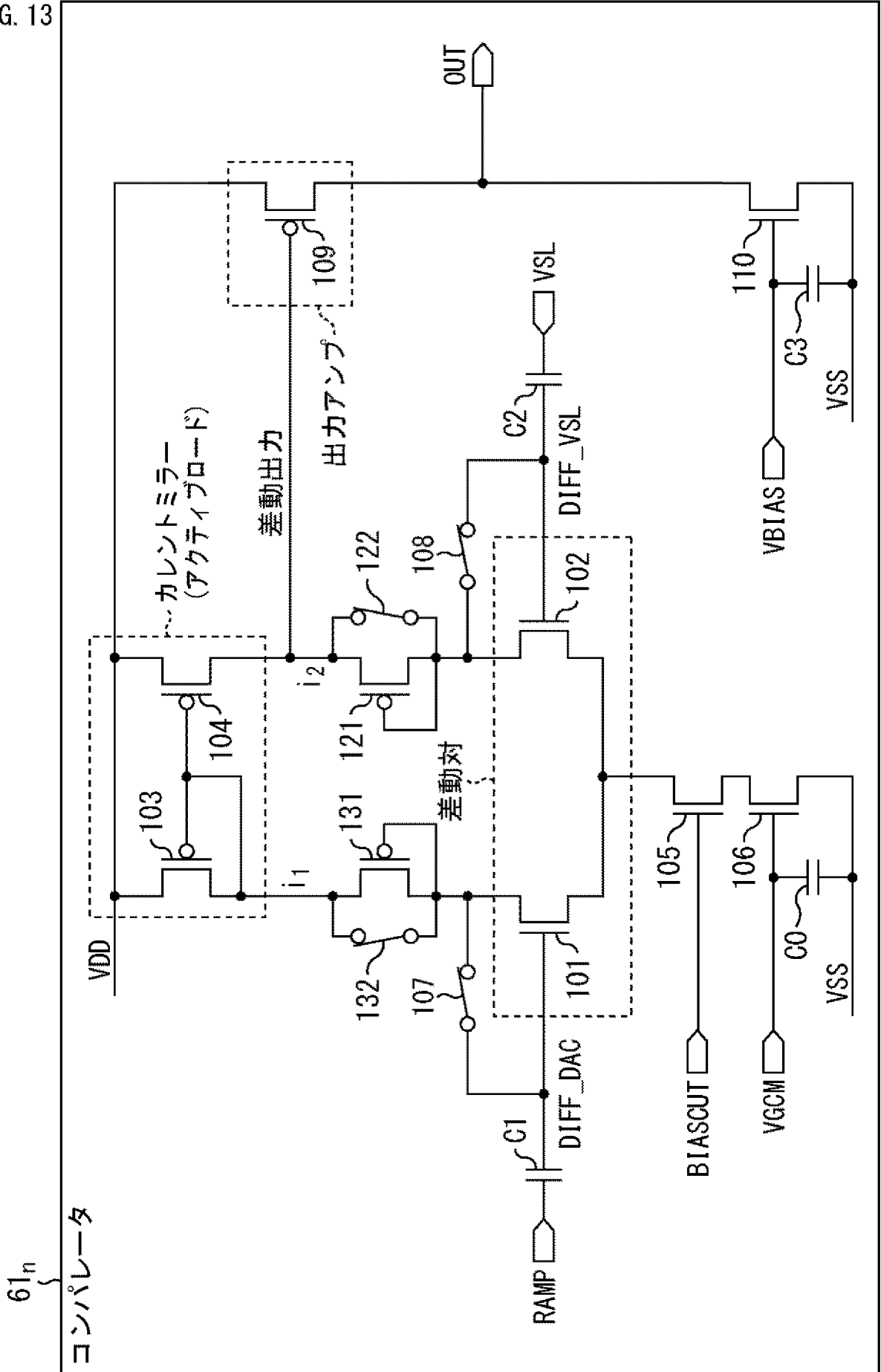
[図11]
FIG. 11



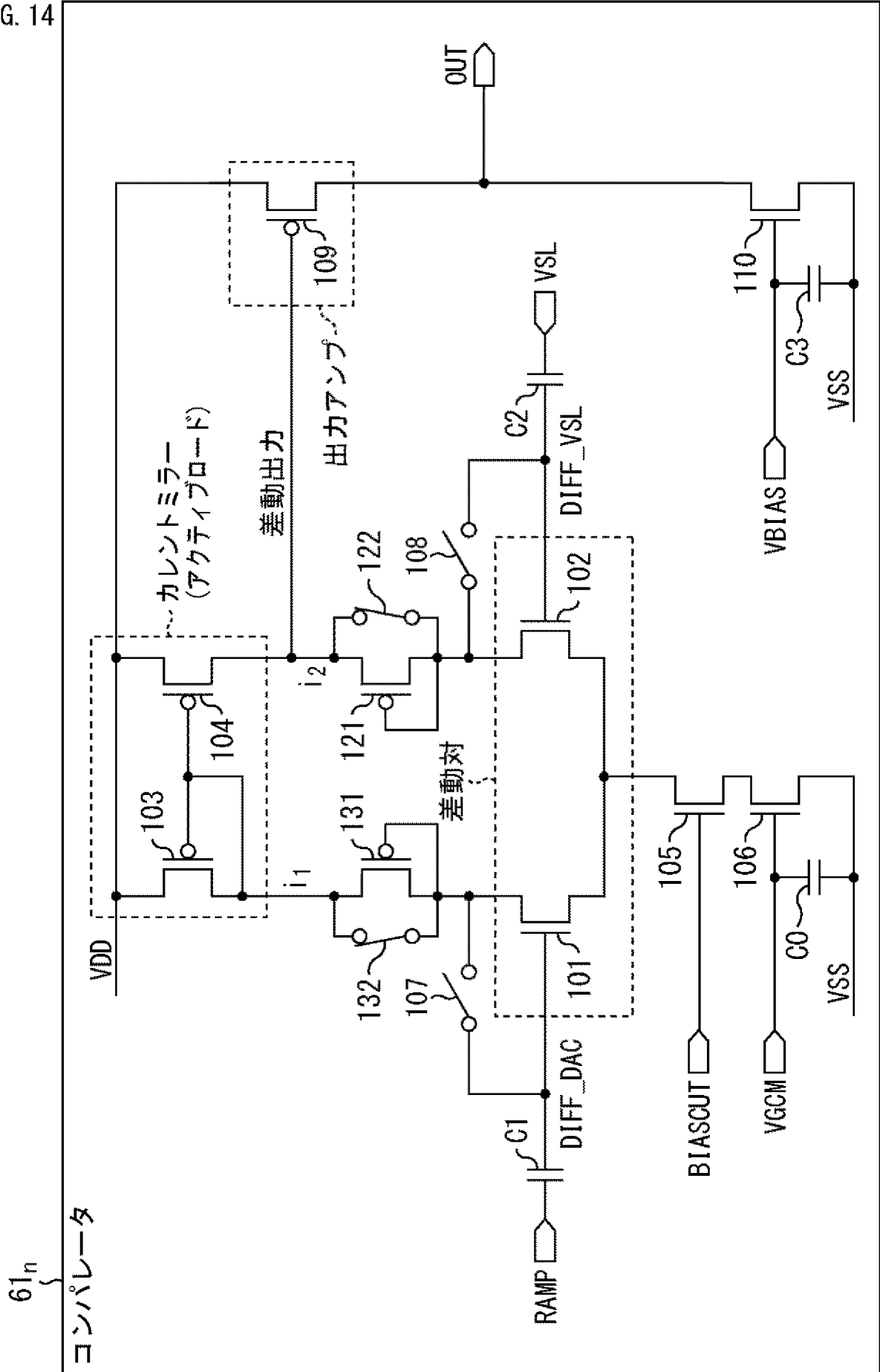
[図12]
FIG. 12



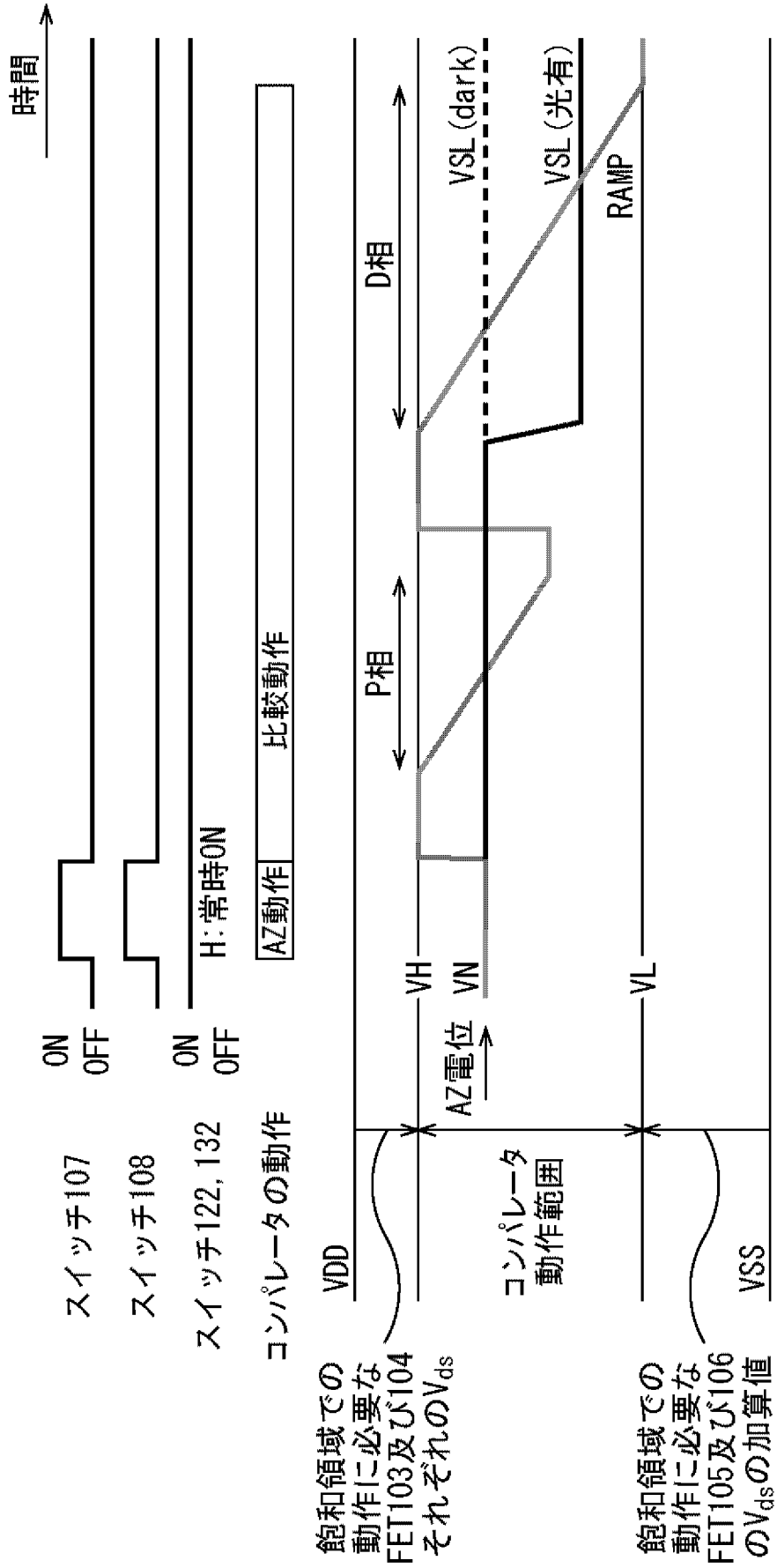
[図13]
FIG. 13



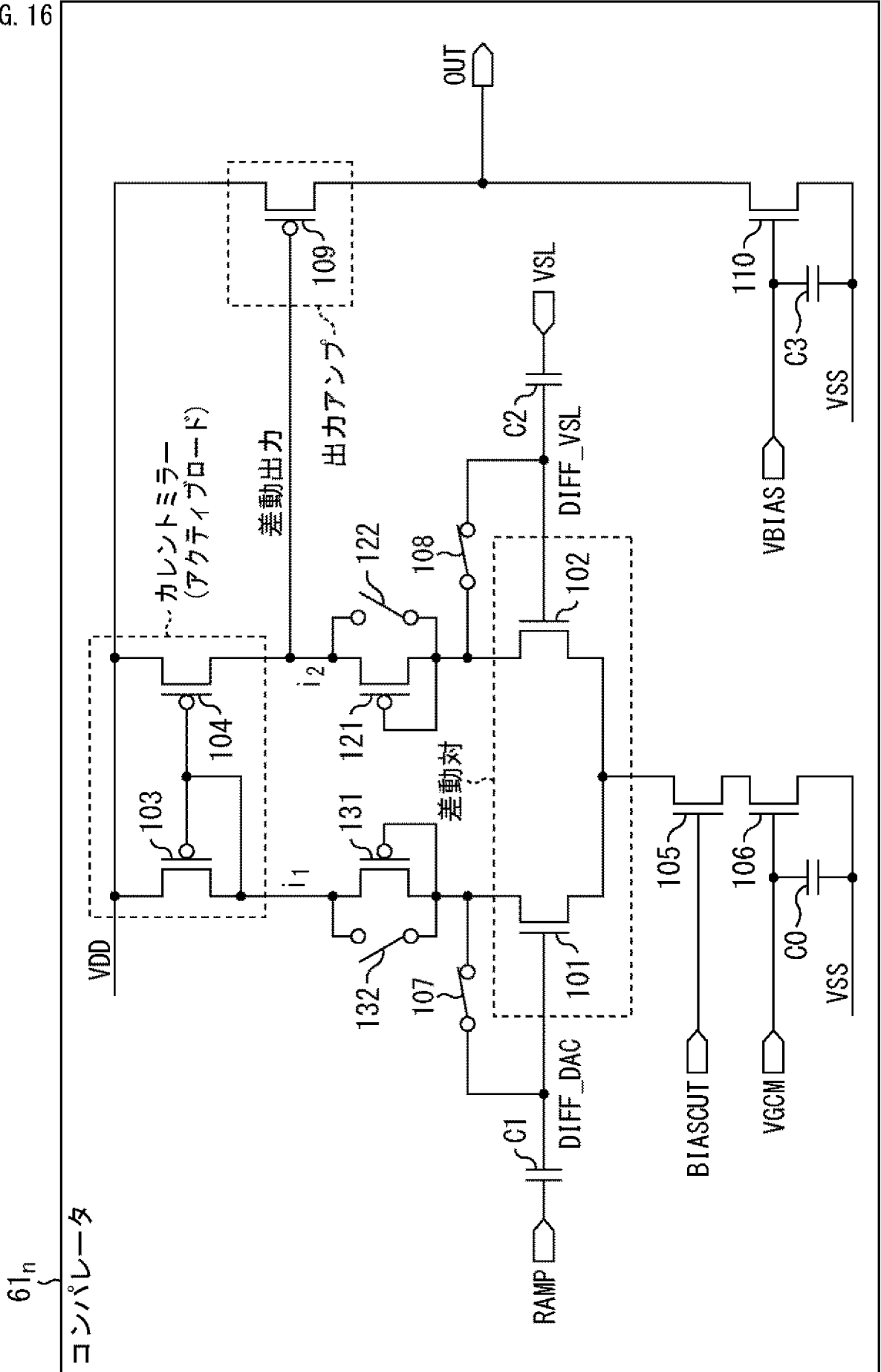
[図14]
FIG. 14



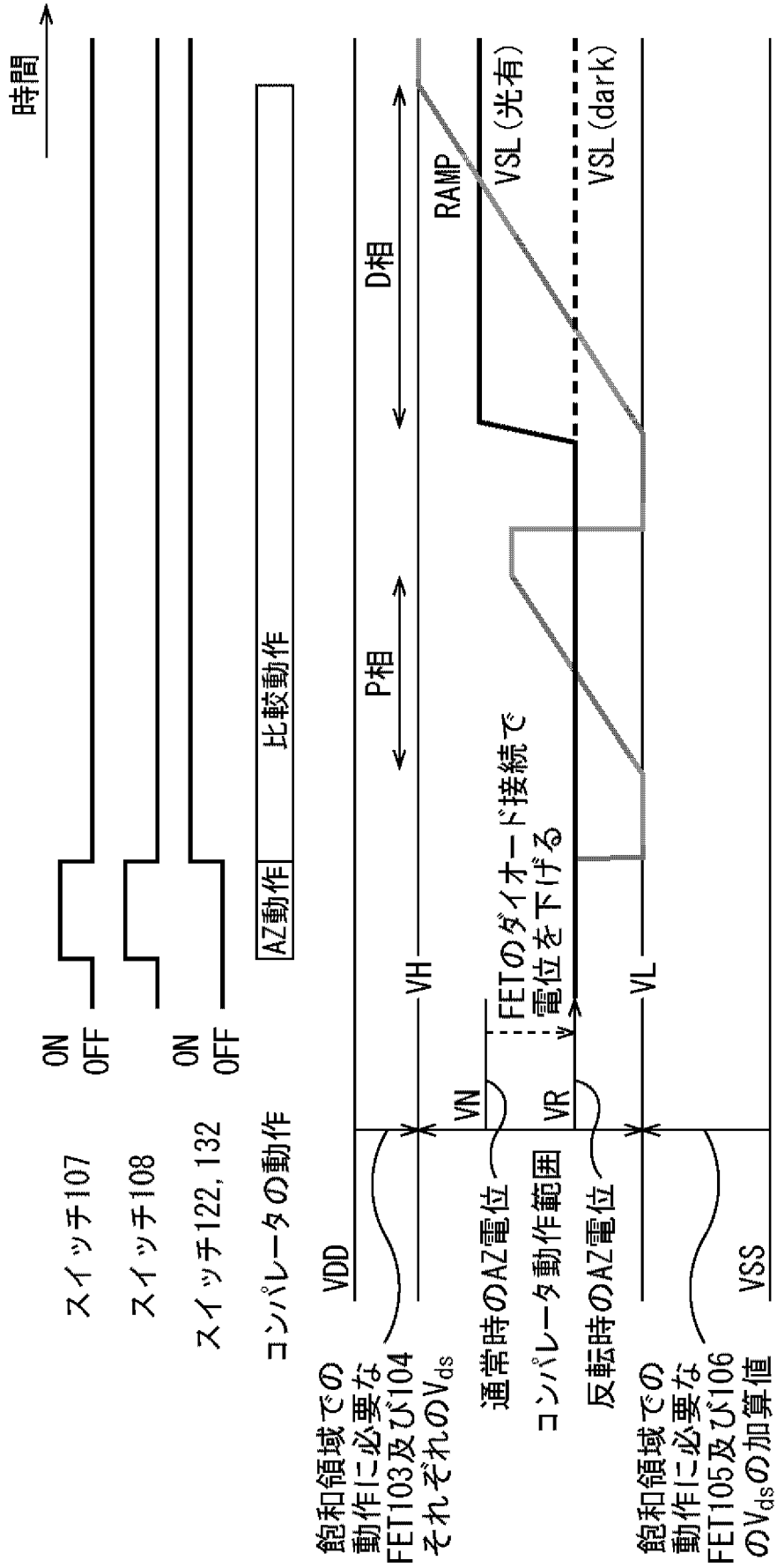
[図15]
FIG. 15



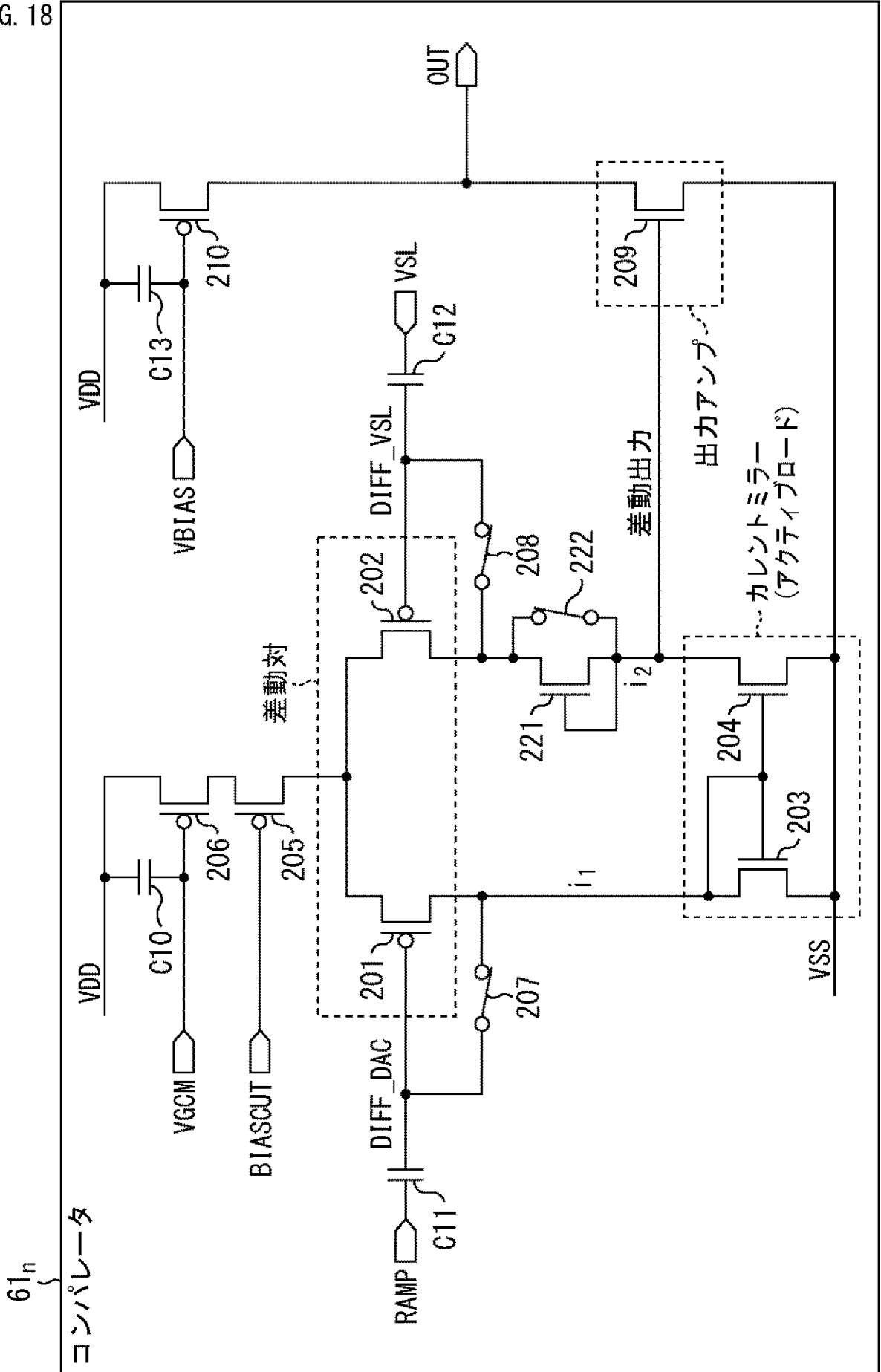
[図16]
FIG. 16



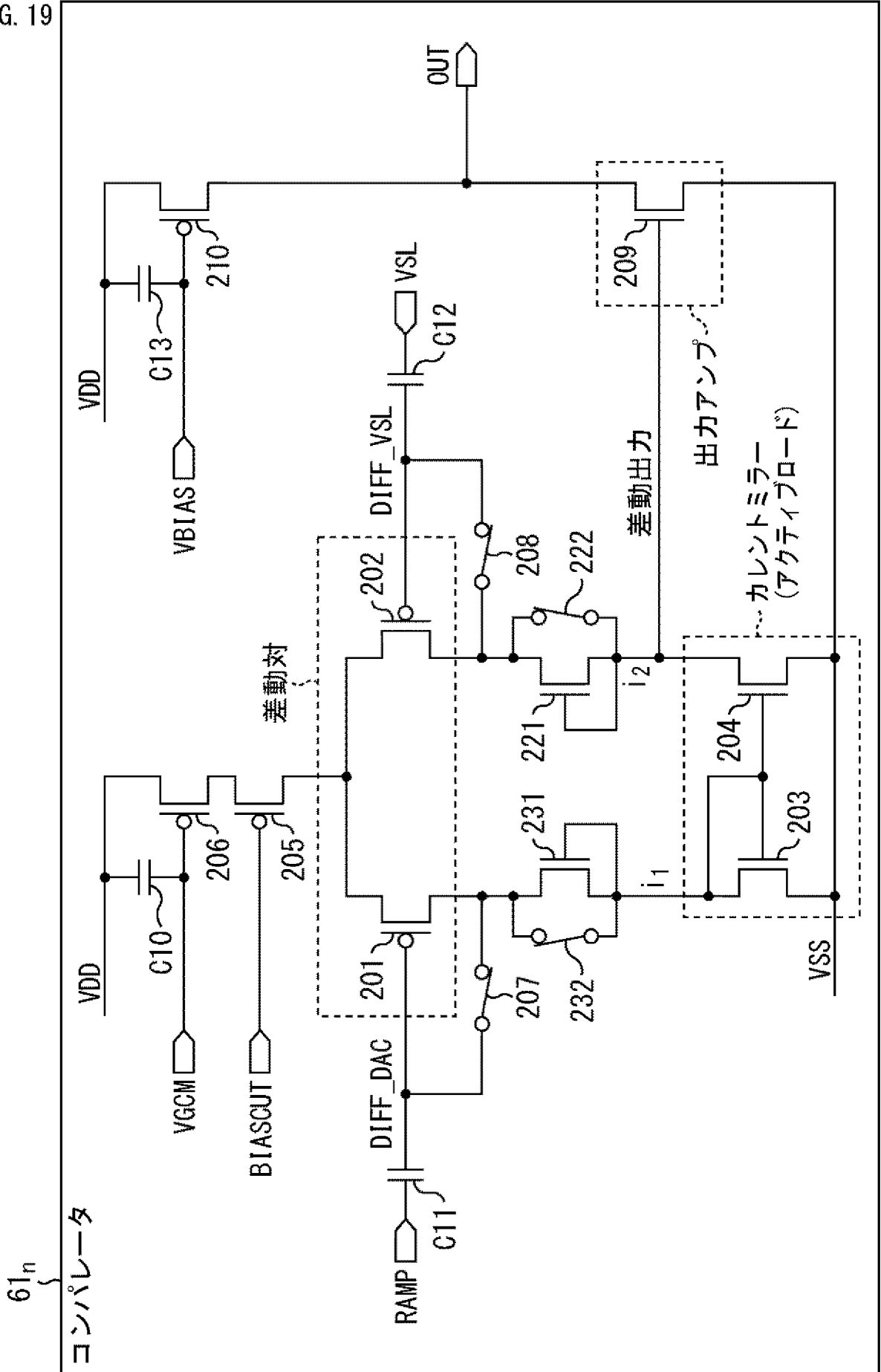
[図17]
FIG. 17



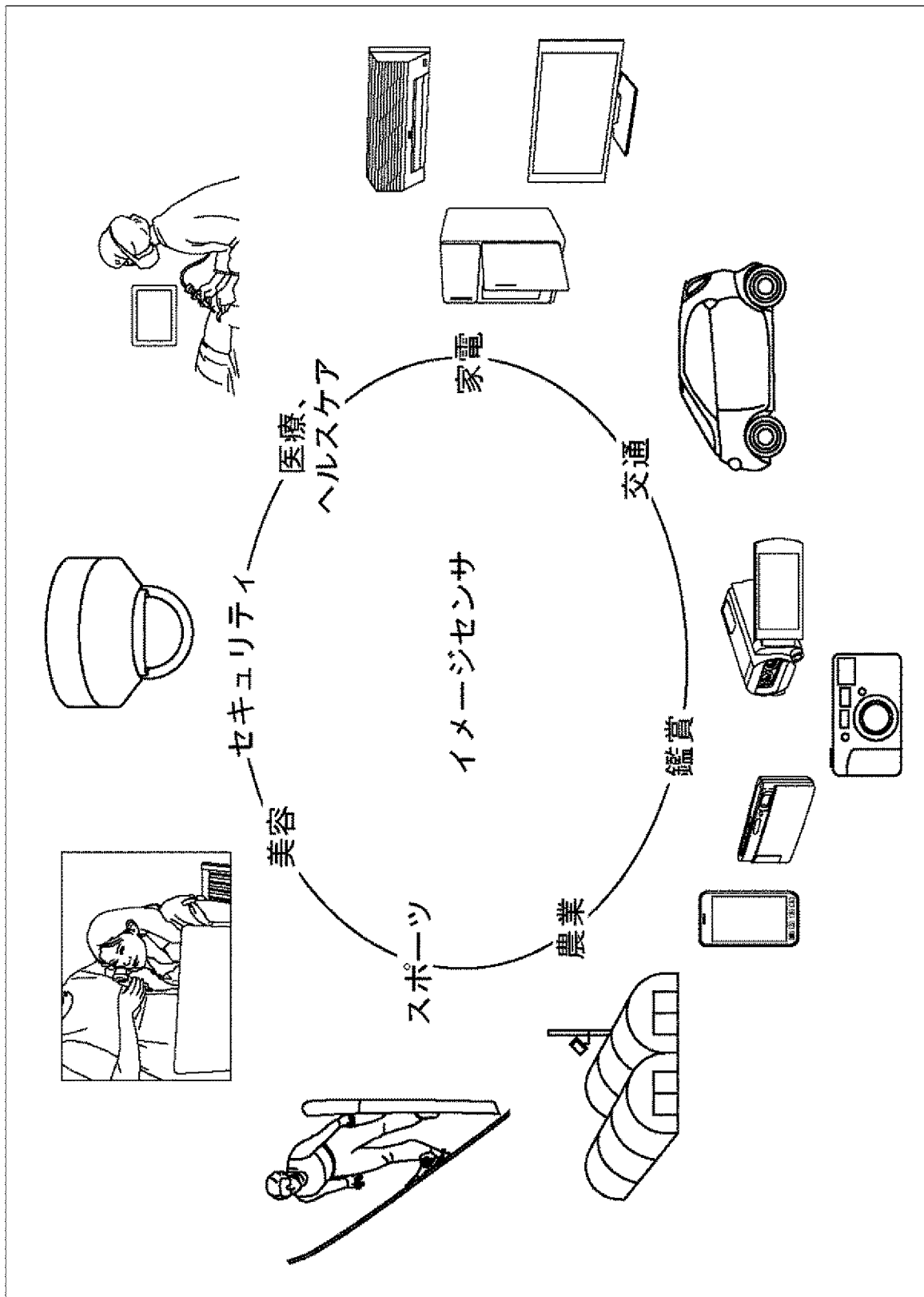
[図18]
FIG. 18



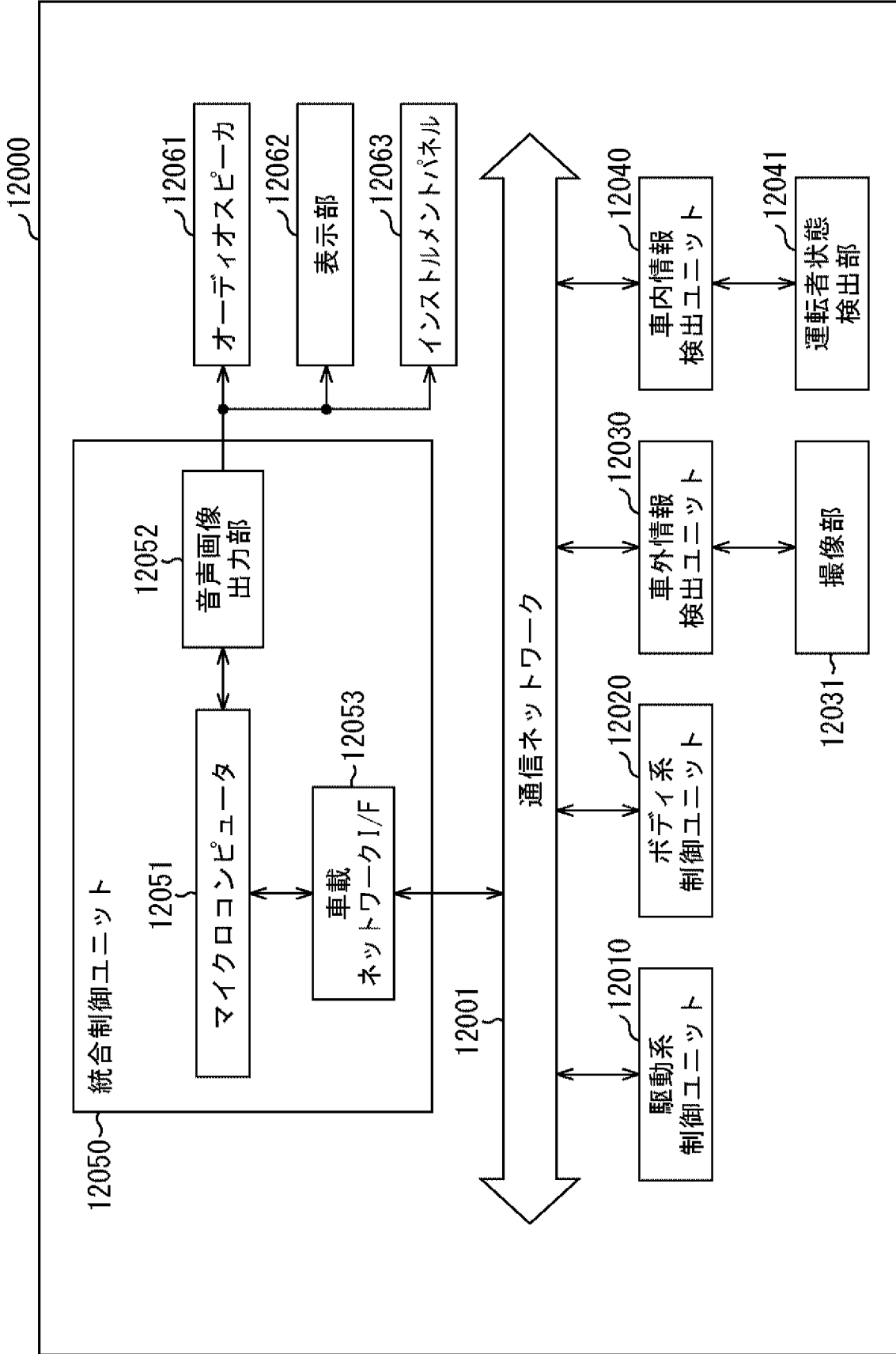
[図19]
FIG. 19



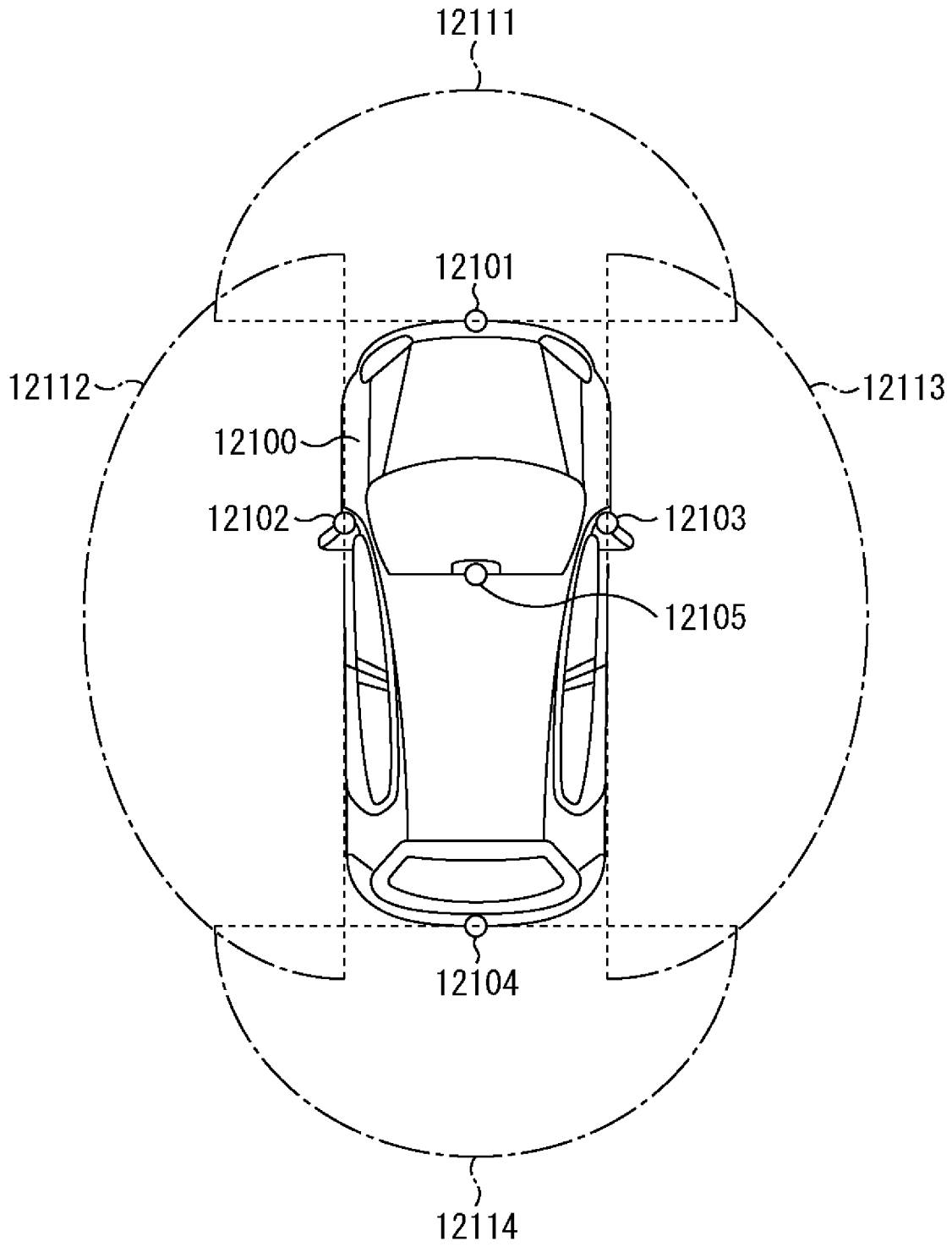
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025040

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K5/08 (2006.01) i, H03F3/45 (2006.01) i, H03M1/56 (2006.01) i,
H04N5/378 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K5/08, H03F3/45, H03M1/56, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | |
|--|-----------|
| Published examined utility model applications of Japan | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y A | WO 2016/163228 A1 (SONY CORP.) 13 October 2016, paragraphs [0021]-[0089], fig. 1-8, 10 & US 2018/0109744 A1, paragraphs [0036]-[0105], fig. 1-8, 10 & EP 3282688 A1 & CN 107431773 A | 1-2, 4-7 3 |
| Y A | JP 2003-188662 A (NEC KANSAI LTD.) 04 July 2003, paragraphs [0013]-[0028], fig. 1-2 (Family: none) | 1-2, 4-7 3 |
| A | JP 5-102755 A (NEC CORP.) 23 April 1993 (Family: none) | 3 |
| A | JP 2014-75705 A (ASAHI KASEI ELECTRONICS CO., LTD.) 24 April 2014 (Family: none) | 3 |
| A | JP 2015-97304 A (CANON INC.) 21 May 2015 & US 2015/0138411 A1 & EP 2874314 A1 & CN 104660923 A | 3 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|--|--|
| Date of the actual completion of the international search 19 August 2019 (19.08.2019) | Date of mailing of the international search report 03 September 2019 (03.09.2019) |
|--|--|

| | |
|--|---|
| Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan | Authorized officer Telephone No. |
|--|---|

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K5/08(2006.01)i, H03F3/45(2006.01)i, H03M1/56(2006.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K5/08, H03F3/45, H03M1/56, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|--|----------------|
| Y A | WO 2016/163228 A1 (ソニー株式会社) 2016.10.13, 段落[0021]-[0089], 図 1-8, 10 & US 2018/0109744 A1, 段落[0036]-[0105], FIG. 1-8, 10 & EP 3282688 A1 & CN 107431773 A | 1-2, 4-7 3 |
| Y A | JP 2003-188662 A (関西日本電気株式会社) 2003.07.04, 段落[0013]-[0028], 図 1-2 (ファミリーなし) | 1-2, 4-7 3 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

19.08.2019

国際調査報告の発送日

03.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

渡井 高広

5W

1208

電話番号 03-3581-1101 内線 3576

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 5-102755 A (日本電気株式会社) 1993.04.23, (ファミリーなし) | 3 |
| A | JP 2014-75705 A (旭化成エレクトロニクス株式会社) 2014.04.24, (ファミリーなし) | 3 |
| A | JP 2015-97304 A (キヤノン株式会社) 2015.05.21, & US 2015/0138411 A1 & EP 2874314 A1 & CN 104660923 A | 3 |