



(12) 发明专利

(10) 授权公告号 CN 108874306 B

(45) 授权公告日 2022. 08. 16

(21) 申请号 201810329996.9

(22) 申请日 2018.04.13

(65) 同一申请的已公布的文献号  
申请公布号 CN 108874306 A

(43) 申请公布日 2018.11.23

(30) 优先权数据  
10-2017-0058904 2017.05.11 KR  
10-2017-0102574 2017.08.11 KR

(73) 专利权人 三星电子株式会社  
地址 韩国京畿道

(72) 发明人 林璇淇 申熙钟 崔仁寿 李荣镐

(74) 专利代理机构 北京市柳沈律师事务所  
11105  
专利代理师 邵亚丽

(51) Int.Cl.  
G06F 3/06 (2006.01)  
G06F 13/16 (2006.01)

(56) 对比文件  
US 2013254497 A1, 2013.09.26  
US 2016087630 A1, 2016.03.24  
CN 103890688 A, 2014.06.25

审查员 周晓童

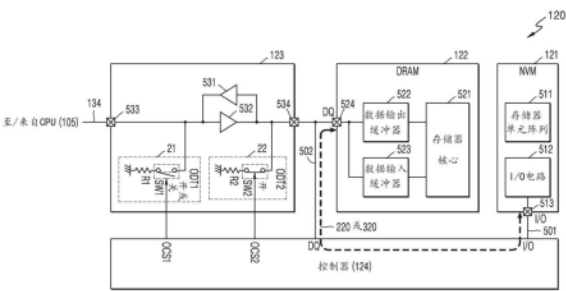
权利要求书3页 说明书16页 附图13页

(54) 发明名称

用于支持数据缓冲器的内部DQ终结的存储器系统

(57) 摘要

提供一种配置为支持数据缓冲器的内部数据 (DQ) 终结的存储器系统。该存储器系统包括：作为外部设备访问的目标存储器模块的第一存储器模块；以及作为不被外部设备访问的非目标存储器模块的第二存储器模块。第二存储器模块在内部操作模式期间在内部数据路径上执行内部DQ终结，在内部操作模式下通过使用内部存储器芯片之间的内部数据路径执行数据通信。由于内部DQ终结而减少或禁止在内部数据路径上的信号反射，由此改善信号完整性。



1. 一种存储器模块, 包括:

多个第一存储器芯片;

多个第二存储器芯片;

控制器, 被配置为控制内部操作模式, 在所述内部操作模式下, 所述存储器模块执行所述多个第一存储器芯片与所述多个第二存储器芯片之间的数据通信; 以及

多个数据缓冲器, 分别对应于所述多个第二存储器芯片,

其中, 所述控制器被配置为控制所述内部操作模式, 使得在所述内部操作模式期间, 所述存储器模块在将所述多个数据缓冲器中的一个与所述多个第二存储器芯片中相应的一个连接的内部数据路径上执行内部数据DQ终结,

以及所述多个第二存储器芯片包括易失性存储器设备。

2. 根据权利要求1所述的存储器模块, 其中,

所述多个数据缓冲器中的每一个包括连接到内部数据路径的片内终结ODT电路, 并且所述片内终结ODT电路被配置为选择性地提供内部数据DQ终结。

3. 根据权利要求2所述的存储器模块, 其中, 所述片内终结ODT电路包括:

开关, 具有连接到所述内部数据路径的第一端, 并且所述开关被配置为响应于所述控制器的片内终结ODT控制信号; 以及

电阻器, 连接在所述开关的第二端与地电压之间。

4. 根据权利要求1所述的存储器模块, 其中, 所述控制器被配置为基于从所述存储器模块的外部设备接收的内部操作模式命令来执行所述内部操作模式。

5. 根据权利要求1所述的存储器模块, 其中, 所述多个第一存储器芯片包括非易失性存储器设备。

6. 根据权利要求1所述的存储器模块, 其中, 所述存储器模块包括非易失性双列直插存储器模块NVDIMM。

7. 一种存储器系统, 包括:

连接到数据总线的第一存储器模块, 所述第一存储器模块是能够由所述存储器系统的外部设备访问的目标存储器模块; 以及

连接到所述数据总线的第二存储器模块, 所述第二存储器模块是不被所述外部设备访问的非目标存储器模块,

其中, 所述第二存储器模块被配置为在内部操作模式期间在内部数据路径上执行内部数据DQ终结, 在所述内部操作模式下所述第二存储器模块通过使用所述第二存储器模块的内部数据路径执行数据通信, 以及所述第二存储器模块包括:

连接到所述数据总线的至少一个第一片内终结ODT电路, 以及

连接到所述内部数据路径的至少一个第二片内终结ODT电路,

其中所述第二片内终结ODT电路被配置为选择性地提供所述内部数据DQ终结。

8. 根据权利要求7所述的存储器系统, 其中, 所述第二存储器模块被配置为基于从所述外部设备接收的内部操作模式进入命令来开始所述内部操作模式, 并且被配置为基于从所述外部设备接收的内部操作模式退出命令来结束所述内部操作模式。

9. 根据权利要求8所述的存储器系统, 其中, 所述第二存储器模块被配置为在接收到所述内部操作模式进入命令的第一时间与接收到所述内部操作模式退出命令的第二时间之

间执行所述内部数据DQ终结。

10. 根据权利要求7所述的存储器系统,其中,所述第二存储器模块被配置为基于从所述外部设备接收的内部操作模式命令,对应于在所述内部操作模式期间发出的每个读取命令来执行所述内部数据DQ终结。

11. 根据权利要求7所述的存储器系统,其中,所述第二存储器模块包括:

多个第一存储器芯片;

多个第二存储器芯片;以及

控制器,被配置为控制内部操作模式,使得在所述内部操作模式期间,所述第二存储器模块被配置为在连接所述多个第一存储器芯片与所述多个第二存储器芯片的内部数据路径上执行内部数据DQ终结。

12. 根据权利要求11所述的存储器系统,其中,所述第二存储器模块连接到所述数据总线,并且还包括:

多个数据缓冲器,分别对应于所述多个第二存储器芯片,

其中,所述多个数据缓冲器中的每一个包括:

连接到所述数据总线的所述第一片内终结ODT电路中的一个,以及

连接到所述内部数据路径的所述第二片内终结ODT电路中的一个,

其中所述第二片内终结ODT电路中的一个被配置为选择性地提供所述内部数据DQ终结。

13. 根据权利要求12所述的存储器系统,其中,所述第一片内终结ODT电路包括:

第一开关,具有连接到所述数据总线的第一端,并响应于所述控制器的第一片内终结ODT控制信号;以及

第一电阻器,连接在所述第一开关的第二端与地电压之间。

14. 根据权利要求12所述的存储器系统,其中,所述第二片内终结ODT电路包括:

第二开关,具有连接到所述内部数据路径的一端,并响应于所述控制器的第二片内终结ODT控制信号;以及

第二电阻器,连接在所述第二开关的另一端与地电压之间。

15. 根据权利要求11所述的存储器系统,其中,所述多个第一存储器芯片包括非易失性存储器设备。

16. 根据权利要求11所述的存储器系统,其中,所述多个第二存储器芯片包括易失性存储器设备。

17. 根据权利要求7所述的存储器系统,其中,所述第一存储器模块和所述第二存储器模块包括同类非易失性双列直插存储器模块NVDIMM。

18. 根据权利要求7所述的存储器系统,其中,所述第一存储器模块和所述第二存储器模块包括异类非易失性双列直插存储器模块NVDIMM。

19. 一种存储器系统的操作方法,所述操作方法包括:

通过存储器系统的外部设备访问存储器系统的第一存储器模块;

在存储器系统的第二存储器模块中通过使用内部数据路径执行内部操作模式,所述第二存储器模块不被所述外部设备访问;以及

在第二存储器模块的内部操作模式期间,在内部数据路径上执行内部数据DQ终结,

其中,所述第二存储器模块包括:

连接到数据总线的第一片内终结ODT电路,以及

连接到所述内部数据路径的第二片内终结ODT电路,

其中,执行内部数据DQ终结包括:

用第二片内终结ODT电路选择性地提供所述内部数据DQ终结。

20.根据权利要求19所述的操作方法,还包括:

由第二存储器模块从所述外部设备接收内部操作模式进入命令;

由第二存储器模块从所述外部设备接收内部操作模式退出命令;以及

在第二存储器模块中,在施加内部操作模式进入命令的第一时间点和施加内部操作模式退出命令的第二时间点之间执行内部数据DQ终结。

21.根据权利要求19所述的操作方法,还包括:

由第二存储器模块接收由外部设备施加的内部操作模式命令;以及

在第二存储器模块中,基于内部操作模式命令,对应于在内部操作模式期间生成的每个读取命令执行内部数据DQ终结。

## 用于支持数据缓冲器的内部DQ终结的存储器系统

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年5月11日在韩国知识产权局提交的韩国专利申请第10-2017-0058904号和于2017年8月11日在韩国知识产权局提交的韩国专利申请第10-2017-0102574号的优先权,其各自的全部内容通过引用整体并入本文。

### 技术领域

[0003] 发明构思涉及一种存储器系统,更具体地涉及一种具有数据缓冲器的存储器模块和/或存储器模块的操作方法,该存储器模块被配置为在存储器模块的内部操作模式下执行可提高信号完整性的内部数据(DQ)终结。

### 背景技术

[0004] 在诸如服务器等的信息处理装置的领域中,随着大数据时代的发展,对高速访问诸如数据库(DB)的大容量数据的期望不断增加。处理大数据的信息处理装置(诸如服务器等)的操作容量的瓶颈是数据加载能力。为了改善信息处理装置的性能,可以考虑将大容量存储器连接到与中央处理单元(CPU)连接且具有宽处理范围的CPU存储器总线。

[0005] 快闪存储器通过使用高性能产品已成功进入消费者和企业应用。具有高数据速率的快闪存储器被布置在CPU存储器总线中。已经开发了一种非易失性双列直插存储器模块(NVDIMM),其中快闪存储器被布置在CPU存储器总线中。NVDIMM既具有动态随机存取存储器(DRAM)的高速处理技术,又具有快闪存储器的大容量。随着对大数据、云、人工智能(AI)、高速网络等的需求增加,NVDIMM已引起关注。

### 发明内容

[0006] 发明构思提供了一种具有数据缓冲器的存储器模块和/或存储器模块的操作方法,该存储器模块被配置为在存储器模块的内部操作模式下执行内部数据(DQ)终结以提高信号完整性。

[0007] 根据发明构思的示例实施例,提供了一种存储器模块,该存储器模块包括:多个第一存储器芯片;多个第二存储器芯片;控制器,被配置为控制内部操作模式,在该内部操作模式下,在所述多个第一存储器芯片与所述多个第二存储器芯片之间执行数据通信;以及多个数据缓冲器,分别连接到所述多个第二存储器芯片,其中,控制器被配置为控制内部操作模式,使得在内部操作模式期间,在将所述多个数据缓冲器与所述多个第二存储器芯片连接的内部数据路径上执行内部数据(DQ)终结。

[0008] 根据发明构思的示例实施例,提供了一种存储器系统,该存储器系统包括:连接到数据总线的第一存储器模块,第一存储器模块是能够由存储器系统的外部设备访问的目标存储器模块;以及连接到数据总线的第二存储器模块,第二存储器模块是不被外部设备访问的非目标存储器模块,其中,第二存储器模块被配置为在内部操作模式期间在内部数据路径上执行内部数据(DQ)终结,在内部操作模式下通过使用第二存储器模块的内部数据路

径执行数据通信。

[0009] 根据发明构思的示例实施例,提供了一种包括第一和第二存储器模块的存储器系统的操作方法,该操作方法包括:通过存储器系统的外部设备访问第一存储器模块;在不被外部设备访问的第二存储器模块中,通过使用内部数据路径执行内部操作模式;以及在第二存储器模块的内部操作模式期间,在内部数据路径上执行内部数据(DQ)终结。

## 附图说明

[0010] 从结合附图的以下详细描述中将更清楚地理解本发明构思的示例实施例,在附图中:

[0011] 图1是根据示例实施例的存储器系统的框图;

[0012] 图2和图3是用于描述关于图1的存储器系统的访问操作模式和内部操作模式的图;

[0013] 图4和图5是用于描述作为目标存储器模块的图1的第一存储器模块的图;

[0014] 图6是用于描述作为非目标存储器模块的图1的第二存储器模块的图;

[0015] 图7是示出图1的片内终结(on-die-termination,ODT)电路基于操作模式的开/关操作的表格;

[0016] 图8和图9是用于描述根据实施例的图1的存储器系统的操作的图;

[0017] 图10和图11是用于描述根据实施例的图1的存储器系统的操作的图;

[0018] 图12是用于描述根据实施例的存储器模块的图;

[0019] 图13是示出基于图12的存储器模块的数据缓冲器的内部数据(DQ)终结的数据眼图(data eye pattern)的视图;以及

[0020] 图14是应用于云系统的发明构思的示例的框图。

## 具体实施方式

[0021] 如本文所使用的,术语“和/或”包括一个或多个相关所列项目的任何和所有组合。诸如“…中的至少一个”的表达当在元素列表之后时修饰整个元素列表,而不是修饰列表的单个元素。

[0022] 图1是根据示例实施例的存储器系统100的框图。

[0023] 参考图1,存储器系统100可以包括第一存储器模块110和第二存储器模块120,并且可以由中央处理单元CPU 105访问。CPU 105可以包括操作单元(例如,CPU核心)、高速缓存存储器、和/或配置为控制第一存储器模块110和第二存储器模块120的存储器控制器。第一存储器模块110和第二存储器模块120可以是具有多个封装的存储器设备或存储器芯片的非易失性双列直插存储器模块(NVDIMM)。根据示例实施例,描述了两个存储器模块,例如,存储器系统100中的第一存储器模块110和第二存储器模块120。然而,发明构思不限于此,并且可以包括各种数量的存储器模块。

[0024] 在存储器系统100中,对其执行CPU 105的访问操作的第一存储器模块110和第二存储器模块120中的任一个将被称为目标存储器模块,并且对其不执行CPU 105的访问操作的第一存储器模块110或第二存储器模块120将被称为非目标存储器模块。第一存储器模块110将被描述为目标存储器模块Target DIMM1,而第二存储器模块120将被描述为非目标存

存储器模块Non-Target DIMM2。

[0025] 如图1所示,第一存储器模块110和第二存储器模块120可以是同类NVDIMM。第一存储器模块110和第二存储器模块120是示例,并且第一存储器模块110和第二存储器模块120不限制发明构思的范围。根据示例实施例,第一存储器模块110和第二存储器模块120可以是异类NVDIMM。

[0026] 第一存储器模块110和第二存储器模块120中的每一个可以包括多个存储器芯片,诸如非易失性存储器芯片111或121(在下文中,被称为“NVM芯片”)和动态随机存取存储器(DRAM)芯片112或122。此外,第一存储器模块110和第二存储器模块120中的每一个可以包括连接到DRAM芯片112的数据缓冲器113或连接到DRAM芯片122的数据缓冲器123。数据缓冲器113或123可以被实现为对应于DRAM芯片112或122的单个芯片。而且,第一存储器模块110和第二存储器模块120中的每一个可以包括连接到NVM芯片111、DRAM芯片112以及数据缓冲器113的控制器114,或者连接到NVM芯片121、DRAM芯片122以及数据缓冲器123的控制器124。控制器114或124可以被实现为配置为控制NVM芯片111或121、DRAM芯片112或122以及数据缓冲器113或123的单个芯片。根据示例实施例,控制器114和124可以被实现为多个芯片。

[0027] NVM芯片111和121可以是或可以包括配置为以非易失性方式存储数据的非易失性存储器设备。例如,NVM芯片111和121可以是或可以包括包含快闪存储器单元的快闪存储器设备。替选地或附加地,NVM芯片111和121可以是或可以包括包含电阻式存储器单元的存储器设备,诸如电阻随机存取存储器(ReRAM)、磁随机存取存储器(MRAM)、相变随机存取存储器(PCRAM)等。在下文中,将假设NVM芯片111和121是包括NAND或NOR快闪存储器单元的快闪存储器设备来描述实施例。

[0028] DRAM芯片112和122可以是易失性存储器设备。DRAM芯片112和122可以是或可以包括时钟同步型DRAM芯片,诸如同步DRAM(SDRAM)。例如,DRAM芯片112和122可以是存储器设备,诸如双倍数据速率(DDR) SDRAM、低功率DDR(LPDDR) SDRAM、图形DDR(GDDR) SDRAM、Rambus DRAM(RDRAM®)等。

[0029] 第一存储器模块110和第二存储器模块120可以被安装在存储器系统100的主板中所提供的双列直插存储器模块(DIMM)插槽中,以接触存储器总线130。存储器总线130是指形成在存储器系统100的主板的表面上或该主板中的信号线。CPU 105可以通过存储器总线130连接到第一存储器模块110和第二存储器模块120。存储器总线130可以包括命令/地址/控制总线132(以下称为“CA总线”)和数据总线134。

[0030] 从CPU 105施加的用于访问第一存储器模块110和第二存储器模块120的命令信号、地址信号和/或控制信号可以被发送到CA总线132。当第一存储器模块110是CPU 105访问的目标存储器模块时,CPU 105可以通过CA总线132将用于向/从第一存储器模块110进行写入/读取操作的命令信号、地址信号和/或控制信号发送到第一存储器模块110。当第二存储器模块120是目标存储器模块时,CPU 105可以通过CA总线132将用于向/从第二存储器模块120进行写入/读取操作的命令信号、地址信号和/或控制信号发送到第二存储器模块120。当第一存储器模块110或第二存储器模块120是非目标存储器模块时,CPU 105可以通过CA总线132将命令第一存储器模块110或第二存储器模块120的内部操作模式的命令信号发送到第一存储器模块110或第二存储器模块120。

[0031] 在CPU 105与第一存储器模块110或第二存储器模块120之间交换的数据可以被发送到数据总线134。当第一存储器模块110是目标存储器模块时,CPU 105可以通过数据总线134将要写入第一存储器模块110的数据发送到第一存储器模块110,并且可以通过数据总线134接收从第一存储器模块110读取的数据。当第二存储器模块120是目标存储器模块时,CPU 105可以通过数据总线134将要写入第二存储器模块120的数据发送到第二存储器模块120,并且可以通过数据总线134接收从第二存储器模块120读取的数据。

[0032] 在第一存储器模块110中,多个NVM芯片111可以响应于第一芯片选择信号CS1而被驱动,并且多个DRAM芯片112可以响应于第二芯片选择信号CS2而被驱动。根据示例实施例,多个DRAM芯片112可以响应于第一芯片选择信号CS1而被驱动,并且多个NVM芯片111可以响应于第二芯片选择信号CS2而被驱动。

[0033] 当第一存储器模块110是目标存储器模块时,第一芯片选择信号CS1和第二芯片选择信号CS2可以通过CA总线132从CPU 105被施加到控制器114。当第一芯片选择信号CS1被激活时,控制器114可以控制向NVM芯片111进行写入操作和/或从NVM芯片111进行读取操作。当第二芯片选择信号CS2被激活时,控制器114可以控制向DRAM芯片112进行写入操作和/或从DRAM芯片112进行读取操作。

[0034] 当第一存储器模块110的控制器114基于第一芯片选择信号CS1来控制NVM芯片111的写入操作时,要写入NVM芯片111的数据可以通过数据总线134被施加到数据缓冲器113。控制器114可以接收数据缓冲器113的写入数据DQ,组织写入数据DQ,并且提供写入数据DQ作为NVM芯片111的写入数据I/O。控制器114可以控制写入数据I/O被写入(例如,编程)到NVM芯片111。

[0035] 控制器114可以包括闪存转换层(FTL)和/或映射表。控制器114可以通过使用FTL和/或映射表来执行关于NVM芯片111的写入、读取和擦除操作等的管理。FTL可以将CPU 105提供的地址(例如,逻辑地址)转换为指示要由NVM芯片111实际访问的存储器单元的物理位置的物理地址。FTL可以基于具有特定(或备选地,预定)尺寸的映射单元,通过执行关于逻辑地址的转换操作来生成物理地址,并且可以将所生成的物理地址提供给NVM芯片111。映射表可以存储来自CPU 105的逻辑地址与NVM芯片111的物理地址之间的映射信息,物理地址对应于逻辑地址。控制器114可以参考映射信息将逻辑地址转换为物理地址。NVM芯片111可以将写入数据I/O写入对应于物理地址的存储器单元。

[0036] 当第一存储器模块110的控制器114基于第一芯片选择信号CS1来控制NVM芯片111的读取操作时,控制器114可以将CPU 105提供的逻辑地址转换为物理地址,并且可以将转换的物理地址提供给NVM芯片111。NVM芯片111可以从对应于物理地址的存储器单元读取数据I/O。控制器114可以从NVM芯片111接收数据I/O,可以在数据访问单元中处理数据I/O,并且可以提供数据I/O作为数据缓冲器113的读取数据DQ。控制器114可以控制数据缓冲器113的读取数据DQ被发送到数据总线134并提供给CPU 105。

[0037] 当第一存储器模块110的控制器114基于第二芯片选择信号CS2来控制DRAM芯片112的写入操作时,要写入DRAM芯片112的数据可以通过数据总线134被施加到数据缓冲器113。控制器114可以控制数据缓冲器113的写入数据DQ被写入DRAM芯片112。

[0038] 当第一存储器模块110的控制器114基于第二芯片选择信号CS2来控制DRAM芯片112的读取操作时,控制器114可以控制从DRAM芯片112读取的数据DQ通过数据缓冲器113被

发送到数据总线134并提供给CPU 105。

[0039] 在第二存储器模块120中,多个NVM芯片121可以响应于第一芯片选择信号CS1而被驱动,并且多个DRAM芯片122可以响应于第二芯片选择信号CS2而被驱动。当第二存储器模块120是目标存储器模块时,第一芯片选择信号CS1和第二芯片选择信号CS2可以通过CA总线132从CPU 105被施加到控制器124。当第一芯片选择信号CS1被激活时,控制器124可以控制向NVM芯片121进行写入操作和/或从NVM芯片121进行读取操作。当第二芯片选择信号CS2被激活时,控制器124可以控制向DRAM芯片122进行写入操作和/或从DRAM芯片122进行读取操作。

[0040] 当第二存储器模块120的控制器124基于第一芯片选择信号CS1来控制NVM芯片121的写入操作时,要写入NVM芯片121的数据可以通过数据总线134被施加到数据缓冲器123。控制器124可以接收数据缓冲器123的写数据DQ,组织写入数据DQ,并且提供写入数据DQ作为NVM芯片121的写入数据I/O。控制器124可以控制写入数据I/O被写入NVM芯片121。

[0041] 当第二存储器模块120的控制器124基于第一芯片选择信号CS1来控制NVM芯片121的读取操作时,控制器124可以接收从NVM芯片121读取的数据I/O,在数据访问单元中处理数据I/O,并且提供数据I/O作为数据缓冲器123的读取数据DQ。控制器124可以控制数据缓冲器123的读取数据DQ被发送到数据总线134并提供给CPU 105。

[0042] 当第二存储器模块120的控制器124基于第二芯片选择信号CS2来控制DRAM芯片122的写入操作时,要写入DRAM芯片122的数据可以通过数据总线134被施加到数据缓冲器123。控制器124可以控制数据缓冲器123的写入数据DQ被写入DRAM芯片122。

[0043] 当第二存储器模块120的控制器124基于第二芯片选择信号CS2来控制DRAM芯片122的读取操作时,控制器124可以控制从DRAM芯片122读取的数据DQ通过数据缓冲器123被发送到数据总线134并提供给CPU 105。

[0044] 随着CPU 105与第一存储器模块110和第二存储器模块120之间的信号传输速度增加,希望使信号传输的延迟时间减小或最小化。为此,在CPU 105与第一存储器模块110和第二存储器模块120之间接口(interface)的信号的摆动范围已经减小。随着信号的摆动范围减小,对外部噪声的影响增加,并且由于阻抗不匹配而引起的来自接口端子的信号反射变得重要。当在信号传输的过程中出现阻抗不匹配时,会出现信号完整性问题。为了通过最小化来自CPU 105与第一存储器模块110和第二存储器模块120之间的接口端子的信号反射来提高信号完整性,可以采用可称作片内终结(on-die-termination, ODT)电路的阻抗匹配电路。

[0045] 第一存储器模块110的数据缓冲器113和第二存储器模块120的数据缓冲器123可以被布置在CPU 105与第一存储器模块110和第二存储器模块120之间的接口端子中。第一存储器模块110的数据缓冲器113和第二存储器模块120的数据缓冲器123中的每一个可以包括第一ODT电路11或21以及第二ODT电路12或22。第一ODT电路11和21以及第二ODT电路12和22可以响应于来自第一存储器模块110的控制器114和第二存储器模块120的控制器124的第一ODT控制信号OCS1和第二ODT控制信号OCS2来执行ODT操作。

[0046] 第一ODT电路11和21以及第二ODT电路12和22可以基于第一存储器模块110和第二存储器模块120的操作模式(诸如,访问操作模式、正常模式和/或内部操作模式)被选择性地接通或断开。在下文中,将详细描述第一存储器模块110和第二存储器模块120的操作模

式。

[0047] 图2和图3是用于描述关于图1的存储器系统100的访问操作模式和内部操作模式的图。图2描述了CPU 105访问第一存储器模块110的NVM芯片111,并且参考图3描述访问DRAM芯片112的访问操作模式。在图2和图3中,第二存储器模块120可以在内部操作模式下操作。

[0048] 参考图2,为了描述简洁,第一存储器模块110和第二存储器模块120中的每一个示出了在参考图1描述的多个存储器芯片中的一个NVM芯片111或121、一个DRAM芯片112或122、以及与DRAM芯片112或122对应的一个数据缓冲器113或123;然而,发明构思不限于此。第一存储器模块110的NVM芯片111指示对其执行CPU 105的访问操作的存储器芯片,并且第二存储器模块120的NVM芯片121和DRAM芯片122指示在内部操作模式下操作而不涉及CPU 105的存储器芯片。

[0049] 当第一存储器模块110是目标存储器模块时,CPU 105可以通过CA总线132和数据总线134执行关于第一存储器模块110的访问操作。CPU 105可以通过CA总线132将用于向/从第一存储器模块110进行写入/读取操作的命令信号、地址信号和/或控制信号发送到第一存储器模块110的控制器114。

[0050] 与用于向第一存储器模块110进行写入操作的命令信号、地址信号和/或控制信号一起,CPU 105可以通过CA总线132将用于驱动NVM芯片111的第一芯片选择信号CS1发送到控制器114。此外,CPU 105可以通过数据总线134将要写入NVM芯片111的数据发送到第一存储器模块110的数据缓冲器113。包括数据总线134、数据缓冲器113和控制器114的访问数据路径210可以被形成在CPU 105与NVM芯片111之间。可以通过访问数据路径210来发送至/来自NVM芯片111的写入/读取数据DQ。

[0051] 第一存储器模块110的数据缓冲器113的一端(该端用于接收要写入NVM芯片111的数据)的第一ODT电路11可以被控制为处于开启状态,并且第一存储器模块110的数据缓冲器113的一端(该端用于发送要写入NVM芯片111的数据)的第二ODT电路12可以被控制为处于关断状态。例如,控制器114可以控制第一ODT电路11以响应于第一ODT控制信号OCS1来启用终结电阻器(termination resistor),并可以控制第二ODT电路12不执行终结操作。

[0052] 第一存储器模块110的控制器114可以接收数据缓冲器113的写入数据DQ,并且可以通过基于映射单元执行地址转换操作以将地址信号(例如,逻辑地址)转换为物理地址,来提供写入数据DQ作为NVM芯片111的写入数据I/O。NVM芯片111可以将通过访问数据路径210发送的写入数据I/O写入与物理地址对应的存储器单元。

[0053] CPU 105可以通过CA总线132将用于从第一存储器模块110进行读取操作的命令信号、地址信号和/或控制信号、以及用于驱动NVM芯片111的第一芯片选择信号CS1发送到控制器114。控制器114可以执行将地址信号(例如,逻辑地址)转换为物理地址的地址转换操作,并且可以将转换后的物理地址提供给NVM芯片111。NVM芯片111可以从与物理地址对应的存储器单元读取数据I/O,并将数据I/O提供给控制器114。控制器114可以接收从NVM芯片111读取的数据I/O,在数据访问单元中处理接收到的数据I/O,并提供数据I/O作为数据缓冲器113的读取数据DQ。

[0054] 第一存储器模块110的数据缓冲器113的一端(该端用于接收通过在数据访问单元中处理从NVM芯片111读取的数据I/O而生成的数据DQ)的第二ODT电路12可以被控制为处于

开启状态,并且第一存储器模块110的数据缓冲器113的一端(该端用于发送数据DQ)的第一ODT电路11可以被控制为处于关闭状态。例如,控制器114可以控制第二ODT电路12以响应于第二ODT控制信号OCS2来启用终结电阻器,并且可以控制第一ODT电路11不执行终结操作。控制器114可以控制数据缓冲器113的读取数据DQ被发送到数据总线134并提供给CPU 105。

[0055] 当第二存储器模块120是不被CPU 105访问的非目标存储器模块时,第二存储器模块120可以在正常模式或内部操作模式下操作。正常模式可以指不执行写入操作或读取操作的模式。例如,正常模式可以包括空闲模式、预充电模式、断电模式、刷新模式、待机模式等。

[0056] 当第二存储器模块120在正常模式下操作时,第一ODT电路21可以被选择性地接通或断开,并且第二ODT电路22可以断开。控制器124可以控制第一ODT电路21以响应于第一ODT控制信号OCS1来启用终结电阻器。第一ODT电路21可以接通以向数据总线134提供正常终结电阻。控制器124可以控制第二ODT电路22不执行终结操作。根据示例实施例,控制器124可以通过断开第一ODT电路21来控制第一ODT电路21不执行终结操作。

[0057] 当第二存储器模块120在内部操作模式下操作时,控制器124可以生成第一芯片选择信号CS1和第二芯片选择信号CS2。控制器124可以通过基于第一芯片选择信号CS1驱动的NVM芯片121与基于第二芯片选择信号CS2驱动的DRAM芯片122之间的内部数据路径220执行内部数据通信。控制器124可以被包括在内部数据路径220中,并且可以从DRAM芯片122读取数据DQ并将数据DQ写入NVM芯片121,或可以从NVM芯片121读取数据I/O并将数据I/O写入DRAM芯片122。

[0058] 当第二存储器模块120在内部操作模式下操作时,数据缓冲器123的第二ODT电路22可以接通以执行内部终结操作。控制器124可以控制第二ODT电路22以响应于第二ODT控制信号OCS2来启用终结电阻器。当第二ODT电路22接通时,可以向内部数据路径220提供内部终结电阻,通过该内部数据路径220,数据DQ被加载到DRAM芯片122中/从DRAM芯片122被加载。为了便于说明,当第二存储器模块120在内部操作模式下操作时,用于向内部数据路径220提供内部终结电阻的第二ODT电路22的操作可以被称为内部数据(DQ)终结。

[0059] 当第二存储器模块120在内部操作模式下操作并且数据DQ从DRAM芯片122被读取并被写入NVM芯片121时,可以执行第二ODT电路22的内部DQ终结,以减少或禁止由于数据缓冲器123引起的在内部数据路径220上的信号反射。同样地,当数据I/O从NVM芯片121被读取并被写入DRAM芯片122时,可以执行第二ODT电路22的内部DQ终结,以减少或禁止由于数据缓冲器123引起的在内部数据路径220上的信号反射。因此,当第二存储器模块120在内部操作模式下操作时,可以减少或禁止由于数据缓冲器123引起的在内部数据路径220上的信号反射,以提高信号完整性。

[0060] 参考图3,CPU 105可以通过CA总线132和数据总线134对第一存储器模块110的DRAM芯片112执行访问操作。CPU 105可以通过CA总线132将用于对DRAM芯片112进行写入操作的命令信号、地址信号和/或控制信号、以及用于驱动DRAM芯片112的第二芯片选择信号CS2发送到控制器114。CPU 105可以通过数据总线134将要写入DRAM芯片112的数据发送到第一存储器模块110的数据缓冲器113。数据总线134和数据缓冲器113可以包括在CPU 105与DRAM芯片112之间的访问数据路径310中,通过数据总线134,至/来自DRAM芯片112的写入/读取数据DQ被发送。

[0061] 第一存储器模块110的数据缓冲器113的一端(该端用于接收要写入DRAM芯片112的数据)的第一ODT电路11可以被控制为处于开启状态,并且第一存储器模块110的数据缓冲器113的一端(该端用于发送要写入DRAM芯片112的数据)的第二ODT电路12可以被控制为处于关断状态。例如,控制器114可以控制第一ODT电路11以响应于第一ODT控制信号OCS1来启用终结电阻器,并且可以控制第二ODT电路12不执行终结操作。

[0062] 第一存储器模块110的控制器114可以将数据缓冲器113的写入数据DQ提供给DRAM芯片112。DRAM芯片112可以将通过访问数据路径310发送的写入数据DQ写入与从CPU 105提供的地址信号对应的存储器单元。

[0063] CPU 105可以通过CA总线132将用于从DRAM芯片112进行读取操作的命令信号、地址信号和/或控制信号、以及用于驱动DRAM芯片112的第二芯片选择信号CS2发送到控制器114。DRAM芯片112可以读取与从CPU 105提供的地址信号对应的存储器单元的数据DQ。控制器114可以控制由DRAM芯片112读取的数据DQ通过访问数据路径310被提供给CPU 105。

[0064] 第一存储器模块110的数据缓冲器113的一端(该端用于接收由DRAM芯片112读取的数据DQ)的第二ODT电路12可以被控制为处于开启状态,并且第一存储器模块110的数据缓冲器113的一端(该端用于发送由DRAM芯片112读取的数据DQ)的第一ODT电路11可以被控制为处于关断状态。例如,控制器114可以控制第二ODT电路12以响应于第二ODT控制信号OCS2来启用终结电阻器,并且可以控制第一ODT电路11不执行终结操作。

[0065] 第二存储器模块120可以是不被CPU 105访问的非目标存储器模块,并且可以在正常模式或内部操作模式下操作。当第二存储器模块120在正常模式下操作时,第一ODT电路21可以选择性地接通或断开,并且第二ODT电路22可以断开。控制器124可以控制第一ODT电路21以响应于第一ODT控制信号OCS1来启用终结电阻器,或可以控制第一ODT电路21不执行终结操作。控制器124可以控制第二ODT电路22不执行终结操作。

[0066] 当第二存储器模块120在内部操作模式下操作时,控制器124可以生成第一芯片选择信号CS1和第二芯片选择信号CS2,并且可以通过NVM芯片121与DRAM芯片122之间的内部数据路径320,从DRAM芯片122读取数据DQ并将数据DQ写入NVM芯片121,或可以从NVM芯片121读取数据I/O并将数据I/O写入DRAM芯片122。

[0067] 第二存储器模块120的控制器124可以控制第二ODT电路22以响应于第二ODT控制信号OCS2来启用终结电阻器,以便在内部数据路径320上执行内部DQ终结。因此,在内部操作模式下可以减少或禁止由于数据缓冲器123引起的在内部数据路径320上的信号反射。同样地,当数据I/O从NVM芯片121被读取并被写入到DRAM芯片122时,可以执行第二ODT电路22的内部DQ终结,以减少或禁止由于数据缓冲器123引起的在内部数据路径320上的信号反射。因此,在第二存储器模块120的内部操作模式期间,可以减少或禁止由于数据缓冲器123引起的在内部数据路径320上的信号反射,从而可以改善信号完整性。

[0068] 图4和图5是用于描述可作为目标存储器模块的图1的第一存储器模块110的图。参考图4,将描述第一存储器模块110的读取操作,并且参考图5,将描述第一存储器模块110的写入操作。

[0069] 参考图4,第一存储器模块110可以包括图2的访问数据路径210和图3的访问数据路径310中的NVM芯片111、DRAM芯片112、数据缓冲器113和控制器114。

[0070] NVM芯片111可以包括存储器单元阵列411以及输入和输出电路412。尽管未示出,

但是NVM芯片111还可以包括控制逻辑单元、电压生成单元、行解码器、和/或其他元件。存储器单元阵列411可以包括多个快闪存储器单元,并且可以连接到字线WL、串选择线SSL、地选择线GSL和位线BL。存储器单元阵列411可以通过字线WL、串选择线SSL和地选择线GSL连接到行解码器,并且可以通过位线BL连接到页缓冲器。

[0071] 输入和输出电路412可以暂时存储通过输入和输出线401(在下文中,被称为“I/O线”)从控制器114提供的命令、地址、控制信号和/或数据。输入和输出电路412可以通过位线BL连接到存储器单元阵列411。输入和输出电路412可以连接到输入和输出引脚413(在下文中,被称为“I/O引脚”)。这里,术语“引脚”广泛地指代关于集成电路的电互连,并且可以包括例如在集成电路的焊盘上的不同的电接触点。

[0072] 输入和输出电路412可以暂时存储存储器单元阵列411的读取数据I/O,并且可以通过I/O引脚413和I/O线401将读取数据I/O输出到控制器114。输入和输出电路412可以通过I/O线401和I/O引脚413从控制器114接收写入数据I/O,并且可以将写入数据I/O写入(或编程)到存储器单元阵列411。输入和输出电路412可以包括诸如列选择门、页缓冲器、数据缓冲器和/或其他元件的组件。

[0073] DRAM芯片112可以包括存储器核心421、数据输出缓冲器422和/或数据输入缓冲器423。尽管未示出,但是DRAM芯片112还可以包括命令/地址缓冲器、命令解码器、刷新控制器、行解码器、列解码器、输入和输出选通电路、写入驱动器和/或其他元件。存储器核心421可以包括包含多个DRAM单元的存储体(bank)和连接到存储体的感测放大器。根据示例实施例,存储器核心421的存储体可以包括磁性RAM(MRAM)单元而不是DRAM单元,或除DRAM单元之外还可以包括磁性RAM(MRAM)单元。

[0074] 存储器核心421可以写入从数据输入缓冲器423提供的数据DQ,可以生成读取数据,并且可以将生成的读取数据提供给数据输出缓冲器422。数据输出缓冲器422和数据输入缓冲器423可以连接到数据输入和输出引脚424(在下文中,称为“DQ引脚”)。数据输出缓冲器422可以通过DQ引脚424和数据输入和输出线402(在下文中,称为“DQ线”)将从存储器核心421提供的读取数据DQ发送到数据缓冲器113。数据输入缓冲器423可以通过DQ线402和DQ引脚424接收从数据缓冲器113提供的写入数据DQ。

[0075] 数据缓冲器113可以包括输出缓冲器431和输入缓冲器432。输出缓冲器431的发送端和输入缓冲器432的接收端可以连接到第一端子433,并且输出缓冲器431的接收端和输入缓冲器432的发送端可以连接到第二端子434。第一端子433可以连接到数据总线134和第一ODT电路11,并且第二端子434可以连接到DQ线402和第二ODT电路12。输出缓冲器431可以缓冲提供给第二端子434的数据并通过第一端子433将缓冲的数据发送到数据总线134,并且输入缓冲器432可以缓冲通过数据总线134和第一端子433从CPU 105提供的数据并通过第二端子434将缓冲的数据发送到DQ线402。

[0076] 第一ODT电路11可以包括第一开关SW1、以及基于第一开关SW1的开关操作选择性地连接到第一端子433的第一电阻器R1。第一开关SW1可以被实现为响应于从控制器114提供的第一ODT控制信号OSC1而接通的晶体管,或可以包括响应于从控制器114提供的第一ODT控制信号OSC1而接通的晶体管。第一ODT电路11被示出为包括单个电阻器R1和单个开关SW1。然而,发明构思不限于此,并且根据示例实施例,第一ODT电路11可以包括并联连接的多个电阻器、以及配置为控制多个电阻器的连接的多个开关。

[0077] 第二ODT电路12可以包括第二开关SW2、以及基于第二开关SW2的开关操作选择性地连接到第二端子434的第二电阻器R2。第二开关SW2可以被实现为响应于从控制器114提供的第二ODT控制信号OCS2而接通的晶体管,或可以包括响应于从控制器114提供的第二ODT控制信号OCS2而接通的晶体管。第二ODT电路12被示出为包括单个电阻器R2和单个开关SW2。然而,发明构思不限于此,并且根据实施例,第二ODT电路12可以包括并联连接的多个电阻器、以及配置为控制多个电阻器的连接的多个开关。

[0078] 当CPU 105命令NVM芯片111的读取操作时,控制器114可以通过访问数据路径210将从NVM芯片111读取的数据I/O发送到CPU 105。这里,当控制器114激活第二ODT控制信号OCS2时,第二ODT电路12的第二开关SW2可以接通,并且第二电阻器R2可以电连接到第二端子434。而且,控制器114可以去激活第一ODT控制信号OCS1以断开第一ODT电路11的第一开关SW1。第一电阻器R1可以由于断开的的第一开关SW1而电气上与第一端子433断开连接。

[0079] 当CPU 105命令DRAM芯片112的读取操作时,控制器114可以通过访问数据路径310将从DRAM芯片112读取的数据DQ发送到CPU 105。这里,当控制器114激活第二ODT控制信号OCS2时,第二ODT电路12的第二开关SW2可以接通,并且第二电阻器R2可以电连接到第二端子434。而且,控制器114可以去激活第一ODT控制信号OCS1以断开第一ODT电路11的第一开关SW1。第一电阻器R1可以由于断开的的第一开关SW1而电气上与第一端子433断开连接。

[0080] 参考图5,当CPU 105向NVM芯片111发出写入操作的命令时,控制器114可以通过访问数据路径210将经由数据总线134和数据缓冲器113从CPU 105接收的写入数据I/O发送到NVM芯片111的I/O引脚413。这里,控制器114可以激活第一ODT控制信号OCS1,使得第一ODT电路11的第一开关SW1接通,并且第一电阻器R1电连接到第一端子433。而且,控制器114可以去激活第二ODT控制信号OCS2,使得第二ODT电路12的第二开关SW2断开,并且第二电阻器R2由于断开的第二开关SW2而电气上与第二端子434断开连接。

[0081] 当CPU 105向DRAM芯片112发出写入操作的命令时,控制器114可以通过访问数据路径310将经由数据总线134和数据缓冲器113从CPU 105接收的写入数据DQ发送到DRAM芯片112的DQ引脚424。这里,控制器114可以激活第一ODT控制信号OCS1,使得第一ODT电路11的第一开关SW1接通,并且第一电阻器R1电连接到第一端子433。而且,控制器114可以去激活第二ODT控制信号OCS2,使得第二ODT电路12的第二开关SW2断开,并且第二电阻器R2由于断开的第二开关SW2而电气上与第二端子434断开连接。

[0082] 图6是用于描述作为非目标存储器模块的图1的第二存储器模块120的图。

[0083] 参考图6,第二存储器模块120包括图2的内部数据路径220和图3的内部数据路径320中的NVM芯片121、DRAM芯片122、数据缓冲器123和控制器124。

[0084] NVM芯片121可以与第一存储器模块110(图4)的NVM芯片111相同地实现。NVM芯片121可以包括存储器单元阵列511以及输入和输出电路512。DRAM芯片122可以与第一存储器模块110(图4)的DRAM芯片112相同地实现。DRAM芯片122可以包括存储器核心521、数据输出缓冲器522和/或数据输入缓冲器523。数据缓冲器123可以与第一存储器模块110(图4)的数据缓冲器113相同地实现。数据缓冲器123可以包括输出缓冲器531、输入缓冲器532、第一ODT电路21和第二ODT电路22。

[0085] CPU 105可以向作为不使用存储器总线130(图1)的非目标存储器模块的第二存储器模块120发出内部操作模式的命令。根据示例实施例,当第二存储器模块120向CPU 105请

求内部操作模式并且CPU 105接受该请求时,可以生成用于命令第二存储器模块120的内部操作模式的命令。根据另一示例实施例,CPU 105可以通过识别第二存储器模块120是非目标存储器模块来直接生成用于向第二存储器模块120发出内部操作模式的命令的命令。

[0086] 基于CPU 105的内部操作模式命令,控制器124可以通过NVM芯片121与DRAM芯片122之间的内部数据路径220或320,从DRAM芯片122读取数据DQ并将数据DQ写入NVM芯片121,或可以从NVM芯片121读取数据I/O并将数据I/O写入DRAM芯片122。这里,控制器124可以激活第二ODT控制信号OCS2,使得第二ODT电路22的第二开关SW2接通,并且第二电阻器R2电连接到第二端子534。例如,控制器124可以执行内部DQ终结,由此第二电阻器R2连接到第二端子534,以减少或禁止由于数据缓冲器123引起的在内部数据路径220或320上的信号反射。因此,可以改善内部数据路径220或320上的信号完整性。

[0087] 在第二存储器模块120的内部操作模式下,第一ODT电路21可以将第一电阻器R1与第一端子533电气上连接或断开连接。例如,CPU 105可以控制控制器124以减少或禁止由于第二存储器模块120引起的来自数据总线134的信号反射。这里,控制器124可以激活第一ODT控制信号OCS1,使得第一ODT电路21的第一开关SW1接通,并且第一电阻器R1电连接到第一端子533。作为另一示例,当控制器124去激活第一ODT控制信号OCS1时,第一ODT电路21的第一开关SW1可以断开,并且第一电阻器R1可以由于断开的的第一开关SW1而电气上与第一端子533断开连接。

[0088] 图4至图6示出了第一ODT电路11、21和第二ODT电路12、22执行下拉终结操作,由此提供了连接在地电压VSS与第一端子433、533和第二端子434、534之间的终结电阻。然而,发明构思不限于此。根据示例实施例,第一ODT电路11、21和第二ODT电路12、22可以执行上拉终结操作,由此提供了连接在电源电压与第一端子433、533和第二端子434、534之间的终结电阻。

[0089] 图7是示出图1的第一ODT电路11、21和第二ODT电路12、22基于操作模式的开/关操作的表格。

[0090] 参考图1至图7,在作为目标存储器模块的第一存储器模块110的读取模式下,第一ODT电路11可以断开而不向第一端子433提供终结电阻,并且第二ODT电路12可以接通以向第二端子434提供终结电阻。这里,当作为非目标存储器模块的第二存储器模块120在内部操作模式下操作时,第一ODT电路21可以选择性地接通/断开并且第二ODT电路22可以接通以执行内部DQ终结。当作为非目标存储器模块的第二存储器模块120在正常模式下操作时,第一ODT电路21可以选择性地接通/断开,并且第二ODT电路22可以断开。

[0091] 在作为目标存储器模块的第一存储器模块110的写入模式下,第一ODT电路11可以接通以向第一端子433提供终结电阻,并且第二ODT电路12可以断开而不向第二端子434提供终结电阻。这里,当作为非目标存储器模块的第二存储器模块120在内部操作模式下操作时,第一ODT电路21可以选择性地接通/断开,并且第二ODT电路22可以接通以执行内部DQ终结。当作为非目标存储器模块的第二存储器模块120在正常模式下操作时,第一ODT电路21可以选择性地接通/断开,并且第二ODT电路22可以断开。

[0092] 图8和图9是用于描述根据实施例的图1的存储器系统100的操作的图。图8是用于描述存储器系统100的目标存储器模块的主机接口中的操作和非目标存储器模块的内部接口中的操作的时序图。图9描述了基于图8的时序图的目标存储器模块和非目标存储器模块

的操作。

[0093] 结合图1、2和6参考图8,CPU 105可以命令访问作为目标存储器模块的第一存储器模块110的NVM芯片111。例如,CPU 105可以命令NVM芯片111的读取操作。另外,CPU 105可以命令作为非目标存储器模块的第二存储器模块120的内部操作模式。这里,第一存储器模块110可以被包括在存储器总线130的主机接口中,并且第二存储器模块120可以在包括内部数据路径220的内部接口中操作。

[0094] 在点T1和T2处,CPU 105可以通过主机接口的CA总线132针对第一存储器模块110分别生成第一读取命令RD1和第二读取命令RD2。第一读取命令RD1和第二读取命令RD2可以是关于NVM芯片111的读取命令。

[0095] CPU 105可以通过数据总线134在点T3处接收响应于第一读取命令RD1从NVM芯片111读取的第一读取数据DATA1,并且在点T5处接收响应于第二读取命令RD2从NVM芯片111读取的第二读取数据DATA2。

[0096] CPU 105可以在点T3处通过CA 132生成内部操作模式进入命令IOP\_Enter。内部操作模式进入命令IOP\_Enter可以命令在第二存储器模块120内部开始在NVM芯片121与DRAM芯片122之间的内部数据通信,而不涉及CPU 105。当第二存储器模块120向CPU 105请求内部操作模式并且CPU 105接受该请求时,可以生成内部操作模式进入命令IOP\_Enter并且可以将其提供给第二存储器模块120。替选地,在CPU 105确定第二存储器模块120是非目标存储器模块之后,内部操作模式进入命令IOP\_Enter可以被提供给第二存储器模块120。

[0097] 第二存储器模块120可以在点T4处基于内部操作模式进入命令IOP\_Enter在内部操作模式IOP下操作。内部操作模式IOP可以被设置为使得数据从DRAM芯片122被读取并写入(例如,编程)到NVM芯片121。在内部操作模式IOP期间,控制器124可以接通数据缓冲器123的第二ODT电路22以执行内部DQ终结ITERM\_ON。而且,控制器124可以对DRAM芯片122生成激活命令iACT。

[0098] 在DRAM芯片122接收到激活命令iACT之后,DRAM芯片122可以分别在点T6、T7和T8处接收从控制器124提供的第三读取命令iRD3至第五读取命令iRD5。DRAM芯片122可以通过DQ线502在点T9、T10和T11处输出分别对应于第三读取命令iRD3至第五读取命令iRD5的第三数据iDATA3至第五数据iDATA5。通过DQ线502发送的第三读取数据iDATA3至第五读取数据iDATA5可以通过控制器124被写入(例如,编程)到NVM芯片121。可以在DRAM芯片122与NVM芯片121之间的内部数据通信中使用基于DRAM芯片122的第三读取命令iRD3至第五读取命令iRD5的第三读取数据iDATA3至第五读取数据iDATA5。

[0099] CPU 105可以在点T12处通过CA总线132生成内部操作模式退出命令IOP\_Exit。内部操作模式退出命令IOP\_Exit可以命令结束第二存储器模块120操作的内部操作模式IOP。

[0100] 响应于内部操作模式退出命令IOP\_Exit,第二存储器模块120的控制器124可以在点T13处断开数据缓冲器123的第二ODT电路22,并且可以不执行内部DQ终结ITERM\_OFF。

[0101] 可以从点T4至T13执行第二存储器模块120的内部操作模式IOP。例如,可以基于点T3处的内部操作模式进入命令IOP\_Enter和点T12处的内部操作模式退出命令IOP\_Exit来执行内部操作模式IOP。而且,在内部操作模式IOP期间,数据缓冲器123的第二ODT电路22可以执行内部DQ终结ITERM,以将终结电阻器连接到内部数据路径220的DQ线502上。内部DQ终结ITERM可以减少或禁止由于数据缓冲器123引起的在内部数据路径220(通过该内部数据

路径220, DRAM芯片122的第三读取数据iDATA3至第五读取数据iDATA5被发送至NVM芯片121)上的信号反射,以改善信号完整性。

[0102] 参考图9, CPU 105可以对第一存储器模块110生成第一读取命令RD1和第二读取命令RD2,并且第一存储器模块110可以响应于第一读取命令RD1和第二读取命令RD2执行关于第一存储器模块110的NVM芯片111或DRAM芯片112的读取操作READ。例如,从第一存储器模块110的NVM芯片111读取的读取数据DATA1和DATA2可以被发送到CPU 105。根据实施例,CPU 105可以对第一存储器模块110生成写入命令WR,并且第一存储器模块110可以响应于写入命令WR执行关于第一存储器模块110的NVM芯片111或DRAM芯片112的写入操作WRITE。

[0103] CPU 105可以对第二存储器模块120生成内部操作模式进入命令IOP\_Enter。第二存储器模块120的数据缓冲器123的第二ODT电路22可以响应于内部操作模式进入命令IOP\_Enter执行内部DQ终结ITERM,以便将终结电阻器连接到内部数据路径220。而且,第二存储器模块120可以在内部操作模式IOP下操作,由此通过对其执行内部DQ终结ITERM的内部数据路径220在NVM芯片121与DRAM芯片122之间执行内部数据通信。例如,基于DRAM芯片122的第三读取命令iRD3至第五读取命令iRD5的第三读取数据iDATA3至第五读取数据iDATA5(图8)可以写入(例如,编程)到NVM芯片121。

[0104] 此后,CPU 105可以对第二存储器模块120生成内部操作模式退出命令IOP\_Exit,并且第二存储器模块120可以响应于内部操作模式退出命令IOP\_Exit结束数据缓冲器123的第二ODT电路22的内部DQ终结ITERM,以阻挡(block)内部数据路径220的终结电阻器并结束在NVM芯片121与DRAM芯片122之间执行的内部操作模式IOP。

[0105] 图10和图11是用于描述根据示例实施例的图1的存储器系统100的操作的图。

[0106] 参考图10和图11,存储器系统100的操作方法与图8和图9的操作方法在下述方面不同:在作为非目标存储器模块的第二存储器模块120的内部操作模式IOP期间,数据缓冲器123的第二ODT电路22的第一至第三内部DQ终结ITERM\_a、ITERM\_b和ITERM\_c。这些操作方法在其他方面与图8和图9的操作方法相同。在下文中,将通过关注图10和图11的操作方法与图8和图9的操作方法之间的差异来给出描述。

[0107] 作为目标存储器模块的第一存储器模块110可以响应于CPU 105的读取命令或写入命令,通过主机接口来执行读取操作或写入操作。

[0108] CPU 105可以在点T3处通过CA总线132生成内部操作模式命令IOPM。内部操作模式命令IOPM可以命令在第二存储器模块120内部中的NVM芯片121与DRAM芯片122之间的内部数据通信,而不涉及CPU 105。当第二存储器模块120向CPU 105请求内部操作模式IOP并且CPU 105接受该请求时,可以生成内部操作模式命令IOPM。替选地,在CPU 105确定第二存储器模块120是非目标存储器模块之后,可以将内部操作模式命令IOPM提供给第二存储器模块120。

[0109] 响应于点T3处的内部操作模式命令IOPM, DRAM芯片122可以在点T4处从控制器124接收激活命令iACT,然后可以分别在点T6、T7和T8处接收第三读取命令iRD3至第五读取命令iRD5。之后,DRAM芯片122可以通过DQ线502在点T9、T10和T11处输出分别对应于第三读取命令iRD3至第五读取命令iRD5的第三读取数据iDATA3至第五读取数据iDATA5。

[0110] 在内部操作模式IOP期间,控制器124可以控制执行在点T6、T7和T8处通过DRAM芯片122生成的、分别对应于第三读取命令iRD3至第五读取命令iRD5的第一至第三内部DQ终

结ITERM\_a、ITERM\_b和ITERM\_c。例如,控制器124可以控制响应于点T6处的第三读取命令iRD3执行第一内部DQ终结ITERM\_a,可以控制响应于点T7处的第四读取命令iRD4执行第二内部DQ终结ITERM\_b,并且可以控制响应于点T8处的第五读取命令iRD5执行第三内部DQ终结ITERM\_c。

[0111] 可以执行内部数据通信,由此响应于第三读取命令iRD3至第五读取命令iRD5通过内部数据路径220的DQ线502被发送的第三读取数据iDATA3至第五读取数据iDATA5,通过控制器124被写入(例如,编程)到NVM芯片121。这里,控制器124可以生成第二ODT控制信号OCS2,用于结合第一至第三内部DQ终结ITERM\_a、ITERM\_b和ITERM\_c接通数据缓冲器123的第二ODT电路22。因此,终结电阻器可以连接到内部数据路径220的DQ线502,通过该内部数据路径220分别对应于第三读取命令iRD3至第五读取命令iRD5的第三读取数据iDATA3至第五读取数据iDATA5被发送。第一至第三内部DQ终结ITERM\_a、ITERM\_b和ITERM\_c可以减少或禁止由于数据缓冲器123引起的在内部数据路径220(通过该内部数据路径220,DRAM芯片122的第三读取数据iDATA3至第五读取数据iDATA5被发送至NVM芯片121)上的信号反射,以改善信号完整性。

[0112] 图12是用于描述根据一个实施例的存储器模块的图。

[0113] 参考图12,存储器模块可以包括NVDIMM 1200。插入到双列直插存储器模块(DIMM)插槽中的插槽端子1220可以被布置在印刷电路板1210上。四个NVM芯片1211、九个DRAM芯片1212、对应于九个DRAM芯片1212的九个数据缓冲器1213以及控制器1214可以被布置在印刷电路板1210上。根据示例实施例,NVM芯片1211、DRAM芯片1212和九个数据缓冲器1213可以被布置在印刷电路板1210的另一个表面上。印刷电路板1210的两个表面的NVM芯片1211和DRAM芯片1212可以通过印刷电路板1210的过孔彼此连接。

[0114] 根据示例实施例,四个NVM芯片1211和九个DRAM芯片1212被布置在NVDIMM 1200中。然而,根据修改的实施例,各种数量的NVM芯片1211和DRAM芯片1212可以被布置在NVDIMM 1200中。

[0115] 当NVDIMM 1200是非目标存储器模块时,可以执行内部操作模式,由此通过NVM芯片1211与DRAM芯片1212之间的内部数据路径执行内部数据通信。在内部操作模式期间,NVDIMM 1200的数据缓冲器1213的ODT电路(ODT电路连接到内部数据路径)可以接通以执行内部DQ终结。基于NVDIMM 1200的内部DQ终结,可以减少或禁止由于数据缓冲器1213引起的在内部数据路径上的信号反射,以便改善信号完整性。

[0116] 图13是示出根据图12的存储器模块1200的数据缓冲器1213的内部DQ终结的数据眼图的视图。

[0117] 参考图12和图13,在存储器模块1200的内部操作模式期间,示出了在执行内部DQ终结时的数据眼图和不执行内部DQ终结时的数据眼图。数据眼图被看作指示由于噪声引起的抖动的多个数据转换的叠加。数据缓冲器1213的第二ODT电路ODT2可以接通,以在下述内部数据路径上执行内部DQ终结:经由该内部数据路径,在NVM芯片1211与DRAM芯片1212之间执行内部数据通信。当执行内部DQ终结时指示为有效数据的眼图张开区域被示出为大的,例如最大的眼睛,并且相比于不执行内部DQ终结时的眼睛张开区域,明显更对称而没有抖动。这可以表示基于内部DQ终结减少或禁止了由于数据缓冲器1213引起的在内部数据路径上的信号反射,以便改善信号完整性。

[0118] 图14是应用于云系统1400的发明构思的应用示例的框图。

[0119] 参考图14,云系统(或云计算系统)1400可以包括云服务器1410、用户数据库(DB)1420、云网络1430、计算资源1440、用户终端1450和因特网1460。

[0120] 用户终端1450可以被提供为计算机、超移动个人计算机(UMPC)、工作站、笔记本电脑、个人数字助理(PDA)、便携式计算机、web平板计算机、平板计算机、无线电话、移动电话、智能电话、电子书(e-book)、便携式多媒体播放器(PMP)、便携式游戏机、导航设备、黑匣子、数码相机、数字多媒体广播(DMB)播放器、三维电视机、数字录音机、数字音频播放器、数字图像记录器、数字图像播放器、数字视频记录器、数字视频播放器、包括在数据中心中的存储装置、配置为在无线环境中发送和接收信息的设备、包括在家庭网络中的各种电子设备中的任一种、包括在计算机网络中的各种电子设备中的任一种、包括在远程信息处理网络中的各种电子设备中的任一种、射频识别设备(RFID)和/或包括在电子装置中的各种组件中的任一种(诸如,包括在计算系统中的各种组件中的任一种)。

[0121] 云系统1400可以响应于用户终端1450的请求,通过诸如因特网1460的信息网络提供计算资源1440的按需外包服务(on-demand outsourcing services)。在云计算环境中,服务提供方可以通过虚拟化技术整合位于不同物理位置的数据中心的计算资源1440,并向用户提供所需的服务。

[0122] 服务用户可以不在用户拥有的终端中安装计算资源1440,诸如应用、存储装置、操作系统(OS)、安全性等。反而,服务用户可以在期望的时间选择和使用通过虚拟化技术产生的达到期望量的虚拟空间的服务。使用特定服务的用户的用户终端1450可以通过诸如因特网1460和/或移动通信网络的信息网络连接到云服务器1410。用户终端1450可以从云服务器1410接收云计算服务,例如视频播放服务。

[0123] 云服务器1410可以将散布在云网络1430中的多个计算资源1440进行整合,并将整合的多个计算资源1440提供给用户终端1450。多个计算资源1440可以包括各种类型的数据服务,并且可以包括从用户终端1450上传的数据。云服务器1410可以通过虚拟化技术来整合分布在各个地方的数据(例如,视频数据),并提供用户终端1450所需的服务。

[0124] 在云计算服务中注册的用户的用户信息可以被存储在用户DB 1420中。这里,用户信息可以包括登录信息以及个人信用信息,诸如地址、姓名和/或其他项目。例如,用户信息可以包括视频的索引。这里,索引可以包括已完整再现的视频的列表、正再现的视频的列表、再现的视频的停顿点等。可以在用户终端1450之间共享存储在用户DB 1420中的关于视频的信息。

[0125] 例如,当作为用户终端1450的笔记本电脑请求再现视频并且向笔记本电脑提供特定(或备选地,预定)视频服务时,用户DB 1420可以存储再现该特定(或备选地,预定)视频服务的历史。当从同一用户的智能电话接收到再现相同视频服务的请求时,云服务器1410可以参考用户DB 1420并且搜索并再现特定(或备选地,预定)视频服务。

[0126] 云服务器1410可以参考存储在用户DB 1420中的再现特定(或备选地,预定)视频服务的历史。云服务器1410可以从用户终端1450接收再现存储在用户DB 1420中的视频的请求。当视频之前正被再现时,云服务器1410可以基于用户终端1450的选择从开头或从先前的停顿点再现视频,其中根据云服务器1410是从开头还是从先前的停顿点再现视频,数据流送的方法可以变得不同。例如,当用户终端1450请求从开头再现视频时,云服务器1410

可以从视频的第一帧起将视频流送(stream)到用户终端1450。然而,当用户终端1450请求从先前的停顿点再现视频时,云服务器1410可以从停顿点的帧起将视频流送到用户终端1450。

[0127] 云服务器1410、用户DB 1420、计算资源1440和用户终端1450可以包括根据发明构思的第一存储器模块110和第二存储器模块120以及存储器系统100。第一存储器模块110和第二存储器模块120可以通过使用图1至12中所示的实施例来实现。第一存储器模块110和第二存储器模块120可以包括多个NVM芯片111和121、多个DRAM芯片112和122、控制器114和124、以及连接到DRAM芯片112的数据缓冲器113和连接到DRAM芯片122的数据缓冲器123,控制器114和124被配置为控制内部操作模式IOP,由此在NVM芯片111和121与DRAM芯片112和122之间执行内部数据通信。在内部操作模式IOP期间,控制器124可以控制在连接数据缓冲器123以及DRAM芯片122的内部数据路径220或320上执行内部DQ终结。存储器系统100可以包括作为存储器系统100的外部设备访问的目标存储器模块的第一存储器模块110、以及作为外部设备未访问的非目标存储器模块的第二存储器模块120。第二存储器模块120可以在内部操作模式IOP期间在内部数据路径220或320上执行内部DQ终结,由此通过使用第二存储器模块120的内部数据路径220或320来执行内部数据通信。

[0128] 虽然已经参考发明构思的示例实施例具体示出和描述了发明构思,但是将理解在不脱离所附权利要求的精神和范围的情况下,可以在其中进行形式和细节上的各种改变。

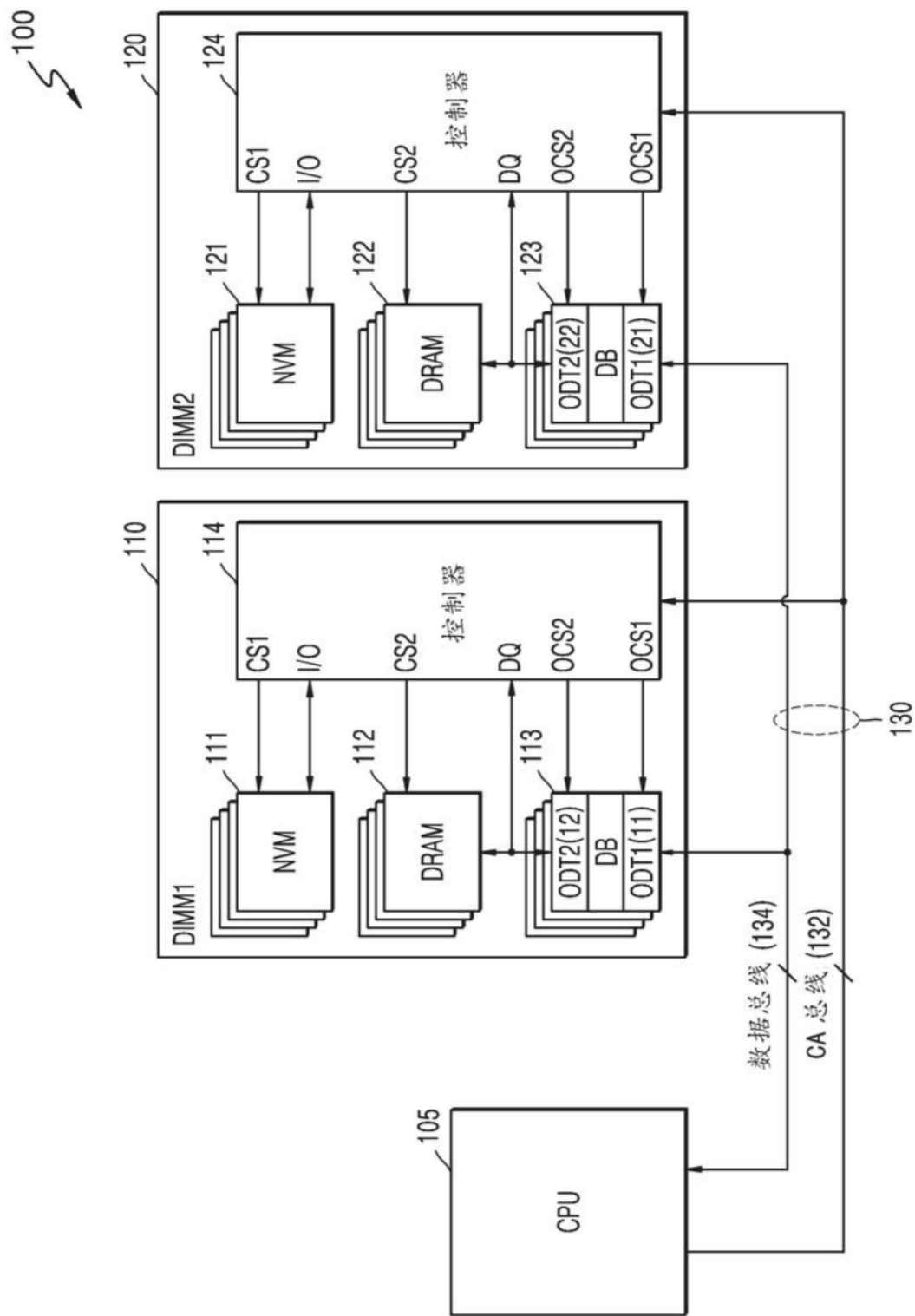


图1

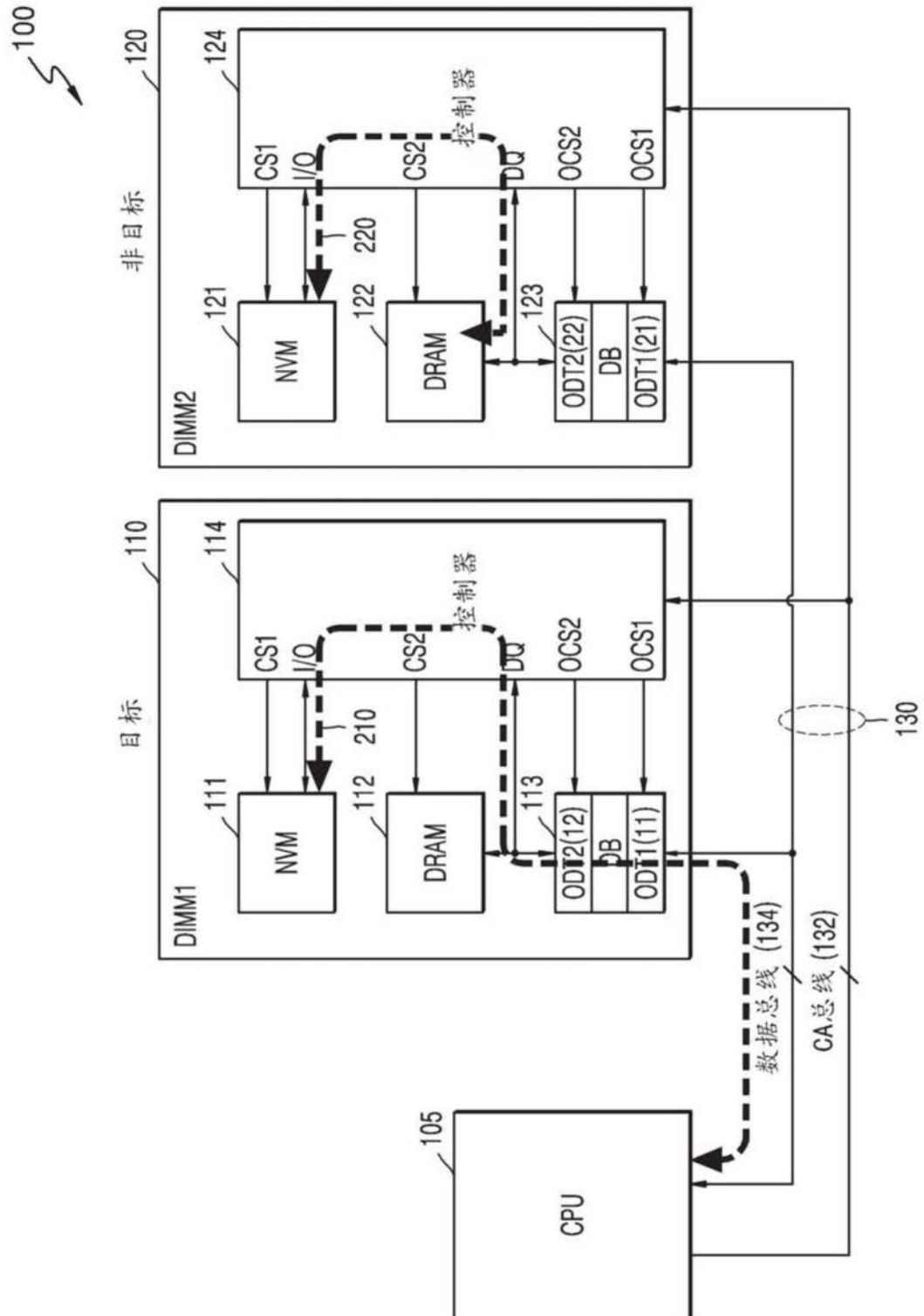


图2

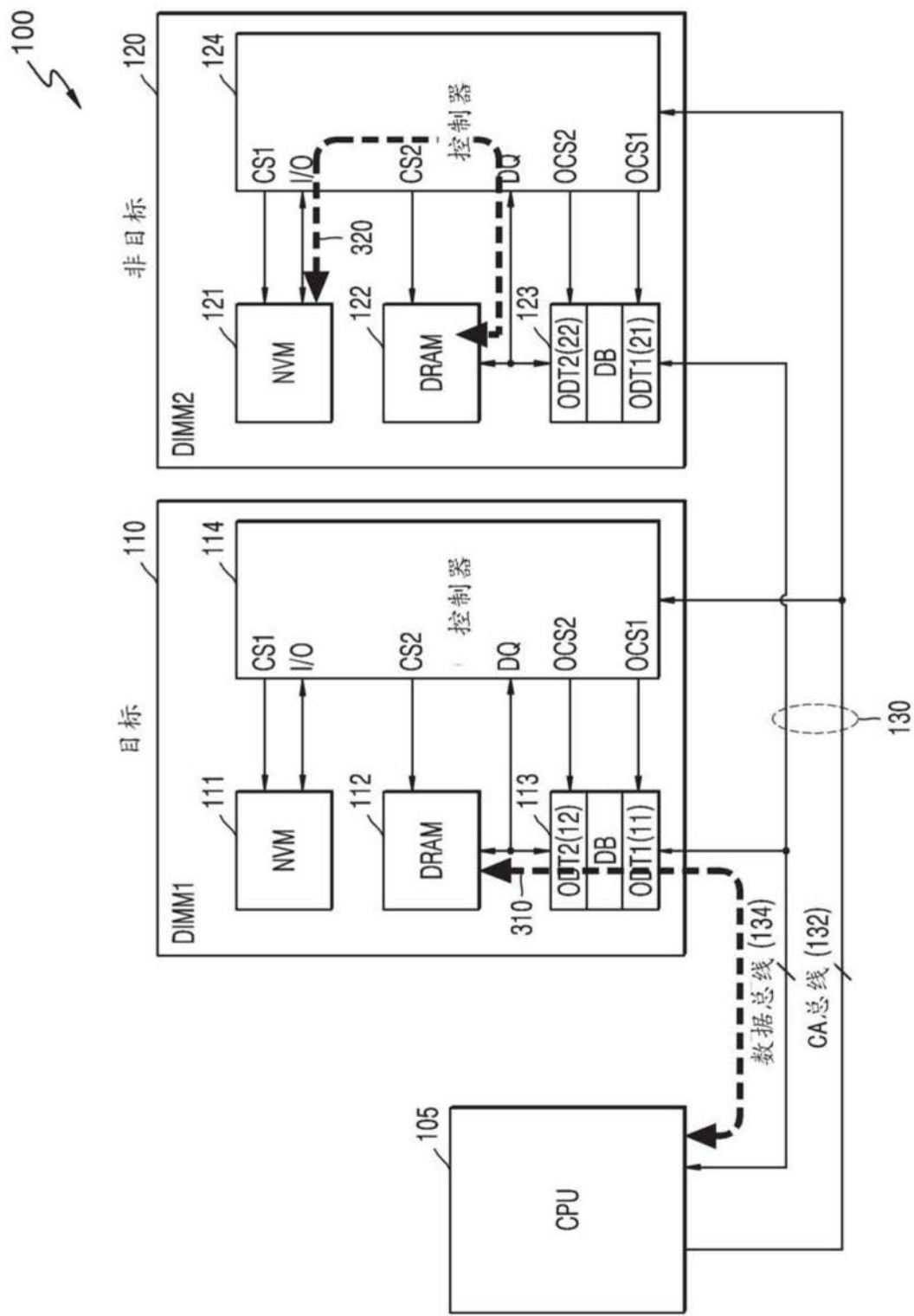


图3

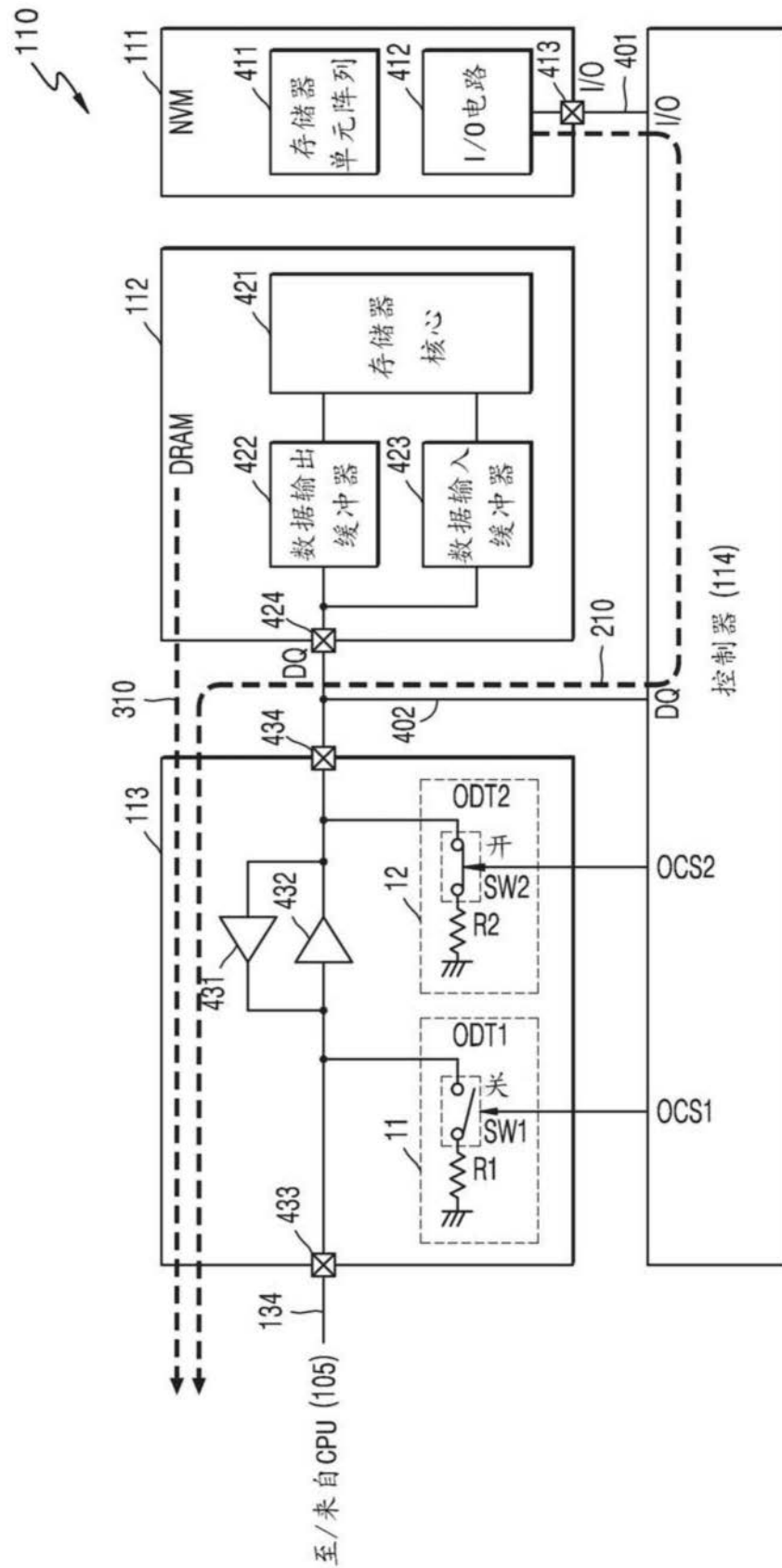


图4

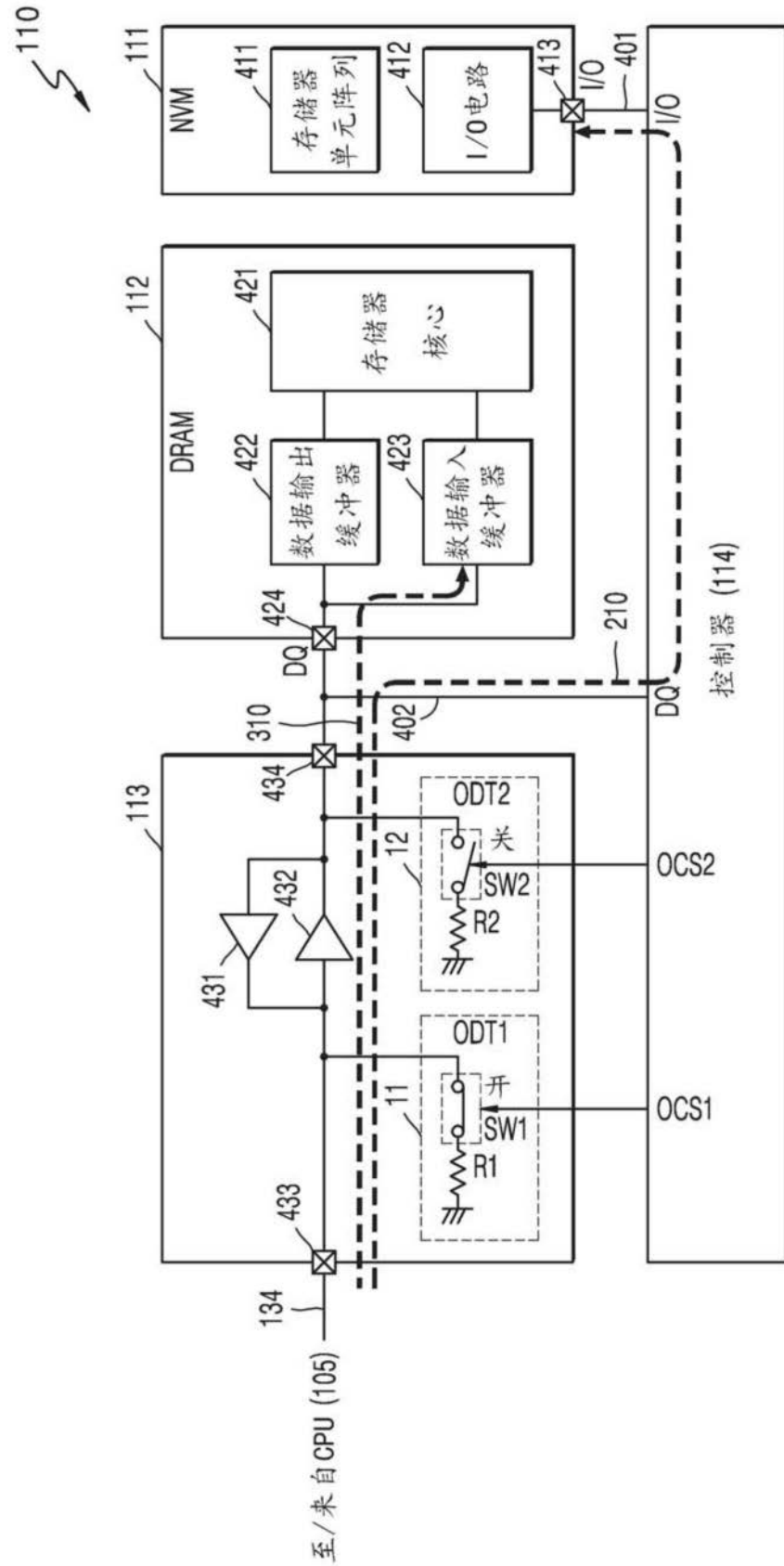


图5

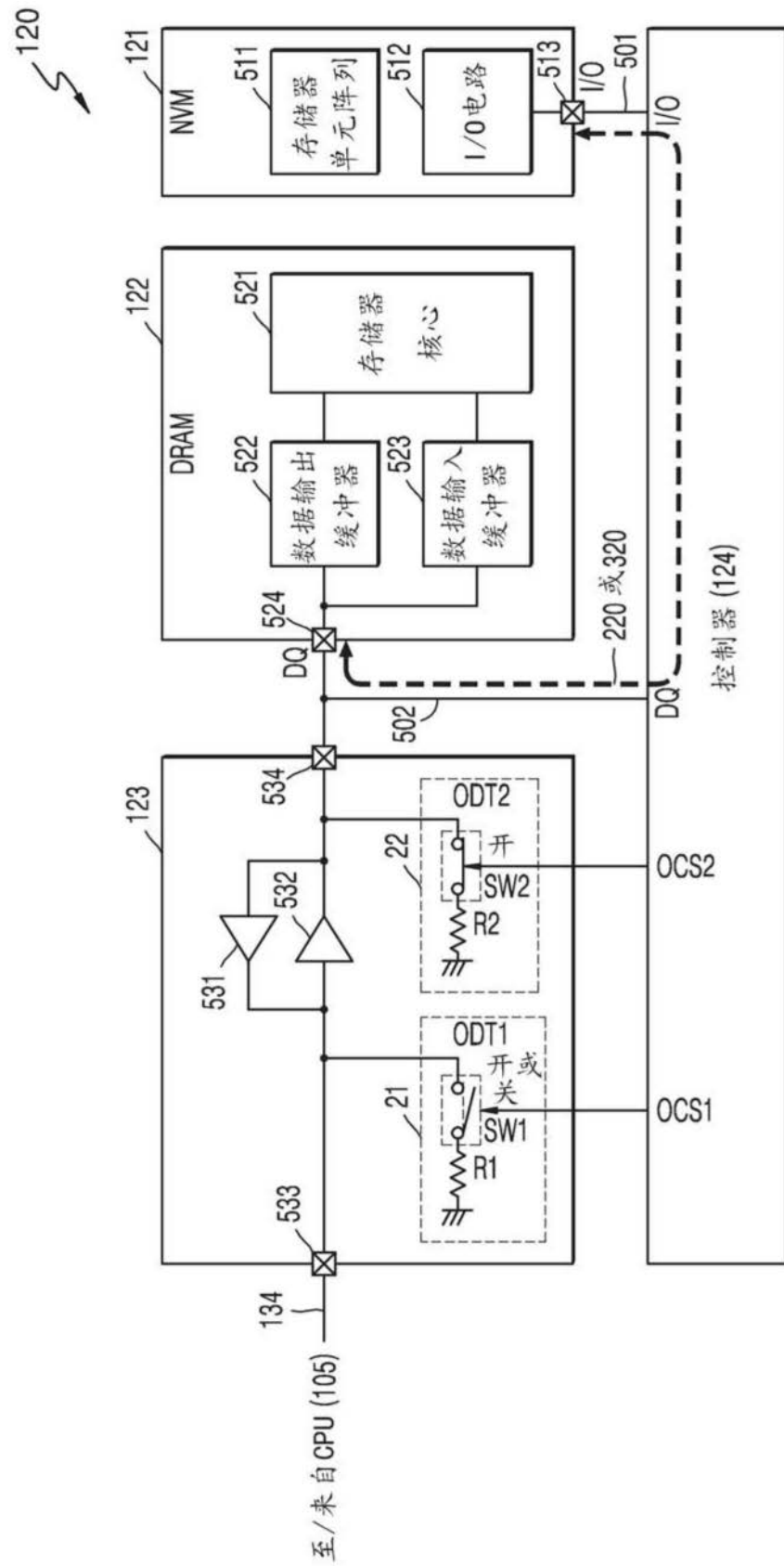


图6

操作模式	目标 DIMM1		非目标 DIMM2			
			内部操作模式		正常模式	
	ODT1	ODT2	ODT1	ODT2	ODT1	ODT2
读取	关	开	开	开	开	关
	关	开	关	开	关	关
写入	开	关	开	开	开	关
	开	关	关	开	关	关

内部DQ终结

图7

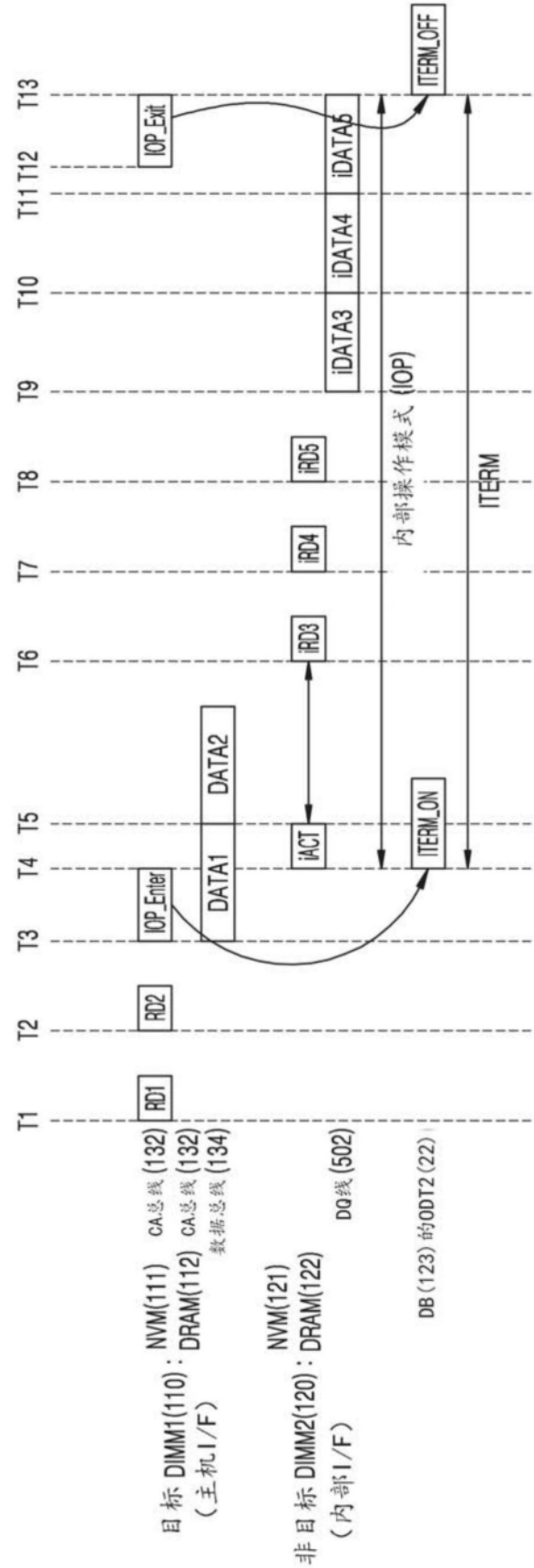


图8

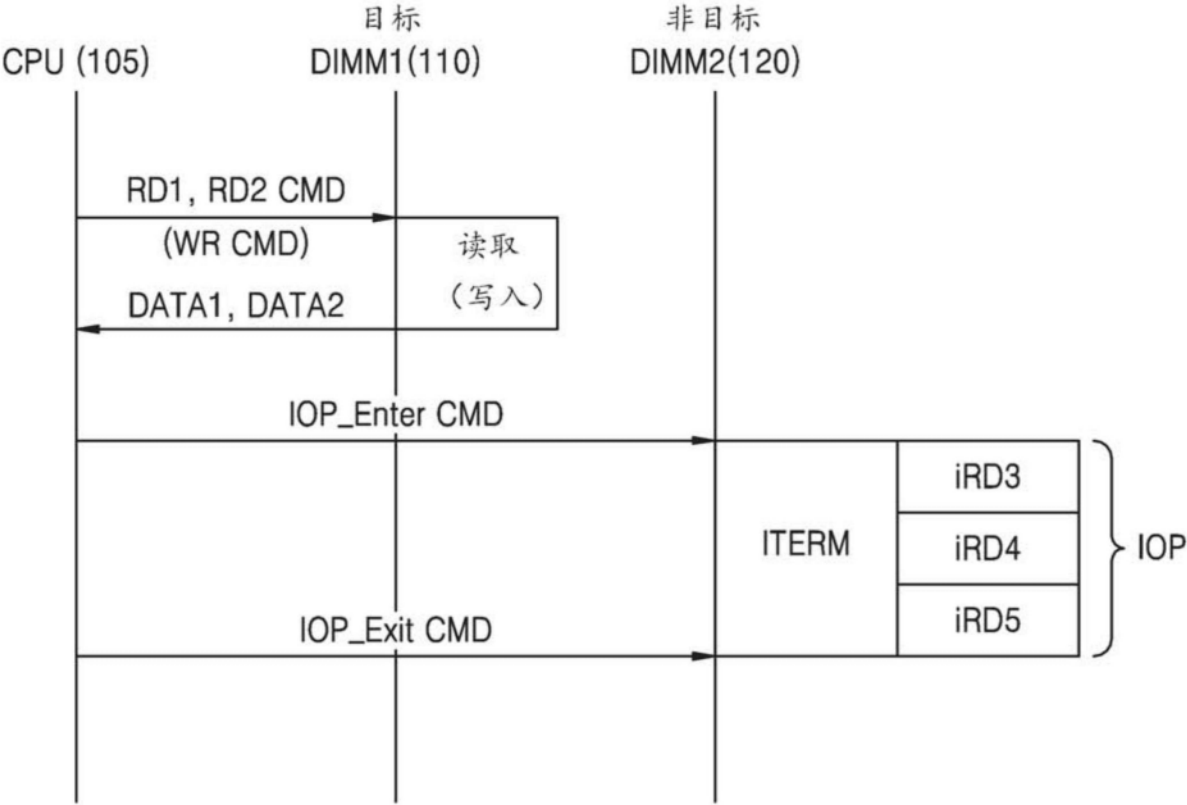


图9

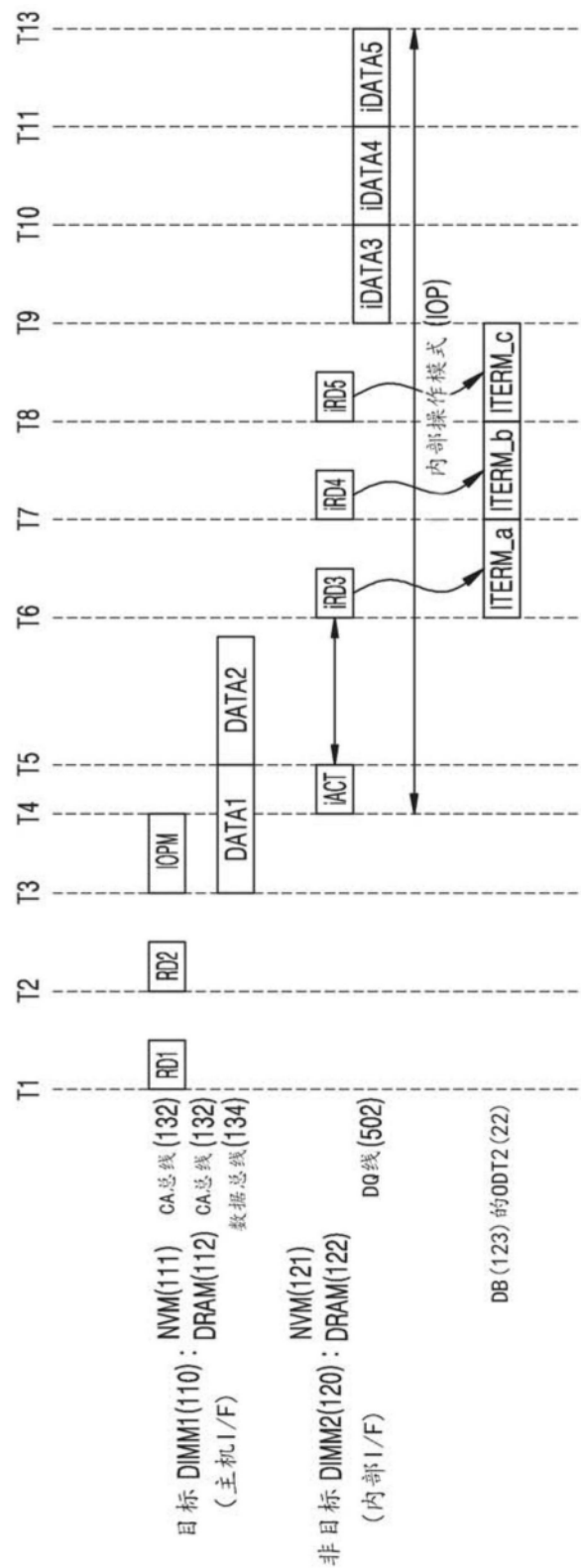


图10

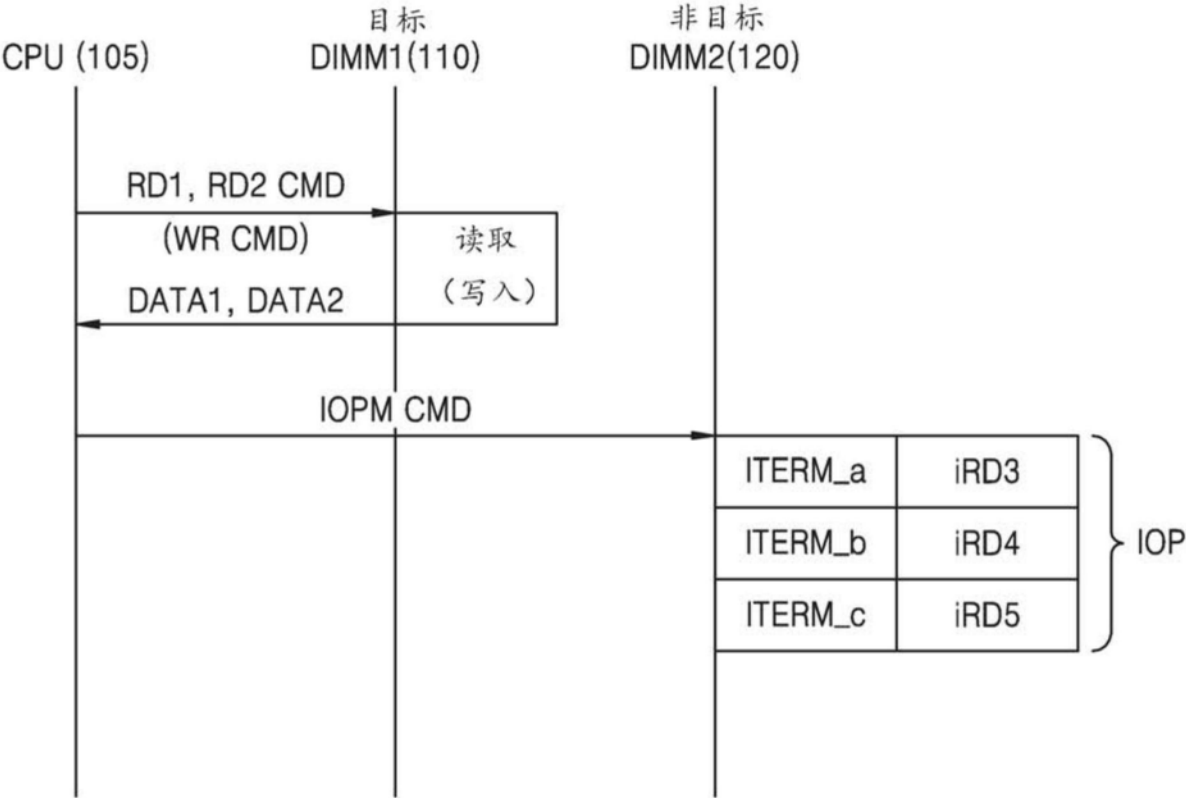


图11

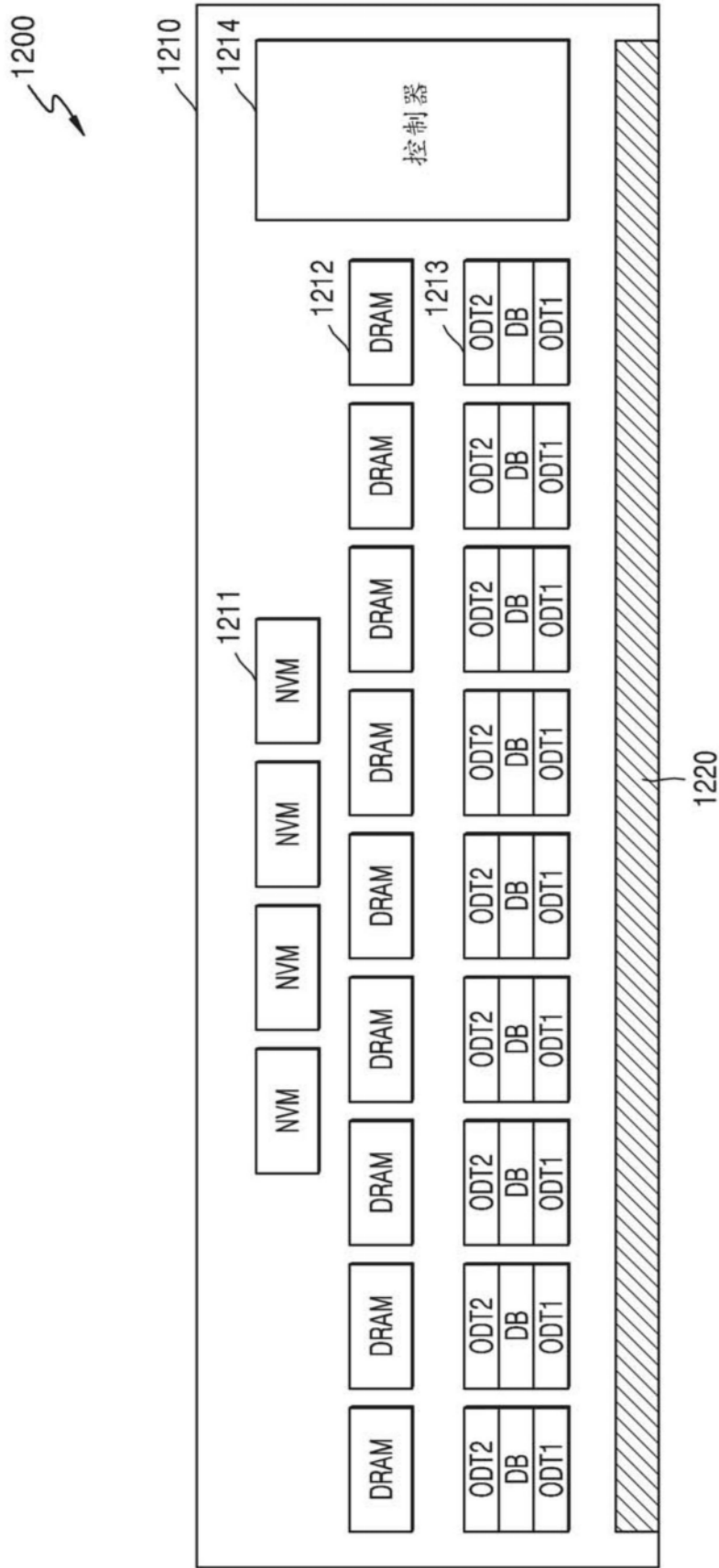


图12

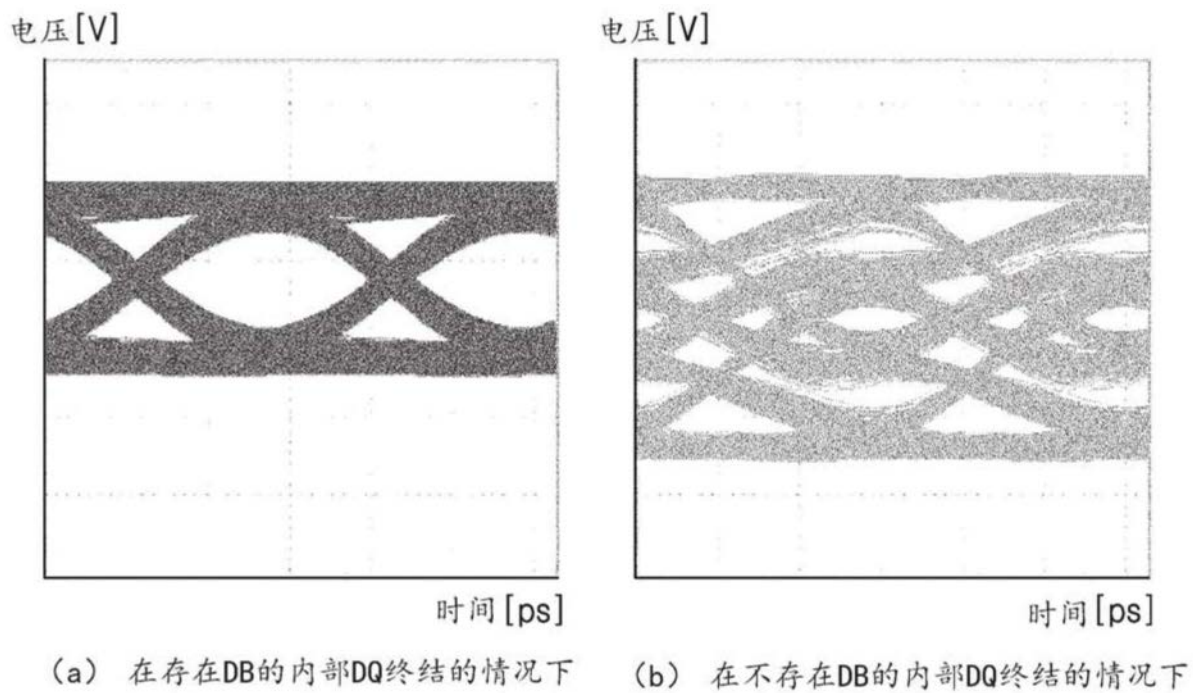


图13

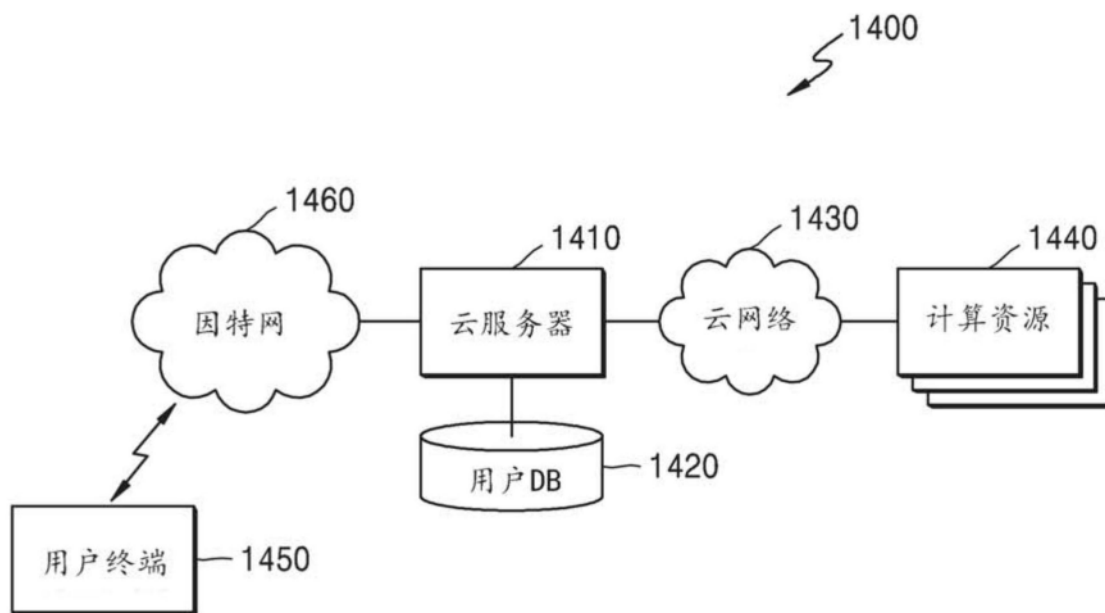


图14