

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4584407号
(P4584407)

(45) 発行日 平成22年11月24日 (2010.11.24)

(24) 登録日 平成22年9月10日 (2010.9.10)

(51) Int. Cl. F I
H03M 1/82 (2006.01) H03M 1/82
H03M 1/10 (2006.01) H03M 1/10 B

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2000-137562 (P2000-137562)	(73) 特許権者	399117121
(22) 出願日	平成12年5月10日 (2000.5.10)		アジレント・テクノロジーズ・インク
(65) 公開番号	特開2000-341128 (P2000-341128A)		AGILENT TECHNOLOGIES, INC.
(43) 公開日	平成12年12月8日 (2000.12.8)		アメリカ合衆国カリフォルニア州サンタクラ
審査請求日	平成19年5月9日 (2007.5.9)		ラ スティーブンス・クリーク・プール
(31) 優先権主張番号	314090		バード 5301
(32) 優先日	平成11年5月18日 (1999.5.18)	(74) 代理人	100099623
(33) 優先権主張国	米国 (US)		弁理士 奥山 尚一
		(74) 代理人	100105913
			弁理士 加藤 公久
		(72) 発明者	ジミー・ディー・フェルプス
			アメリカ合衆国コロラド州コロラド スプ
			リングス ガーデン・プレイス4862
			最終頁に続く

(54) 【発明の名称】 デジタル・アナログ変換器及びデジタル・アナログ変換器における基準ループを動作させる方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 の周波数を備える入力クロックと、複数の D A C 出力を含む改良式デジタル・アナログ変換器 (D A C) であって、

基準ループに結合される基準電圧であって、ミッド・スケール電圧またはフル・スケールの揺れの間値の電圧である基準電圧と、

前記基準ループに結合され、前記基準ループにほぼ 5 0 % のデューティ・サイクルで動作させる信号であって、前記信号は前記複数の D A C のうちの 1 つから前記基準ループに接続される信号と

を含む改良式 D A C 。

【請求項 2】

前記入力クロックを前記第 1 の周波数から第 2 の周波数に分割するように構成された分割器が含まれることと、前記第 2 の周波数が前記基準ループに結合されて、全ての D A C 出力がシステム出力として利用可能になることを特徴とする、請求項 1 に記載の D A C 。

【請求項 3】

前記第 2 の周波数が、方形波であることを特徴とする、請求項 2 に記載の D A C 。

【請求項 4】

それぞれ、最大出力を生じる複数の出力を備えた、デジタル・アナログ変換器 (D A C) における基準ループを動作させる方法であって、前記基準ループに第 1 の信号を供給し、前記基準ループをほぼ 5 0 % のデューティ・サイクルで動作させるようにし、前記複数の

10

20

のDAC出力のそれぞれが、前記最大出力より1qレベル低い出力を送り出すステップと、

前記基準ループに、ミッド・スケール電圧またはフル・スケールの揺れの間間値の電圧を有する基準信号を供給するステップとを含む方法。

【請求項5】

前記第1の信号が、前記複数のDAC出力の1つによって前記基準ループに供給されることを特徴とする、請求項4に記載の方法。

【請求項6】

前記第1の信号が、前記DACのクロック分割器によって供給されることを特徴とする、請求項4に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に電子回路に関するものであり、とりわけ、デジタル・アナログ変換器(DAC)のための改良式基準ループ(improved reference loop)に関するものである。

【0002】

【従来の技術】

多くのプログラマブル電子及び電気装置では、デジタル信号をアナログ信号に変換することが望ましい。新規のDACが開発され、参考までに本明細書において援用されている、譲渡先が同じである、1991年8月20日にBohley他に対して発行された、「INDIRECT D/A CONVERTER (間接D/A変換器)」と題する米国特許第5,041,831号(あるいは特開平01-314017号公報)において解説がなされている。上述の「831」特許の場合、複数チャネル間接DACに、アドレス・ビット及びデータ・ビットを含むデータ・ワードが供給され、これらは、データ・ワードのアドレス・ビットの制御下で、変換器チャネルの特定の1つに入力される。データ・ビットは、そのチャネルのバイナリ・レート乗算器に給与され、この乗算器は、受信したデータ・ビットの2進値を表すパルス変調出力信号を発生する。パルス変調出力信号は、関連するフィルタに加えられ、そのパルス変調出力信号は、出力の振幅が受信データ・ビットの2進値を表すアナログ出力信号に変換される。ゲート回路要素によって、各出力パルスが精密に制御されたパルス幅を備えることが保証される。

【0003】

特定の用途(アプリケーション)に関して、間接DACは、16本の出力チャネルを備えているが、用途に従って、チャネル数を増減することが可能である。16本のチャネルは、それぞれ、16ビットDACである。16ビットが全て用いられる場合、フィルタリングを施さなければならない最低周波数は、 $10\text{MHz}/2^{16}$ (すなわち、 $10\text{MHz}/65536$ 、すなわち、 152.6Hz になる。12ビットDACとして用いられる場合、フィルタリングを施すべき最低周波数は、 $10\text{MHz}/2^{12}$ 、すなわち、 $10\text{MHz}/4096$ 、すなわち、 2.441kHz になる。フィルタリングを施すべき最低周波数に整合するように、各出力フィルタを調整して、あるDACのセッティングから次のDACの設定(setting)に移行するセトリング時間(settling time)を最短化することが望ましい。フィルタのセトリング時間の最短化を助けるため、特定の用途に関するDACチャネルに利用するデータ・ビット数を最少にすることが望ましい。

【0004】

変換器チャネルの1つがフィルタの出力レベルを校正するのに使われる。このチャネルは、基準ループ(reference loop)と呼ばれる。異なるチャネルに加えられるデータ・ビット数は同じである必要はなく、最小の1から最大のmまで変動可能である。

【0005】

上述の間接DACの欠点は、入力クロックが、DACチャネルに利用される前に2で分割されることである。タイミングをとるために利用されるのはクロックの周期だけであるため、このクロック分割は不必要である。あいにく、この状態では、全DACフィルタが1

10

20

30

40

50

0 MHzではなく、20 MHz（集積回路プロセスの限界）で動作させられた可能性がある
るので、全DACフィルタのセトリング時間は2倍になる。

【0006】

上述のDACのもう1つの欠点は、DAC出力チャネルの1つを用いて、基準ループを含
むフィルタに出力を供給し、その出力を用いて、残りのDACチャネルにおける残りのフ
ィルタの出力レベルを校正することが必要になるという点である。

【0007】

上述のDACのもう1つの欠点は、基準チャネルのプログラミングに用いられるビットの
数字（すなわち、ビットの数字は1にプログラムされる）に従って、他の各チャネル毎に
、異なるオフセット電圧が生じるという点である。この異なるオフセット電圧は、基準
チャネルが全部1（16ビットDACの場合、FFFFの16進符号）にプログラムされると、
上述のDACは、従来のDACのように動作しないという事実によって生じる。

【0008】

全部1が基準ループにおいてプログラムされると、デジタル出力は、10 MHzのクロッ
ク周期のカウントが65535、すなわち、 $65535 / 10 \text{ MHz}$ 、すなわち、6.5
535ミリ秒（ms）の場合に高になり、カウントが1、すなわち、 $1 / 10 \text{ MHz}$ 、す
なわち、100ナノ秒（ns）の場合に低になる。この波形の平均電圧が、基準電圧、こ
の場合5ボルト（V）と比較される。すなわち、全部1の入力によって、従来のDACか
ら予測される基準電圧より1qレベル低い電圧ではなく、基準電圧が出力として得られる
ことになる。従来の16ビットDACにおけるqレベルは、 $+5 \text{ V} / 2^{16}$ 、すなわち、5
/ 65536、すなわち、76マイクロボルト（ μV ）に等しくなる。基準ループが16
ビットの全てについて1にプログラムされた間接DACでは、qレベルは、 $+5 \text{ V} / (2^{16} - 1)$ 、
すなわち、5 / 65535、すなわち、76マイクロボルト（ μV ）に等しく
なる。16ビットDACの場合、エラーは微々たるものであるが、それによって、他のD
AC出力は、ミッド・スケール（スケールの中央部）でプログラムされている場合、qレ
ベルの1/2ほど高くなる。これは16進符号8000に等しく、方形波では、 $(5 / 65535) (65536 / 2)$ 、
すなわち、期待される2.500Vのかわりに2.50
0038Vとなる。基準チャネルが、8ビットの全てについて1（16進符号FF00）
にプログラムされる場合、エラーは増大し、 $\{5 / (2^8 - 1)\} \{(2^8 / 2)\}$ 、すなわ
ち、 $(5 / 255) (256 / 2)$ 、すなわち、2.500Vではなく2.509804
Vに等しくなる。このオフセット電圧エラーは、異なるDACの基準ループがビットの異
なる数字にプログラムされている場合、とりわけ厄介であり、混乱する。

【0009】

第3の欠点は、上述のDACは基準ループと同じ条件下において、すなわち、16ビット
の全てが1（それが、基準ループのプログラムのされ方であれば）、すなわち、+5Vの
フル・スケールで動作しているDACチャネルにおいて、最も正確であり、温度に応じた
ドリフトが最小になるという点である。大部分のDACアプリケーション（DACの使用
用途）では、ミッド・スケールまたはその近くで動作し、ミッド・スケールを超えるか、
または、それ未満でプログラム可能なDACが必要とされる。一般に、このミッド・スケ
ール動作ポイント近くで、最高の精度及び最小のドリフトを示すことが望ましい。上述の
ように、これは、基準ループが全部1にプログラムされている事例ではない。間接DAC
の8つの最上位ビットによって、ただ単に、 2^8 で分割されるクロックのデューティ・サイ
クル、すなわち、 $10 \text{ MHz} / 256$ 、すなわち、39.0625 kHzが変化するだけ
である。従って、8ビットDACの全てのDAC符号について、デジタル出力は、必ず
、39 kHzで動作する。この例では、ミッド・スケールは、方形波であり、DAC符号
は、全チャネルについて8000になるので、用いられるデータ・ビット数に関係なく、
全DACチャネルについて39 kHzで生じる。デジタル出力の立ち上がり及び立ち下
り時間や、デジタル出力の遷移数も、オフセット電圧エラーに影響を及ぼす。

【0010】

従って、各チャネルの入力ビット数がどうであれ、全部1の入力が、結果として、基準電

10

20

30

40

50

圧より 1 q レベル低い出力を生じることになり、8 0 0 0 のミッド・スケール（方形波）が、結果として、基準電圧の 1 / 2 の出力を生じることになるように、基準ループにプログラムする方法（これによって、さらに、他の D A C チャンネルの全てが較正されることになる）を提供することが望ましい。さらに、D A C のミッド・スケール出力（約 2 . 5 V ）において、D A C 出力チャンネルの 1 つを基準ループに対する入力として利用することなく、最高の精度と、最小のドリフトを示すことが望ましい。

【 0 0 1 1 】

【発明が解決しようとする課題】

本発明の目的は、上記の問題点を解決し、較正用の改良式基準ループを設けた D A 変換器を提供することである。

10

【 0 0 1 2 】

【課題を解決するための手段】

本発明によれば、改良式間接 D A C 用基準ループが得られる。本発明は、構成において、その改良点に、基準ループに結合される基準電圧であって、ミッド・スケール電圧またはフル・スケールの揺れの間値の電圧である基準電圧と、基準ループに結合され、基準ループにほぼ 5 0 % のデューティ・サイクルで動作させる信号であって、その信号は複数の D A C のうちの 1 つから基準ループに接続される信号と、が含まれる、複数の D A C 出力を備える改良式デジタル・アナログ変換器（D A C）として概念化することが可能である。

【 0 0 1 3 】

20

本発明は、基準ループに第 1 の信号を供給し、基準ループをほぼ 5 0 % のデューティ・サイクルで動作させるようにし、複数の D A C 出力のそれぞれが、最大出力より 1 q レベル低い出力を送り出すステップと、基準ループに、ミッド・スケール電圧またはフル・スケールの揺れの間値の電圧を有する基準信号を供給するステップとが含まれている、それぞれ、システム電圧に対応する最大出力を生じる複数の出力を備えた、D A C における基準ループを動作させるための方法として概念化することも可能である。

【 0 0 1 4 】

本発明には、多くの利点があり、そのいくつかについて、以下で単なる例示として概説することにする。

【 0 0 1 5 】

30

本発明の 1 つの利点は、D A C の全出力チャンネルをシステム出力として利用することが可能になるという点である。

【 0 0 1 6 】

本発明のもう 1 つの利点は、基準ループを 5 0 % のデューティ・サイクルで動作させることが可能になり、この結果、全 D A C チャンネルが、通常、最高の精度が所望されるミッド・スケール近くにおいて、精度が最高になり、温度ドリフトが最小になるという点である。

【 0 0 1 7 】

本発明のもう 1 つの利点は、基準ループが 5 0 % のデューティ・サイクルで動作し、全チャンネルが、チャンネルで用いられるビットの数字に関係なく、全部 1 の場合、フル・スケールより 1 q レベル低くなる、従来の D A C のように動作するという点である。

40

【 0 0 1 8 】

本発明のもう 1 つの利点は、基準ループが 5 0 % のデューティ・サイクルで動作すると、ビット数の異なる D A C を混合しても、それぞれに異なるビット数を用いるチャンネルにオフセット電圧が発生しないという点である。

【 0 0 1 9 】

本発明のもう 1 つの利点は、設計が単純であり、大規模な市販品の生産における実施が容易であるという点である。

【 0 0 2 0 】

本発明の他の特徴及び利点については、当該技術者であれば、下記の図面及び詳細な説明

50

を検討することによって明らかになるであろう。これらの追加特徴及び利点は、本発明の範囲内含まれるものとする。

【 0 0 2 1 】

【発明の実施の形態】

本発明の改良式 D A C 基準ループは、ハードウェア、ソフトウェア、ファームウェア、または、その組み合わせによって実現することが可能である。望ましい実施態様の場合、改良式 D A C 基準ループは、ハードウェアによって実施される。さらに、オシロスコープにおいて有効であるとして説明されるが、この改良式 D A C 基準ループは、D A C の利用を必要とするいかなる用途にも用いることが可能である。

【 0 0 2 2 】

次に図 1 を参照すると、典型的なオシロスコープ（データ）取得システム 1 0 のブロック図が示されている。オシロスコープ取得システム 1 0 は、オシロスコープ（不図示）内にあって、オシロスコープ、及び、オシロスコープに接続されたプローブに較正を施し、基準を与える。取得システム 1 0 には、制御・状況・電源モジュール 1 8 が含まれている。制御・状況・電源モジュール 1 8 には、インターフェイス 4 3 を介して他のコンポーネントと通信を行ういくつかのモジュールが含まれている。制御・状況・電源モジュール 1 8 には、インターフェイス 4 3 から、接続部 4 2 を介して電力を受ける電源モジュール 5 2 が含まれている。制御・状況・電源モジュール 1 8 には、さらに、スコープ・インターフェイス（I / F）・モジュール 5 1 も含まれている。スコープ I / F モジュール 5 1 は、接続部 4 1 を介してインターフェイス 4 3 と通信を行い、取得システムのさまざまな機能を制御し、その状況をモニタする。電源制御モジュール 5 4 は、接続部 4 4 を介してインターフェイス 4 3 と通信を行い、オシロスコープ取得システム 1 0 に対して電力制御を施す。パーソナル・コンピュータ（P C）電源モジュール 5 6 は、接続部 4 6 を介してインターフェイス 4 3 から電力を送り出し、オシロスコープに組み込まれた P C（不図示）に調整電力を供給する。ファン・モジュール 5 7 は、接続部 4 7 を介してインターフェイス 4 3 によって適正なファン駆動信号を送り出し、オシロスコープ取得システム 1 0 が配置されたオシロスコープに冷却を施す。

【 0 0 2 3 】

オシロスコープ取得システム 1 0 には、複数のオートプローブ I / F モジュール 1 1 及び複数のアッテネータ／プリアンプ・モジュール 1 2 が含まれている。オートプローブ I / F モジュール 1 1 は、コンパチブル・プローブに電力、オフセット電圧を供給し、制御を加えて、用いられる特定のプローブに関するオシロスコープのセットアップを自動化する、能動及び受動プローブ・インターフェイスである。アッテネータ／プリアンプ・モジュール 1 2 は、A / D & ファースト・イン・スロー・アウト（F I S O）・モジュール 1 6 及びトリガ・システム・モジュール 1 4 を駆動するための信号減衰及び／または増幅及び入力信号バッファリングを含むことが可能な、適正な信号調整を施す。オシロスコープ取得システム 1 0 には、それぞれ、オシロスコープ取得システム 1 0 が、オシロスコープへの信号供給に用いることが可能な各種プローブとの通信を行うチャンネルに相当する、複数のチャンネル 2 2 を含むことが可能である。図 1 には、4 つのチャンネルが示されているが、オシロスコープ取得システム 1 0 内には、多くの異なる数のチャンネルを含むことが可能である。

【 0 0 2 4 】

一例として、チャンネル 2 2 - 1 は、D C ~ 5 0 0 M H z の範囲内の周波数で、0 から + / - 2 5 0 V のピークに及ぶ範囲内のアナログ信号をアッテネータ／プリアンプ 1 2 - 1 に供給する。アッテネータ／プリアンプ 1 2 - 1 は、接続部 2 2 - 1 を介して供給された信号に減衰及び予備増幅を施し、接続部 2 6 - 1 を介して、トリガ・システム 1 4 と、A / D & F I S O モジュール 1 6 - 1 の両方に信号を供給する。A / D & F I S O モジュール 1 6 - 1 は、接続部 3 6 を介して、時間基準モジュール 1 7 からのタイミング信号も受信する。時間基準（タイムベース）モジュール 1 7 は、接続部 2 6 - 1 における C H 1 アナログ信号をデジタル表現に変換するのに適したさまざまなタイミング信号を供給する。ト

10

20

30

40

50

リガ・システム 14 には、接続部 23 を介して、補助トリガ入力も供給され、これによって、4つのチャンネル CH1 ~ CH4 以外に、オシロスコープをトリガするための代替トリガ源が得られる。トリガ・アーミング、リセッティング、及び、同期は、接続部 34 を介して時間基準モジュール 17 によって実施される。

【0025】

オシロスコープ取得システム 10 には、さまざまな DAC も含まれており、そのいくつかには、本発明の改良式基準ループが含まれている。例えば、基準モジュール 19 は、接続部 27 を介して、オートブロープ I/F DAC 100 と通信を行い、接続部 28 を介して、システム DAC 150 と通信を行う。オートブロープ I/F DAC 100 及びシステム DAC 150 は、両方とも、図 2 及び図 3 に関連して詳細に後述する本発明の改良式基準ループから恩恵を受けるデジタル・アナログ変換器である。システム DAC 150 は、接続部 29 を介して較正器 21 との通信を行い、較正器 21 は、オシロスコープの較正を行うため、また、オートブロープ I/F DAC 100 に連係して用いられる場合には、能動及び受動ブロープの較正を行うため、接続部 31 を介してバス 35 (外部接続部である) に較正信号を送る。オートブロープ I/F DAC 100 は、接続部 24 を介してオートブロープ I/F モジュール 11 にアナログ信号を送り、一方、システム DAC 150 は、接続部 32 を介して、アッテネータ/プリアンプ・モジュール 12 及びトリガ・システム 14 にアナログ信号を送る。

【0026】

オートブロープ I/F DAC 100 及びシステム DAC 150 は、設計が似ているが、特定の用途に合わせて、異なる DAC 出力範囲の基準化が施されている。例えば、DAC 出力には、ユニポーラもあれば、バイポーラもあり、電流出力もある。オートブロープ I/F DAC 100 は、能動ブロープのためにオフセット電圧を発生するといった機能の実施に役立ち、能動及び受動ブロープに存在するブロープ識別抵抗器、すなわち、ブロープ ID を測定するオーム計の導入を助ける。システム DAC 150 は、トリガ・システム 14 におけるトリガ・レベル及びヒステリシス、並びに、アッテネータ/プリアンプ・モジュール 12 に対するオフセット電圧を制御する。

【0027】

本明細書において留意しておくべきは、オシロスコープ内に配置されたオートブロープ I/F DAC 100 及びシステム DAC 150 に関連して説明されるが、本発明の改良式基準ループは、DAC を利用する任意の用途に用いることが可能であるという点である。さらに、単一素子として例示されるが、オートブロープ I/F DAC 100 及びシステム DAC 150 には、一般に、それぞれ、複数の DAC が含まれている。

【0028】

図 2 は、本発明の改良式 DAC 基準ループ 200 を示す概略図である。DAC 201 は、上述の米国特許第 5,041,831 号に記載の間接 DAC を表しており、詳細な説明は控えることにする。要するに、DAC 201 は、接続部 208 を介して、プログラマブル・デジタル入力を受信し、16本の出力チャンネル 211-1 ないし 211-16 のそれぞれに 16ビット・デジタル・パターンを供給する。次に、接続部 211-1 ないし 211-16 のデジタル・パターンにフィルタリングを施すことによって、そのパターンを表した DC 電圧が得られる。DAC 201 の出力は、入力に 1つのビットを加えると、出力は同じにとどまるか、あるいは、増大するので、本質的に単調である。同様に、入力から 1つのビットが減じられると、出力は同じにとどまるか、あるいは、減少する。すなわち、DAC 201 の出力の単調性によって、出力がその入力の方向と逆の方向には移動しないという保証が得られる。入力に 1つのビットが加えられた場合、出力は減少せず、入力から 1つのビットが減じられた場合、出力は増大しない。DAC チャンネル 211-1 ないし 211-16 の各々は、この実施態様の場合、最大 16ビットとすることが可能であり、各チャンネルは、個別に制御可能である。留意すべきは、16のチャンネルを備えるものとして解説されるが、DAC 201 は、用途に従ってチャンネル数を増減することができるという点である。

【0029】

各チャンネルの出力は、そのパターンが16ビット・ワードを表すデジタル信号であり、どの数のビットも高及び低である。例えば、'831特許に例示の16ビット・チャンネルの場合、各チャンネル211の出力は、0Vと5Vの間でスイッチするデジタル信号であり、パルス幅は、0V DCから100nsステップで変動し、100nsの場合には、0Vであり、65535*100ns、すなわち、6.5535msの場合には、5Vになる。一般に、1本のDACチャンネル、この場合、参照番号が211-8のチャンネル7が、基準ループとして用いられる。任意のDACチャンネルを基準ループとして用いることが可能である。基準ループは、接続部209を介してDAC201に正確な5V DCの供給電圧を供給する。

10

【0030】

上述のように、16ビット・チャンネルに関する1qレベルは約76μVであり、8ビットDACチャンネルに関する1qレベルは約19mVである。基準ループのプログラムの仕方によって生じる相違のため、従来、プログラマは、異なるビット数に合わせてプログラムされた基準ループを備えるDACに対するプログラミングが困難であった。米国特許第5,041,831号のDAC201において、全部1で動作する基準チャンネルについて解説されている。この条件では、全部1のパターンは、0Vで100ns、高レベルで6.5535msになり、その平均が5Vに調整されるので、チャンネルの出力の揺れが5Vの基準電圧をわずかに超えることになる。16未満のビットが、全部1にプログラムされるいくつかの用途では、出力の揺れはさらに大きくなる。本発明では、16進数符号8000(この場合、16ビットが、1000 0000 0000 0000であり、「1」が最上位ビットである)に対応する、正確に50%のデューティ・サイクルで基準チャンネルを動作させることによってこの問題を解決する。2.5Vの基準電圧と組み合わせると、各出力毎に、真の0~5Vの揺れが生じることになる。

20

【0031】

一般に、チャンネル211-8に関連して上述の基準チャンネルは、5Vに近い供給電圧が、接続部209を介してDAC201に送られるように、いくつかのビットが高にプログラムされた。しかし、その構成では、qレベルが、より望ましい $5/2^n$ ではなく、 $5/(2^n - 1)$ になり(ここで、nは全部1にプログラムされたビット数)、この状態では、全DACチャンネルに平均出力電圧のエラーが生じることになる。エラー(誤差)の範囲は、16ビットの場合、0000の入力符号における無(0)からFFFFの入力符号における完全な1qレベルのエラーにわたる。

30

【0032】

本発明によれば、基準チャンネル211-8は、接続部205を介して50%のデューティ・サイクルで動作させられる。基準ループが50%のデューティ・サイクルで動作している場合、プログラマブル基準ループを備える必要はない。基準ループが必要とするのは、ただ単に、入力クロックが、8000の符号にプログラムされた場合の各DACチャンネル211と同じ周波数である方形波まで分割されることだけである。

【0033】

基準ループを50%のデューティ・サイクルで動作させることが可能なもう1つの方法は、基準ループに供給するDACチャンネル、この場合、DACチャンネル211-8によって16進数8000のDAC符号を供給することである。16進数符号8000によって、チャンネル211-8におけるDAC201の50%のデューティ・サイクル出力に相当する、方形波が得られる。基準ループが50%のデューティ・サイクルで動作している場合、DACチャンネルの全てが、通常、最高の精度が所望されるミッド・スケール近くにおいて、可能性のある最高の精度になり、温度ドリフトが最小になる。ミッド・スケールは、約2.5Vの電圧レベルを表しており、これは、5Vの揺れの間中点に相当する。本発明のある態様によれば、基準ループが50%のデューティ・サイクルで動作している場合、全てのDACチャンネルにおいて、DACチャンネルに用いられるビット数に関係なく、全部1出力のDACチャンネルは、フル・スケールよりもちょうど1qレベル低くなるような挙

40

50

動を示すことになる。例えば、1ビットが76 μ Vに相当する16ビットDACチャネルの場合、16の1によって、フル・スケールより1qレベル低いフル・スケール電圧が発生することになる。DACチャネルのビット数が8の場合、そのチャネルの8つの1によって、フル・スケールより1qレベル低い、すなわち、フル・スケールより19mV低いフル・スケール電圧が発生することになる。こうして、異なる数のビットが存在するが、基準チャネルに出力エラーが生じない、出力チャネルを備える1つのDAC201を設けることが可能になる。

【0034】

本発明によれば、DACチャネル211-8の出力は、接続部205を介して、抵抗器R1 217(100K)に供給される。コンデンサC1 218(100 μ F)と抵抗器R2 219(100K)によって、演算増幅器(op-amp)243の反転入力¹⁰が供給される。望ましい実施態様の場合、2.5Vの基準電圧221が、接続部222を介してop-amp243の非反転入力に供給される。op-amp243には、接続部229を介して+12Vの供給電圧が供給され、接続部228を介して-12Vの供給電圧が供給される。接続部231を介したop-amp243の出力は、フィードバック・ループ227のコンデンサC2 226(47nF)を通して、op-amp243の反転入力224にフィードバックされる。op-amp243の出力は、オプションの電圧クランプ251にも供給される。所望の場合、電圧クランプ251を用いて、出力電圧が制限される。op-amp243の出力は、トランジスタQ1 252にも供給され、トランジスタQ1 252のエミッタ254は、接続部209を介して校正された5Vの電力をDAC201に供給するため、接続部258の+12Vの電源を制御する。トランジスタQ1 252は、抵抗器R3 257(287)及びR4 256(287)を経て、接続258を介して+12Vの電圧供給源に接続されている。電力消費を改善するため、個別抵抗器として示されているが、代替案として、抵抗器R3及びR4は、単一抵抗器とすることも可能である。²⁰

【0035】

接続部209とアースの間のコンデンサC3 212(47nF)、C4 214(47nF)、及び、C5 216(47 μ F)は、DAC201に対する5V供給電圧の減結合(de-couple)及び絶縁の働きをする。図2には、コンポーネントの値が例示されているが、もちろん、これらのコンポーネント値は、所望の用途に応じて変更することが可能である。さらに、図2及び3には、個別抵抗器を用いて例示されているが、全ての抵抗器は、精密抵抗器パッケージ内に納めることが可能である。³⁰

【0036】

図3は、本発明の改良式基準ループの代替実施態様300を例示した概略図である。図2構成要素と機能が似ている図3の構成要素には、同様の番号が付与されている。例えば、図2の参照番号が2XXとすると、図3の同様の構成要素は3XXと称されることになる。

【0037】

図2に関連して解説のものから発展して改良された図3の基準ループ300には、接続部305によって分割DACクロック入力信号が供給される。接続部304のDAC-CLK入力⁴⁰は、例示では20MHzであるが、これが、DAC301内の2分割コンポーネント(不図示)によって分割され、10MHzのクロック信号がDAC__CLK分割器302に供給される。DAC__CLK分割器302において、例えば256といった、ある数字で10MHzのDAC__CLK信号を分割することによって、基準出力が、接続部305を介して、本発明の基準ループに供給されることになる。DAC__CLK分割器302の分割比は、接続部305における方形波の出力周波数が、チャネルが符号8000にプログラムされた場合に、出力チャネル311に生じる周波数と同じになるように調整することが望ましい。256で分割すると、16進数8000に設定した場合に、DACチャネルに供給されるのと同じ周波数が基準ループに供給されることになる。入力クロックは、全DACチャネルの刻時前に、2分割されるわけではない。従って、20MHzのDA⁵⁰

C_{CLK}クロック信号が用いられる場合、各DAC出力チャンネルにおける1qレベルは、50nsに等しくなる。次に、図2に解説のと同様に、改良式基準ループ300は、接続部309を介してDAC301に5Vの供給電圧を供給する。このように、この実施態様の場合、図2に関するように、基準チャンネルとして、DAC出力チャンネルの1つ、すなわち、チャンネル211-8を利用するわけではないので、DAC301の16本のチャンネル311-1ないし311-16が、全てシステム出力として利用可能になる。

【0038】

さらに図3に言及すると、図2の12V電源258に過剰ノイズが生じた場合、電圧調整器339を用いて、接続部309における公称電圧を5Vに設定することが可能であり、一方、op-amp343は、接続部305の基準出力を利用して精密な補正を施し、正確な5V電圧が接続部309を介してDAC201に供給されるようにする。この実施態様の場合、op-amp343は、電圧調整器339によって供給される公称電圧に約+/-10%の補正を施し、DAC出力311-8に適正な符号をロードする前に、DAC301の過剰電圧を阻止する（電圧調整器339が、図2に関連して論じた実施態様に用いられる場合、または、基準ループが適正に機能していない状況において）。言及しておくべきは、電圧調整器は、図2の改良式基準ループに用いることができるという点である。

【0039】

さらに図3を参照すると、抵抗器R3332(6.19K)及び抵抗器R4383によって、op-amp343の電圧補正能力を約+/-10%に制限する24.7dB分割器が形成されている。従って、コンデンサC2326は、同じポイントにおいて利得1のループのクロスオーバを維持するため、キャパシタンスが2.7nFに減少せられる。

【0040】

この基準ループ300には、3つの極（ポール）が存在する。ループが安定するように、すなわち、発振しないように、十分な位相マージンを設けたループにおいて利得1の交差を行うことが望ましい。第1の極は、R2319及びC1318と並列をなすR1317によって形成される。これらのコンポーネント値に関して、極は、

$$1/2\pi * \{100e3 * 100e3 / (100e3 + 100e3)\} (100e-9),$$

すなわち、31.8Hzで得られる。第2の極は、R1317及びR2319と、C2326と、op-ampによって形成される。これによって、利得が1で、 $1/2\pi * (100e3 + 100e3) (47e-9)$ 、すなわち、16.9Hzにおいて、位相が90度シフトする、積分器が形成される。第3の極は、電圧調整器（または図2のエミッタ・フォロワQ1252）の出力インピーダンスと、コンデンサC3312、C4314、及び、C5316によって形成される。コンデンサC3、C4、及び、C5は、接続部309のインピーダンスを低下させて、できるだけ低い周波数にするため、ただし、クロスオーバ・ポイントにおいて過剰なループ位相シフトが生じないように、利得1のクロスオーバ・ポイントより高い周波数にするため、できるだけ大きくなるように選択される。各事例において、出力インピーダンスは、13オーム未満であるため、第3の極は、 $1/2\pi * (13) (47e-6)$ 、すなわち、260Hz以上になる。フィルタリングが施される接続部305（または図2の接続部205）を介したDAC301（または図2のDAC201）からの波形の周波数は、全部1の16ビット及び5Vの基準電圧を利用する基準ループの場合、 $10MHz / (2^{16})$ 、すなわち、 $10MHz / 65536$ 、すなわち、152.6Hzになり、方形波及び2.5Vの基準電圧を利用する基準ループの場合、 $10MHz / (2^8)$ 、すなわち、 $10MHz / 256$ 、すなわち、39.1kHzになる。積分器op-amp343は、他の2つの極がより高い周波数で得られるように、利得1のループのクロスオーバを設定することが望ましい。

【0041】

もう一度図2を参照すると、基準ループ200は、5Vの基準電圧を用いる場合、積分器

op - amp 243を除くと、ループにおける減衰がほんのわずかな量にしかない。従って、C2 226が100nFに設定されると、利得1のループのクロスオーバは、C2 226の容量リアクタンスが、R1 217にR2 219を加えた抵抗、すなわち、 $1/2\pi \cdot (100e3 + 100e3) \cdot (100e-9)$ 、すなわち、 $1/2\pi \cdot (200e3) \cdot (100e-9)$ 、すなわち、7.96Hzに等しい。方形波で、基準電圧が2.5Vの、図2の回路で同じクロスオーバ周波数を維持するため、接続部209における電源電圧を基準にして、DACチャネル211-8からの6dB、すなわち、1/2の減衰が生じる、すなわち、方形波の場合、平均2.5Vになる。従って、コンデンサC2 226は、旧値のほぼ半分、すなわち、47nFが望ましい。

【0042】

10

もう一度図3を参照して、抵抗器R2 332及びR3 334によって、ループ300において24.7dB、すなわち、17.16分の1の追加減衰が生じると、コンデンサC2 326の値は、さらに17.16分の1に減少され、約2.9nF、すなわち、2.7nFの標準値にすることが望ましい。これによって、全ての基準フィードバック・ループが安定した状態に保たれ、利得1の周波数の交差が約8Hzのほぼ同じポイントで生じることになる。フィードバック・ループの技術者であれば、異なるが、同等に適切な基準フィードバック・ループ構成を開発することが可能であろう。

【0043】

図3に示すように、図2の電圧クランプ251及びトランジスタQ1 252も排除されている。

20

【0044】

強調しておくべきは、本発明の上述の実施態様、すなわち、任意の「望ましい」実施態様が、本発明の原理の明確な理解のために示されただけの、単なる可能性のある実施例にすぎないという点である。本発明の上述の実施態様には、本発明の精神及び原理をほとんど逸脱することなく、多くの変更及び修正を施すことが可能である。こうした修正及び変更は、全て、本発明の範囲内に含まれるものとする。

【0045】

以上、本発明の実施例について詳述したが、以下、本発明の各実施態様の例を示す。

【0046】

(実施態様1)

30

第1の周波数を備える入力クロック(204、304)と、複数のDAC出力(211、311)を含む改良式デジタル・アナログ変換器(DAC)(201、301)であって、基準ループ(200、300)に結合される基準電圧(221、321)と、前記基準ループ(200、300)に結合され、前記基準ループ(200、300)にほぼ50%のデューティ・サイクルで動作させる信号(205、305)とを含む改良式DAC(201、301)。

【0047】

(実施態様2)

前記基準電圧(221、321)が2.5Vであることを特徴とする、実施態様1に記載のDAC(201、301)。

40

【0048】

(実施態様3)

前記複数のDAC出力(211)の1つ(211-8)が、前記基準ループ(200)に結合されて、前記信号(205)を供給することを特徴とする、実施態様1に記載のDAC(201、301)。

【0049】

(実施態様4)

前記入力クロック(304)を第2の周波数に分割するように構成された分割器(302)が含まれることと、前記第2の周波数が前記基準ループ(300)に結合されて、全て

50

のDAC出力(311)がシステム出力として利用可能になることを特徴とする、実施態様1に記載のDAC(301)。

【0050】

(実施態様5)

前記第2の周波数が、方形波であることを特徴とする、実施態様4に記載のDAC(301)。

【0051】

(実施態様6)

それぞれ、最大出力を生じる複数の出力(211、311)を備えた、デジタル・アナログ変換器(DAC)(201、301)における基準ループ(200、300)を動作させる方法であって、

前記基準ループ(200、300)に第1の信号(205、305)を供給し、前記基準ループ(200、300)をほぼ50%のデューティ・サイクルで動作させるようにするステップと、

前記基準ループ(200、300)に基準信号(221、321)を供給するステップとを含む方法。

【0052】

(実施態様7)

前記基準電圧(221、321)が2.5Vであることを特徴とする、実施態様6に記載の方法。

【0053】

(実施態様8)

前記基準ループ(200、300)を50%のデューティ・サイクルで動作させる前記ステップによって、前記複数のDAC出力(211、311)のそれぞれが、前記最大出力より1qレベル低い出力を送り出すことを特徴とする、実施態様6に記載の方法。

【0054】

(実施態様9)

前記第1の信号(205)が、前記複数のDAC出力(211)の1つ(211-8)によって前記基準ループ(200)に供給されることを特徴とする、実施態様8に記載の方法。

【0055】

(実施態様10)

前記第1の信号(305)が、前記DACのクロック分割器(302)によって供給されることを特徴とする、実施態様8に記載の方法。

【0056】

【発明の効果】

本発明の1つの利点は、DACの全出力チャネルをシステム出力として利用することが可能になるという点である。

【0057】

本発明のもう1つの利点は、基準ループを50%のデューティ・サイクルで動作させることが可能になり、この結果、全DACチャネルが、通常、最高の精度が所望されるミッド・スケール近くにおいて、精度が最高になり、温度ドリフトが最小になるという点である。

【0058】

本発明のもう1つの利点は、基準ループが50%のデューティ・サイクルで動作し、全チャネルが、チャネルで用いられるビットの数字に関係なく、全部1の場合、フル・スケールより1qレベル低くなる、従来のDACのように動作するという点である。

【0059】

本発明のもう1つの利点は、基準ループが50%のデューティ・サイクルで動作すると、ビット数の異なるDACを混合しても、それぞれに異なるビット数を用いるチャネルにオ

10

20

30

40

50

フセット電圧が発生しないという点である。

【 0 0 6 0 】

本発明のもう 1 つの利点は、設計が単純であり、大規模な市販品の生産における実施が容易であるという点である。

【図面の簡単な説明】

【図 1】本発明の D A C が納められたオシロスコープを例示したブロック図である。

【図 2】本発明の改良式 D A C 基準ループの望ましい実施態様を含む図 1 の D A C の 1 つに関する概略図である。

【図 3】本発明の改良式 D A C 基準ループの代替実施態様を含む図 1 の D A C の 1 つの概略図である。

【符号の説明】

2 0 0 : 基準ループ

2 0 1 : D A C

2 0 4 : 入力クロック

2 1 1 : D A C 出力

3 0 0 : 基準ループ

3 0 1 : D A C

3 0 2 : クロック分割器

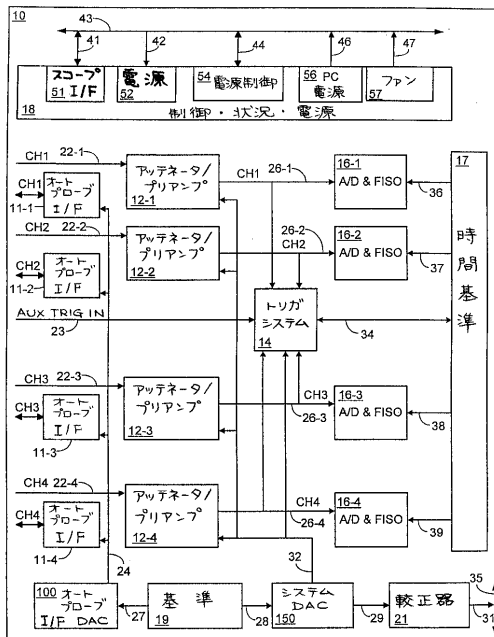
3 0 4 : 入力クロック

3 1 1 : D A C 出力

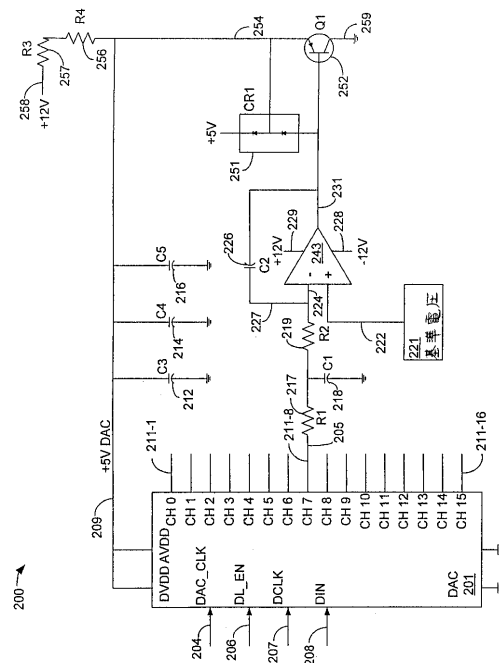
10

20

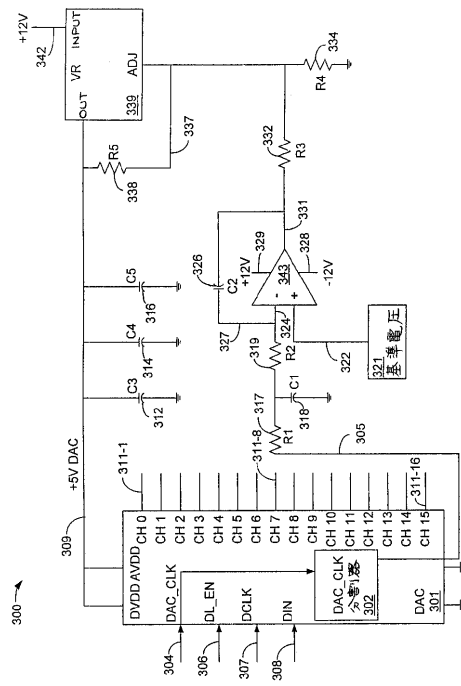
【図 1】



【図 2】



【図 3】



フロントページの続き

審査官 柳下 勝幸

(56)参考文献 特開平 0 1 - 3 1 4 0 1 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03M1/00-1/88