

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4584407号
(P4584407)

(45) 発行日 平成22年11月24日(2010.11.24)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl.

F 1

H03M 1/82 (2006.01)
H03M 1/10 (2006.01)H03M 1/82
H03M 1/10

B

請求項の数 6 (全 14 頁)

(21) 出願番号 特願2000-137562 (P2000-137562)
 (22) 出願日 平成12年5月10日 (2000.5.10)
 (65) 公開番号 特開2000-341128 (P2000-341128A)
 (43) 公開日 平成12年12月8日 (2000.12.8)
 審査請求日 平成19年5月9日 (2007.5.9)
 (31) 優先権主張番号 314090
 (32) 優先日 平成11年5月18日 (1999.5.18)
 (33) 優先権主張国 米国(US)

(73) 特許権者 399117121
 アジレント・テクノロジーズ・インク
 A G I L E N T T E C H N O L O G I E
 S, I N C.
 アメリカ合衆国カリフォルニア州サンタク
 ララ スティーブンス・クリーク・ブル
 バード 5301
 (74) 代理人 100099623
 弁理士 奥山 尚一
 (74) 代理人 100105913
 弁理士 加藤 公久
 (72) 発明者 ジミー・ディー・フェルプス
 アメリカ合衆国コロラド州コロラド スプ
 リングス ガーデン・プレイス4862

最終頁に続く

(54) 【発明の名称】デジタル・アナログ変換器及びデジタル・アナログ変換器における基準ループを動作させる方法

(57) 【特許請求の範囲】

【請求項 1】

第1の周波数を備える入力クロックと、複数のD A C出力を含む改良式デジタル・アナログ変換器(D A C)であって、

基準ループに結合される基準電圧であって、ミッド・スケール電圧またはフル・スケールの揺れの中間値の電圧である基準電圧と、

前記基準ループに結合され、前記基準ループにほぼ50%のデューティ・サイクルで動作させる信号であって、前記信号は前記複数のD A Cのうちの1つから前記基準ループに接続される信号と

を含む改良式D A C。

10

【請求項 2】

前記入力クロックを前記第1の周波数から第2の周波数に分割するように構成された分割器が含まれることと、前記第2の周波数が前記基準ループに結合されて、全てのD A C出力がシステム出力として利用可能になることを特徴とする、請求項1に記載のD A C。

【請求項 3】

前記第2の周波数が、方形波であることを特徴とする、請求項2に記載のD A C。

【請求項 4】

それぞれ、最大出力を生じる複数の出力を備えた、デジタル・アナログ変換器(D A C)における基準ループを動作させる方法であって、前記基準ループに第1の信号を供給し、前記基準ループをほぼ50%のデューティ・サイクルで動作させるようにし、前記複数

20

の D A C 出力のそれぞれが、前記最大出力より 1 q レベル低い出力を送り出すステップと、
前記基準ループに、ミッド・スケール電圧またはフル・スケールの揺れの中間値の電圧
を有する基準信号を供給するステップとを含む方法。

【請求項 5】

前記第 1 の信号が、前記複数の D A C 出力の 1 つによって前記基準ループに供給されることを特徴とする、請求項 4 に記載の方法。

【請求項 6】

前記第 1 の信号が、前記 D A C のクロック分割器によって供給されることを特徴とする、請求項 4 に記載の方法。 10

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、一般に電子回路に関するものであり、とりわけ、デジタル・アナログ変換器(D A C)のための改良式基準ループ(improved reference loop)に関するものである。

【0 0 0 2】

【従来の技術】

多くのプログラマブル電子及び電気装置では、デジタル信号をアナログ信号に変換することが望ましい。新規の D A C が開発され、参考までに本明細書において援用されている、譲渡先が同じである、1991年8月20日にBohley 他に対して発行された、「INDIRECT D / A CONVERTER(間接D / A変換器)」と題する米国特許第5,041,831号(あるいは特開平01-314017号公報)において解説がなされている。上述の「'831」特許の場合、複数チャネル間接D A Cに、アドレス・ビット及びデータ・ビットを含むデータ・ワードが供給され、これらは、データ・ワードのアドレス・ビットの制御下で、変換器チャネルの特定の1つに入力される。データ・ビットは、そのチャネルのバイナリ・レート乗算器に給与され、この乗算器は、受信したデータ・ビットの2進値を表すパルス変調出力信号を発生する。パルス変調出力信号は、関連するフィルタに加えられ、そのパルス変調出力信号は、出力の振幅が受信データ・ビットの2進値を表すアナログ出力信号に変換される。ゲート回路要素によって、各出力パルスが精密に制御されたパルス幅を備えることが保証される。 20

【0 0 0 3】

特定の用途(アプリケーション)に関して、間接D A Cは、16本の出力チャネルを備えているが、用途に従って、チャネル数を増減することが可能である。16本のチャネルは、それぞれ、16ビットD A Cである。16ビットが全て用いられる場合、フィルタリングを施さなければならない最低周波数は、 $10\text{MHz}/2^{16}$ (すなわち、 $10\text{MHz}/65536$ 、すなわち、 152.6Hz)になる。12ビットD A Cとして用いられる場合、フィルタリングを施すべき最低周波数は、 $10\text{MHz}/2^{12}$ 、すなわち、 $10\text{MHz}/4096$ 、すなわち、 2.441kHz になる。フィルタリングを施すべき最低周波数に整合するように、各出力フィルタを調整して、あるD A Cのセッティングから次のD A Cの設定(setting)に移行するセトリング時間(settling time)を最短化することが望ましい。フィルタのセトリング時間の最短化を助けるため、特定の用途に関するD A Cチャネルに利用するデータ・ビット数を最少にすることが望ましい。 40

【0 0 0 4】

変換器チャネルの1つがフィルタの出力レベルを較正するのに使われる。このチャネルは、基準ループ(reference loop)と呼ばれる。異なるチャネルに加えられるデータ・ビット数は同じである必要はなく、最小の1から最大のmまで変動可能である。

【0 0 0 5】

上述の間接D A Cの欠点は、入力クロックが、D A Cチャネルに利用される前に2で分割されることである。タイミングをとるために利用されるのはクロックの周期だけであるため、このクロック分割は不要である。あいにく、この状態では、全D A Cフィルタが1 50

0 M H z ではなく、20 M H z (集積回路プロセスの限界) で動作させられた可能性があるので、全D A C フィルタのセトリング時間は2倍になる。

【0006】

上述のD A C のもう1つの欠点は、D A C 出力チャネルの1つを用いて、基準ループを含むフィルタに出力を供給し、その出力を用いて、残りのD A C チャネルにおける残りのフィルタの出力レベルを較正することが必要になるという点である。

【0007】

上述のD A C のもう1つの欠点は、基準チャネルのプログラミングに用いられるビットの数字 (すなわち、ビットの数字は1にプログラムされる) に従って、他の各チャネル毎に、異なるオフセット電圧が生じるという点である。この異なるオフセット電圧は、基準チャネルが全部1 (16ビットD A Cの場合、FFFの16進符号) にプログラムされると、上述のD A C は、従来のD A C のように動作しないという事実によって生じる。

【0008】

全部1が基準ループにおいてプログラムされると、デジタル出力は、10 M H z のクロック周期のカウントが65535、すなわち、65535 / 10 M H z 、すなわち、6.5535ミリ秒 (m s) の場合に高になり、カウントが1、すなわち、1 / 10 M H z 、すなわち、100ナノ秒 (n s) の場合に低になる。この波形の平均電圧が、基準電圧、この場合5ボルト (V) と比較される。すなわち、全部1の入力によって、従来のD A C から予測される基準電圧より1qレベル低い電圧ではなく、基準電圧が出力として得られることになる。従来の16ビットD A Cにおけるqレベルは、+5 V / 2¹⁶、すなわち、5 / 65536、すなわち、76マイクロボルト (μ V) に等しくなる。基準ループが16ビットの全てについて1にプログラムされた間接D A Cでは、qレベルは、+5 V / (2¹⁶ - 1)、すなわち、5 / 65535、すなわち、76マイクロボルト (μ V) に等しくなる。16ビットD A Cの場合、エラーは微々たるものであるが、それによって、他のD A C出力は、ミッド・スケール (スケールの中央部) でプログラムされている場合、qレベルの1 / 2ほど高くなる。これは16進符号8000に等しく、方形波では、(5 / 65535) (65536 / 2)、すなわち、期待される2.500 Vのかわりに2.500038 Vとなる。基準チャネルが、8ビットの全てについて1 (16進符号FF00) にプログラムされる場合、エラーは増大し、{5 / (2⁸ - 1)} { (2⁸ / 2)}、すなわち、(5 / 255) (256 / 2)、すなわち、2.500 Vではなく2.509804 Vに等しくなる。このオフセット電圧エラーは、異なるD A C の基準ループがビットの異なる数字にプログラムされている場合、とりわけ厄介であり、混乱する。

【0009】

第3の欠点は、上述のD A C は基準ループと同じ条件下において、すなわち、16ビットの全てが1 (それが、基準ループのプログラムのされ方であれば) 、すなわち、+5 V のフル・スケールで動作しているD A C チャネルにおいて、最も正確であり、温度に応じたドリフトが最小になるという点である。大部分のD A C アプリケーション (D A C の使用用途) では、ミッド・スケールまたはその近くで動作し、ミッド・スケールを超えるか、または、それ未満でプログラム可能なD A C が必要とされる。一般に、このミッド・スケール動作ポイント近くで、最高の精度及び最小のドリフトを示すことが望ましい。上述のように、これは、基準ループが全部1にプログラムされている事例ではない。間接D A C の8つの最上位ビットによって、ただ単に、2⁸で分割されるクロックのデューティ・サイクル、すなわち、10 M H z / 256、すなわち、39.0625 k H z が変化するだけである。従って、8ビットD A C の全てのD A C 符号について、デジタル出力は、必ず、39 k H z で動作する。この例では、ミッド・スケールは、方形波であり、D A C 符号は、全チャネルについて8000になるので、用いられるデータ・ビット数に関係なく、全D A C チャネルについて39 k H z で生じる。デジタル出力の立ち上がり及び立ち下がり時間や、デジタル出力の遷移数も、オフセット電圧エラーに影響を及ぼす。

【0010】

従って、各チャネルの入力ビット数がどうであれ、全部1の入力が、結果として、基準電

10

20

30

40

50

圧より 1 q レベル低い出力を生じることになり、8000 のミッド・スケール（方形波）が、結果として、基準電圧の 1 / 2 の出力を生じることになるように、基準ループにプログラムする方法（これによって、さらに、他の D A C チャネルの全てが較正されることになる）を提供することが望ましい。さらに、D A C のミッド・スケール出力（約 2.5 V）において、D A C 出力チャネルの 1 つを基準ループに対する入力として利用することなく、最高の精度と、最小のドリフトを示すことが望ましい。

【 0 0 1 1 】

【発明が解決しようとする課題】

本発明の目的は、上記の問題点を解決し、較正用の改良式基準ループを設けた D A 変換器を提供することである。

10

【 0 0 1 2 】

【課題を解決するための手段】

本発明によれば、改良式間接 D A C 用基準ループが得られる。本発明は、構成において、その改良点に、基準ループに結合される基準電圧であって、ミッド・スケール電圧またはフル・スケールの揺れの中間値の電圧である基準電圧と、基準ループに結合され、基準ループにほぼ 50 % のデューティ・サイクルで動作させる信号であって、その信号は複数の D A C のうちの 1 つから基準ループに接続される信号と、が含まれる、複数の D A C 出力を備える改良式デジタル・アナログ変換器（D A C）として概念化することが可能である。

【 0 0 1 3 】

20

本発明は、基準ループに第 1 の信号を供給し、基準ループをほぼ 50 % のデューティ・サイクルで動作させるようにし、複数の D A C 出力のそれぞれが、最大出力より 1 q レベル低い出力を送り出すステップと、基準ループに、ミッド・スケール電圧またはフル・スケールの揺れの中間値の電圧を有する基準信号を供給するステップとが含まれている、それぞれ、システム電圧に対応する最大出力を生じる複数の出力を備えた、D A C における基準ループを動作させるための方法として概念化することも可能である。

【 0 0 1 4 】

本発明には、多くの利点があり、そのいくつかについて、以下で単なる例示として概説することにする。

30

【 0 0 1 5 】

本発明の 1 つの利点は、D A C の全出力チャネルをシステム出力として利用することが可能になるという点である。

【 0 0 1 6 】

本発明のもう 1 つの利点は、基準ループを 50 % のデューティ・サイクルで動作させることができ可能になり、この結果、全 D A C チャネルが、通常、最高の精度が所望されるミッド・スケール近くにおいて、精度が最高になり、温度ドリフトが最小になるという点である。

【 0 0 1 7 】

本発明のもう 1 つの利点は、基準ループが 50 % のデューティ・サイクルで動作し、全チャネルが、チャネルで用いられるビットの数字に関係なく、全部 1 の場合、フル・スケールより 1 q レベル低くなる、従来の D A C のように動作するという点である。

40

【 0 0 1 8 】

本発明のもう 1 つの利点は、基準ループが 50 % のデューティ・サイクルで動作すると、ビット数の異なる D A C を混合しても、それぞれに異なるビット数を用いるチャネルにオフセット電圧が発生しないという点である。

【 0 0 1 9 】

本発明のもう 1 つの利点は、設計が単純であり、大規模な市販品の生産における実施が容易であるという点である。

【 0 0 2 0 】

本発明の他の特徴及び利点については、当該技術者であれば、下記の図面及び詳細な説明

50

を検討することによって明らかになるであろう。これらの追加特徴及び利点は、本発明の範囲内含まれるものとする。

【0021】

【発明の実施の形態】

本発明の改良式 D A C 基準ループは、ハードウェア、ソフトウェア、ファームウェア、または、その組み合わせによって実現することが可能である。望ましい実施態様の場合、改良式 D A C 基準ループは、ハードウェアによって実施される。さらに、オシロスコープにおいて有効であるとして説明されるが、この改良式 D A C 基準ループは、D A C の利用を必要とするいかなる用途にも用いることが可能である。

【0022】

10

次に図1を参照すると、典型的なオシロスコープ(データ)取得システム10のブロック図が示されている。オシロスコープ取得システム10は、オシロスコープ(不図示)内にあって、オシロスコープ、及び、オシロスコープに接続されたプローブに較正を施し、基準を与える。取得システム10には、制御・状況・電源モジュール18が含まれている。制御・状況・電源モジュール18には、インターフェイス43を介して他のコンポーネントと通信を行ういくつかのモジュールが含まれている。制御・状況・電源モジュール18には、インターフェイス43から、接続部42を介して電力を受ける電源モジュール52が含まれている。制御・状況・電源モジュール18には、さらに、スコープ・インターフェイス(I/F)・モジュール51も含まれている。スコープI/Fモジュール51は、接続部41を介してインターフェイス43と通信を行い、取得システムのさまざまな機能を制御し、その状況をモニタする。電源制御モジュール54は、接続部44を介してインターフェイス43と通信を行い、オシロスコープ取得システム10に対して電力制御を施す。パーソナル・コンピュータ(PC)電源モジュール56は、接続部46を介してインターフェイス43から電力を送り出し、オシロスコープに組み込まれたPC(不図示)に調整電力を供給する。ファン・モジュール57は、接続部47を介してインターフェイス43によって適正なファン駆動信号を送り出し、オシロスコープ取得システム10が配置されたオシロスコープに冷却を施す。

20

【0023】

オシロスコープ取得システム10には、複数のオートプローブI/Fモジュール11及び複数のアッテネータ/プリアンプ・モジュール12が含まれている。オートプローブI/Fモジュール11は、コンバチブル・プローブに電力、オフセット電圧を供給し、制御を加えて、用いられる特定のプローブに関するオシロスコープのセットアップを自動化する、能動及び受動プローブ・インターフェイスである。アッテネータ/プリアンプ・モジュール12は、A/D&ファースト・イン・スロー・アウト(FISO)・モジュール16及びトリガ・システム・モジュール14を駆動するための信号減衰及び/または増幅及び入力信号バッファリングを含むことが可能な、適正な信号調整を施す。オシロスコープ取得システム10には、それぞれ、オシロスコープ取得システム10が、オシロスコープへの信号供給に用いることが可能な各種プローブとの通信を行うチャネルに相当する、複数のチャネル22を含むことが可能である。図1には、4つのチャネルが示されているが、オシロスコープ取得システム10内には、多くの異なる数のチャネルを含むことが可能である。

30

【0024】

一例として、チャネル22-1は、DC~500MHzの範囲内の周波数で、0から+/-250Vのピークに及ぶ範囲内のアナログ信号をアッテネータ/プリアンプ12-1に供給する。アッテネータ/プリアンプ12-1は、接続部22-1を介して供給された信号に減衰及び予備増幅を施し、接続部26-1を介して、トリガ・システム14と、A/D&FISOモジュール16-1の両方に信号を供給する。A/D&FISOモジュール16-1は、接続部36を介して、時間基準モジュール17からのタイミング信号も受信する。時間基準(タイムベース)モジュール17は、接続部26-1におけるCH1アナログ信号をデジタル表現に変換するのに適したさまざまなタイミング信号を供給する。ト

40

50

リガ・システム 14 には、接続部 23 を介して、補助トリガ入力も供給され、これによって、4つのチャネル C H 1 ~ C H 4 以外に、オシロスコープをトリガするための代替トリガ源が得られる。トリガ・アーミング、リセッティング、及び、同期は、接続部 34 を介して時間基準モジュール 17 によって実施される。

【0025】

オシロスコープ取得システム 10 には、さまざまな D A C も含まれており、そのいくつかには、本発明の改良式基準ループが含まれている。例えば、基準モジュール 19 は、接続部 27 を介して、オートプローブ I / F D A C 100 と通信を行い、接続部 28 を介して、システム D A C 150 と通信を行う。オートプローブ I / F D A C 100 及びシステム D A C 150 は、両方とも、図 2 及び図 3 に関連して詳細に後述する本発明の改良式基準ループから恩恵を受けるデジタル・アナログ変換器である。システム D A C 150 は、接続部 29 を介して較正器 21 との通信を行い、較正器 21 は、オシロスコープの較正を行うため、また、オートプローブ I / F D A C 100 に連係して用いられる場合には、能動及び受動プローブの較正を行うため、接続部 31 を介してバス 35（外部接続部である）に較正信号を送る。オートプローブ I / F D A C 100 は、接続部 24 を介してオートプローブ I / F モジュール 11 にアナログ信号を送り、一方、システム D A C 150 は、接続部 32 を介して、アッテネータ／プリアンプ・モジュール 12 及びトリガ・システム 14 にアナログ信号を送る。

【0026】

オートプローブ I / F D A C 100 及びシステム D A C 150 は、設計が似ているが、特定の用途に合わせて、異なる D A C 出力範囲の基準化が施されている。例えば、D A C 出力には、ユニポーラもあれば、バイポーラもあり、電流出力もある。オートプローブ I / F D A C 100 は、能動プローブのためにオフセット電圧を発生するといった機能の実施に役立ち、能動及び受動プローブに存在するプローブ識別抵抗器、すなわち、プローブ I D を測定するオーム計の導入を助ける。システム D A C 150 は、トリガ・システム 14 におけるトリガ・レベル及びヒステリシス、並びに、アッテネータ／プリアンプ・モジュール 12 に対するオフセット電圧を制御する。

【0027】

本明細書において留意しておくべきは、オシロスコープ内に配置されたオートプローブ I / F D A C 100 及びシステム D A C 150 に関する説明があるが、本発明の改良式基準ループは、D A C を利用する任意の用途に用いることが可能であるという点である。さらに、単一素子として例示されるが、オートプローブ I / F D A C 100 及びシステム D A C 150 には、一般に、それぞれ、複数の D A C が含まれている。

【0028】

図 2 は、本発明の改良式 D A C 基準ループ 200 を示す概略図である。D A C 201 は、上述の米国特許第 5,041,831 号に記載の間接 D A C を表しており、詳細な説明は控えることにする。要するに、D A C 201 は、接続部 208 を介して、プログラマブル・デジタル入力を受信し、16 本の出力チャネル 211-1 ないし 211-16 のそれに 16 ビット・デジタル・パターンを供給する。次に、接続部 211-1 ないし 211-16 のデジタル・パターンにフィルタリングを施すことによって、そのパターンを表した D C 電圧が得られる。D A C 201 の出力は、入力に 1 つのビットを加えると、出力は同じにとどまるか、あるいは、増大するので、本質的に単調である。同様に、入力から 1 つのビットが減じられると、出力は同じにとどまるか、あるいは、減少する。すなわち、D A C 201 の出力の単調性によって、出力がその入力の方向と逆の方向には移動しないという保証が得られる。入力に 1 つのビットが加えられた場合、出力は減少せず、入力から 1 つのビットが減じられた場合、出力は増大しない。D A C チャネル 211-1 ないし 211-16 の各々は、この実施態様の場合、最大 16 ビットとすることが可能であり、各チャネルは、個別に制御可能である。留意すべきは、16 のチャネルを備えるものとして解説されるが、D A C 201 は、用途に従ってチャネル数を増減することができるという点である。

10

20

30

40

50

【 0 0 2 9 】

各チャネルの出力は、そのパターンが 16 ビット・ワードを表すデジタル信号であり、どの数のビットも高及び低である。例えば、「831特許に例示の 16 ビット・チャネルの場合、各チャネル 211 の出力は、0V と 5V の間でスイッチするデジタル信号であり、パルス幅は、0V DC から 100ns ステップで変動し、100ns の場合には、0V あり、65535 * 100ns、すなわち、6.5535ms の場合には、5V になる。一般に、1 本の DAC チャネル、この場合、参照番号が 211-8 のチャネル 7 が、基準ループとして用いられる。任意の DAC チャネルを基準ループとして用いることが可能である。基準ループは、接続部 209 を介して DAC 201 に正確な 5V DC の供給電圧を供給する。

10

【 0 0 3 0 】

上述のように、16 ビット・チャネルに関する 1q レベルは約 76 μV であり、8 ビット DAC チャネルに関する 1q レベルは約 19mV である。基準ループのプログラムの仕方によって生じる相違のため、従来、プログラマは、異なるビット数に合わせてプログラムされた基準ループを備える DAC に対するプログラミングが困難であった。米国特許第 5,041,831 号の DAC 201において、全部 1 で動作する基準チャネルについて解説されている。この条件では、全部 1 のパターンは、0V で 100ns、高レベルで 6.5535ms になり、その平均が 5V に調整されるので、チャネルの出力の揺れが 5V の基準電圧をわずかに超えることになる。16 未満のビットが、全部 1 にプログラムされるいくつかの用途では、出力の揺れはさらに大きくなる。本発明では、16 進数符号 8000 (この場合、16 ビットが、1000 0000 0000 0000 である、「1」が最上位ビットである) に対応する、正確に 50% のデューティ・サイクルで基準チャネルを動作させることによってこの問題を解決する。2.5V の基準電圧と組み合わせると、各出力毎に、真の 0 ~ 5V の揺れが生じることになる。

20

【 0 0 3 1 】

一般に、チャネル 211-8 に関連して上述の基準チャネルは、5V に近い供給電圧が、接続部 209 を介して DAC 201 に送られるように、いくつかのビットが高にプログラムされた。しかし、その構成では、q レベルが、より望ましい $5 / 2^n$ ではなく、 $5 / (2^n - 1)$ になり (ここで、n は全部 1 にプログラムされたビット数)、この状態では、全 DAC チャネルに平均出力電圧のエラーが生じることになる。エラー (誤差) の範囲は、16 ビットの場合、0000 の入力符号における無 (0) から FFFF の入力符号における完全な 1q レベルのエラーにわたる。

30

【 0 0 3 2 】

本発明によれば、基準チャネル 211-8 は、接続部 205 を介して 50% のデューティ・サイクルで動作させられる。基準ループが 50% のデューティ・サイクルで動作している場合、プログラマブル基準ループを備える必要はない。基準ループが必要とするのは、ただ単に、入力クロックが、8000 の符号にプログラムされた場合の各 DAC チャネル 211 と同じ周波数である方形波まで分割されることだけである。

【 0 0 3 3 】

基準ループを 50% のデューティ・サイクルで動作させることができ可能なもう 1 つの方法は、基準ループに供給する DAC チャネル、この場合、DAC チャネル 211-8 によって 16 進数 8000 の DAC 符号を供給することである。16 進数符号 8000 によって、チャネル 211-8 における DAC 201 の 50% のデューティ・サイクル出力に相当する、方形波が得られる。基準ループが 50% のデューティ・サイクルで動作している場合、DAC チャネルの全てが、通常、最高の精度が所望されるミッド・スケール近くにおいて、可能性のある最高の精度になり、温度ドリフトが最小になる。ミッド・スケールは、約 2.5V の電圧レベルを表しており、これは、5V の揺れの中間点に相当する。本発明のある態様によれば、基準ループが 50% のデューティ・サイクルで動作している場合、全ての DAC チャネルにおいて、DAC チャネルに用いられるビット数に関係なく、全部 1 出力の DAC チャネルは、フル・スケールよりもちょうど 1q レベル低くなるような拳

40

50

動を示すことになる。例えば、1ビットが $7.6 \mu V$ に相当する16ビットD A Cチャネルの場合、16の1によって、フル・スケールより1qレベル低いフル・スケール電圧が発生することになる。D A Cチャネルのビット数が8の場合、そのチャネルの8つの1によって、フル・スケールより1qレベル低い、すなわち、フル・スケールより $1.9 mV$ 低いフル・スケール電圧が発生することになる。こうして、異なる数のビットが存在するが、基準チャネルに出力エラーが生じない、出力チャネルを備える1つのD A C 2 0 1を設けることが可能になる。

【0034】

本発明によれば、D A Cチャネル2 1 1 - 8の出力は、接続部2 0 5を介して、抵抗器R 1 2 1 7 (100K)に供給される。コンデンサC 1 2 1 8 (100 μF)と抵抗器R 2 2 1 9 (100K)によって、演算増幅器(o p - a m p)2 4 3の反転入力が供給される。望ましい実施態様の場合、2.5Vの基準電圧2 2 1が、接続部2 2 2を介してo p - a m p 2 4 3の非反転入力に供給される。o p - a m p 2 4 3には、接続部2 2 9を介して+12Vの供給電圧が供給され、接続部2 2 8を介して-12Vの供給電圧が供給される。接続部2 3 1を介したo p - a m p 2 4 3の出力は、フィードバック・ループ2 2 7のコンデンサC 2 2 6 (47nF)を通って、o p - a m p 2 4 3の反転入力2 2 4にフィードバックされる。o p - a m p 2 4 3の出力は、オプションの電圧クランプ2 5 1にも供給される。所望の場合、電圧クランプ2 5 1を用いて、出力電圧が制限される。o p - a m p 2 4 3の出力は、トランジスタQ 1 2 5 2にも供給され、トランジスタQ 1 2 5 2のエミッタ2 5 4は、接続部2 0 9を介して較正された5Vの電力をD A C 2 0 1に供給するため、接続部2 5 8の+12Vの電源を制御する。トランジスタQ 1 2 5 2は、抵抗器R 3 2 5 7 (287)及びR 4 2 5 6 (287)を経て、接続2 5 8を介して+12Vの電圧供給源に接続されている。電力消費を改善するため、個別抵抗器として示されているが、代替案として、抵抗器R 3及びR 4は、単一抵抗器とすることも可能である。

【0035】

接続部2 0 9とアースの間のコンデンサC 3 2 1 2 (47nF)、C 4 2 1 4 (47nF)、及び、C 5 2 1 6 (47uF)は、D A C 2 0 1に対する5V供給電圧の減結合(de-couple)及び絶縁の働きをする。図2には、コンポーネントの値が例示されているが、もちろん、これらのコンポーネント値は、所望の用途に応じて変更することが可能である。さらに、図2及び3には、個別抵抗器を用いて例示されているが、全ての抵抗器は、精密抵抗器パッケージ内に納めることが可能である。

【0036】

図3は、本発明の改良式基準ループの代替実施態様3 0 0を例示した概略図である。図2構成要素と機能が似ている図3の構成要素には、同様の番号が付与されている。例えば、図2の参照番号が2XXとすると、図3の同様の構成要素は3XXと称されることになる。

【0037】

図2に関連して解説のものから発展して改良された図3の基準ループ3 0 0には、接続部3 0 5によって分割D A Cクロック入力信号が供給される。接続部3 0 4のD A C - C L K入力は、例示では20MHzであるが、これが、D A C 3 0 1内の2分割コンポーネント(不図示)によって分割され、10MHzのクロック信号がD A C _ C L K分割器3 0 2に供給される。D A C _ C L K分割器3 0 2において、例えば2 5 6といった、ある数字で10MHzのD A C _ C L K信号を分割することによって、基準出力が、接続部3 0 5を介して、本発明の基準ループに供給されることになる。D A C _ C L K分割器3 0 2の分割比は、接続部3 0 5における方形波の出力周波数が、チャネルが符号8 0 0 0にプログラムされた場合に、出力チャネル3 1 1に生じる周波数と同じになるように調整することが望ましい。2 5 6で分割すると、16進数8 0 0 0に設定した場合に、D A Cチャネルに供給されるのと同じ周波数が基準ループに供給されることになる。入力クロックは、全D A Cチャネルの刻時前に、2分割されるわけではない。従って、20MHzのD A

10

20

30

40

50

C_CLKクロック信号が用いられる場合、各D A C出力チャネルにおける1 q レベルは、50 nsに等しくなる。次に、図2に解説のところと同様に、改良式基準ループ300は、接続部309を介してD A C301に5 Vの供給電圧を供給する。このように、この実施態様の場合、図2に関するように、基準チャネルとして、D A C出力チャネルの1つ、すなわち、チャネル211-8を利用するわけではないので、D A C301の16本のチャネル311-1ないし311-16が、全てシステム出力として利用可能になる。

【0038】

さらに図3に言及すると、図2の12 V電源258に過剰ノイズが生じた場合、電圧調整器339を用いて、接続部309における公称電圧を5 Vに設定することが可能であり、一方、op-amp343は、接続部305の基準出力を利用して精密な補正を施し、正確な5 V電圧が接続部309を介してD A C201に供給されるようにする。この実施態様の場合、op-amp343は、電圧調整器339によって供給される公称電圧に約+/-10 %の補正を施し、D A C出力311-8に適正な符号をロードする前に、D A C301の過剰電圧を阻止する（電圧調整器339が、図2に関連して論じた実施態様に用いられる場合、または、基準ループが適正に機能していない状況において）。言及しておくべきは、電圧調整器は、図2の改良式基準ループに用いることができるという点である。

【0039】

さらに図3を参照すると、抵抗器R3 332(6.19 K)及び抵抗器R4(383)によって、op-amp343の電圧補正能力を約+/-10 %に制限する24.7 dB分割器が形成されている。従って、コンデンサC2 326は、同じポイントにおいて利得1のループのクロスオーバーを維持するため、キャパシタンスが2.7 nFに減少させられる。

【0040】

この基準ループ300には、3つの極（ポール）が存在する。ループが安定するように、すなわち、発振しないように、十分な位相マージンを設けたループにおいて利得1の交差を行うことが望ましい。第1の極は、R2 319及びC1318と並列をなすR1 317によって形成される。これらのコンポーネント値に関して、極は、

$$1 / 2 \pi i * \{ 100 e^3 * 100 e^3 / (100 e^3 + 100 e^3) \} (100 e - 9), \quad 30$$

すなわち、31.8 Hzで得られる。第2の極は、R1 317及びR2 319と、C2 326と、op-ampによって形成される。これによって、利得が1で、1/2 pi * (100 e^3 + 100 e^3) (47 e - 9)、すなわち、16.9 Hzにおいて、位相が90度シフトする、積分器が形成される。第3の極は、電圧調整器（または図2のエミッタ・フォロワQ1 252）の出力インピーダンスと、コンデンサC3 312、C4 314、及び、C5 316によって形成される。コンデンサC3、C4、及び、C5は、接続部309のインピーダンスを低下させて、できるだけ低い周波数にするため、ただし、クロスオーバー・ポイントにおいて過剰なループ位相シフトが生じないように、利得1のクロスオーバー・ポイントより高い周波数にするため、できるだけ大きくなるように選択される。各事例において、出力インピーダンスは、13オーム未満であるため、第3の極は、1/2 pi * (13) (47 e - 6)、すなわち、260 Hz以上になる。フィルタリングが施される接続部305（または図2の接続部205）を介したD A C301（または図2のD A C201）からの波形の周波数は、全部1の16ビット及び5 Vの基準電圧を利用する基準ループの場合、10 MHz / (2^16)、すなわち、10 MHz / 65536、すなわち、152.6 Hzになり、方形波及び2.5 Vの基準電圧を利用する基準ループの場合、10 MHz / (2^8)、すなわち、10 MHz / 256、すなわち、39.1 kHzになる。積分器op-amp343は、他の2つの極がより高い周波数で得られるように、利得1のループのクロスオーバーを設定することが望ましい。

【0041】

もう一度図2を参照すると、基準ループ200は、5 Vの基準電圧を用いる場合、積分器

10

20

30

40

50

o p - a m p 2 4 3 を除くと、ループにおける減衰がほんのわずかな量にしかならない。従って、C 2 2 2 6 が 1 0 0 n F に設定されると、利得 1 のループのクロスオーバーは、C 2 2 2 6 の容量リアクタンスが、R 1 2 1 7 に R 2 2 1 9 を加えた抵抗、すなわち、 $1 / 2 \pi * (100e3 + 100e3) (100e-9)$ 、すなわち、 $1 / 2 \pi * (200e3) (100e-9)$ 、すなわち、7.96 Hz に等しい。方形波で、基準電圧が 2.5 V の、図 2 の回路で同じクロスオーバー周波数を維持するため、接続部 2 0 9 における電源電圧を基準にして、D A C チャネル 2 1 1 - 8 からの 6 dB、すなわち、1/2 の減衰が生じる、すなわち、方形波の場合、平均 2.5 V になる。従って、コンデンサ C 2 2 2 6 は、旧値のほぼ半分、すなわち、47 n F が望ましい。

【0042】

10

もう一度図 3 を参照して、抵抗器 R 2 3 3 2 及び R 3 3 3 4 によって、ループ 3 0 0 において 2 4.7 dB、すなわち、17.16 分の 1 の追加減衰が生じると、コンデンサ C 2 3 2 6 の値は、さらに 17.16 分の 1 に減少され、約 2.9 n F、すなわち、2.7 n F の標準値にすることが望ましい。これによって、全ての基準フィードバック・ループが安定した状態に保たれ、利得 1 の周波数の交差が約 8 Hz のほぼ同じポイントで生じることになる。フィードバック・ループの技術者であれば、異なるが、同等に適切な基準フィードバック・ループ構成を開発することが可能であろう。

【0043】

図 3 に示すように、図 2 の電圧クランプ 2 5 1 及びトランジスタ Q 1 2 5 2 も排除されている。

20

【0044】

強調しておくべきは、本発明の上述の実施態様、すなわち、任意の「望ましい」実施態様が、本発明の原理の明確な理解のために示されただけの、単なる可能性のある実施例にすぎないという点である。本発明の上述の実施態様には、本発明の精神及び原理をほとんど逸脱することなく、多くの変更及び修正を施すことが可能である。こうした修正及び変更是、全て、本発明の範囲内に含まれるものとする。

【0045】

以上、本発明の実施例について詳述したが、以下、本発明の各実施態様の例を示す。

【0046】

30

(実施態様 1)

第 1 の周波数を備える入力クロック (2 0 4、3 0 4) と、複数の D A C 出力 (2 1 1、3 1 1) を含む改良式デジタル・アナログ変換器 (D A C) (2 0 1、3 0 1) であって、基準ループ (2 0 0、3 0 0) に結合される基準電圧 (2 2 1、3 2 1) と、前記基準ループ (2 0 0、3 0 0) に結合され、前記基準ループ (2 0 0、3 0 0) にほぼ 50 % のデューティ・サイクルで動作させる信号 (2 0 5、3 0 5) とを含む改良式 D A C (2 0 1、3 0 1)。

【0047】

(実施態様 2)

前記基準電圧 (2 2 1、3 2 1) が 2.5 V であることを特徴とする、実施態様 1 に記載の D A C (2 0 1、3 0 1)。

40

【0048】

(実施態様 3)

前記複数の D A C 出力 (2 1 1) の 1 つ (2 1 1 - 8) が、前記基準ループ (2 0 0) に結合されて、前記信号 (2 0 5) を供給することを特徴とする、実施態様 1 に記載の D A C (2 0 1、3 0 1)。

【0049】

(実施態様 4)

前記入力クロック (3 0 4) を第 2 の周波数に分割するように構成された分割器 (3 0 2) が含まれることと、前記第 2 の周波数が前記基準ループ (3 0 0) に結合されて、全て

50

の D A C 出力 (3 1 1) がシステム出力として利用可能になることを特徴とする、実施態様 1 に記載の D A C (3 0 1)。

【 0 0 5 0 】

(実施態様 5)

前記第 2 の周波数が、方形波であることを特徴とする、実施態様 4 に記載の D A C (3 0 1)。

【 0 0 5 1 】

(実施態様 6)

それぞれ、最大出力を生じる複数の出力 (2 1 1 、 3 1 1) を備えた、デジタル・アナログ変換器 (D A C) (2 0 1 、 3 0 1) における基準ループ (2 0 0 、 3 0 0) を動作させる方法であって、
10

前記基準ループ (2 0 0 、 3 0 0) に第 1 の信号 (2 0 5 、 3 0 5) を供給し、前記基準ループ (2 0 0 、 3 0 0) をほぼ 5 0 % のデューティ・サイクルで動作させるようにするステップと、

前記基準ループ (2 0 0 、 3 0 0) に基準信号 (2 2 1 、 3 2 1) を供給するステップとを含む方法。

【 0 0 5 2 】

(実施態様 7)

前記基準電圧 (2 2 1 、 3 2 1) が 2 . 5 V であることを特徴とする、実施態様 6 に記載の方法。
20

【 0 0 5 3 】

(実施態様 8)

前記基準ループ (2 0 0 、 3 0 0) を 5 0 % のデューティ・サイクルで動作させる前記ステップによって、前記複数の D A C 出力 (2 1 1 、 3 1 1) のそれぞれが、前記最大出力より 1 q レベル低い出力を送り出すことを特徴とする、実施態様 6 に記載の方法。

【 0 0 5 4 】

(実施態様 9)

前記第 1 の信号 (2 0 5) が、前記複数の D A C 出力 (2 1 1) の 1 つ (2 1 1 - 8) によって前記基準ループ (2 0 0) に供給されることを特徴とする、実施態様 8 に記載の方法。
30

【 0 0 5 5 】

(実施態様 1 0)

前記第 1 の信号 (3 0 5) が、前記 D A C のクロック分割器 (3 0 2) によって供給されることを特徴とする、実施態様 8 に記載の方法。

【 0 0 5 6 】

【 発明の効果 】

本発明の 1 つの利点は、 D A C の全出力チャネルをシステム出力として利用することが可能になるという点である。

【 0 0 5 7 】

本発明のもう 1 つの利点は、基準ループを 5 0 % のデューティ・サイクルで動作させることが可能になり、この結果、全 D A C チャネルが、通常、最高の精度が所望されるミッド・スケール近くにおいて、精度が最高になり、温度ドリフトが最小になるという点である。
40

【 0 0 5 8 】

本発明のもう 1 つの利点は、基準ループが 5 0 % のデューティ・サイクルで動作し、全チャネルが、チャネルで用いられるビットの数字に関係なく、全部 1 の場合、フル・スケールより 1 q レベル低くなる、従来の D A C のように動作するという点である。

【 0 0 5 9 】

本発明のもう 1 つの利点は、基準ループが 5 0 % のデューティ・サイクルで動作すると、ビット数の異なる D A C を混合しても、それぞれに異なるビット数を用いるチャネルに才
50

フェット電圧が発生しないという点である。

(0 0 6 0)

本発明のもう1つの利点は、設計が単純であり、大規模な市販品の生産における実施が容易であるという点である。

【図面の簡単な説明】

【図1】本発明のDACが納められたオシロスコープを例示したブロック図である。

【図2】本発明の改良式D A C基準ループの望ましい実施態様を含む図1のD A Cの1つに関する概略図である。

【図3】本発明の改良式D A C基準ループの代替実施態様を含む図1のD A Cの1つの概略図である。

【符号の説明】

200 : 基準ループ

2 0 1 : D A C

204：入力クロック

2 1 1 : D A C 出力

300 : 基準ル

3 0 1 : D A C

3.0.2 : クロック分割

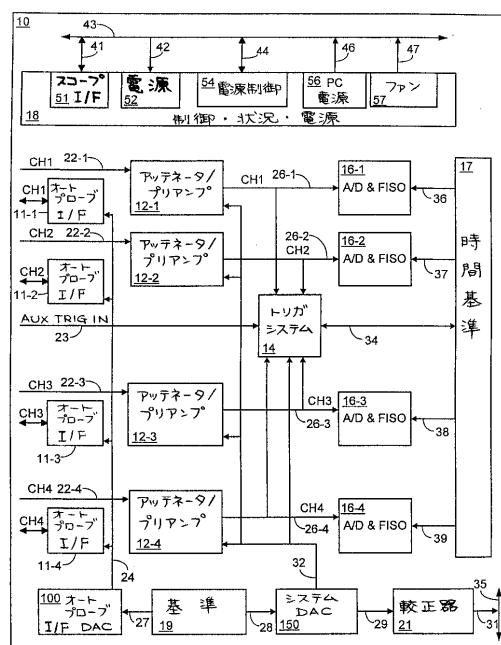
304：入力クロック

3 1 1 : D A C 出力

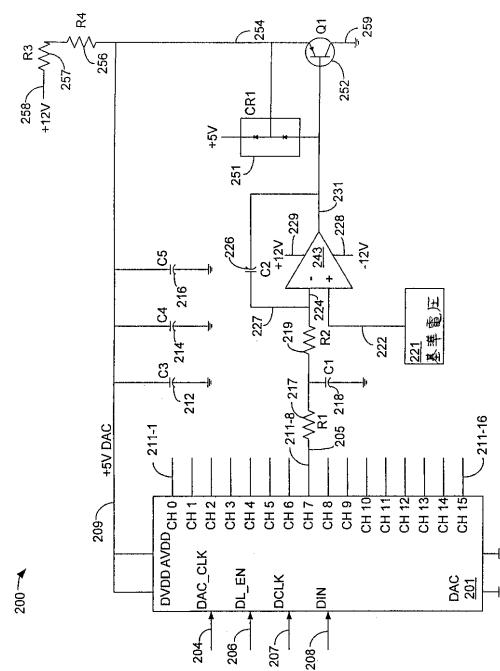
10

20

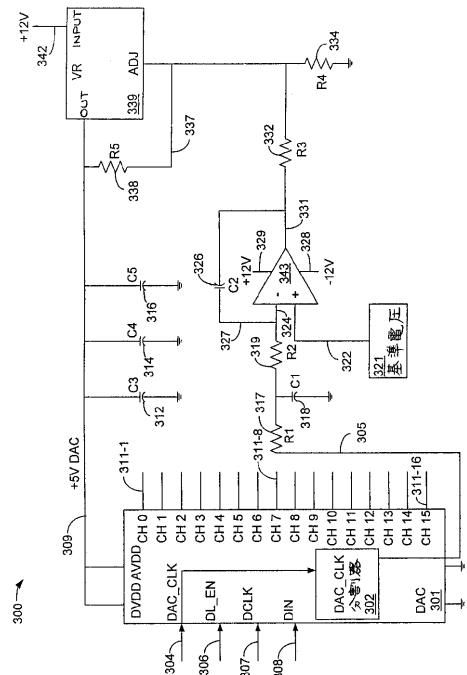
〔 図 1 〕



〔 図 2 〕



【図3】



フロントページの続き

審査官 柳下 勝幸

(56)参考文献 特開平01-314017(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M1/00-1/88