

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年8月22日(2013.8.22)

【公表番号】特表2013-506911(P2013-506911A)

【公表日】平成25年2月28日(2013.2.28)

【年通号数】公開・登録公報2013-010

【出願番号】特願2012-532121(P2012-532121)

【国際特許分類】

G 05 B 19/05 (2006.01)

【F I】

G 05 B 19/05 S

【手続補正書】

【提出日】平成25年7月5日(2013.7.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のPLC機能が可能なプログラマブルロジックコントローラ(PLC)であって、PLC機能の各々に割り当てられた1つまたは複数のプロセッサと、前記プロセッサに結合されると共に複数のプログラムまたはデータの少なくとも1つを格納する少なくとも1つのメモリと、

相互の通信を可能にするように前記PLC機能の各々に対応する前記プロセッサを接続している複数のチャンネルと、

を備えており、

PLC機能のうちの少なくとも2つが並列に動作する、プログラマブルロジックコントローラ(PLC)。

【請求項2】

前記メモリはその各々が1つのPLC機能と直接関連付けされている複数の第1及び第2のメモリを備えていると共に、該第1のメモリはプログラム及び中間結果を配置させかつ該第2のメモリはプロセッサ間の通信中のデータフロー変数を配置させている、請求項1に記載のPLC。

【請求項3】

第2のメモリをその間接的に関連するPLC機能に対応したプロセッサとそれ接続している複数のチャンネルをさらに備える請求項2に記載のPLC。

【請求項4】

前記プロセッサはシンクフェーズとランフェーズを周期的に循環すると共に、PLC機能の各々に対応するプロセッサはシンクフェーズでは互いにデータを交換しつつランフェーズではメモリ内に格納されたプログラムを実行する、請求項1に記載のPLC。

【請求項5】

前記プロセッサは、すべてのプロセッサが対応するプログラムを完了したときにランフェーズからシンクフェーズに同時に切替わる、請求項4に記載のPLC。

【請求項6】

前記プロセッサは、事前定義の最大時間期間に到達したときにランフェーズからシンクフェーズに同時に切替わる、請求項4に記載のPLC。

【請求項7】

前記メモリは、その各々が1つのPLC機能と関連付けされている複数のプログラムメモリと、第1のメモリ及び第2のメモリを備えたping-pongバッファと、を含む、請求項1に記載のPLC。

【請求項8】

前記プロセッサは、第1のメモリ及び第2のメモリへのアクセスを交替式に有するI/O走査プロセッサ及び論理解法プロセッサを含む、請求項7に記載のPLC。

【請求項9】

第1のメモリ及び第2のメモリをプロセッサとそれぞれ接続していると共にプロセッサによる第1のメモリまたは第2のメモリへのアクセスを制御している2つの調停器をさらに備える請求項7に記載のPLC。

【請求項10】

前記調停器に接続させた保護機構をさらに備えると共に、該保護機構は2つ以上のプロセッサが第1のメモリまたは第2のメモリの同じ1つのエリアにアクセスするときに該プロセッサに対する優先度を設定する、請求項9に記載のPLC。

【請求項11】

前記第1のメモリがpingバッファでありかつ前記第2のメモリがpongバッファであると共に、該pingバッファとpongバッファは入力データ及び出力データを格納するために同様の空間を有する、請求項7に記載のPLC。

【請求項12】

複数のPLC機能が可能であるような、複数のプログラムまたはデータの少なくとも1つを格納する少なくとも1つのメモリとPLC機能の各々に割り当てられると共に該メモリに結合された1つまたは複数のプロセッサとを備えるプログラマブルロジックコントローラ(PLC)を動作させる方法であって、

- (a) PLC機能の各々に対応するプロセッサを同時にイニシャライズするステップと、
- (b) プロセッサを用いて対応するプログラムを目下の掃引サイクルで実行することによってPLC機能を並列に動作させるステップと、
- (c) 目下の掃引サイクルでプロセッサを用いることによって並列にデータを交換するステップと、
- (d) 次の掃引サイクルにおいてプロセッサをステップ(b)に切替え、プロセッサがそれに要求されたすべてのプログラムを完了するまでステップ(b)、(c)及び(d)を周期的に実行するステップと、

を含む方法。

【請求項13】

前記メモリはその各々が1つのPLC機能と関連付けされている複数の第1及び第2のメモリを含むと共に、ステップ(b)の間に生成された中間結果を該第1のメモリ内に配置するステップと、ステップ(c)の間に他のプロセッサからのデータフロー変数を該第2のメモリ内に配置するステップと、をさらに含む請求項12に記載の方法。

【請求項14】

ステップ(d)の間ににおいて事前定義の最大周期に到達したときに次の掃引サイクルですべてのプロセッサをステップ(b)に同時に切替えている、請求項12に記載の方法。

【請求項15】

ステップ(d)の間にすべてのプロセッサが対応するプログラムを目下の掃引サイクルで完了したときに次の掃引サイクルにおいてすべてのプロセッサをステップ(b)に同時に切替えている、請求項12に記載の方法。

【請求項16】

その各々が複数のPLC機能が可能な複数のプログラマブルロジックコントローラ(PLC)と、

前記PLCを接続する複数のシステムリンクと、

前記PLCを1つまたは複数のデバイスと接続する複数のI/Oモジュールと、を備えるプログラマブルロジックコントローラ(PLC)システムであって、各PLCは、

P L C 機能の各々に割り当てられた 1 つまたは複数のプロセッサと、
前記プロセッサに結合されると共に複数のプログラムまたはデータの少なくとも 1 つを格納する少なくとも 1 つのメモリと、を備えており、
前記プロセッサは複数の論理解法プロセッサを含み、

P L C 機能のうちの少なくとも 2 つが並列に動作している、プログラマブルロジックコントローラ（P L C）システム。

【請求項 1 7】

前記システムリンクが低電圧差動信号（L V D S）である、請求項 1_6 に記載の P L C システム。

【請求項 1 8】

各 P L C は、相互の通信を可能にするように P L C 機能の各々に対応するプロセッサを接続している複数のチャンネルを備えている、請求項 1_6 に記載の P L C システム。

【請求項 1 9】

前記メモリはその各々が 1 つの P L C 機能と関連付けされている複数の第 1 及び第 2 のメモリを備えていると共に、該第 1 のメモリはプログラム及び中間結果を配置させかつ該第 2 のメモリはプロセッサ間の通信中のデータフロー変数を配置させている、請求項 1_6 に記載の P L C システム。

【請求項 2 0】

前記第 2 のメモリはさらに、システムリンクを通じて送られるデータをそれぞれ格納するように専用としたシステム入力ドメインとシステム出力ドメインを備えている、請求項 1_9 に記載の P L C システム。

【請求項 2 1】

前記メモリは、その各々が 1 つの P L C 機能と関連付けされた複数のプログラムメモリと、第 1 のメモリ並びに入力データ及び出力データを格納するための該第 1 のメモリと同じ空間を有する第 2 のメモリを備えた p i n g - p o n g バッファと、を含む、請求項 1_6 に記載の P L C システム。

【請求項 2 2】

前記 p i n g - p o n g バッファは第 1 のメモリ及び第 2 のメモリをプロセッサとそれ接続している 2 つの調停器を備えており、かつ該調停器はプロセッサによる第 1 のメモリまたは第 2 のメモリへのアクセスを制御している、請求項 2_1 に記載の P L C システム。