



(21)申請案號：099110095

(22)申請日：中華民國 99 (2010) 年 04 月 01 日

(51)Int. Cl. : **H05K3/10 (2006.01)**

(30)優先權：2009/04/09 歐洲專利局 09090006.9

(71)申請人：亞托德克德國股份有限公司(德國) ATOTECH DEUTSCHLAND GMBH (DE)  
德國(72)發明人：露茲索 諾柏特 LUETZOW, NOBERT (DE)；史帕林 克里斯汀 SPARING,  
CHRISTIAN (DE)；陶斯 德克 TEWS, DIRK (DE)；湯姆斯 馬汀 THOMS,  
MARTIN (DE)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 302387

JP 2003-347149A

審查人員：巫韋倫

申請專利範圍項數：9 項 圖式數：3 共 0 頁

## (54)名稱

製造電路載體層之方法及該方法用於製造電路載體之用途

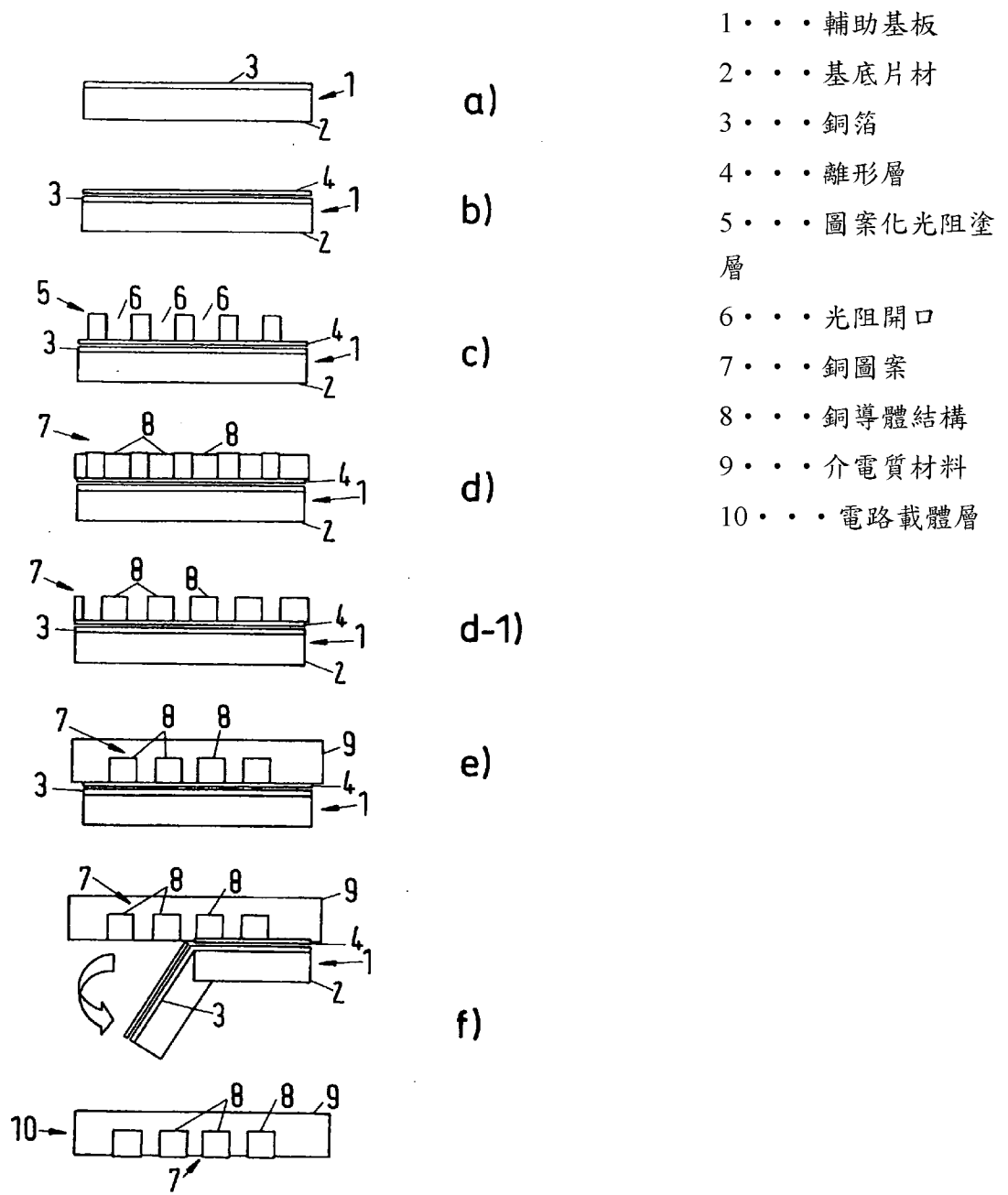
A METHOD OF MANUFACTURING A CIRCUIT CARRIER LAYER AND A USE OF SAID METHOD  
FOR MANUFACTURING A CIRCUIT CARRIER

## (57)摘要

為了能夠在介電質基板上製造高密度電路，其中該電路之導體線對該介電質基板具有良好的黏附性，提供一種方法，其包含下述之方法步驟：(a)提供具有二側之一輔助基板，該等側中至少一者具有導電表面；(b)利用至少一離形層形成化合物處理該至少一導電表面中至少一者，其中該至少一離形層形成化合物為具有至少一硫羰基之雜環化合物；(c)在已利用該至少一離形層形成化合物處理之該至少一導電表面中該至少一者上形成一圖案化光阻塗層，該圖案化光阻塗層具有至少一光阻開口，藉此曝露該導電表面；(d)藉由電沉積一金屬在該曝露之導電表面上，在該至少一光阻開口中形成一導電圖案；(e)藉由在該輔助基板之個別側上形成個別的介電質材料層，將每一導電圖案包埋入一介電質材料中；以及(f)使包含該個別包埋之導電圖案之每一介電質材料層及該輔助基板彼此分離。

In order to be able to produce high density circuits on a dielectric substrate wherein the conductor lines of said circuit have a good adhesion to the dielectric substrate surface, a method is provided which comprises the following method steps: a) providing an auxiliary substrate having two sides, at least one of said sides having an electrically conductive surface; b) treating at least one of the at least one electrically conductive surface with at least one release layer forming compound, the at least one release layer forming compound being a heterocyclic compound having at least one thiol group, c) forming a patterned resist coating on at least one of said at least one electrically conductive surface which has been treated with said at least one release layer forming compound, the patterned resist coating having at least one resist opening thereby exposing the electrically conductive surface; d) forming an electrically conductive pattern in the at least one resist opening by electrodepositing a metal on the exposed electrically conductive surface; e) embedding

each electrically conductive pattern into a dielectric material by forming a respective dielectric material layer on the respective side of the auxiliary substrate; and f) separating each dielectric material layer comprising the respective embedded electrically conductive pattern and the auxiliary substrate from each other.



- 1 . . . 輔助基板
- 2 . . . 基底片材
- 3 . . . 銅箔
- 4 . . . 離形層
- 5 . . . 圖案化光阻塗層
- 6 . . . 光阻開口
- 7 . . . 銅圖案
- 8 . . . 銅導體結構
- 9 . . . 介電質材料
- 10 . . . 電路載體層

第1圖

# 發明專利說明書

**公告本**

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99110095

※ 申請日：99.04.01

※ IPC 分類：H05k3/00

## 一、發明名稱：(中文/英文)

製造電路載體層之方法及該方法用於製造電路載體之用途

A METHOD OF MANUFACTURING A CIRCUIT CARRIER LAYER  
AND A USE OF SAID METHOD FOR MANUFACTURING A CIRCUIT  
CARRIER

## 二、中文發明摘要：

為了能夠在介電質基板上製造高密度電路，其中該電路之導體線對該介電質基板具有良好的黏附性，提供一種方法，其包含下述之方法步驟：(a)提供具有二側之一輔助基板，該等側中至少一者具有導電表面；(b)利用至少一離形層形成化合物處理該至少一導電表面中至少一者，其中該至少一離形層形成化合物為具有至少一硫羰基之雜環化合物；(c)在已利用該至少一離形層形成化合物處理之該至少一導電表面中該至少一者上形成一圖案化光阻塗層，該圖案化光阻塗層具有至少一光阻開口，藉此曝露該導電表面；(d)藉由電沉積一金屬在該曝露之導電表面上，在該至少一光阻開口中形成一導電圖案；(e)藉由在該輔助基板之個別側上形成個別的介電質材料層，將每一導電圖案包埋入一介電質材料中；以及(f)使包含該個別包埋之導電圖案之每一介電質材料層及該輔助基板彼此分離。

## 三、英文發明摘要：

In order to be able to produce high density circuits on a dielectric substrate wherein the conductor lines of said circuit have a good adhesion to the dielectric substrate surface, a method is provided which comprises the following method steps: a) providing an auxiliary substrate having two sides, at least one of said sides having an electrically conductive surface; b) treating at least one of the at least one electrically conductive surface with at least one release layer forming compound, the at least one release layer forming compound being a heterocyclic compound having at least one thiol group, c) forming a patterned resist coating on at least one of said at least one electrically conductive surface which has been treated with said at least one release layer forming compound, the patterned resist coating having at least one resist opening thereby exposing the electrically conductive surface; d) forming an electrically conductive pattern in the at least one resist opening by electrodepositing a metal on the exposed electrically conductive surface; e) embedding each electrically conductive pattern into a dielectric material by forming a respective dielectric material layer on the respective side of the auxiliary substrate; and f) separating each dielectric material layer comprising the respective embedded electrically conductive pattern and the auxiliary substrate from each other.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

- 1...輔助基板
- 2...基底片材
- 3...銅箔
- 4...離形層
- 5...圖案化光阻塗層
- 6...光阻開口
- 7...銅圖案
- 8...銅導體結構
- 9...介電質材料
- 10...電路載體層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明關於製造電路載體層之方法及該方法用於製造電路載體之用途。此方法係用於製造複雜電子產品所要求之非常精細的導體的線及墊圖案之線幾何。

### 【先前技術】

隨著印刷電路板或其他電路載體上增高的電路微型化，已顯露出新的製造技術。因為基底銅之蝕刻不足限制線解析度，標準的減成技術無法產生超精細線幾何。目前應用之取代減成法的半加成法係包含下述步驟：(a)將一薄無電銅層直接沉積在一介電材料或一超薄銅膜上，(b)應用乾燥膜，(c)圖案電鍍，(d)乾膜剝除，以及(e)無電銅層（以及若可行的話，任何基底銅膜）之差異式蝕刻。

為了達到 HDI 導體結構（HDI=高密度互連(High Density Interconnect)；包含具有最多 100  $\mu\text{m}$  之線寬且最多 100  $\mu\text{m}$  之線跡間間隔之導體結構），於電路板之表面施覆一初始超薄銅層。目前使用於工業之 HDI 導體結構為大於 95% 之程度係由位在電路板之表面上的個別電路製成。不同電路平面上的結構係藉由機械穿孔之貫通孔或藉由雷射穿孔之微孔來電連接。

隨著超精細導體線之尺寸降低，線與介電質之接觸面積變得如此小以致於線與介電質之充分黏附不再令人滿意。

克服此黏附問題之一替代途徑為將電路線包埋於介電

質中：

DE 196 20 095 A1 揭露一種製造印刷電路板的方法，其藉由首先在例如連接至載體框的介電質中形成溝渠及貫通孔來進行，較佳係藉由使用準分子雷射之雷射剝離。接著，使介電質具有接地層，接下來，除了溝渠及貫通孔的位置以外，選擇性地再次去除該接地層。現在將餘留的接地層鍍敷金屬，以直供或在光活化之後，在溝渠及通孔中，形成例如電路線跡及經電鍍通孔的導體結構，以致於溝渠中形成的導體線被包埋在介電質中。文中描述之另一可能性為免除接地層之選擇性處理及直接沉積金屬在其整個表面上。貫通孔可藉此亦完全被填滿金屬。在此例子中，金屬接著被回蝕直至介電質形成有與其齊平之被填滿的溝渠及貫通孔。

EP 0 677 985 A1 揭露製造印刷電路板之另一方面。此專利文獻背離被評估為昂貴的且通常無法獲得恆定品質之多層基板以及要求多層層合材料的類似習知技術。首先，藉由雷射剝離，較佳為使用準分子雷射，在載體基板中產生各種不同的凹穴，類似技術亦顯示於 DE 196 20 095 A1 中。接下來，進一步使用雷射剝離，形成貫通孔。接下來在基板的整個表面上實質沉積導電性材料，該導電性材料接下來較佳地藉由電鍍來強化，該材料亦沉積在貫通孔的壁上。在最後的步驟中，除了凹穴及貫通孔以外，藉由機械拋光去除沉積的導電性材料。

導體線的封埋提供電路係連接至底部足跡上的介電質

材料，以及二側壁。因此，導體線係以其三側與介電質直接接觸，因此安定化其整體性。

此方法例如描述於 US 2006/0016553 A1。此專利文獻描述製造高密度印刷電路板之方法。此方法包含在用於作為基底基板之硬質基板或載體膜上施與可剝除的黏著劑層，藉由電鍍、層合或濺鍍在黏著劑層上形成金屬箔，以及藉由圖案電鍍在金屬箔上形成供作為種子層之高密度電路，在電路圖案上層合一絕緣層，以及藉由剝除去除硬質基板或載體膜及藉由急驟蝕刻去除種子層。

US 2003/0219608 A1 揭露一種製造耐用的、小型化、薄層陶瓷電容器之方法，其首先製造一金屬轉移片材，其具有第一金屬層及第二金屬層，該等金屬層藉由夾置於其間的被動膜層合，第二是將金屬轉移片材之第二金屬層轉移至陶瓷生料片材，其包括剝除金屬轉移片材並經由鈍化膜自第一金屬層去除第二金屬層，第三為層合被轉移第二金屬層之陶瓷生料片材，以及第四為烘烤層合之陶瓷生料片材。

另一方法係描述於 US 4,606,787 A。此專利文獻揭露一種提供精細線、高密度多層印刷電路板封裝體。為了其之製造，首先提供一硬質金屬或金屬化板基材。接下來，將閃現的銅電鍍在此基材上。銅閃現係在完成印刷電路板的形成之後，供作使印刷電路與基材分離的離形材料。為了產生電路，一層光敏性光阻材被施與在銅薄鍍表面上，被曝光且顯影。接下來，基材被電鍍銅。於電鍍完成之後，

自銅薄鍍表面上剝離光阻。接下來將一絕緣層層合至銅薄鍍層，完全覆蓋銅薄鍍層及凸起的導電性電路圖案。最後，自基材之表面手動分離絕緣體材料，利用傳統的蝕刻技術去除銅薄鍍層。

另一方法係揭露於 WO 2006/067280 A。此專利文獻係關於藉由在表面是導電性之輔助基板上形成分離層以製造導電圖案的方法，其中該表面是導電性的，在該分離層上形成一圖案化光阻層，在該電阻層之圖案的開口中，在分離層上電沉積導電圖案，包埋及連接該導電圖案至電絕緣材料且機械地自層結構的其餘部分去除該輔助基板。此輔助基板可由例如不銹鋼之金屬、似膜的條帶或塗覆銅之塑膠膜製成。分離層可由離形層及任擇的一中間層所形成。離形層可由金屬或例如羧基苯并三唑之有機物質製成。中間層可由銅製成。於導電圖案之電沉積之後，中間層可藉由已知技術粗化以提供對絕緣電路板材料之較佳黏附。在完成電沉積之後，可去除或可不去除光阻層。電絕緣材料可為硬化環氧塑料、熱塑性塑料或可棄式塑料。若離形層已適當地產生的話，輔助基板之機械去除可容易地進行。黏附在絕緣電路板材料之任何餘留的離形層可藉由蝕刻去除。

形成離形層之其他物質係揭露於 EP 0 930 811 A1 中。此專利文獻意指複合銅箔及其製備方法。複合金屬箔包含界於金屬載體層與超薄銅箔之間的有機離形層。其提供均一的結合強度，其在操作及層合期間係適當地防止載體與

超薄銅箔的分離，但其顯著低於銅／基板之結合的剝離強度，以致於載體於複合金屬箔之層合之後可容易地去除載體。超薄銅箔係藉由電沉積產生在有機離形層上。有機離形層例如為含氮化合物或含硫化合物。含氮化合物類包括例如羧基苯并三唑，N,N'-雙(苯并三唑基甲基)脲或 3-胺基-1H-1,2,4-三唑。含硫化合物類包含例如硫羰基苯并三唑、硫氰尿酸及 2-苯并咪唑硫醇。

若使用鋼板以供在該鋼板上製造銅圖案，將需要此等面板的苦心製備。此外，甚至必須緊密地監測第一(種子)銅層的電鍍。當用於作為離形層的薄鍍銅層必須藉由蝕刻去除時，因為要求均一的蝕刻，可能獲致數項額外的不利結果，包括額外的加工驟、損害所形成之電路的風險、含銅廢水的增加以及均一之銅結晶形成。後者使所形成之元件的退火變為必要。

再者，此等製程順序的困難為必須在未去除薄鍍銅膜之下改良對薄鍍銅膜之乾膜黏附性。因此，可能非常難以使薄鍍銅被急驟蝕刻而同時確保包埋之電路未受損。傳統上，乾膜黏附性係藉由機械地或化學地粗化銅表面來改良。應用為了粗化薄鍍銅的蝕刻溶液，增加單點蝕刻穿透單一斑點之薄鍍銅的風險。此外，粗化表面拓樸學被轉移至電鍍之電路，造成供高頻率應用之單一整體性的喪失。基於此理由，必須在輔助基板上形成相當厚的銅箔，以防止上述問題。然而，此又再度需要較大量化學品及產生較大量銅廢水。

## 【發明內容】

### 發明概要

因此，本發明之一目的為提供一種在介電質基板上製造高密度電路之方法，其中該電路之導體線對介電質基板之表面具有良好的黏附性。

本發明之另一目的為提供一種在介電質基板上製造高密度電路之方法，其中該電路在高頻率應用中在單一整體性上未經歷相關的損失。

本發明之另一目的為提供一種在介電質基板上製造高密度電路之方法，其中導體圖案係利用圖案化光阻塗層來製造且其中該光阻塗層的黏附性夠高且在用於完成該介電質基板上之高密度電路的形成的任何處理步驟中未受損害。

此等目的及其他目的係利用製造一電路載體層之方法，且藉由使用該用於製造例如一印刷電路板之一電路載體層之方法，藉由將至少二電路載體層接合在一起，較佳為藉由將一者堆疊在另一者上且例如藉由層合以穩固地附接在一起來完成。

本發明之方法包含下述的方法步驟：

(a)提供具有二側之一輔助基板，該等側中至少一者具有導電表面，較佳為銅表面；

利用至少一離形層形成化合物處理該至少一導電表面中至少一者，其中該離形層形成化合物係選自於包含具有至少一硫羰基之雜環化合物之組群；

(b)在已利用至少一離形層形成化合物處理之該至少一導電表面中該至少一者上形成圖案化光阻塗層，該圖案化光阻塗層具有至少一光阻開口，藉此曝露該導電表面；

(c)藉由電沉積一金屬在該曝露之導電表面上，在該至少一光阻開口中形成導電圖案；

(d)藉由在該輔助基板之個別側上形成個別的介電質材料層，將每一導電圖案包埋入一介電質材料中；以及

(e)使包含該個別包埋之導電圖案之每一介電質材料層及該輔助基板彼此分離。

離形層形成化合物較佳為非蝕刻、非光阻黏附促進劑。

使用本發明之方法提供適於製造電路載體之電路載體層，該電路載體備有超精細提供具有超精細線導體結構。

在電路載體之基底基板的介電質材料中包埋導體結構，確保可靠地製造最精細的導體結構。再者，機械地自該介電質基底材料及包埋之導電圖案去除該輔助基板，使得此類電路載體層之容易且成本收效的製造是可能的。若包埋之電路圖案係直接形成於凹穴中時，該凹穴係形成於介電質材料中，涉及在一輔助基板上製造導電圖案且接著將該導電圖案包埋在介電質材料中之本發明的方法進一步造成避免歸因於例如 CMP(化學機械拋光)之傳統製程的缺點。

藉由使用本發明之方法，改良乾膜黏附至所應用的銅，但未改變輔助基板之導電表面的拓撲學，亦即未使導

電表面粗化，反而是保持實質平滑。結果，與目前現有技術之方法相較，達到一平坦的導電表面且因此高頻率訊號整體性的損失低。即使在此等狀況下，可達到聚合物沉積物對導電表面之良好黏附性，即使迄今已假定良好的黏附性僅在倘若已使基底表面為粗糙的或製備時是粗糙的之下才可觀察到。此結果是令人大為驚異的，因為表面與聚合物沉積物之間的強力結合據信僅歸因於該表面的比表面積之增大。

良好的黏附性已藉由目視檢測一層合在銅表面且經曝光及顯影之光可成像光阻的最精細之線圖案的黏附性來證實，且另外在此經加工之光可成像光阻層利用膠帶試驗測試黏附性。已證實具有優異之一致性及黏附性。也就是說，即使有上述事實存在，但導電表面實質上未受到本發明之預處理的影響，亦即當利用該離形層形成化合物處理該表面時，無明顯的粗化發生。因此，無因為前述方法處理而使導電表面之材料過度去除的危險性，同時提供平滑的表面。若導電表面為例如半添加製程中非常薄的銅層時，此一去除將特別重要。使用於高精密應用之印刷電路板製造的基底基板包含一無電鍍銅基底層，其厚度僅約  $1\ \mu\text{m}$  且在該基底基板上層合一光可成像光阻，且加工以形成電路。因為根據本發明之銅預處理實質上未自此薄銅基底層去除任何銅，即使在表面積的部分，亦無完全去除銅的危險性。使用根據本發明之化合物的銅去除已顯現出最多  $0.1$  至  $0.2\ \mu\text{m}$  的銅。

因此，離形層形成化合物係作為非蝕刻黏附促進劑。儘管低粗糙度，由於出現於非蝕刻黏附劑分子之特定結構特徵，其調解導電表面與聚合物沉積物之間的黏附性，故可假定具有良好的黏附性。在包含至少一硫醇部分的雜環化合物中，硫醇部分據信可有效地強力結合至該表面，同時雜環系統據信可有效地強力結合至該聚合物沉積物。

離形層形成化合物據信形成位在該導電表面及該電鍍之導電電路之間的離形層。雜環化合物可被檢測出是位在該輔助基板之導電表面及該電路之該表面上，於該二表面被機械地彼此分離之後。此即輔助基板可容易地自介電質材料及包埋之導電圖案機械地去除的原因。因此，不需要克服自電路載體層剝除輔助基板的強力，因此避免電路載體層之尺寸整體性的彎翹或其他損害之發生。再者，此避免使用例如 EP 0 545 328 B1、US 4,606,787 及 US 2006/0016553 A1 描述之方法的化學蝕刻溶液。因此，本發明之方法可節省成本、節省廢水及最後節省銅。自電鍍之導電電路機械地剝除輔助基板亦提供多次再使用輔助基板的機會，以製造電路載體層。

上述離形層形成化合物已證明可有效地製備輔助基板之導電表面，尤其是銅表面，以達到被施覆在該表面上之聚合物沉積物的良好黏附性，尤其是光阻塗層。

## 【實施方式】

發明之詳細說明

為了本發明之目的，專門術語「烷基」在本文中係定

義為一飽和化合物之組群，該化合物在其主鏈僅具有碳原子，此等化合物包含其等之所有可想到的異構物。舉例而言， $C_1$ - $C_6$  烷基意指甲基、乙基、丙基、異丙基、丁基、異丁基、第三丁基、戊基、異戊基、第三戊基、新戊基、己基、2-甲基戊基、3-甲基戊基、2,3-二乙基丁基，以及  $C_1$ - $C_4$  烷基意指甲基、乙基、丙基、異丙基、丁基、異丁基、第三丁基。此等化合物亦可被取代，其中取代基可包含具有可包含碳以及其他原子之主鏈的基團。

為了本發明之目的，專門術語「環氧乙烷族」在本文中係定義為環中具有一氧原子及二碳原子之三員環基團，最簡單的種類為環氧乙烷環，其為未經取代之環氧乙烷族。

為了本發明之目的，專門術語「硫羰」或「硫醇」意指-SH 部分或其鹽類。

為了本發明之目的，專門術語「電路載體」在本文中係定義為用於提供不同電子組件及其他安裝在該電子組件上的其他組件之間的電性互連的元件，該等電子組件及其他組件例如電阻器、電容器、電晶體、積體電路變壓器、LEDs、開關、印刷板插頭座及其類似物。電路載體可為印刷電路板或混合型電路板或多晶片模組或類似物。

為了本發明之目的，專門術語「電路載體層」在本文中係定義為一元件，其與其他電路載體層一起形成一電路載體。電路載體層將彼此堆疊且結合在一起以形成該電路載體。每一電路載體層包含一介電質基板及包埋在其表面內的導體結構。在一電路載體中相鄰設置之二電路載體層

的導體結構之間的電連接，係藉由位在二電路載體層的導體結構之間的貫通孔來實現，其中該貫通孔填滿導電性材料，較佳為填滿銅。

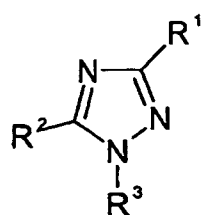
為了本發明之目的，在專門術語「非蝕刻非光阻組成物」中之專門術語「非光阻」在本文中係定義為意指組成物並非膜形成組成物，意指其並不合用於在經處理之銅或銅合金表面上形成膜的例如聚合物黏結劑之黏結劑。因此，黏附促進劑未混合入在待處理之表面上的形成一聚合物層的聚合物中，例如用於例如防止部分表面被焊接或例如防止曝露之銅的蝕刻或例如防止曝露之銅上的金屬沉積的光阻層。

較佳地，離形層形成化合物包含含有至少二氮原子之雜環部分。

甚至更佳地，至少一該具有至少一硫羰基之雜環化合物包含一雜環部分，該雜環部分具有包含至少二氮原子之單一環部分。

甚至更佳地，至少一該具有至少一硫羰基之雜環化合物為三唑化合物，其經由至少一硫醇部分所取代。

甚至更佳地，至少一該具有至少一硫羰基之雜環化合物係選自於包含具有式 IA 及 IB 之化合物組成之組群：



IA



IB

其中  $R^1$  及  $R^2$  係獨立地選自於包含 H、 $SR^4$ 、 $OR^4$ 、 $NR^5R^6$  及  $C_1$ - $C_4$  烷基之組群，其中  $R^3$  為 H 或  $C_1$ - $C_3$  烷基；其中  $R^4$  係選自於包含 H、Li、Na、K 及  $NH_4$  之組群；其中  $R^5$  及  $R^6$  係獨立地選自於包含 H、 $CH_3$  及  $C_2H_5$  之組羣；其限制條件為  $R^1$  及  $R^2$  中至少一者為  $SR^4$ ， $R^4$  為 H、Li、Na、K 及  $NH_4$ 。

更佳地，至少一該具有至少一硫羰基之雜環化合物係選自於包含 1H-1,2,4-三唑-3-硫醇(1,2,4-三唑-3-硫醇，3-硫羰基三唑，CAS 編號：3179-31-5)，3-胺基-1,2,4-三唑-5-硫醇(3-胺基-5-硫羰基-1,2,4-三唑，CAS 編號：16691-43-3)、2-硫羰基苯并三唑及 2-硫羰基苯并咪唑之組群。1H-1,2,4-三唑-3-硫醇及 3-胺基-1,2,4-三唑-5-硫醇為最佳的離形層形成化合物。

較佳地，離形層形成化合物係包括於一離形層形成組成物中，其在組成物中的濃度較佳為至少約 1 mg/l，更佳為至少約 2 mg/l，甚至更佳為至少約 5 mg/l，及最佳為至少約 10 mg/l，且可例如為約 10 mg/l 或約 15 mg/l 或約 20 mg/l 或約 30 mg/l。離形層形成組成物中離形層形成化合物之濃度最多約 1000 mg/l，更佳為最多約 500 mg/l，甚至更佳為最多約 200 mg/l，甚至更佳為最多約 100 mg/l，以及最佳為最多約 50 mg/l。若離形層形成組成物中使用一種以上的離形層形成化合物，上述濃度值係意指定義組成物中含有之所有黏附劑之濃度的總和。

為了確保輔助基板的導電表面實際上未受到包含離形

層形成化合物之離形層形成組成物的影響，該導電表面例如金屬表面，較佳為銅表面，該組成物不含例如銅或銅合金之形成導電表面的材料之氧化劑。因此，此組成物不會蝕刻此材料。因此，對於形成導電表面的銅，組成物係不含例如過氧化氫、過氧二硫酸鹽之任何鹽類、單氧過硫酸之任何鹽類，以及例如過硼酸或過甲酸之任何其他過氧化物之鹽類。

較佳地，離形層形成化合物當被溶於一溶劑時可被使用，較佳為水性溶劑，因而形成離形層形成組成物。

離形層形成組成物任擇地包含至少一無機酸或至少一有機酸。一般而言，此等酸使組成物呈酸性，以致於所獲得之組成物的 pH 係在上文中定義的範圍內。更佳地，無機酸係選自於包含硫酸及磷酸的組群。硫酸的濃度較佳為在 1 L 之組成物中，包含至少約 5 ml 之濃硫酸，較佳為至少約 50 ml 之濃硫酸，甚至更佳為至少約 75 ml 之濃硫酸，且最佳為至少約 100 ml 之濃硫酸，以及較佳為最多約 300 ml 之濃硫酸，更佳為最多約 250 ml 之濃硫酸，甚至更佳為最多約 200 ml 之濃硫酸，且最佳為最多約 150 ml 之濃硫酸。較佳之離形層形成組成物含有約 30 mg/l 之離形層形成化合物及約 50 mg/l 之濃硫酸。

上述之離形層形成化合物不干擾銅電鍍製程且其亦不引起污染使用於方法步驟(d)的金屬鍍浴的危險。所選擇之化合物作為離形層形成化合物，在例如銅表面之經處理的輔助基板之經處理導電表面與電鍍在此表面上以形成導電

圖案的銅之間形成離形層，且同時作為例如銅表面之經處理的輔助基板之經處理導電表面與光阻塗層之間的非蝕刻黏附促進劑。

較佳地，利用包含至少一硫醇部分之雜環化合物處理的硫醇部分首先與無機酸水溶液接觸，以在使離形層形成化合物對導電表面產生影響之前，自該表面去除任何污染物。此無機酸可為硫酸。硫酸水溶液可具有例如在 1 L 之溶液中含有約 10 ml 至約 150 ml 之濃硫酸，較佳為約 20 ml 至約 100 ml 之濃硫酸及最佳為約 50 ml 之濃硫酸的濃度。

輔助基板可為硬質的或撓性的。較佳地，輔助基板為撓性基板。若基板為硬質的，其可為不銹鋼板。不銹鋼板可具有施覆在其上方的銅膜。若輔助基板為撓性的，其可為例如塑膠箔之介電質，該塑膠箔在其至少一側上具有導電表面。介電質可例如為聚對苯二甲酸乙二醇酯(PET)。該輔助基板亦可為銅箔。

更佳地，輔助基板之每一導電表面可為金屬表面，甚至更佳地為銅表面。甚至更佳地，輔助基板在其一側或二側上可包含銅箔。

光阻塗層可為光阻膜，較佳為乾膜，或者為液體膜。乾膜為普通常用的可成像光阻，其係由覆蓋或支撐片材、光可成像層及保護層，如 DuPont 或 Hitachi 所提供者。液體光阻係在無保護層(Huntsman, Rohm & Haas, Atotech)之下，例如藉由輥式塗佈或簾幕式塗佈直接施用在銅層上。光阻塗層較佳地係首先藉由沉積光阻塗層在輔助基板之導

電表面上，其中導電表面已利用離形層形成化合物處理，接下來利用光化光線使沉積在導電表面上的光阻塗層曝光且最後使經曝光之光阻塗層顯影。

在本發明之一較佳實施例中，圖案化光阻塗層係在方法步驟(d)之後及在方法步驟(e)之前，自導電表面移除。接下來，僅將形成於圖案化光阻塗層之至少一開口中的導電圖案，留置在該導電表面上，並自該導電表面突出。

較佳地，將導電圖案包埋於介電質材料中包含熱壓層合，亦即包含藉由層合介電質材料至包含導電圖案之導電表面，同時施與熱至介電質材料的方法。此方法使得能在無任何孔洞之下精細包埋導電圖案於介電質材料中。

最後，使具有個別包埋之導電圖案的每一介電質材料層及輔助基板彼此分離係包含將輔助基板與導電表面一起自形成在該表面上的電路載體層機械地脫除。脫除可包含約 90°剝離。

電路載體層可進一步被加工以致能增進二此等電路載體層及／或夾置於二電路載體層之一額外介電質層之間的黏附性。此進一步加工可包含銅粗化或利用例如上文中描述之非蝕刻黏附促進劑再次處理。

藉由將電路載體層層合在一起，同時施與熱至此等層之堆疊，以將電路載體層結合在一起。電路載體層可使用傳統方法結合在一起。一較佳之方法為 BondFilm® (Atotech Deutschland GmbH, DE)法。此方法包含利用含有過氧化氫、至少一酸（例如硫酸）、至少一含氮、五員雜環

化合物（其在雜環中不含硫、硒或碲原子，例如三唑、四唑、咪唑、吡唑或嘌呤），以及至少一連接化合物（例如亞硫酸、亞硒酸、亞碲酸、雜環中含有至少一硫、硒，及／或碲原子之雜環化合物，以及銻、銻及銻鹽），以及藉由加熱及加壓，將包含如此處理之銅表面的電路載體層與位在該等層之間的半固化片結合在一起。此方法係詳細描述於 EP 10518881 B1，其揭露內容併入本文中以供參考。

在另一方法中（'Secure HFz' of Atotech Deutschland GmbH, DE），錫層係形成在電路載體層之銅表面上，錫層係轉化為氧化錫或氫氧化錫，且接著於氧化錫或氫氧化錫的表面上施與矽烷連接混合物，同時在該表面上形成黏附之有機矽烷塗層，其中該矽烷連接混合物包含脲基矽烷及二矽烷基交聯劑。包含經如此處理之銅表面及位在此等層之間的半固化片之電路載體層，最後係藉由加熱及加壓結合在一起。此方法係詳細描述於 EP 0431501 A2，其揭露內容併入本文中以供參考。

一旦二電路載體層已結合在一起以形成整體的二層元件，可形成貫通孔以電連接二層中之一者的導電圖案及另一者的導電圖案。此孔形成較佳係利用雷射穿孔來進行。

一對此二層元件（或者個別的載體層）可進一步結合在一起以形成具有多數層的電路載體。額外的導電圖案可形成在電路載體的外側以及部分或完全穿透此堆疊的貫通孔。

如本文中所述之在方法步驟(b)中用於利用離形層形

成化合物處理導電表面的方法步驟，在方法步驟(c)中用於形成光阻塗層的方法步驟，以及在方法步驟(d)中用於電沉積金屬的方法步驟可以傳統浸漬槽技術（垂直加工）或以輸送帶化機械（水平加工）來進行。

為了例示說明本發明，在下文中提供實施例。此實施例並未限制本發明的範圍，而是本發明之一具體實施例：

第 1 圖概要地顯示根據本發明之製造電路載體層的製程順序；

第 2 圖顯示於進行使用本發明之方法步驟的方法之後，介電質材料之光學顯微照片（透射光）（左）及顯微照片之圖像重製（右），其限制條件為使用 5-羧基苯并三唑以取代離形層形成化合物（比較例）；及

第 3 圖顯示於進行使用本發明之方法之後，介電質材料之光學顯微照片（透射光），使用 1 H-1,2,4-三唑-3-硫醇作為離形層形成化合物（本發明之實施例）。

在方法步驟(a)中，提供具有二側之輔助基板 1。此基板包含一基底片材 2，例如一介電質箔，以及在該輔助基板之一側上的銅箔。介電質箔可為 PET 箔。

接下來，在方法步驟(b)中，利用離形層形成化合物處理輔助基板 1。此處理據信係形成離形層 4。僅在此處要求此層之存在，以致能顯示出銅箔 3 之表面的特性改變。此特性改變將引起下述作用：離形層形成化合物將作為一離形構件，以促進形成在銅箔上的後續銅導體圖案自該銅箔分離，且其亦具有將後續沉積的光阻塗層穩定地黏附至銅

箔。

離形層形成化合物為具有至少一硫羰基之雜環化合物。最佳的代合物為 1H-1,2,4-三唑-3-硫醇或 3-胺基-1,2,4-三唑-5-硫醇，其係溶解於水中或任擇地溶解在酸性水溶液中。為了如此進度，首先使用硫酸的稀釋水溶液清洗輔助基板且接著利用含有離形層形成化合物之溶液處理。

於沖洗及乾燥已利用離形層形成化合物處理之輔助基板 1 之後，方法步驟(c)中，藉由在已利用離形層形成化合物處理之輔助基板的銅箔 3 的表面上形成圖案化光阻塗層 5 來進一步處理輔助基板。圖案化光阻塗層具有至少一光阻開口 6，藉此曝露出銅表面。圖案化光阻塗層係藉由首先沉積一光阻層在銅箔上，接著使該光阻層曝光於形成導電圖案影像的光化輻射，依所應用的光阻形式而定，為正型或負型影像，及最後在顯影溶液中使經曝光的光阻層顯影來形成。此製程在習知技術領域已為人所熟知。光阻可為乾膜光阻或液體光阻。在後者的例子中，光阻可為電泳光阻，亦即液體光阻係使用一具有電泳顆粒分散其中的溶液，同時在銅箔與相反電極之間施與電壓而沉積在銅表面上。光阻塗層較佳為乾膜光阻，其可為適於製造超精細線幾何之任何傳統光阻。

接下來，在方法步驟(d)中，形成包含多數銅導體結構 8 之銅圖案 7。銅圖案係藉由電沉積一金屬在銅箔 3 之經曝光的表面上而形成在光阻開口 6 中。為達成此事，塗覆有光阻之輔助基板 1 係首先藉由在稀硫酸水溶液中沖洗來處

理。接下來，使用適用於在光阻開口中沉積超精細線銅沉積物的酸性銅電鍍電解質，對基板施與圖案電鍍。

方法步驟(d-1)中，於已備有圖案化光阻塗層 5 及銅導體圖案 7 之輔助基板 1 已沖洗及乾燥之後，藉由自銅箔 3 的表面剝除光阻塗層 5 來去除光阻塗層 5。此去除係使用傳統剝除組成物來進行，例如鹼性水溶液。

接下來，在方法步驟(e)中，於已備有銅圖案 7 之輔助基板 1 已沖洗及乾燥之後，藉由熱壓層合在輔助基板 1 之設置銅導體圖案 7 的一側，沉積介電質材料 9，以致於在無任何孔洞產生於介電質材料之下，將銅圖案完全包埋於介電質材料中。介電質材料可為環氧樹脂，若可以的話，可充填強化材料，例如玻璃纖維。

接下來根據方法步驟(f)，於已完成方法步驟(e)之後，進一步加工所形成的元件：藉由機械地剝除，自形成在輔助基板上之電路載體層去除包含基底片材 2，及在基底片材之一側上的銅箔，以及形成在銅箔上的任何離形層 4 的輔助基板 1，形成電路載體層 10。

根據上述的方法順序，輔助基板 1 可再使用於製造另一電路載體層 10。

#### 實施例

本發明現將參考非限制性的實施例來例示說明。對於所有實驗，使用聚醯亞胺片材作為輔助基板 1，在其一側上具有厚度 17  $\mu\text{m}$  之銅層 3。

利用標準技術加工乾膜光阻(Hitachi RY 3325SG)。利

用  $1.5 \text{ A/dm}^2$ ，自酸性銅電解質 (Cupracid® TLC, a product of Atotech Deutschland GmbH) 電鍍具有  $18 \text{ }\mu\text{m}$  之平均層厚度的銅導體圖案 7。使用於整個實驗的電路佈局包含不同尺寸的溝渠，包括寬度  $30 \text{ }\mu\text{m}$  之溝渠。使用 Isola 104 ML 片材作為介電質材料 9。根據 Isola 所提供的技術說明： $T = 180 \text{ }^\circ\text{C}$ ， $t = 70 \text{ min}$ ， $p = 15 \text{ 巴}$ ，在水壓機中，在減壓下完成層合。最後，自帶有銅導體圖案 7 之介電質材料 9 剝除輔助基板 1。接著利用光學顯微鏡，利用透射光檢視介電質材料 9，以監測銅導體圖案 7。

實施例 1(比較例)：

在  $35^\circ\text{C}$  下，將輔助基板 1 浸漬在由  $50 \text{ ml/L}$  之  $96\text{wt}\%$  的硫酸、 $30 \text{ mg/L}$  之 5-羧基苯并三唑及水組成的組成物中 60 秒，並在乾膜光阻之應用前乾燥。5-羧基苯并三唑之塗層係供作離形層 4。

結構側（應具有包埋的電路結構之側）的光學顯微照片係顯示於第 2 圖中。溝渠未填滿銅導體圖案 7，亦即 5-羧基苯并三唑未供作離形層 4 形成化合物。當銅導體圖案自介電質剝除時，銅導體圖案堅固地黏貼至輔助基板 1 之銅層 3，且因此未轉移至輔助基板。因此，在第 2 圖照片中的光亮結構表示介電質中未含有銅。

實施例 2(本發明之實施例)：

在乾膜光阻之應用前，將輔助基板 1 浸漬在由  $30 \text{ mg/l}$  1H-1,2,4-三唑-3-硫醇及水組成的組成物中 60 秒。

結構側的光學顯微照片係顯示於第 3 圖中。溝渠填滿

銅導體圖案 7，亦即 1H-1,2,4-三唑-3-硫醇的水溶液供作離形層 4 形成化合物。顯示於照片中的黑暗結構表示形成結構的銅，及當自介電質剝除電路時，銅未黏貼輔助基板的銅箔上，而是留置於介電質中。

實施例 3(本發明之實施例)：

在乾膜光阻之應用前，將輔助基板 1 浸漬在由 30 mg/l 1H-1,2,4-三唑-3-硫醇、50 ml/l 之硫酸(96 wt%)及水組成的組成物中 60 秒。

於自輔助基板 1 剝除電路 8 之後，溝渠係完全填滿銅導體圖案 7。

實施例 4(比較例)：

當重覆實施例 1 時，使用 3-胺基-1H-1,2,4-三唑取代 5-羧基苯并三唑。然而，發現到乾膜光阻對輔助基板 1 之銅箔未呈現足夠的黏附性。再者，因為具有羧基苯并三唑，當自介電質剝除銅導體圖案時，銅導體圖案堅固地黏貼至輔助基板 1 之銅層 3。因此，溝渠未填滿銅導體圖案 7，亦即 3-胺基-1H-1,2,4-三唑未供作離形層 4 形成化合物。

實施例 5(比較例)：

當重覆實施例 1 時，使用 1,2,3-苯并三唑取代 5-羧基苯并三唑。然而，發現到利用 1,2,3-苯并三唑時，當自介電質剝除銅導體圖案時，銅導體圖案堅固地黏貼至輔助基板 1 之銅層 3。因此，溝渠未填滿銅導體圖案 7，亦即 1,2,3-苯并三唑未供作離形層 4 形成化合物。

實施例 6(比較例)：

當重覆實施例 1 時，使用 1,2-硫羥基苯并三唑取代 5-羧基苯并三唑。然而，發現到乾膜光阻對輔助基板 1 之銅箔未呈現足夠的黏附性。再者，因為具有 1,2-硫羥基苯并三唑，當自介電質剝除銅導體圖案時，銅導體圖案堅固地黏貼至輔助基板 1 之銅層 3。因此，溝渠未填滿銅導體圖案 7，亦即 1,2-硫羥基苯并三唑未供作離形層 4 形成化合物。

### 【圖式簡單說明】

第 1 圖概要地顯示根據本發明之製造電路載體層的製程順序；

第 2 圖顯示於進行使用本發明之方法步驟的方法之後，介電質材料之光學顯微照片（透射光）（左）及顯微照片之圖像重製（右），其限制條件為使用 5-羧基苯并三唑以取代離形層形成化合物（比較例）；及

第 3 圖顯示於進行使用本發明之方法之後，介電質材料之光學顯微照片（透射光），使用 1 H-1,2,4-三唑-3-硫醇作為離形層形成化合物（本發明之實施例）。

### 【主要元件符號說明】

- |             |            |
|-------------|------------|
| 1...輔助基板    | 7...銅圖案    |
| 2...基底片材    | 8...銅導體結構  |
| 3...銅箔      | 9...介電質材料  |
| 4...離形層     | 10...電路載體層 |
| 5...圖案化光阻塗層 |            |
| 6...光阻開口    |            |

## 七、申請專利範圍：

1. 一種製造電路載體層之方法，該方法包含下述的方法步驟：

(a)提供具有二側之一輔助基板，該等側中至少一者具有導電表面；

(b)利用至少一離形層形成化合物處理該至少一導電表面中至少一者，該至少一離形層形成化合物係選自於包含各自具有至少一硫羰基之三唑化合物之組群；

(c)在已利用該至少一離形層形成化合物處理之該至少一導電表面中該至少一者上形成一圖案化光阻塗層，該圖案化光阻塗層具有至少一光阻開口，藉此曝露該導電表面；

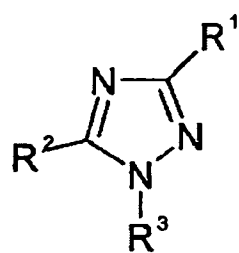
(d)藉由電沉積一金屬在該曝露之導電表面上，在該至少一光阻開口中形成一導電圖案；

(e)藉由在該輔助基板之個別側上形成個別的介電質材料層，將每一導電圖案包埋入一介電質材料中；以及

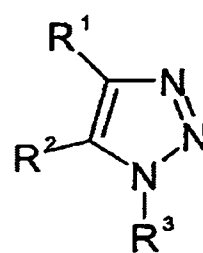
(f)使包含該個別包埋之導電圖案之每一介電質材料層及該輔助基板彼此分離。

2. 如申請專利範圍第 1 項之製造電路載體層之方法，其中該輔助基板為一撓性基板。
3. 如申請專利範圍第 1 或 2 項之製造電路載體層之方法，其中該輔助基板為一撓性基板，在該輔助基板之

- 一側上具有銅箔。
4. 如申請專利範圍第 1 或 2 項之製造電路載體層之方法，其中該圖案化光阻塗層係藉由沉積一光阻塗層、使該光阻塗層曝光及使該光阻塗層顯影來形成。
  5. 如申請專利範圍第 1 或 2 項之製造電路載體層之方法，其中該圖案化光阻塗層係在方法步驟(d)及(e)之間去除。
  6. 如申請專利範圍第 1 或 2 項之製造電路載體層之方法，其中該使具有該個別包埋之導電圖案之每一介電質材料層及該載體基板彼此分離的步驟，包含自具有該個別包埋導電圖案之該介電質材料層機械式地剝除該輔助基板。
  7. 如申請專利範圍第 1 或 2 項之製造電路載體層之方法，其中至少一具有至少一硫羰基之雜環化合物係選自於包含具有式 IA 及 IB 之化合物的組群：



IA

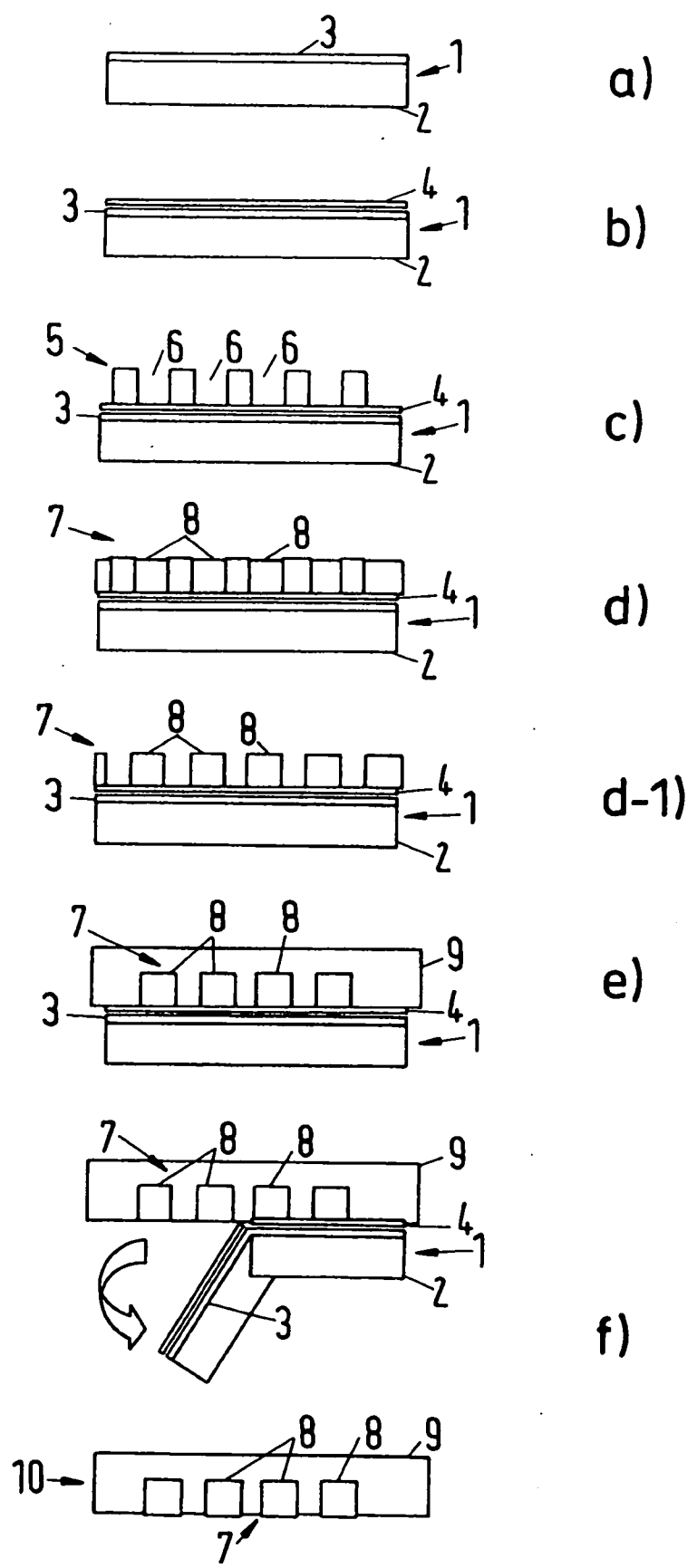


IB

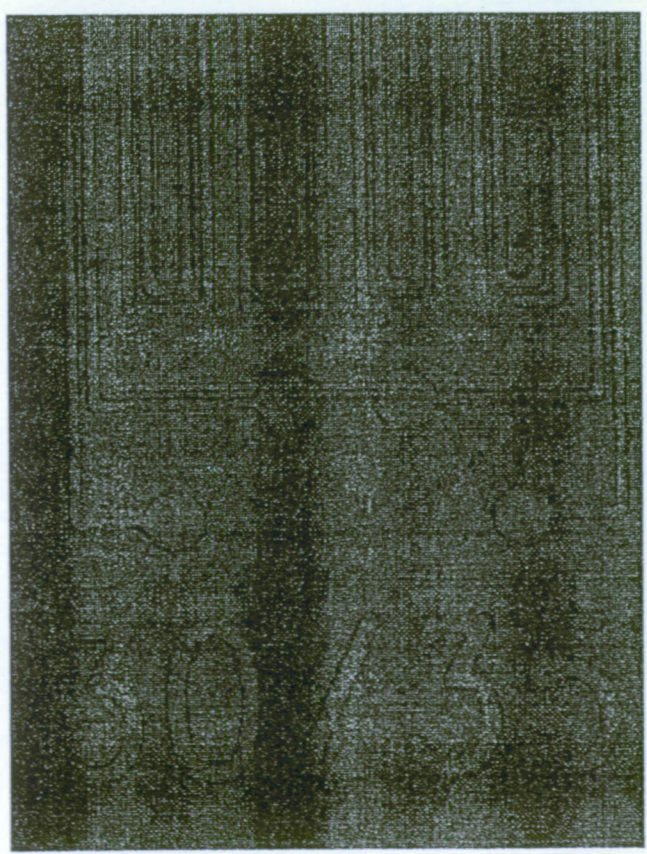
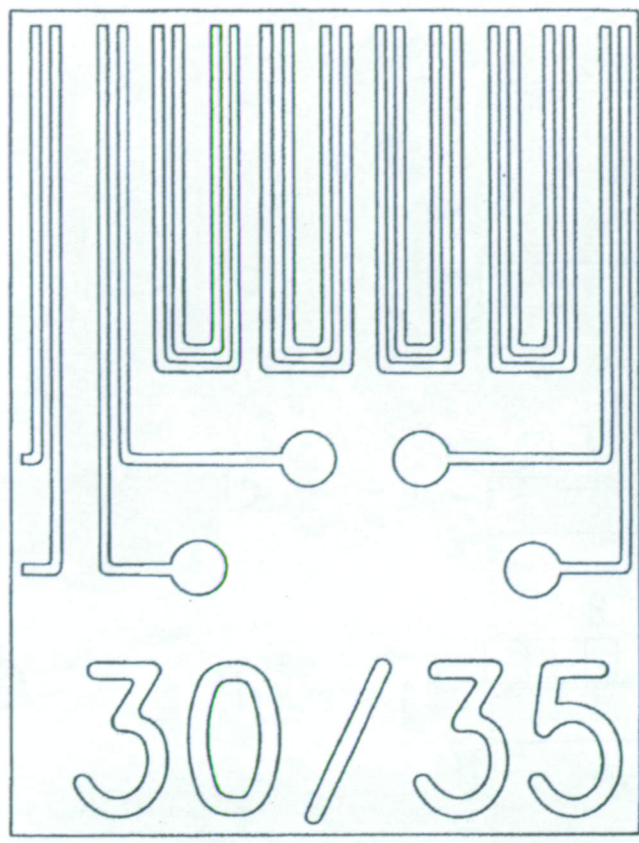
其中  $R^1$  及  $R^2$  係獨立地選自於包含 H、 $SR^4$ 、 $OR^4$ 、 $NR^5R^6$  及  $C_1$ - $C_4$  烷基之組群； $R^3$  為 H 或  $C_1$ - $C_3$  烷基； $R^4$  係選自於包含 H、Li、Na、K 及  $NH_4$  之組群； $R^5$  及  $R^6$  係獨立地選自於包含 H、 $CH_3$  及  $C_2H_5$  之組群；其限制條

件為  $R^1$  及  $R^2$  中至少一者為  $SR^4$ ， $R^4$  為 H、Li、Na、K 及  $NH_4$ 。

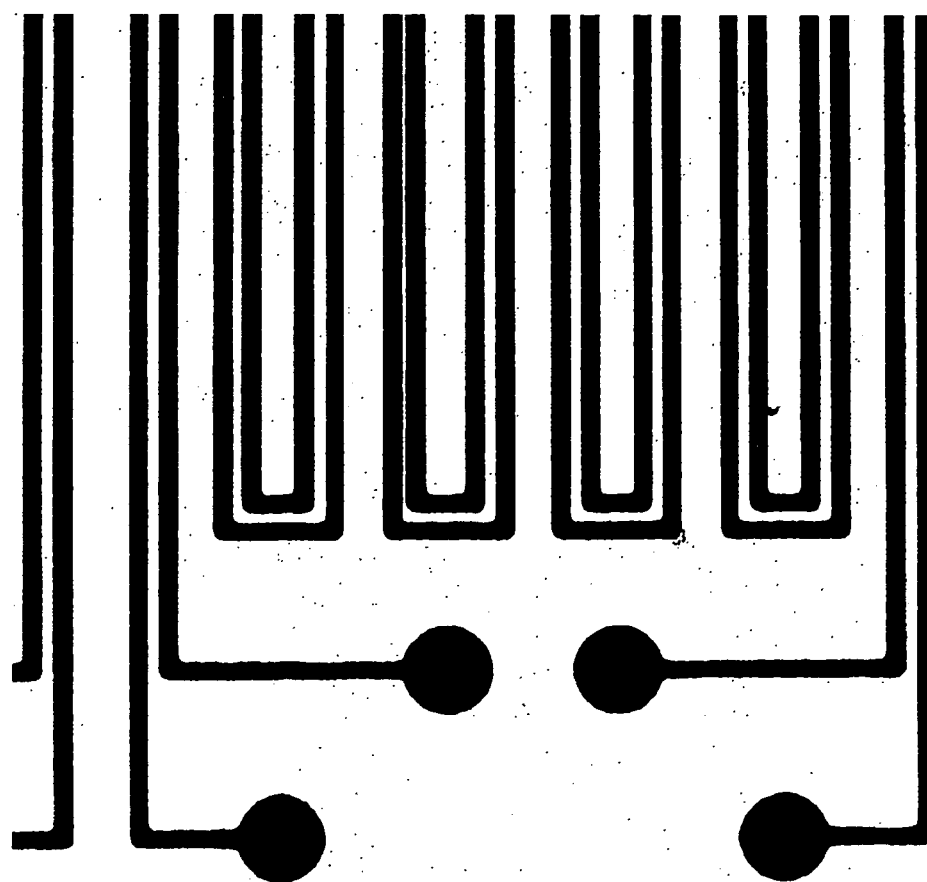
8. 如申請專利範圍第 1 或 2 項之製造電路載體層之方法，其中至少一該具有至少一硫羰基之雜環化合物係選自於包含 1H-1,2,4-三唑-3-硫醇、3-胺基-1,2,4-三唑-5-硫醇及 2-硫羰基苯并咪唑之組群。
9. 一種如申請專利範圍第 1 或 2 項之製造電路載體層之方法的用途，其係用於藉由進一步將至少二電路載體層接合在一起以製造一電路載體。



第1圖



第2圖



第3圖

30 / 35