



(12) Wirtschaftspatent

(19) DD (11) 266 196 A1

Erteilt gemäß § 17 Absatz 1 Patentgesetz

4(51) G 06 F 13/38

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) W P G 06 F / 308 707 1 (22) 05. 11. 87 (44) 22. 03. 89

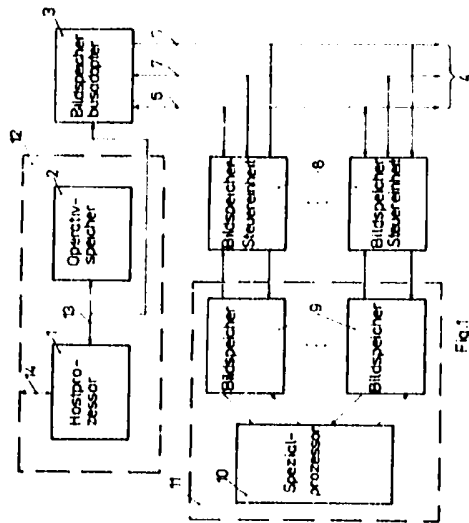
(71) Militärkartographischer Dienst (VEB), PF 25957, Halle, 4002, DD

(72) Löblich, Michael, Dipl.-Ing.; Herrmann, Holger, Dipl.-Ing.; Hauck, Reinhard, Dipl.-Ing., DD

(54) Anordnung zur Kopplung von digitalen Bildspeichern an einen Hostprozessor

(55) digitale Bildspeicher, Hostprozessor, Kopplung, Datentransferrate, sequentielle Bearbeitung, Bildverarbeitung, Spezialprozessor, Bildspeicherbusadapter, Bildspeicherbus, Bildsteuereinheit, Adreßdekoder, Parameterregister, Adreßmodifikator, Adreßformer

(57) Die Erfindung betrifft eine Anordnung zur Kopplung von digitalen Bildspeichern an einen Hostprozessor, wie sie z. B. in Bildverarbeitungssystemen Anwendung findet. Ihr Ziel ist es, mit geringem Aufwand eine Anordnung mit einer hohen Datentransferrate zwischen peripheren Geräten des Hostprozessors und Bildspeichern, sowie einer effektiven sequentiellen Bearbeitung der Bilddaten im Bildspeicher durch den Hostprozessor neben der Bildverarbeitung im Spezialprozessor zu ermöglichen. Die Aufgabe der Erfindung besteht darin, durch Verwendung einer geeigneten Schaltung und deren geeigneter Zusammenschaltung mit Hostprozessor und Bildspeichern das Ziel zu erreichen. Erfindungsgemäß wird die Aufgabe durch eine Anordnung gelöst, welche aus einem Bildspeicherbusadapter, einem Bildspeicherbus mit Adreß-, Daten- und Steuerleitungen und mehreren Bildsteuereinheiten, die sich jeweils aus einem Adreßdekoder, einem Parameterregister, einem Adreßmodifikator, einem Adreßformer und mehreren Busemfänger/-sendern zusammensetzen, besteht. Fig. 1



### **Erfindungsanspruch:**

1. Anordnung zur Kopplung von digitalen Bildspeichern, die über jeweilige Busleitungen mit einem Spezialprozessor verbunden sind, an einen Hostprozessor, der über einen weiteren Bus mit zugehörigen Ein-/Ausgabeeinheiten verbunden ist, bestehend aus einem Bildspeicherbusadapter, einem Bildspeicherbus mit Adreß-, Daten- und Steuerleitungen und mehreren Bildsteuereinheiten, **dadurch gekennzeichnet**, daß an den Bus (13) zwischen Hostprozessor (1) und Operativspeicher (2) der Bildspeicherbusadapter (3) angeschlossen ist, dieser mit dem Bildspeicherbus (4) bildenden Adreßleitungen (5), Datenleitungen (6) und Steuerleitungen (7) verbunden ist, wobei diese ihrerseits mit einer oder mehreren Bildsteuereinheiten (8) verbunden sind, die jeweils mit einem Bildspeicher (9) zusammengeschaltet sind, so daß eine unmittelbare Adressierung der Bildspeicherdaten durch den Hostprozessor in dessen Adreßraum bei durch den Hostprozessor programmierbarer Adreßmanipulation ermöglicht wird.
2. Anordnung nach Punkt 1, **dadurch gekennzeichnet**, daß die Bildsteuereinheit (8) einen Adreßdekor (18), ein Parameterregister (20), einen Adreßmodifikator (29), einen Adreßformer (31) und mehrere Busempfänger/-sender (27) enthält, wobei die Busempfänger/-sender (27) eingangsseitig mit den Datenleitungen (28) und der Steuerleitung „Lesen/Schreiben“ (23) des Bildspeicherbusses (4) verbunden sind, ausgangsseitig mit den Datenleitungen zum Bildspeicher (26) und vom Bildspeicher (25) verbunden sind, der Adreßdekor (18) eingangsseitig mit den Adreßleitungen  $A_{AB}$  (15), den Leitungen „Start Zyklus“ (16) und „Register adressiert“ (17) des Bildspeicherbusses (4) und der Leitung „Ende Speicherzyklus“ (38) des Bildspeichers (9) verbunden sind, und dessen Ausgänge „Ende Zyklus“ (39) mit dem Bildspeicherbus (4), „Register ausgewählt“ (21) mit dem Parameterregister (20) und „Start Speicherzyklus“ (19), das über das durch den Ausgang ON (34) des Parameterregisters (20) gesteuerte Tor (33) mit dem Bildspeicher (9) verbunden sind, während das Parameterregister (20) eingangsseitig mit den Datenleitungen (22) des Bildspeicherbusses (4) und die Ausgänge des Parameterregisters (20) „Adreßmodifikationsdaten“ (30) mit dem Adreßmodifikator (29) und „Adreßformungsdaten“ (32) mit dem Adreßformer (31) verbunden sind, wobei die Adreßeingänge des Adreßmodifikators (29) mit den Adreßleitungen (35) des Bildspeicherbusses (4), die Adreßeingänge des Adreßformers (31) mit den Ausgängen B (36) des Adreßmodifikators (29) und die Ausgänge B' (37) des Adreßformers (31) mit den Adreßeingängen des Bildspeichers (9) verbunden sind.
3. Anordnung nach Punkt 1, **dadurch gekennzeichnet**, daß eine Anpassung beliebiger Bildspeicher an beliebiger Hostprozessoren möglich ist.
4. Anordnung nach Punkt 2, **dadurch gekennzeichnet**, daß alle Bestandteile der Bildsteuereinheit (8) logisch-kombinatorische Schaltungen sind, und damit alle Prozesse des Zugriffs auf die Bildspeicherinhalte und die Parameterregister (20) automatisch asynchrone Prozesse zur sequentiellen Arbeitsweise des Hostprozessors sind.
5. Anordnung nach Punkt 2, **dadurch gekennzeichnet**, daß durch beliebige Adreßmodifikation bei gleichbleibender Bitstellenzahl des Adreßwortes eine hardwaremäßige Unterstützung von Bildverarbeitungsalgorithmen gewährleistet ist.

Hierzu 3 Seiten Zeichnungen

### **Anwendungsgebiet der Erfindung**

Die Erfindung bezieht sich auf das Gebiet der digitalen Datenverarbeitung, insbesondere der Bildspeicherung und Bildverarbeitung. Sie ist einsetzbar für den schnellen Datentransfer und das sequentielle Bearbeiten von digitalen Bilddaten, die gleichzeitig auch mit Spezialprozessoren verarbeitet werden sollen.

### **Charakteristik der bekannten technischen Lösungen**

Computersysteme, welche zur Verarbeitung digitaler Bildinformationen eingesetzt werden, bestehen zumeist aus sequentiellen Hostprozessoren mit herkömmlichen peripheren Geräten sowie spezialisierten Speicher- und Spezialprozessoranordnungen zur hocheffektiven Bildverarbeitung. Der Hostprozessor erfüllt dabei hauptsächlich Aufgaben zur Steuerung der Datentransfers zwischen Bildspeicher und peripheren Geräten zur Eingabe, Ausgabe und Speicherung sowie zur Steuerung des Spezialprozessors. Bekannt sind Anordnungen zur Kopplung von Bildspeichern an den Hostprozessor, welche parallele oder DMA-Schnittstellen für den Datentransfer benutzen (z. B. ROBOTRON Bildverarbeitungssystem A6470).

Bei der Anwendung solcher Systeme für die Realisierung von Algorithmen, welche sowohl eine Bildverarbeitung mit Spezialprozessoren als auch eine sequentielle Bildbearbeitung durch den Hostprozessor benötigen, ergibt sich eine Reihe von Nachteilen. Beispielsweise müssen die Bilddaten bei über parallelen oder DMA-Schnittstellen gekoppelt Bildspeichern erst in den Operativspeicher des Hostprozessors kopiert werden, um eine Bearbeitung durch diesen zu ermöglichen. Weiterhin muß oftmals das Ergebnis der sequentiellen Bearbeitung durch den Hostprozessor in den Bildspeicher rückgeschrieben werden. Es ergeben sich aufwendige Datentransfer- und Adressierungsmechanismen. Zur Bearbeitung eines Pixels des Bildspeichers sind dabei mindestens vier Speicherzyklen des Operativspeichers des Hostprozessors notwendig. Außerdem ist nach Programmierung eines blockweisen Zugriffs auf die Daten im Bildspeicher ein Datentransfer nur in streng sequentieller Folge möglich. Zur Realisierung von Transferfunktionen zwischen Hostprozessorperipherie und Bildspeicher wird der Operativspeicher des Hostprozessors als Datenpuffer benutzt. Je transportierte Dateneinheit sind dabei mindestens zwei Speicherzyklen notwendig. Der programmtechnische Aufwand zur Steuerung derartig gekoppelter Bildspeicher ist hoch und meist nur auf eine spezielle Schnittstelle anwendbar.

#### Ziel der Erfindung

Ziel der Erfindung ist es, eine Anordnung zur Kopplung von Bildspeichern an einen Hostprozessor zu finden, welche die genannten Nachteile vermeidet. Die Anordnung soll eine hohe Datentransferrate zwischen den peripheren Eingabe-, Ausgabe- und Speichergeräten des Hostprozessors und des Bildspeichers gewährleisten, sowie eine effektive sequentielle Bearbeitung der Bilddaten im Bildspeicher durch den Hostprozessor neben der Bildverarbeitung im Spezialprozessor ermöglichen.

#### Verteilung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Anordnung zur Kopplung digitaler Bildspeicher an einen Hostprozessor anzugeben, wobei mit geringem Aufwand eine effektive sequentielle Bearbeitung des Bildspeicherinhaltes durch den Hostprozessor sowie ein schneller Datenaustausch zwischen Hostprozessorperipherie und Bildspeicher neben der Bildverarbeitung in einem Spezialprozessor ermöglicht wird. Erfindungsgemäß wird die Aufgabe durch eine Anordnung gelöst, die eine unmittelbare Adressierung der Bildspeicherdaten durch den Hostprozessor in dessen Adreßraum bei durch den Hostprozessor programmierbarer Adreßmanipulation gewährleistet, welche aus einem Bildspeicherbusadapter, einem Bildspeicherbus mit Adreß-, Daten- und Steuerleitungen und mehreren Bildsteuereinheiten, die sich jeweils aus einem Adreßdekoder, einem Parameterregister, einem Adreßmodifikator, einem Adreßdekoder, einem Parameterregister, einem Adreßmodifikator, einem Adreßformer und mehreren Bussendern und Busempfängern zusammensetzen, besteht. Die Bildsteuereinheit stellt eine über das Parameterregister steuerbare Verbindung der Steuersignale, Datenwege und Adressen zwischen Bildspeicherbus und zu koppelndem Bildspeicher her, daß ein Adreßfenster des Adreßbereiches des Hostprozessors den Inhalt eines Bildspeichers adressiert, womit ein Zugriff des Hostprozessors auf den Bildspeicher identisch zum Zugriff auf den Operativspeicher organisiert wird, wodurch der Bildspeicher als ein Teil des Operativspeichers betrachtet werden kann. Bei der Ankopplung von mehreren Bildsteuereinheiten an den Bildspeicherbus ist es möglich, abhängig von der Größe der Bildspeicher und der Größe des Adreßbereiches des Hostprozessors einen über Parameterregister wählbaren Ausschnitt aus einem der Bildspeicher, einen oder gleichzeitig mehrere Bildspeicher im Adreßraum des Hostprozessors zu adressieren. Der Bildspeicherbus wird durch den Bildspeicherbusadapter aus den Adreß-, Daten- und Steuersignalen des Hostprozessors gebildet. Die Adreßleitungen des Hostprozessors werden unmittelbar auf den Bildspeicherbus durchgeschaltet. Aus den Steuersignalen zum Zugriff auf Operativspeicher und Register des Hostprozessors werden durch den Bildspeicherbusadapter die Steuersignale des Bildspeicherbusses „Start Zyklus“, „Register adressiert“ und „Lesen/Schreiben“ gebildet, sowie „Ende Zyklus“ empfangen. Weiterhin realisiert der Bildspeicherbusadapter eine Anpassung der Breite der Datenwege des Hostprozessors und des Bildspeichers. Der Adreßdekoder der Bildsteuereinheit ist eine logisch-kombinatorische Schaltung und empfängt den Teil der Adresse auf dem Bildspeicherbus, der benötigt wird, um zu erkennen, ob der Hostprozessor das für den Bildspeicher vorgesehene Adreßfenster in seinem Adreßraum adressiert hat. Trifft dies zu, wird unter Verknüpfung mit dem Steuersignal „Start Zyklus“ ein Signal „Start Speicherzyklus“ zum Bildspeicher gegeben. In Abhängigkeit vom Steuersignal „Lesen/Schreiben“ werden gleichzeitig Daten auf dem Bildspeicherbus bereitgestellt und an den Bildspeicher weitergeleitet (Schreiben), oder diese nach Ablauf eines Speicherzyklusses im Bildspeicher mit der gleichzeitigen Aktivierung eines weiteren Signales „Ende Speicherzyklus“ des Bildspeichers zur Bildsteuereinheit, was als Steuersignal „Ende Zyklus“ von der Bildsteuereinheit an den Bildspeicherbus gegeben wird, vom Bildspeicher an den Bildspeicherbus übertragen (Lesen). Das Ende eines Schreibspeicherzyklusses wird durch den Bildspeicher ebenfalls mit „Ende Speicherzyklus“ signalisiert. Weiterhin erzeugt der Adreßdekoder bei Adressierung des Parameterregisters ein Signal „Register ausgewählt“ zur Aktivierung der Datenübernahme von den Datenleitungen des Bildspeicherbusses in das Parameterregister der Bildsteuereinheit. Der Vorgang des Beschreibens des Parameterregisters wird dabei ebenfalls durch eine Adressierung über die Adreßleitungen des Bildspeicherbusses und das asynchrone Signalspiel „Start Zyklus“ und „Ende Zyklus“ begleitet. In jedem Fall wird jedoch durch das Zusammenwirken des Bildspeicherbusses und der Adreßdekoder der Bildsteuereinheiten eine im Adreßdekoder einstellbare, eindeutige, nicht überlappende Adressierung der Bildspeicherinhalte über Adreßfenster im Adreßraum des Hostprozessors und der Parameterregister durch den Hostprozessor gewährleistet. Die im Parameterregister enthaltenen Datenfelder dienen zur Steuerung der Bildsteuereinheit. Die Ausgänge des Parameterregisters sind zu diesem Zweck mit den Steuereingängen des Adreßmodifikators und des Adreßformers verbunden. Weiterhin wird das Signal „Start Speicherzyklus“ durch eine Bitstelle des Parameterregisters getort. Damit wird eine mögliche Betriebsart der Bildsteuereinheiten erreicht, in ein und demselben Adreßfenster im Adreßraum des Hostprozessors zu verschiedenen Zeiten Inhalte verschiedener Bildspeicher in Abhängigkeit von der Programmierung der Parameterregister adressieren zu können. Diese Betriebsart hat insbesondere bei einem sehr begrenzten Adreßraum des Hostprozessors im Vergleich zur Größe der Bildspeicher Bedeutung. Hierbei sind die Adreßdekoder auf gleiche Adreßfenster eingestellt. Die Adresse der zu lesenden oder zu beschreibenden Dateneinheit (Pixel) im Bildspeicher

wird durch die Bildsteuereinheit von den Adreßleitungen des Bildspeicherbusses empfangen, passiert zuerst den Adreßmodifikator, danach den Adreßformer und wird dann dem Bildspeicher übergeben. Zu diesem Zweck ist der Eingang des Adreßmodifikators mit dem Teil der Adreßleitungen des Bildspeicherbusses für die Adressierung des Bildspeicherinhaltes, der Ausgang des Adreßmodifikators mit dem Eingang des Adreßformers und der Ausgang des Adreßformers mit dem Adreßeingang des Bildspeichers verbunden. Die Arbeitsweise des Bildspeicherbusses und des Adreßdekoders gewährleistet, daß das Signal „Start Speicherzyklus“ erst gegeben wird, wenn unter Beachtung der Laufzeiten der Adreßsignale die manipulierte Adresse am Adreßeingang des Bildspeichers stabil anliegt. Wie bereits ausgeführt, gelangt der Teil der Adresse des Hostprozessors zur Adressierung des Inhaltes des durch den verbleibenden Teil der Adresse des Hostprozessors ausgewählten Bildspeichers vom Bildspeicherbus in den Adreßmodifikator der Bildsteuereinheit. Der Adreßmodifikator ist eine logisch-kombinatorische Schaltung, die unter Steuerung der Adreßmodifizierungsdaten vom Parameterregister aus dem Teil der Adresse des Hostprozessors zur Adressierung des Bildspeicherinhaltes ein Adreßwort mit der Anzahl der zur Adressierung des gesamten Bildspeicherinhaltes notwendigen Bitstellenzahl erzeugt. Dies geschieht durch Anfügen von zusätzlichen und/oder Maskieren und Ersetzen bereits vorhandener Bitstellen im Adreßwort aus den Adreßmodifizierungsdaten. Für den Fall, daß durch den Adreßteil des Hostprozessors am Eingang des Adreßmodifikators nicht der gesamte Bildspeicherinhalt adressiert werden kann, sind höherwertige Bitstellen anzufügen. Durch entsprechende Belegung des Parameterregisters wird damit ein Adreßfeld im Bildspeicher festgelegt, welches über den gesamten Bildspeicher durch Umprogrammierung des Parameterregisters verschiebbar ist. Allgemein ist der Adreßmodifikator in der Lage, ausgewählte Bitstellen der Adresse vom Hostprozessor unter Steuerung der Adreßmodifizierungsdaten zu maskieren und durch programmierte Bitwerte aus diesen Daten zu ersetzen. Damit wird eine Unabhängigkeit der Adreßfeldbildung für einen bestimmten Bildspeicher von den zentralen Adressierungsmechanismen des Hostprozessors und die hardwaremäßige Unterstützung von Algorithmen zur Auswahl eines bestimmten Bildspeicherinhaltes über unterschiedliche Hostadressen ermöglicht. Der Adreßformer ist ebenfalls eine logisch-kombinatorische Schaltung, welche unter Steuerung der Adreßformungsdaten vom Parameterregister aus dem Adreßwort vom Adreßmodifikator ein umgeformtes Adreßwort unveränderter Bitstellenzahl zur Adressierung des Bildspeicherinhaltes erzeugt. Die Adreßformung dient der hardwaremäßigen Unterstützung der anzuwendenden Bildverarbeitungsalgorithmen. Hierbei können eine Vielzahl logischer Operationen wie Invertierung, Vertauschung und Verschiebung der Bitstellen des Adreßwortes zur Anwendung kommen, welche die unterschiedlichsten Effekte bei der Adressierung eines Bildspeichers wie Vertauschen von Zeilen und Spalten, Adressierung von links nach rechts, oben und unten oder umgekehrt usw. bewirken. Durch die Adressierungsmechanismen des Hostprozessors und der Bildsteuereinheit ist gewährleistet, daß der Bildspeicherinhalt im Adreßraum eines Programms direkt bearbeitet werden kann. Es kommen alle Adressierungsmodi und Datentransfermechanismen des Hostprozessors, die für die Operativspeicher möglich sind, auch auf den Bildspeicher zur Anwendung. Bedingt durch die technisch realisierbaren sehr kurzen Signallaufzeiten des Adreßmodifikators und Adreßformers wird die Zykluszeit fast ausschließlich durch die Speicherzykluszeit des Bildspeichers bestimmt. Die Zahl der zum Datentransfer und zur sequentiellen Bearbeitung notwendigen Operativspeicherzugriffe in bezug auf den Bildspeicher bei über parallelen oder DMA-Schnittstellen gekoppelten Bildspeichern entfallen. An die Stelle der zu programmierenden und zu bedienenden (Bereitschafts- und Endetest) externen Schnittstellen tritt die asynchron zum Bildspeicherzugriff verlaufende Programmierung eines Parameterregisters. Die Arbeit des Bildspeichers mit dem Spezialprozessor wird durch die Bildsteuereinheit in keiner Weise beeinflusst, da im Interface zum Bildspeicher nur Signale zur Anwendung kommen, die auch bei Verwendung von parallelen und DMA-Schnittstellen zum Hostprozessor Verwendung finden.

#### Ausführungsbeispiel

Die Erfindung soll anhand eines Ausführungsbeispieles näher erläutert werden. Dabei zeigen

- Fig. 1: ein Blockschaltbild der Kopplung der Bildspeicher an einen Hostprozessor;
- Fig. 2: ein Blockschaltbild der Bildsteuereinheit;
- Fig. 3: die Adreßformate für ein Ausführungsbeispiel zur Bildauswahl und Adreßmodifikation;
- Fig. 4: die Adreßformate für ein Ausführungsbeispiel zur Adreßformung;
- Fig. 5: das Parameterregisterformat für ein Ausführungsbeispiel;
- Fig. 6: ein Adressierungsschema des Bildspeichers für ein Ausführungsbeispiel;
- Fig. 7: die Anordnung der Bildspeicher im Hostprozessoradoressraum für ein Ausführungsbeispiel.

Fig. 1 soll die Stellung der Erfindung in einem aus Hostrechner 12 und Bildverarbeitungshardware 11 bestehenden System verdeutlichen. Entsprechend Fig. 1 ist der Bildspeicherbusadapter 3 an den Bus 13 zwischen Hostprozessor 1 und Operativspeicher 2 angeschlossen und bildet den Bildspeicherbus 4 mit den Adreßleitungen 5, den Datenleitungen 6 und den Steuerleitungen 7. An den Bildspeicherbus 4 sind entsprechend der Anzahl der Bildspeicher 9 die entsprechende Zahl von Bildsteuereinheiten 8 angeschlossen. Die Bildspeicher 9 bilden zusammen mit dem Spezialprozessor 10 die Bildverarbeitungshardware 11. An den Hostprozessor 1 sind weitere, aus Gründen der Übersichtlichkeit nicht dargestellte Geräte über einen weiteren Bus 14 gekoppelt. Alle Speicherzyklen auf dem Bildspeicherbus 4 werden vom Hostprozessor 1 über den Bildspeicherbusadapter 3 initiiert.

Fig. 2 verdeutlicht die Struktur der Bildsteuereinheit 8. Der Adreßteil  $15 A_{AB}$  der Hostprozessoradoresse  $A_5$  auf dem Bildspeicherbus 4 zur Auswahl eines Bildspeichers 9 gelangt neben den Signalen „Start Zyklus“ 16 und „Register adressiert“ 17 der Steuerleitungen 7 des Bildspeicherbusses 4 in den Adreßdekoder 18. Im Falle der Adressierung des zugehörigen Bildspeichers erzeugt der Adreßdekoder 18 ein Signal „Start Speicherzyklus“ 19, welches torbar zum Bildspeicher gelangt, und dort einen Speicherzyklus auslöst. Bei Adressierung des Parameterregisters 20 erzeugt der Adreßdekoder 18 ein Signal „Register ausgewählt“ 21 und ein Datenwort 22 wird von den Datenleitungen 6 des Bildspeicherbusses 4 in das Parameterregister 20 eingeschrieben. Von den Steuerleitungen 7 wird ein Signal „Lösen/Schreiben“ 23 abgegriffen, welches als Schreib-Lese-Signal in den Bildspeicher 9 gelangt und weiterhin die Richtung der Datenübergabe vom Bildspeicher 25 oder zum Bildspeicher 26 über Busempfänger/-sender 27 zu/von den Datenleitungen 6 des Bildspeicherbusses 4 eines

Datenwortes 28 steuert. Die Datenausgänge des Parameterregisters 20 sind mit den Steuereingängen des Adreßmodifikators 29 zur Übergabe von Adreßmodifikationsdaten AMD 30, des Adreßformers 31 zur Übergabe von Adreßformungsdaten AFD 32 und mit dem Tor 33 zur Steuerung ON 34 des Signales „Start Speicherzyklus“ 19 bei der Weitergabe an den Bildspeicher verbunden. Der Adreßteil zur Adressierung des Bildspeicherinhaltes  $A_{B1}$  35 der Hostprozessoradresse A 5 auf dem Bildspeicherbus 4 ist auf den Eingang des Adreßmodifikators 29 geschaltet. Die Adresse  $A_{B1}$  35 wird durch den Adreßmodifikator 29 unter Steuerung durch die Adreßmodifikationsdaten AMD 30 auf die Anzahl der Bitstellen der Bildspeicheradresse B' 37 modifiziert. Der Ausgang des Adreßmodifikators 29 ist auf den Eingang des Adreßformers 31 zur Übergabe eines Adreßwortes B 36 geschaltet. Unter Steuerung durch die Adreßformungsdaten AFD 32 werden im Adreßformer 31 die Bitstellen des Adreßwortes B 36 invertiert und/oder umgestellt. Am Ausgang des Adreßformers 31 steht die Bildspeicheradresse B' 37 zur Übergabe an den Bildspeicher zur Adressierung des Bildspeicherinhaltes. Das Signal „Start Speicherzyklus“ 19 wird durch den Adreßdekoder 18 erst aktiviert, wenn die Bildspeicheradresse B' 37 am Ausgang des Adreßformers 31 stabil anliegt. Das Signal „Start Speicherzyklus“ 19 dient gleichzeitig als Strobesignal für die in den Bildspeicher einzuschreibenden Daten. Ist ein Bildspeicherzyklus beendet, generiert der Bildspeicher ein Signal „Ende Speicherzyklus“ 38. Dieses Signal wird durch die Bildsteuereinheit 8 auf die Steuerleitungen 7 des Bildspeicherbusses 4 als Signal „Ende Zyklus“ 39 weitergeleitet. Das Signal „Ende Zyklus“ 39 wird ebenfalls zur Signalisierung des Abschlusses eines Schreibzyklusses auf das Parameterregister 20 durch den Adreßdekoder 18 generiert. Im Adreßdekoder 18 ist ein Adreßbereich im Adreßraum des Hostprozessors 1 einstellbar. Der Parameterregister 20 erfährt bei Stromzuschaltung eine ebenfalls einstellbare Anfangsinitialisierung. Die erfindungsgemäße Anordnung erlaubt auf Grund des Bildspeicherbusadapters 3 die Kopplung beliebiger Bildspeicher an beliebige Hostrechner. Zur weiteren Verdeutlichung sei für das Ausführungsbeispiel die Bitstellenzahl der physischen Adresse A eines 16-Bit-Hostprozessors  $m = 22$ , der virtuellen Adresse V des Hostprozessors, d. h. der Adreßraum eines Programms, welches auf dem Hostprozessor abgearbeitet wird,  $n = 16$ , die Datenbreite 16 bit, die kleinste adressierbare Einheit ein 8-bit-Byte. Weiterhin sei angenommen, daß der Hostprozessor die obersten 3 KByte seines physischen Adreßraums zur Registeradressierung benutzt. Der Bildspeicher habe eine Organisation von 512 Zeilen und 512 Spalten von 8-bit-Bytes. Damit ist die Bitstellenzahl der Bildspeicheradresse  $B_k = 18$ . Neben der Durchschaltung der Hostprozessoradresse A und der Bildung der Steuersignale 7 auf dem Bildspeicherbus 4 obliegt dem Bildspeicherbusadapter 3 die Bildung von 16-bit-Datenworten aus den 8-bit-Pixeln des Bildspeichers bei wortweisem Zugriff des Hostprozessors auf den Bildspeicher. Gemäß Fig. 3 bildet der Hostprozessor aus einer virtuellen Adresse V eine physische Adresse A. Der Adreßteil  $A_{AB}$  gibt an, ob der Operativspeicher oder ein für Bildspeicher vorgesehenes Adreßfenster adressiert wird. Der Adreßteil  $A_{B1}$  adressiert ein Pixel im Adreßfenster. Der Algorithmus zur Bearbeitung des Bildspeicherinhaltes sei durch ein Programm auf dem Hostprozessor implementiert, welches in seinem virtuellen Adreßraum ein Feld  $(v_1 : v_1)$  mit  $n \geq l > 1$  zur Bearbeitung des Bildspeicherinhaltes benutzt. Der Adressierungsmechanismus des Hostprozessors erlaubt, dieses Feld an eine beliebige Stelle im Bildspeicher zu verschieben. Jedoch müssen für eine solche Operation zentrale Ressourcen des Hostprozessors in Anspruch genommen werden. In Multiprogrammsystemen ist dazu eine Synchronisation mit anderen Prozessen notwendig. Durch die Anwendung eines Adreßmodifikators je Bildspeicher wird die Möglichkeit autonom für jedes Bild geschaffen. Dazu werden die Bits  $(a_k : a_1)$  des Adreßteiles  $A_{B1}$  unter Steuerung durch die Adreßmodifikationsdaten AMD mit den Bits  $(p_k : p_1)$  ersetzt. Damit wird die Festlegung eines Feldes im Bildspeicher über die Programmierung des Parameterregisters P zur Erzeugung einer Bildspeicheradresse B erreicht. Der Adreßformer formt gemäß Fig. 4 aus der Bildspeicheradresse B eine Bildspeicheradresse B' durch Vertauschen und/oder Invertierung jeweils der Hälfte der Bildspeicheradresse B unter Steuerung der Adreßformungsdaten AFD. Dadurch ergeben sich hier 8 mögliche Adressierungsmodi. Die Felder AMD und AFD des Parameterregisters P gemäß Fig. 5 beinhalten die Steuerbits für die Adreßmodifikation und Adreßformung. Im Feld AMD legen die Bits  $M_i$  mit  $i = 12, \dots, 17$  die zu maskierenden und die Werte  $F_i$  zu ersetzenden Bitstellen der physischen Hostprozessoradresse A fest. Das Feld AFD gibt die Adressierungsmodi eines Adreßformers gemäß Fig. 4 mit Adressierung von links nach rechts oder rechts nach links RL, von oben nach unten oder unten nach oben OU und das zeilenweise oder spaltenweise Adressieren ZS an. Das Bit ON des Parameterregisters P erlaubt die Zu- und Abschaltung des Bildspeichers, um mehrere Bildspeicher in einem Adreßfenster des Adreßraums des Hostprozessors adressieren zu können. Fig. 6 verdeutlicht die Anwendung der Adressierungsmodi bei Adreßformung. Dabei ist im Adreßraum des Bildspeichers B, B' durch Adreßmodifikation ein durch ein Programm auf dem Hostrechner adressierbares Feld  $B_M$  festgelegt. Durch Adreßformung ist die relative Startadresse des Feldes  $B_M(0), (1), \dots, (7)$  an die in Fig. 6 bezeichnete Stelle gelegt. Der Pfeil zeigt die Adressierungsrichtung für die nächstfolgenden Adressen im Feld  $B_{Mj}$  mit  $j = 0, 1, \dots, 7$ . Durch die Adreßformung werden für Bildverarbeitungsalgorithmen wichtige Effekte wie Drehung und Spiegelung des Bildspeicherinhaltes erreicht. Fig. 7 verdeutlicht eine Möglichkeit der Anordnung von vier Bildspeichern B 1, B 2, B 3, B 4 mit den entsprechenden Parameterregistern P 1, P 2, P 3, P 4 im Adreßraum des Hostprozessors A mit dem Operativspeicheradreßraum OP. Die Adressen der Parameterregister befinden sich im für Register vorgegebenen Adreßraum des Hostprozessors. Die Bilder B 1 und B 2 sowie B 3 und B 4 belegen jeweils identische Adressen. Welches Bild adressiert werden kann, wird durch die Programmierung der Bits ON der Parameterregister bestimmt.

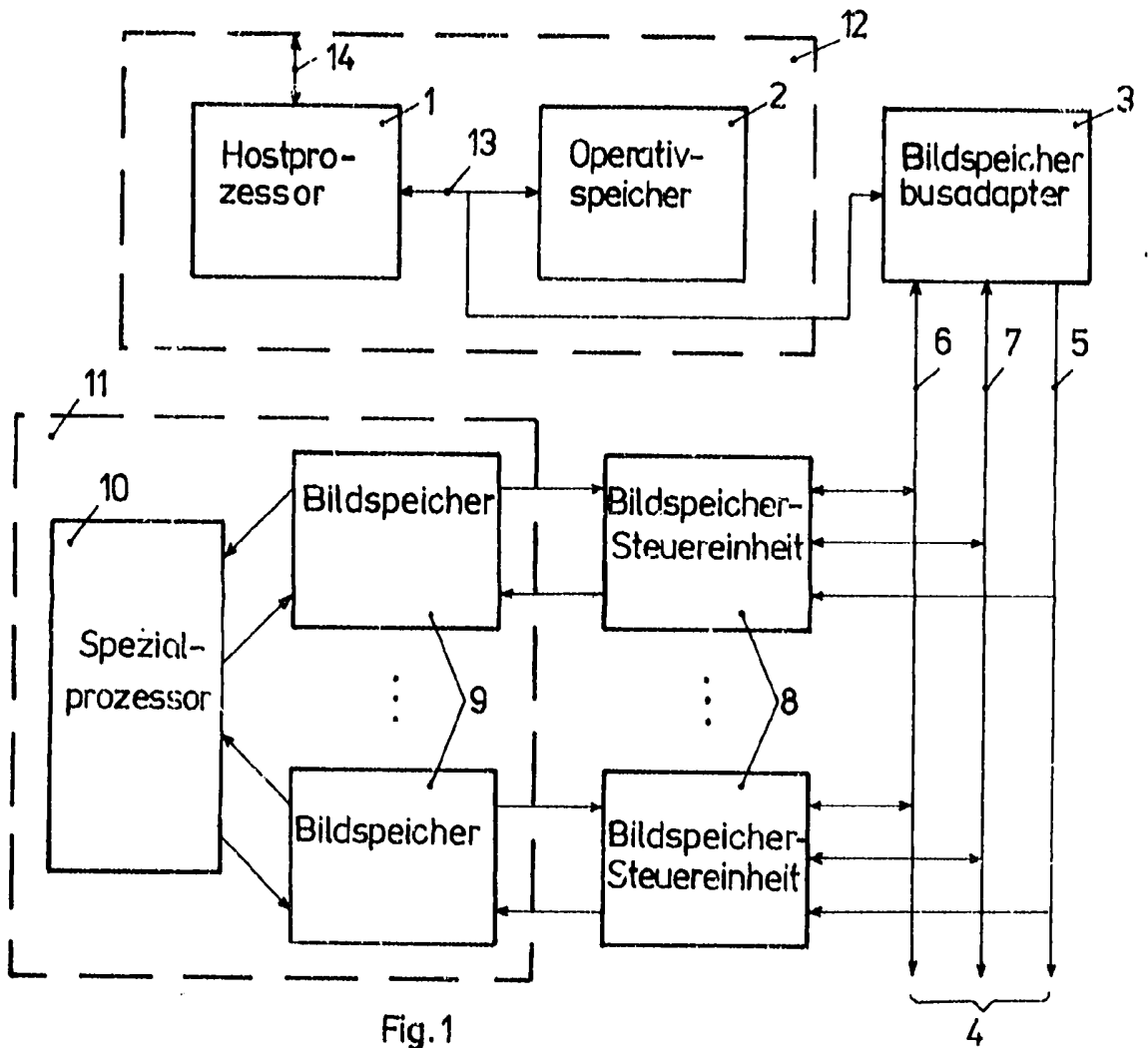


Fig. 1

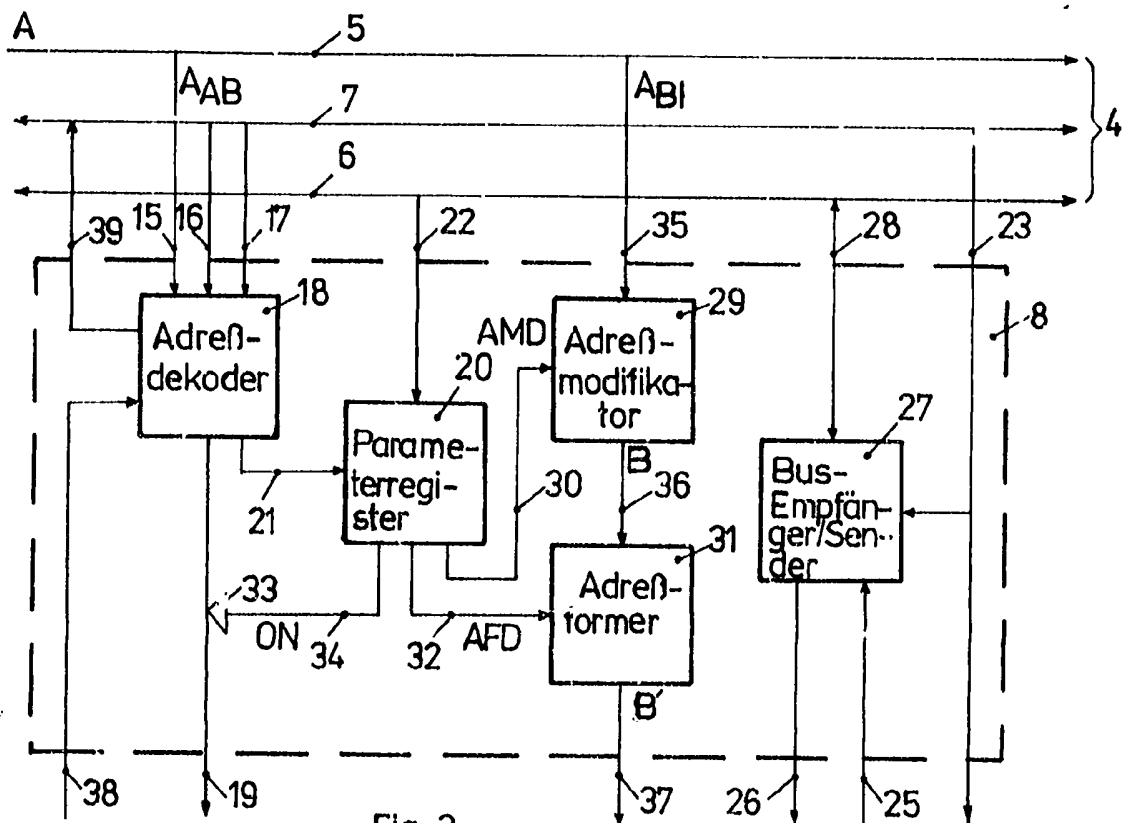


Fig. 2

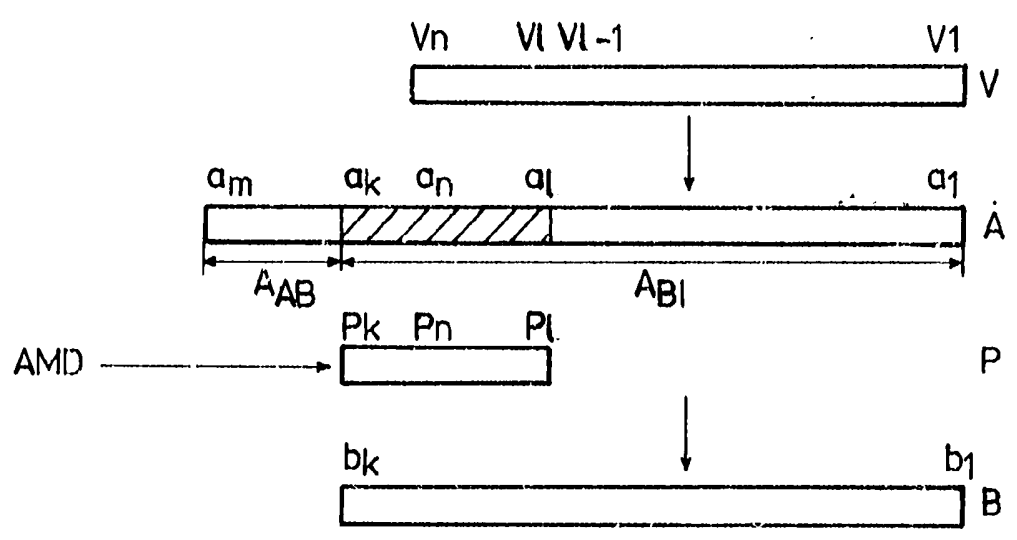


Fig.3

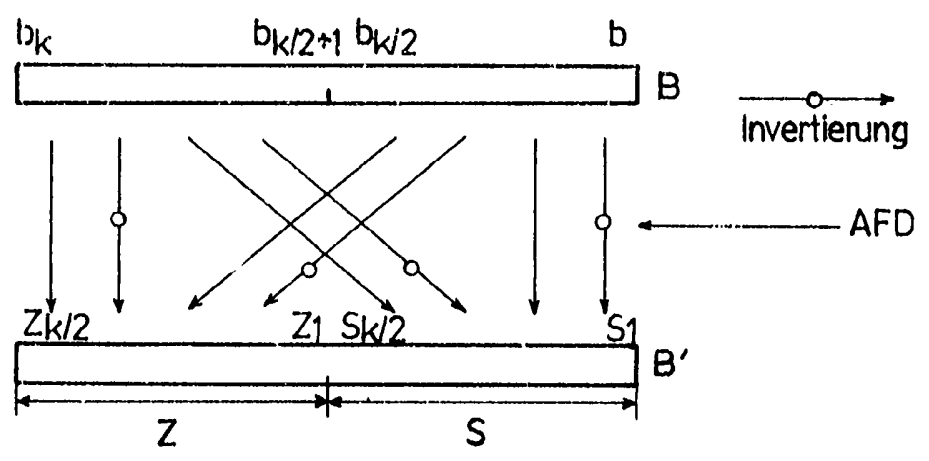


Fig. 4

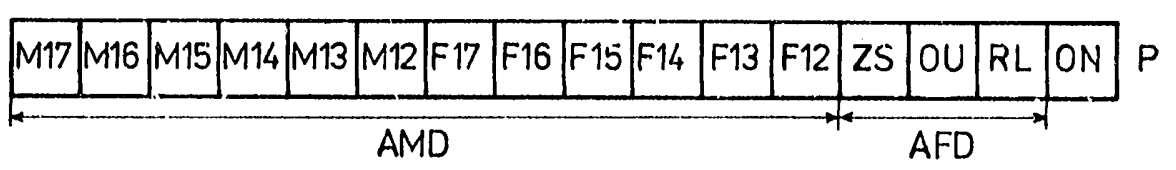


Fig.5

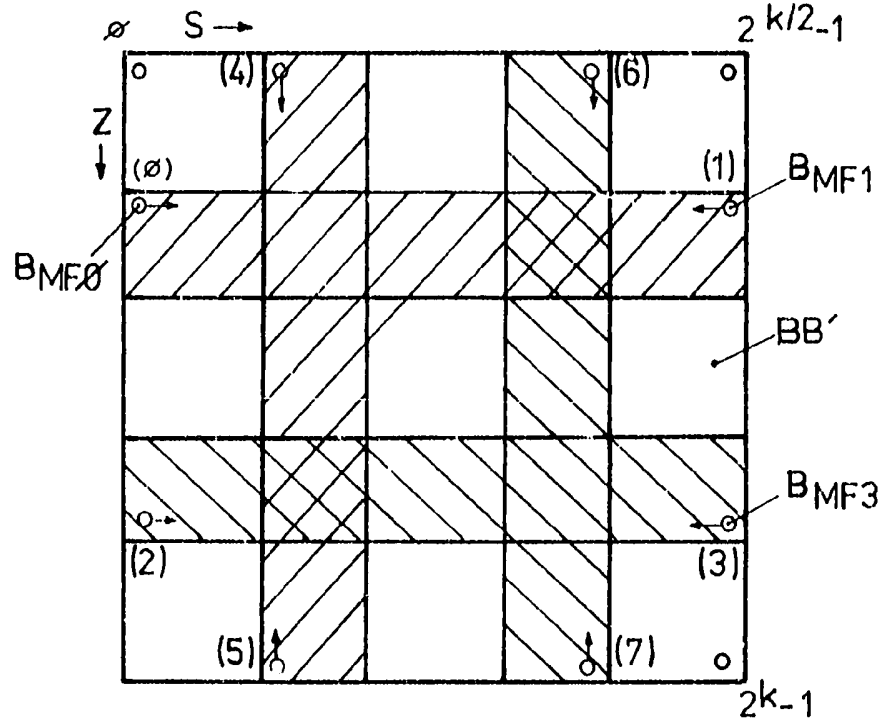


Fig. 6

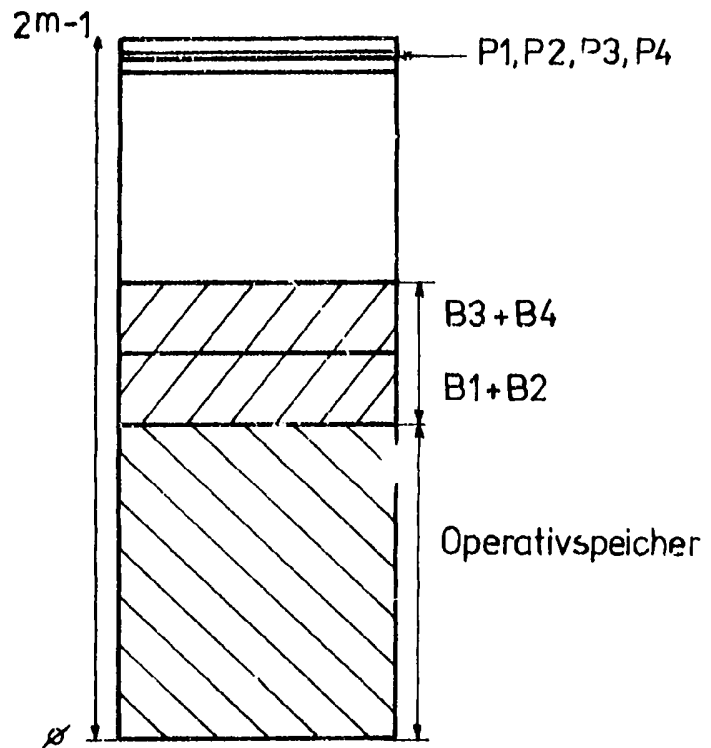


Fig. 7