

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5150022号  
(P5150022)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int.Cl.

F 1

|                |           |
|----------------|-----------|
| HO 1 L 21/8242 | (2006.01) |
| HO 1 L 27/108  | (2006.01) |
| HO 1 L 21/3205 | (2006.01) |
| HO 1 L 21/768  | (2006.01) |

|              |         |
|--------------|---------|
| HO 1 L 27/10 | 6 2 1 Z |
| HO 1 L 21/88 | B       |
| HO 1 L 27/10 | 6 5 1   |

請求項の数 4 (全 12 頁)

|               |                               |
|---------------|-------------------------------|
| (21) 出願番号     | 特願2000-608421 (P2000-608421)  |
| (86) (22) 出願日 | 平成12年3月30日 (2000.3.30)        |
| (65) 公表番号     | 特表2002-540626 (P2002-540626A) |
| (43) 公表日      | 平成14年11月26日 (2002.11.26)      |
| (86) 國際出願番号   | PCT/US2000/008638             |
| (87) 國際公開番号   | W02000/059011                 |
| (87) 國際公開日    | 平成12年10月5日 (2000.10.5)        |
| 審査請求日         | 平成19年3月29日 (2007.3.29)        |
| (31) 優先権主張番号  | 09/281,866                    |
| (32) 優先日      | 平成11年3月31日 (1999.3.31)        |
| (33) 優先権主張国   | 米国(US)                        |

前置審査

|           |   |
|-----------|---|
| (73) 特許権者 | 592010081<br>ラム・リサーチ・コーポレーション<br>LAM RESEARCH CORPORATION<br>アメリカ合衆国, カリフォルニア 945<br>38, フレモント, クッシング・パークウェイ 4650 |
| (74) 代理人  | 110000028<br>特許業務法人明成国際特許事務所  |
| (72) 発明者  | ケイル・ダグラス・エル.<br>アメリカ合衆国 カリフォルニア州945<br>55 フリモント, モンゴメリー・プレイス, 34421   |

審査官 正山 旭

最終頁に続く

(54) 【発明の名称】メモリセルキャパシタ構造におけるメモリセルキャパシタプレートの形成方法

## (57) 【特許請求の範囲】

## 【請求項 1】

メモリセルキャパシタ構造の形成方法であって、  
基板上に犠牲層を堆積させる工程と、  
前記犠牲層内に開口部を形成する工程と、  
前記犠牲層の上面に第1のプラチナ含有層を堆積させるとともに、前記開口部を全面的に充填する工程と、

第1のメモリセルキャパシタプレートの上面を画定するために、前記第1のプラチナ含有層の一部を少なくとも前記犠牲層の上面とほぼ同じ高さになるまで除去し、前記第1のメモリセルキャパシタプレートの前記上面が、複数の鋭利な角部を有するようする工程と、

前記犠牲層を除去する工程と、

前記第1のメモリセルキャパシタプレートおよび前記基板上に共形に誘電体層を堆積する工程と、

前記第1のメモリセルキャパシタプレートから一定距離以内にない、前記基板上に堆積された前記誘電体層の一部、を除去し、残存する誘電体層により前記第1のメモリセルキャパシタプレートの上面と側壁とを覆う記憶素子を形成する工程と、

第2のメモリセルキャパシタプレートを形成するために、前記残存する誘電体層および前記基板上に、共形に第2のプラチナ含有層を堆積する工程と、

を備え、

10

20

前記犠牲層を除去する工程が、スパッタリング処理またはプラズマエッティング処理により前記第1のメモリセルキャパシタプレートの前記複数の鋭利な角部を丸める工程を兼ねており、かつ、前記複数の鋭利な角部を丸める工程のために用いられる処理により、結果として、前記犠牲層を除去する工程も行われることである、

形成方法。

【請求項2】

請求項1に記載の形成方法であって、

前記基板は導電プラグを有し、

前記導電プラグは、絶縁材料により囲まれている、形成方法。

【請求項3】

請求項1または2に記載の形成方法であって、

前記犠牲層は酸化物層である、形成方法。

10

【請求項4】

請求項1から3までのいずれか一項に記載の形成方法であって、

前記第1のプラチナ含有層の前記一部を除去する前記工程は、平坦化処理により達成される、形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体デバイスに関し、特に、酸素にさらされても絶縁膜を形成しない材料からメモリセルキャパシタプレートを製造するための改良された形成方法に関する。このような特性を有する材料としては、抗酸素材料、酸素にさらされると導電酸化物を形成する導電材料、又はメモリセルキャパシタデバイスに使われる導電酸化物そのものが含まれ得る。

20

【0002】

【従来の技術及び発明が解決しようとする課題】

半導体メーカーは、半導体デバイスのサイズを最小限に保ちつつ、常に半導体の能力と性能を向上させなければならない。メモリセルやメモリセルキャパシタ構造等の集積回路デバイスの製造では、デバイスのサイズを小型に保つために、ほとんどの半導体メーカーが個々のメモリデバイスの部品の寸法を最小限のものにする。この目的を達成するために、メーカーはデバイスの中の部品の占める面積を減らすのに適した特性を有する他の材料を求める。しかしながら、これらの新しい材料に従来の製造工程を適用すると新たな問題が生じる。たとえば、強誘電性材料は高い誘電率や残留分極、及び低い飽和電圧等の優れた特性を示すため、これらの材料を利用する事が半導体産業においてますます魅力ある手段となる。

30

【0003】

これを実証する例が、強誘電性材料の高い誘電率によりセル体積あたりの静電容量が増加するDRAM用のものに見ることができる。これによりDRAMのセルサイズが縮小できることになり、窒化シリコンやシリコン酸化物の誘電体を用いる現在使われているDRAMセルと比べて20分の1にまで小型化することができる。さらに、残留分極により、たとえば強磁性体の磁区における状態記憶のような状態記憶も可能となる。こうした強誘電性材料の分極特性により、情報を磁性材料のように無限に記憶することができ、しかもその記憶を維持するために特定のフィールドや電圧を提供する必要がない。このため、強誘電材料は不揮発性メモリアレイの製造にきわめて適した材料となる。それだけでなく、強誘電性材料の示す低い飽和電圧により、これらの持久メモリアレイのさまざまなオペレーションが可能になり、とりわけおよそ3~5ボルトという標準供給電圧を用いて状態をスイッチできるようになる。

40

【0004】

強誘電性材料が望ましい特性を示す結晶構造になるためには、一般に高温で処理する必要があり、どの程度の強誘電性を示すかは、酸素をどのくらい使えるかにより決まる。それ

50

ゆえ、一般に強誘電性材料は酸素を含む環境で堆積されるので、同じデバイスの中で使われる強誘電性材料と導電材料とが適合しないことがある。たとえば、1つのキャパシタ構造の中に強誘電性材料で作られたキャパシタ記憶素子と導電材料で作られたキャパシタプレートが含まれる場合がある。強誘電性材料が堆積される環境に存在する酸素は、キャパシタプレートの製造に使われた導電金属と反応して酸化物を形成する可能性がある。そして、ほとんどの酸化物には絶縁作用があるため、酸化物が形成される接触面で電気が遮断されて、キャパシタの特性にきわめて不利な影響が及ぶことになる。強誘電性薄膜を製造する酸素雰囲気では、キャパシタプレートの材料に厳しい条件が課され、キャパシタプレートは一般に酸素にきわめて反応しにくい材料で作られなければならない。強誘電性材料とともに使える材料に含まれうるのは、抗酸素材料、導電酸化物を形成する導電材料、又はメモリセルキャパシタデバイスに使われる導電酸化物そのものである。これらの材料に含まれる可能性のあるものの一部を挙げると、プラチナ、ルテニウム、酸化ルテニウム、イリジウム、酸化イリジウムがある。しかしながら、普通は使われないこれらの金属は従来のプラズマエッチング技術にあまり適さない。

#### 【0005】

たとえば、プラチナは比較的化学作用を起こしにくい材料であり、エッチングにあまり反応しない。図1はエッチングされたプラチナ含有層100を示し、プラチナのエッチングにより生じる問題を説明するものである。プラチナ含有層100は、望ましい構造を形成するために、多くの場合アルゴン等の希ガスでスパッタエッチングされている。スパッタリングによりプラチナイオンの一部が移動され、それらのイオンがチャンバウォールに着地せずにサイドウォール102にぶつかり、再びプラチナ含有層100に戻る傾向がある。プラチナ含有層100の上にあらかじめ配置されたフォトレジストマスクを除去すると、通常ベールと呼ばれる牙状の構造104が形成される。これらの構造は、リディポジット、フェンス、クラウン、イヤー等と呼ばれることもある。ベール104の突出の程度はプラチナ含有層100の先細りの角度に反比例し、プラチナ含有層の断面が垂直に近くなるほどベールの突出は鋭くなる。しかしながら、先細りの角度が鋭くなりすぎてベールが形成されないほどになると、記憶密度が低下して効果がなくなるので、これらの用途には適さないことになる。

#### 【0006】

プラチナエッチングのこうした特徴には不利な点がたくさんある。プラチナ含有層100の上面に突出するベール104は、その上に層を重ねられるような平らな面がない。それだけでなく、牙状の構造のベール104はこの構造に鋭利な先端をもたらし、その部分ではごく低い電圧でも非常に高い電界を生じる可能性があるので、ブレークダウンの危険がきわめて高くなる。より高度な記憶密度を実現するために望ましい形状は、おそらく断面角度が急な、すなわちより垂直に近い形で、しかもデバイスの故障を引き起こす恐れのある鋭利な突出がないメサ構造であろう。

#### 【0007】

したがって、酸素と反応して絶縁膜を形成することのない材料を使い、しかもこれらの材料のエッチングに伴う前述の問題を回避し得る、キャパシタプレートを製造するための改良された形成方法が望まれる。

#### 【0008】

##### 【課題を解決するための手段】

このような目的並びにその他の目的を達成するため、また本発明の目的に従って、メモリセルキャパシタプレートとメモリセルキャパシタ構造を製造するための改良された形成方法が開示されている。本発明の一実施形態として、メモリセルキャパシタプレートの形成方法が開示されている。この形成方法では、最初に犠牲層を堆積させ、次にその犠牲層の中に開口部を形成する。そして酸素にさらされても相当の導電性を維持する相当導電性材料を含む電極材料層を、犠牲層の上面に堆積させ、開口部の少なくとも一部を充填するようにする。続いて、電極材料層の一部を少なくとも犠牲層の上面とほぼ同じ高さになるまで除去することにより、メモリセルキャパシタプレートの上面を画定し、その後、犠牲層

10

20

30

40

50

を除去する。

#### 【0009】

本発明のもう1つの実施形態として、プラチナ含有メモリセルキャパシタプレートの形成方法が開示されている。この形成方法では、最初に犠牲層を堆積させ、次にその犠牲層の中に開口部を形成する。そしてプラチナ含有層を犠牲層の上面に堆積させて開口部の少なくとも一部を充填するようにする。続いて、プラチナ含有層の一部を少なくとも犠牲層の上面とほぼ同じ高さになるまで除去することによりプラチナ含有メモリセルキャパシタプレートの上面を画定し、その後、犠牲層を除去する。

#### 【0010】

本発明のさらに別の実施形態として、メモリセルキャパシタ構造の形成方法が開示されている。この形成方法では、最初に第1の犠牲層を堆積させ、次にその第1の犠牲層の中に第1の開口部を形成する。そして、酸素にさらされても相当の導電性を維持する相当導電性材料を含む第1の電極材料層を、第1の犠牲層の上面に堆積させて第1の開口部の少なくとも一部を充填するようにしたあと、第1の電極材料層の一部を少なくとも第1の犠牲層の上面とほぼ同じ高さになるまで除去することにより、第1のメモリセルキャパシタプレートの上面を画定する。次に、第2の犠牲層を堆積させて、その第2の犠牲層の中に第2の開口部を形成する。そして、誘電体層を第2の犠牲層の上面に堆積させて、第2の開口部の少なくとも一部を充填するようにして、この誘電体層が第1のメモリセルキャパシタプレートと電気的接触を有するようにする。さらに、誘電体層の一部を少なくとも第2の犠牲層の上面とほぼ同じ高さになるまで除去することによりメモリセルキャパシタ記憶素子の上面を画定し、続いて第1と第2の犠牲層を除去する。そして、第2のメモリセルキャパシタプレートをメモリセルキャパシタ記憶素子の上に形成する。

10

#### 【0011】

本発明のその他の特徴や利点は、本発明の原理を例示する添付図面を参照して、以下の詳細な説明から明らかになろう。

#### 【0012】

##### 【発明の実施の形態】

本発明は、添付図面の各図において例示的に示されているが、これらに限定されるものではない。各図において、理解を容易にするために、同一参照符号は、類似又は同一の要素を表す。

30

#### 【0013】

ここで、添付図面に示した幾つかの好適な実施形態に基づき、本発明を詳細に説明する。以下の記述では、本発明が完全に理解されるように、多くの具体的な詳細が説明されている。しかしながら、当業者にとっては、これらの具体的な詳細の一部又は全部がなくても本発明を実行し得ることは明白であろう。また、本発明を必要にわかりにくくしないように、公知の工程は詳細には説明していない。

#### 【0014】

本発明は、酸素にさらされても絶縁膜を形成しない導電材料を使って、メモリセルキャパシタ構造の中のメモリセルキャパシタプレートを製造する改良された形成方法に関する。これらの改良された形成方法には、これらの材料のエッティングは含まれておらず、実際には、これらの部品を製造するために提案されている形成方法には、一般にダマシン法として知られているエッティングとマスキングの連続工程が含まれている。ダマシン法では、絶縁膜の層に多数の開口部を作り、その開口部に、たとえばプラチナ等を充填し、それを絶縁膜の表面まで研磨して、望ましい金属パターンを形成する。

40

#### 【0015】

本発明によれば、酸素にさらされても相当の導電性を維持する相当導電性材料を使ってキャパシタプレートを形成する場合、化学反応を起こしにくいそのような材料のエッティングに伴う困難を避けるために、ダマシン法を用いてその材料を加工することにより製造する。本発明の1つの実施形態では、犠牲層を堆積工程により形成し、続いてその犠牲層に開口部を形成する。酸素にさらされて相当の導電性を維持する相当導電性材料を含む電極材

50

料層を犠牲層の上面に堆積させ、開口部の少なくとも一部を充填するようにする。次に、電極材料層の一部を少なくとも犠牲層の上面とほぼ同じ高さになるまで除去し、メモリセルキャパシタプレートの上面を画定する。それから犠牲層を除去し、相当導電性のメモリセルキャパシタプレートを露出させる。

【 0 0 1 6 】

本発明のもう1つの実施形態では、犠牲層を堆積工程により形成し、続いてその犠牲層に開口部を形成する。プラチナ含有層を犠牲層の上面に堆積させ、開口部の少なくとも一部を充填するようにする。その後、プラチナ含有層の一部を少なくとも犠牲層の上面とほぼ同じ高さになるまで除去し、プラチナ含有メモリセルキャパシタプレートの上面を画定する。それから犠牲層を除去し、プラチナ含有メモリセルキャパシタプレートを露出させる  
10。

【 0 0 1 7 】

本発明のさらに別の実施形態では、第1の犠牲層を堆積工程により形成し、続いて第1の犠牲層に第1の開口部を形成する。酸素にさらされても相当の導電性を維持する相当導電性材料を含む第1の電極材料層を、第1の犠牲層の上面に堆積させ、第1の開口部の少なくとも一部を充填するようにする。次に、第1の電極材料層の一部を少なくとも第1の犠牲層の上面とほぼ同じ高さになるまで除去し、第1のメモリセルキャパシタプレートの上面を画定する。続いて、第2の犠牲層を第1のメモリセルキャパシタプレートの上面に堆積させ、第2の犠牲層の中に第2の開口部を形成する。そして、誘電体層を第2の犠牲層の上面に堆積させ、第2の開口部の少なくとも一部を充填するようにして、この誘電体層が第1のメモリセルキャパシタプレートと電気的接触を維持し得るようにする。その後、誘電体層の一部を少なくとも第2の犠牲層の上面とほぼ同じ高さになるまで除去することによりメモリセルキャパシタ記憶素子の上面を画定して、第1と第2の犠牲層を除去する。そして、第2のメモリセルキャパシタプレートをメモリセルキャパシタ記憶素子の上に形成し、メモリセルキャパシタ構造を完成する。  
20

【 0 0 1 8 】

説明を容易にするために、図2に例示的基板200を示す。この基盤は、たとえばプラグ202を有するメモリセルであり、メモリセルキャパシタプレート製造の土台として使えると考えられる。プラグ202はポリシリコン、タンゲステン、又はアルミニウム等の導電材料で作られ、接触するメモリセルキャパシタと電気的接触を有する。プラグ202は、酸化物又はその他の絶縁材料により作られると考えられる絶縁層204に囲まれている。ここで注意すべきなのは、この図のデバイスが、説明という目的だけのために最も単純化された形で描かれているということである。描かれている層の上や下、又は間に、さらに他の層が存在することもあり得る。また、描かれている層のすべてが必ず存在しなければならないわけではなく、一部又は全部を別の層で代用することもできる。ここに示され説明されているデバイスの層は、この技術に熟練した人には簡単に認識でき、化学気相成長法(CVD)、プラズマ強化化学気相成長法(PECVD)、及びスパッタリング等の物理気相成長法(PVD)を含む多くの適切かつ公知の堆積処理のいずれかを用いて製造できるものである。  
30

【 0 0 1 9 】

図3は、図2の例示的基板200の上に置かれた任意の境界層302を示す。境界層302はたとえば窒化チタン又は窒化シリコンで作られ、その上に置かれた層を除去するときにエッティングストップ層として機能する。エッティングストップ層としての目的は、エッティングの深さを均一に保ち、下の層が傷つかないようにすることである。  
40

【 0 0 2 0 】

また、境界層302は拡散防止層としての役割を果たすこともある。たとえばプラチナ等の材料は、酸素とのいかなる化学反応にも抵抗力があるが、酸素を透過する。たとえば、プラチナ含有キャパシタプレートと、そのプレート間に強誘電性記憶素子のあるキャパシタが、基板200の上面に置かれているとする。プラチナは酸素を透過するため、強誘電性材料の中の酸素がプラチナ含有キャパシタプレートを通って拡散し、導電プラグ202  
50

と反応して、導電プラグ 202 とプラチナ含有キャパシタプレートの間に酸化境界面を形成する可能性がある。その酸化物は絶縁膜となる可能性が高く、プラグ 202 とそれに隣接するプラチナ含有キャパシタプレートとの電気的接触を遮断することになる。この酸化物の形成により、メモリセルとメモリセルキャパシタとの電気的接触が事実上遮断される。境界層 302 が拡散防止層として存在すれば、強誘電性材料の中の酸素がプラチナに拡散するのを防ぎ、その結果、酸化絶縁膜の形成を防ぐ。

#### 【0021】

しかしながら、多くの機能があるにもかかわらず、境界層 302 は任意の層であり、本発明に不可欠なものではない。たとえば、プラグに使われている材料がエッティングしにくいもので、酸化絶縁膜を形成する可能性がない場合は、このような境界層は必要なくなる。

10

#### 【0022】

図 4 では、犠牲層 402 が境界層 302 の上に堆積されている。犠牲層 402 はたとえば酸化物で作られているとする。この工程の次に、図 5 に示すとおり犠牲層 402 に開口部 502 が作られる。開口部 502 は犠牲層 402 のパターニングとエッティングにより形成される。この形成方法は金属のパターニングとエッティングよりもクリーンで手間のかからない工程と考えられている。

#### 【0023】

図 6 は、プラチナ等の電極材料層を犠牲層 402 の上に堆積させ、開口部 502 の少なくとも一部をふさいで、電極材料層 602 を形成したとの構造を示している。続いて、図 7 に示されているように、電極材料層 702 の一部を少なくとも犠牲層 402 の上面とほぼ同じ高さになるまで除去して、メモリセルキャパシタプレート 702 の上面を画定する。プラチナ等の電極材料層の除去は、化学的機械的研磨 (C M P) 等の平坦化処理技術により完成される。次に、図 8 に示すとおり、犠牲層 402 を除去してメモリセルキャパシタプレート 702 を分離させる。

20

#### 【0024】

図 8 に示されているメモリセルキャパシタプレート 702 には鋭利な角部 802 があり、これが集中部分で強い電界を発生し、短絡を起こして機器の故障につながる危険がある。このような事態の発生を防ぐために、これらの鋭利な角部を丸くする工程を追加したほうが、より信頼性のあるデバイスの製造を達成するために有利になる。鋭利な角部を丸くするには、スパッタリングやプラズマエッティング等を行なう。これらの処理は犠牲層の除去などの目的も達成し、その結果、本発明を実行するのに必要な工程数を最小限にすることにより、本発明の手段を最大限に効果的にする。

30

#### 【0025】

図 9 では、強誘電性材料層 902 が、メモリセルキャパシタプレート 702 と、犠牲層 402 の除去により露出した下の基板の上に共形 (C O N F O R M A L) に堆積されている。強誘電性材料の堆積は、金属化学気相成長法 (金属 C V D) や金属イオンプラズマエッティング等のさまざまな技術により行なわれる。

#### 【0026】

強誘電性材料層は静電容量記憶デバイスの構成部分として機能し、いくつかの形に形成することができる。前述のように共形に堆積させることもできるし、本発明においてメモリセルキャパシタプレートを形成するのと同じ形成方法で形成することもできる。この場合は、対応する強誘電性材料層のサイドウォールはライン 904 により画定される。また、強誘電性材料層は、強誘電性材料層を共形に堆積させることにより形成することもできる。この場合、次に下のメモリセルキャパシタプレート 702 との接触面から一定の距離以内にない強誘電性材料を除去して、対応する強誘電性材料層のサイドウォールはライン 906 により画定されることになる。強誘電性材料層の指定部分の除去は、マスキング材料でパターニングするとともに、これらの指定部分をエッティングすることにより達成される。

40

#### 【0027】

静電容量をさらに高めるためには、強誘電性材料層 902 で下のメモリセルキャパシタ

50

プレート702のサイドウォールを覆うほうが有利であり、特にサイドウォールが静電容量のおよそ50パーセントに貢献する場合はそうである。これは、そのようなキャパシタ構造の縦横比が非常に高く、サイドウォールが構造全体の接触面のおよそ3分の2を占めることがあるという事実のためである。静電容量は、キャパシタプレートとキャパシタ記憶素子の表面間の接触を最大化することにより増すので、メモリセルキャパシタプレート702のサイドウォールを覆って共形に堆積された強誘電性材料層902のような強誘電性材料層が、おそらく静電容量を増すためにより有利な実施形態の1つとなるであろう。

【0028】

図10では、電極材料層1002が強誘電性材料層902の上に共形に堆積され、第2のメモリセルキャパシタプレートを形成してキャパシタ構造全体を完成している。図10に示されている例示的メモリセルキャパシタ構造は、本発明で説明されている形成方法を用いて下部のメモリセルキャパシタプレート702を形成し、続いて強誘電性材料層902を共形に堆積させたあと、電極材料層1002を堆積させることで構成されている。また、この第2のメモリセルキャパシタプレートは、本発明の別の形成方法で形成することもできる。図11と図12は、本発明の他の実施形態に従って作られた例示的メモリセルキャパシタ構造を示している。

【0029】

図11に示されているキャパシタ1100では、それぞれのキャパシタプレートとキャパシタ記憶素子が、個々のキャパシタプレートを製造するための本発明の形成方法を用いて作られている。この形成方法には小規模な変更が加えられているが、その変更とは、犠牲層の除去が、犠牲層で覆われた部分が作られた直後に行なわれるのではないというものである。現実には、すべての犠牲層の除去はキャパシタ構造のすべての部分が形成されるまで延期されるのである。この場合、強誘電性材料層1104がプラチナ層1106の間にさまれたサンドイッチ構造ができる。それぞれのプラチナ層1106の鋭利な角部1108も、前述の図8に示されている第1のメモリセルキャパシタプレート702の鋭利な角部を丸くする形成方法により丸くすることができる。キャパシタ1100は任意の保護層1110で覆われており、この保護層は、キャパシタ1100が空気や水分やその他の環境中の不純物と相互作用を防ぐ防護壁としての機能を提供するために、他のキャパシタ構造でも使うことができる。

【0030】

図12は、本発明の形成方法に従って作られたプラチナ含有キャパシタプレート1202を含むキャパシタ1200を示す。強誘電性材料層1204がプラチナ含有キャパシタプレート1202の上に共形に堆積され、続いてプラチナ含有キャパシタプレート1202の接触面から一定の距離以内にない強誘電性材料層1204の一部が除去される。これにより、強誘電性材料層1204がプラチナ含有キャパシタプレート1202のサイドウォール1206に接触するため、静電容量記憶デバイスを最大限にできる。さらに、プラチナ含有層1208が強誘電性材料層1204として残っている部分の上に共形に堆積され、キャパシタ構造が完成される。プラチナ含有層1206の上に任意の保護層を堆積させて防護壁とすることもできるが、説明を単純化するために図面には示していない。

【0031】

上記の説明からわかるように、本発明は酸化物にさらされたあとも導電性を保つプラチナ等の材料を、ダマシン法を用いてキャパシタプレートを形成する形成方法を効果的に示している。たとえば、ルテニウムやイリジウム、他の酸化物などの材料は、毒性材料を形成することがあり、揮発状態に置かれると有害な場合がある。犠牲層のエッチングによるこれらの材料のバターニングに重点を置くダマシン法を利用することで、これらの材料が揮発状態になるのを堆積工程だけに限定できるため、オペレータがこれらの材料にさらされる機会を減らすことができる。さらに、本発明の形成方法は、長年にわたって進歩してきたクリーンかつ技術的に優れた工程である酸化エッティングに有利な影響をもたらす。もし、これらの材料、つまりルテニウムやイリジウムや他の酸化物が、これらの材料を直接エッティングすることによりキャパシタプレートのなかに形成されると、これらの材

10

20

30

40

50

料からの生成物を蒸発させるためにより高い温度で処理しなければならなくなる。このような高温では集積化の選択肢が制限されたり、すでに作られた構造にダメージを与える危険が増したりする。ルテニウム、イリジウム、その他の酸化物などの材料に本発明の形成方法を用いると、そのような心配がなくなる。

〔 0 0 3 2 〕

本発明の別の例では、プラチナ含有プレートをダマシン法で形成する。プラチナは、もつと一般的に使われている銅等の金属と比べて堆積とC M Pが難しいと見なされているため、プラチナ含有構造の形成にダマシン法を用いるのは、普通は考えられないことである。実際には、プラチナは低い抵抗率と不揮発性のために非常に扱いにくい材料であるため使用を避けたいとさえ思われるかもしれない。しかしながら、不利な属性と見なされるものの中に、まさにプラチナのような材料を強誘電体等の特殊な誘電体材料とともに使えるようにする特性がある。

10

[ 0 0 3 3 ]

本発明のもう1つの利点は、プレートに使われる導電材料をエッチングする必要をなくし、その代わりに酸化物で作られる可能性の高い犠牲層にエッチング処理を用いることである。酸化物等の材料のエッチングは、プラチナ等の導電材料のエッチングよりもクリーンな処理である。酸化物のエッチング処理では、不揮発性おそらく有毒な副産物の堆積が減少する結果となると考えられる。このために、プラズマ処理チャンバの洗浄がより危険の少ないものになり頻度も範囲も減らせると考えられる。チャンバの洗浄は些細な工程と、思われるかもしれないが、洗浄工程に費やす時間と財源で表される所有者のコストを匡定する上で非常に重要な要素である。

20

( 0 0 3 4 )

以上、本発明が明確に理解されるようにかなり詳細に説明してきたが、特許請求の範囲内で一定の変更や修正がなされ得ることは明白であろう。たとえば、本発明は主にプラチナ含有プレートと強誘電性記憶素子とを有するメモリセルキャパシタ構造を用いて説明してきたが、本発明はこれらの材料の使用に限定されるものではなく、DRAM用に使われるようなメモリセルキャパシタ構造の使用に限定されるものでもない。たとえば、本発明の形成方法は、ここに示した例の中で説明されているもの以外の材料を使う場合にも適用可能であり、また、スマートカード等のDRAM以外のデバイスの製造にも適用可能である。したがって、ここに示した実施形態は例示的かつ非限定的なものとして做されるべきであり、本発明はここに示された詳細に限定されるべきではなく、特許請求の範囲及びその等価物の範囲内で変形し得るものである。

30

### 【図面の簡単な説明】

【図1】 プラチナのエッチングで生じる問題を説明するため、エッチングされたプラチナ含有層を示す図である。

【図2】メモリセルキャパシタプレートの製造に使用可能な導電性プラグを有する例示的基板を示す図である。

図3-1 図2の例示的基板の上に堆積される任意の境界層を示す図である

【図4】 本発明の第1の実施形態に従って、図3の構造の上に堆積される例的メモリセルキャパシタプレートを形成する工程の流れを示す図である。

【図5】 本発明の第1の実施形態に従って、図3の構造の上に堆積される例示的メモリカラキナバシタブトーナーを形成する工程の流れを示す図である。

【図6】 本発明の第1の実施形態に従って、図3の構造の上に堆積される例示的メモリ構造を示す。図6は、メモリ構造を形成する工程の流れを示す図である。

【図7】 本発明の第1の実施形態に従って、図3の構造の上に堆積される例示的メモリ

【図8】 本発明の第1の実施形態に従って、図3の構造の上に堆積される例示的メモリ

【図9】 本発明の第2の実施形態に従って、図4～8の工程の流れに續いて行われる工

程であって、例示的メモリセルキャパシタ構造を図 10 に示された完成状態になるように

50

製造する工程の流れを示す図である。

【図10】 本発明の第2の実施形態に従って、図4～8の工程の流れに続いて行われる工程であって、例示的メモリセルキャパシタ構造を図10に示された完成状態になるよう製造する工程の流れを示す図である。

【図11】 本発明の別の実施形態に従って製造される他の例示的メモリセルキャパシタ構造を示す図である。

【図12】 本発明の別の実施形態に従って製造される他の例示的メモリセルキャパシタ構造を示す図である。

【符号の説明】

|                             |    |
|-----------------------------|----|
| 1 0 0 ... プラチナ含有層           | 10 |
| 1 0 2 ... サイドウォール           |    |
| 1 0 4 ... ベール               |    |
| 1 0 4 ... 構造                |    |
| 1 1 0 0 ... キャパシタ           |    |
| 1 0 0 2 ... 電極材料層           |    |
| 1 1 0 4 ... 強誘電性材料層         |    |
| 1 1 0 6 ... プラチナ層           |    |
| 1 1 0 8 ... 角部              |    |
| 1 1 1 0 ... 保護層             |    |
| 1 2 0 0 ... キャパシタ           | 20 |
| 1 2 0 2 ... プラチナ含有キャパシタプレート |    |
| 1 2 0 4 ... 強誘電性材料層         |    |
| 1 2 0 6 ... プラチナ含有サイドウォール   |    |
| 1 2 0 8 ... プラチナ含有層         |    |
| 2 0 0 ... 例示的基板             |    |
| 2 0 2 ... 導電プラグ             |    |
| 2 0 4 ... 絶縁層               |    |
| 3 0 2 ... 境界層               |    |
| 4 0 2 ... 犠牲層               |    |
| 5 0 2 ... 開口部               | 30 |
| 6 0 2 ... 電極材料層             |    |
| 7 0 2 ... メモリセルキャパシタプレート    |    |
| 8 0 2 ... 角部                |    |
| 9 0 2 ... 強誘電性材料層           |    |
| 9 0 4、9 0 6 ... ライン         |    |

【図1】

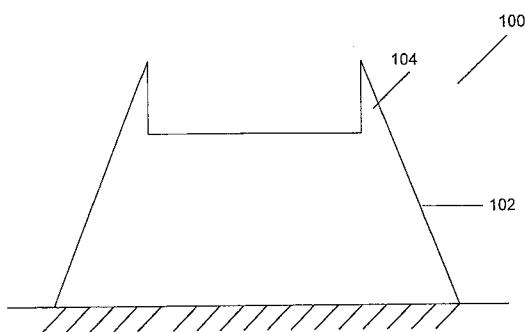


Fig. 1

【図3】

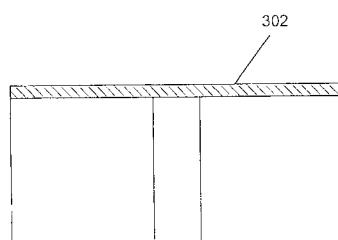


Fig. 3

【図2】

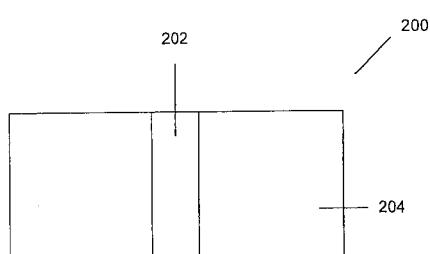


Fig. 2

【図4】

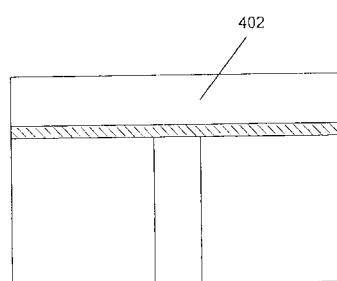


Fig. 4

【図5】

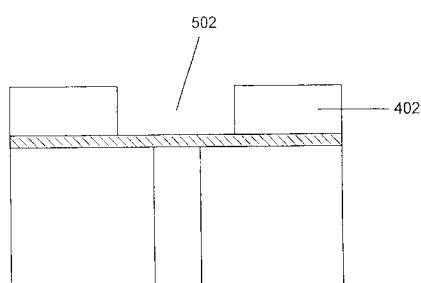


Fig. 5

【図7】

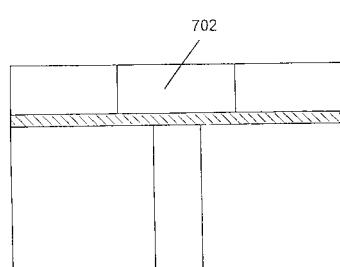


Fig. 7

【図6】

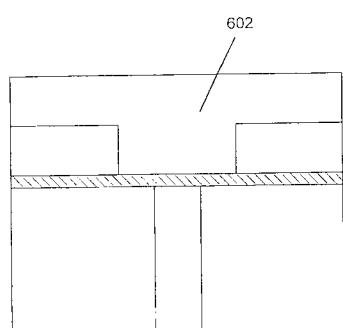


Fig. 6

【図8】

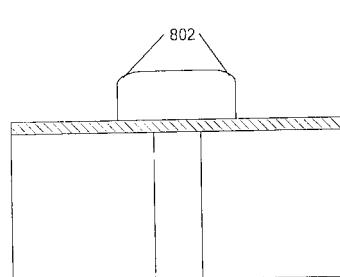


Fig. 8

【図 9】

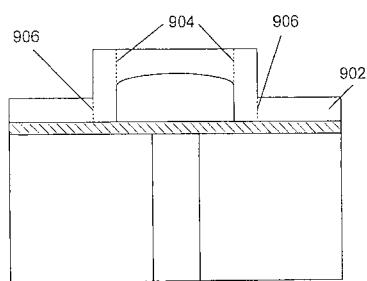


Fig. 9

【図 11】

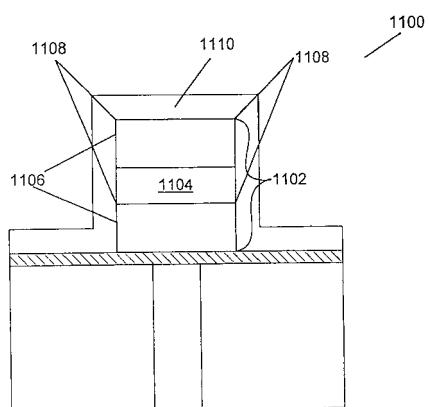


Fig. 11

【図 10】

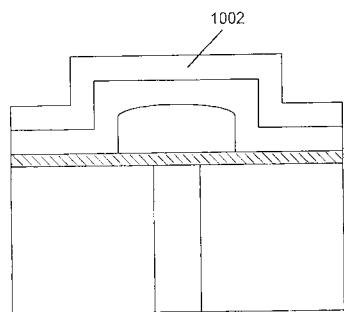


Fig. 10

【図 12】

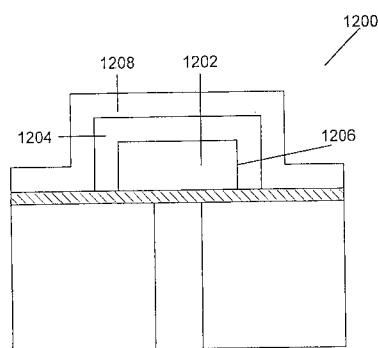


Fig. 12

---

フロントページの続き

(56)参考文献 特開平10-289985(JP,A)  
特開平08-097219(JP,A)  
特開平10-229173(JP,A)  
特開平10-335604(JP,A)  
特開平10-340871(JP,A)  
特開昭62-115767(JP,A)  
特開平11-040768(JP,A)  
特開平07-022518(JP,A)  
特開平10-107223(JP,A)  
特開平06-302764(JP,A)  
特開平11-087644(JP,A)  
特開2000-260957(JP,A)  
特開2000-114474(JP,A)  
特開平11-214653(JP,A)  
特開平11-340435(JP,A)  
特開平11-289058(JP,A)  
特開2000-243931(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 21/3205

H01L 21/768

H01L 27/108