

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년09월20일
<i>H01L 27/04</i> (2006.01)	(11) 등록번호	10-0625916
	(24) 등록일자	2006년09월12일

(21) 출원번호	10-2000-0023687	(65) 공개번호	10-2000-0077143
(22) 출원일자	2000년05월03일	(43) 공개일자	2000년12월26일

(30) 우선권주장	09/306,003	1999년05월05일	미국(US)
(73) 특허권자	실리콘닉스 인코퍼레이티드 미국 캘리포니아주(우편번호95054) 산타클라라 라우렐우드 2201		
(72) 발명자	윌리엄스리차드케이. 미국캘리포니아주(우편번호:95014)쿠퍼티노노리치애버뉴10292		
(74) 대리인	김명신		

심사관 : 박혜련

(54) 전압-클램프된 게이트를 가진 파워 MOS F E T

요약

본 발명은 전압-클램프된 게이트를 가진 파워 MOSFET에 관한 것이다. 상기 MOSFET은 그 게이트 및 소스와 연결된 하나 이상의 다이오드를 포함하는 전압 클램프를 포함하고, 상기 전압 클램프는 소정 전압에서 파괴되도록 설계되어 게이트 산화층을 과잉 소스-게이트 전압의 결과로 인한 손상으로부터 보호한다. 전압 클램프는 대개 상기 MOSFET의 소스와 게이트 단자 사이에 연결된 하나 이상의 병렬 분기부를 포함한다. 각각의 분기부는 적어도 하나의 다이오드, 및 다수의 경우에 원하는 클램프 전압에 따라 게이트-소스 전압이 선택된 레벨에 도달하는 경우 순방향으로 파괴 또는 도전되도록 연결되는 일련의 다이오드를 포함한다. 낮은 클램프 전압을 얻기 위해 다이오드(들)은 대개 순방향으로 도전하도록 연결되고 높은 클램프 전압을 얻기 위해 다이오드(들)은 애벌란시 항복(avalanche breakdown)이 되도록 연결된다. 다수의 경우 주어진 분기부는 원하는 클램프 전압을 얻기 위해 다른 방향으로 연결된 다이오드들(예를 들어 애노드-애노드 연결된 다이오드쌍)을 포함한다. 하나 이상의 분기부가 사용되는 경우, 한 분기부내 다이오드는 다른 분기부내 다이오드보다 작은 클램프 전압을 제공한다. 이들 다이오드를 통한 전류의 양을 제한하기 위해 낮은 클램프 전압을 제공하여 전류가 강제로 그들을 통하게 되는 상황에서 그들이 타는 것을 방지하는 다이오드와 직렬로 저항이 연결될 수 있다. 특정한 분기부내 다이오드는 한 방향에서 게이트 산화층이 게이트 전압 스윙되는 것을 방지할 수도 있는 반면, 다른 분기부내 다이오드는 다른 방향에서 게이트 산화층이 전압 스윙되는 것을 방지할 수도 있다. 일부 실시예에서, 저항기와 다이오드의 병렬 결합부는 MOSFET의 게이트와 게이트 단자 사이의 경로에서 연결된다. 상기 다이오드는 역방향 바이어스되어, 게이트가 MOSFET을 온시키도록 구동되는 경우 전류가 저항기를 통하도록 하며, 게이트가 MOSFET을 오프시키도록 구동되는 경우 저항기 주위의 전류를 분류한다. 이러한 구성은 차별된 온, 오프 특성을 제공하며, 비교적 느린 온시간은 MOSFET이 온될 때 유도회로에서 발생할 수 있는 전압 오버슈트(overshoot) 및 링잉(ringing)을 방지하는 것을 특징으로 한다.

대표도

도 4a

명세서

도면의 간단한 설명

도 1a는 종래의 파워 MOSFET의 개략도,

도 1b는 상기 MOSFET의 게이트에 대한 정전기 방전펄스의 인가를 설명하는 등가회로도,

도 2는 정상적 작동상태인 경우, 과전압 상태인 경우, 및 정전기 방전된 경우의 MOSFET의 게이트전압을 설명하는 그래프,

도 3a는 한 쌍의 MOSFETs 및 상기 MOSFETs의 게이트를 보호하기 위해서 전압 클램프를 포함하는 스위치 및 리튬 이온 배터리를 포함하는, 정전기 방전 펄스를 받는 배터리팩의 회로도,

도 3b는 리튬 이온 배터리를 충전하기 위해 사용되는 부적당한 배터리 충전기를 가진 도 3a와 유사한 회로도,

도 4a는 전압 클램프가 MOSFET의 게이트단자와 소스단자 사이에 직렬로 연결된 다수의 대향한 다이오드쌍을 포함하는, 본 발명에 따른 한 실시예의 회로도,

도 4b는 MOSFET의 게이트와 게이트 패드 또는 단자 사이에 연결된 전류-제한 저항기 및 MOSFET의 게이트와 소스 패드 또는 단자사이에 직렬로 연결된 제 2 다수의 대향한 다이오드쌍을 포함하는 한 실시예의 회로도,

도 4c는 전압 클램프가 MOSFET의 게이트와 소스 단자 사이에 연결된 다이오드의 병렬 회로망을 포함하고, 그 사이의 각각의 분기부내 다이오드는 동일한 방향이지만 다른 분기부내 다이오드에 대향한 방향으로 지향된 한 실시예의 회로도,

도 4d는 MOSFET의 게이트 패드 또는 단자와 게이트 사이에 연결된 전류-제한 저항 및 게이트 패드 또는 단자와 소스 패드 또는 단자 사이에 연결된 다수의 대향한 다이오드쌍과 결합된 도 4c의 클램프의 회로도,

도 4e는 전압 클램프가 단일 다이오드와 병렬로 연결된 다수의 다이오드를 포함하는 한 실시예의 회로도,

도 5a는 도 4a의 실시예의 동작을 설명하는 전류-전압 그래프,

도 5b는 도 4b의 실시예의 동작을 설명하는 전류-전압 그래프,

도 5c는 도 4c의 실시예의 동작을 설명하는 전류-전압 그래프,

도 5d는 도 4d의 실시예의 동작을 설명하는 전류-전압 그래프,

도 6a는 도 4b의 실시예의 동작을 나타내는 실험에서 얻어진 전류-전압 그래프,

도 6b는 도 6a에 도시된 것과 바와 같은 동일 데이터이지만 더 높은 레벨의 전류에서의 데이터를 나타내는 도면,

도 7a는 P영역내 불순물 농도의 함수로서 PN 다이오드의 항복전압, 누설전류, 및 저항을 나타내는 그래프,

도 7b는 항복전압의 함수로서 PN 다이오드의 누설전류 및 저항을 나타내는 그래프,

도 8a-8d는 전압 클램프가 MOSFET의 게이트와 게이트 패드 또는 단자 사이에 병렬로 연결된 저항기 및 다이오드를 포함하는, 도 4b,4c,4e에 도시된 것과 유사한 실시예의 회로도, 및

도 9a-9c는 도 8a-8d에 도시된 실시예의 차별되는 온, 오프특성을 설명하는 타이밍 도면이다.

* 도면의 주요부분에 대한 부호의 설명

10,400 : MOSFET

402,404,416,420,800,810,820,830 : 전압 클램프

406,408,412A,412B,424 : 분기부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 여기에 전체가 참조문헌으로서 첨부되는 1997년 12월 31일 출원된 미국특허출원 제09/001,768호의 일부계속출원(continuation-in-part)이다.

파워 MOSFETs은 일반적으로 휴대용 컴퓨터와 같은 도구에 대한 전력의 흐름을 제어하기 위한 스위치로서 사용된다. 도 1a는 게이트(G')와 연결된 버퍼 증폭기(12)를 이용하여 종래 방법으로 구성된 드레인(D'), 소스(S'), 및 게이트(G')를 가진 파워 MOSFET(10)의 개략도를 나타내고 있다. MOSFET(10)은 또한 MOSFET(10)내 기생 바이폴러 트랜지스터가 온되는 것을 방지하도록 그 소스(G')와 단락되는 바디(B)를 가진다. 또한 도 1a에 도시된 바와 같이, 드레인(D')과 연결된 그 캐소드 및 MOSFET(10)의 소스/바디와 연결된 그 애노드를 가진 기생 다이오드(11)가 있다. MOSFET(10)이 N-채널 MOSFET이기 때문에, 완충 증폭기(12)는 MOSFET(10)을 온시키거나 또는 게이트(G')에 접지하기 위해 양의 게이트 구동전압(V_{CC})을 제공한다. MOSFET(10)은 또한 MOSFET(10)을 온시키기 위해 필요한 전압(V_{CC})이 음이 되는 경우에 P-채널 MOSFET이 될 수 있다.

소스(S'), 바디(B), 및 드레인(D')은 규소와 같은 반도체 재료로 형성된다. 게이트(G')는 다결정 규소와 같은 도전재료로 형성되고, 대개 이산화규소인 절연층에 의해 반도체 재료로부터 분리된다. 정상 작동에서, 게이트 산화층을 보호하기 위해, V_{CC} 는 최대 게이트-소스 전압($V_{GS(max)}$)을 초과하지 않도록 설정된다. 만일 V_{CC} 가 $V_{GS(max)}$ 를 초과하지 않는 경우, 게이트 산화층이 파열되거나, 그렇지 않으면 손상되고, MOSFET(10)은 영구적으로 파괴될 수도 있다.

$V_{GS(max)}$ 는 일반적으로 게이트 산화층의 두께(X_{OX})에 의해 결정된다. 대개, 게이트 산화층은 V_{GS} 가 약 10 내지 12 메가볼트(MV)×센티미터로 표시된 두께(X_{OX})를 초과하는 경우 파열될 것이다. 상기 산화층이 더 두꺼운 경우(예를 들어, 300Å 두께), 게이트와 반도체 재료 사이의 터널링 결과로 약간의 누설전류가 있기 때문에, 이러한 인수는 실제로 더 낮아진다(예를 들어 8MV/cm). 터널링은 게이트 산화층을 손상시키지 않는다. 따라서, 50%의 안전계수를 허용하면, V_{GS} 는 게이트 산화층이 두꺼운 경우 정상적으로 $X_{OX} \times 4MV/cm$ 이하이거나, 또는 $X_{OX} \times 5$ 또는 6MV/cm 이하로 유지되어야 한다. 예를 들어, 175Å 두께의 산화층이 16V-18V에서 파열될 것이고, $V_{GS(max)}$ 가 약 8V 또는 9V가 되는 반면, 300Å 두께의 산화층은 약 24V에서 파열될 것이고, $V_{GS(max)}$ 는 약 12V가 된다.

만일 게이트전압(V_{GS})이 높은 파열전압을 초과하는 경우, 상기 장치는 즉시 파괴될 것이다. 만일 V_{GS} 가 파열전압과 $V_{GS(max)}$ 사이의 범위에 있는 경우, 상기 장치는 즉시 파괴되지 않을 수도 있지만, 부분적으로 손상될 수도 있다. 게이트전압이 $V_{GS(max)}$ 이하의 안전레벨로 복귀하는 경우라도, 이러한 잠재적 손상은 결국 게이트 산화층이 마멸되도록 할 수도 있고, 상기 장치가 후에 작동하지 않을 수도 있다. 이러한 이유로, $V_{GS(max)}$ 와 파열전압 사이의 간격내 게이트전압에 노출된 MOSFETs은 종종 "동작가능한 부상자(walking wounded)"로 언급된다.

정전기 방전(ESD)으로 발생한 전압은 다른 상황을 나타낸다. ESD 전압이 짧은 지속기간중 자주는 아니지만 매우 높기 때문에, 그들은 저항기(R_{esd})와 직렬로 수천 볼트(예를 들어 도 1b에 도시된 바와 같이 2kV이상)로 충전된 커패시터(C_{esd})로서 도 1b에 도시된 바와 같이 종종 모형화된다. R_{esd} 의 크기 및 MOSFET(10)의 게이트 정전용량과 C_{esd} 의 관련 크기에 따라서, MOSFET(10)은 만일 C_{esd} 가 작고(즉, ESD 펄스가 일시적이고), R_{esd} 및 게이트 정전용량이 큰 경우 손상없이 ESD

펄스를 생존시킬 수도 있다. 이러한 상황에서, 게이트로의 전류의 흐름은 R_{esd} 에 의해 제한되어, ESD 펄스와 관련된 에너지가 낭비될 수 있기전에 V_{GS} 의 상승율이 위험수위에 이르는 것을 방지한다. 본질적으로, C_{esd} , R_{esd} 및 게이트 정전용량은 전압 분할회로를 형성한다.

반도체 재료내 디플리션 전개가 드레인과 게이트 사이의 전압의 상당 부분을 흡수하여, 게이트 산화층이 전체 드레인 전압에 노출되지 않기 때문에, ESD 펄스 또는 드레인상의 다른 고전압은 대개 문제가 되지 않는다.

도 2는 여러 상황에서 MOSFET에 인가된 V_{GS} 의 그래프를 나타낸다. 상기 장치는 5V의 정상적 게이트 구동을 위해 설계될 수 있고, 과열전압은 8V가 될 수 있다. V_{GS} 가 양 또는 음방향중 어느 쪽으로 8V를 초과하는 경우 약 12V의 과전압 상태가 발생한다. 이러한 상태는 배터리 충전기상의 링잉 전압으로부터 발생하거나, 누군가 잘못된 배터리 충전기에 플러그를 꽂는 경우에 발생할 수 있다. 이들 전압이 비교적 긴 지속기간을 가지기 때문에, 게이트 전압을 클램핑하기 위해 사용되는 임의의 다이오드를 태울 수 있다. 마지막으로, 상기 장치는 + 또는 -2000V의 ESD 펄스를 필요로 할 수 있다. ESD 펄스는 매우 짧은 지속기간을 가지지만, 그래서 다이오드 클램핑이 그들을 생존시킬 수도 있다.

도 3a-3b는 각각 MOSFETs(32,34)의 게이트를 보호하기 위해 전압 클램프(31,33)를 포함하는 리튬 이온 배터리 팩(30)의 회로도이다. MOSFETs(32,34)은 리튬 이온 배터리(35)로부터의 전류를 스위치하고, 드레인-드레인 구성에서 직렬로 연결된다. MOSFETs(32,34)의 게이트전압은 제어 IC(36)에 의해 제어된다. 전압 클램프(31,33)는 한쌍의 배면결합 다이오드로 구성된 것으로 도시된다. 도 3a는 배터리팩(30)의 단자에 인가된 12,000V의 ESD 펄스를 나타내고 있다. 만일 상기 장치가 ESD 펄스가 발생할 때에 있는 경우, 12,000V 펄스가 배터리팩(30)내 상기 장치들 사이에서 일부 방법으로 분포되고, 일부는 MOSFETs(32,34)의 게이트단자 및 소스단자 사이에서 나타날 것이다.

그러나 만일 12V의 DC 과전압이 인가되는 경우, 도 3b에 도시된 바와 같이 제어 IC(36)는 전체 12V를 생존시키고 MOSFETs(32,34)의 게이트를 향하여 전체 12V를 통과시킬 수도 있다. 예를 들어, 전압 클램프(31,33)가 MOSFETs(32,34)의 정해진 작동전압인 8V에서 파괴되도록 설계된다고 가정하면, 전압 클램프(31,33)내 상기 다이오드는 너무 많은 전류를 도전하려할 것이며 타버릴 것이다.

상기한 미국특허출원 제09/001,768호는 게이트 산화층을 보호하기 위해 전압 클램프로서 사용될 수 있는 다수의 다이오드 구성을 설명한다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같은 종래 구성의 문제점을 해소하기 위해, 차별된 온, 오프특성을 제공하여 MOSFET이 온될 때 유도회로에서 발생할 수 있는 전압 오버슈트 및 링잉을 방지하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 따르면, 하나 이상의 다이오드가 MOSFET의 게이트와 소스 사이에서 연결된다. 정상적인 작동상태에서, 다이오드는 비도전적이고, 개로를 나타낸다. 그러나 게이트-소스 전압이 소정 레벨을 초과하는 경우, 상기 다이오드가 파괴되고(또는 순방향으로 전류가 흐르도록 하고), 따라서 게이트에서의 전압을 원하는 최대 레벨까지 클램프한다.

본 발명에 따른 다수의 실시예가 가능하다. 예를 들어, 다수쌍의 대향한 다이오드(즉, 애노드-애노드로 또는 캐소드-캐소드로 연결된 다이오드)는 양 및 음전압 스파이크에 대해 게이트 산화층을 보호하기 위해 게이트와 소스사이에서 직렬로 연결될 수도 있다. 항복(breakdown) 상태의 경우 다이오드쌍을 통한 전류 흐름을 제한하기 위해서 파워 MOSFET의 게이트 패드 단자와 MOSFET 셀의 게이트 사이에 저항이 연결될 수도 있다. 제 1 그룹의 다이오드쌍을 보호하기 위해서 게이트와 소스 패드 사이에 추가적인 대향 다이오드쌍이 제 2 전압 클램프로서 연결될 수 있다.

대신, 동일한 방향(즉, 애노드-캐소드)으로 지향된 다수의 다이오드 및 다른 분기부에서 상기 다이오드에 대향한 방향으로 지향된 각각의 분기부내 다이오드를 포함하는 병렬 회로망의 각각의 분기부를 이용하여, 병렬 다이오드 회로망은 게이트와 소스 사이에 연결된 대향 다이오드쌍을 대신할 수 있다. 이들 실시예는 특히 박막 게이트 산화층을 이용할 때 유용한데, 이는 V_{GS} 가 다이오드에 걸친 순방향 전압강하의 합과 동일한 전압에서 클램프되기 때문이고, 각각의 순방향 전압강하는 대개 0.6V-0.8V의 범위에 있게 된다. 이러한 구성은 상기한 바와 같이 소스와 게이트 패드 사이에 연결된 다수의 대향 다

이오드쌍 및 저항기와 함께 사용될 수 있다. 만일 게이트 전압이 소스전압에 대해 단 하나의 방향(양 또는 음)으로 정상적으로 진전되는 경우, 병렬 회로망의 하나의 분기부는 단 하나의 다이오드만 그 안에 가질 수 있어서, 게이트가 비작동방향에서의 단일 순방향 다이오드 강하에서 클램프되도록 한다.

또다른 그룹의 실시예에서, 병렬로 연결된 다이오드 및 저항기를 포함하는 회로망은 MOSFET의 게이트와 게이트 패드 또는 단자 사이의 경로에서의 상기한 전류 제한 저항과 직렬로 연결된다. N-채널 MOSFET에서, 이러한 다이오드는 MOSFET의 게이트와 면하는 그 애노드 및 게이트 패드 또는 단자와 면하는 그 캐소드와 연결된다. 이러한 구성은 MOSFET이 온되는 것보다 더 신속하게 오프되도록 하는데, 이는 게이트가 MOSFET을 오프하기 위해 저구동되는 경우, 상기 다이오드가 순방향 바이어스되고, 병렬로 연결된 저항기를 사실상 우회하는 전류를 도전하기 때문이다. P-채널 MOSFET에서, 다이오드는 게이트 패드 또는 단자와 면하는 그 애노드 및 MOSFET의 게이트와 면하는 그 캐소드와 연결된다. MOSFET의 오프시간과 비교할 때 비교적 느린 온시간을 가지면, 회로내에 인덕턴스가 있는 경우 발생할 수 있는 오버슈트 상태 및 링잉을 피할 수 있으므로 유리하다.

본 발명의 이론은 첨부한 도면을 참조하여 이해될 것이고, 유사한 구성요소는 동일한 참조번호로 식별된다.

도 4a는 전압 클램프(402)에 의해 보호된 게이트(G')를 가진 MOSFET(10)의 회로도이다. 상기 장치의 내부 영역으로부터 구별되는 바와 같이, MOSFET(400)의 소스, 드레인 및 게이트 단자 또는 패드는 각각 "S, D, G"로 지정된다. 전압 클램프(402)는 n쌍의 대향된 다이오드의 직렬 스택을 포함한다, 즉 다이오드쌍은 애노드-애노드로 연결되지만, 그들은 또한 캐소드-캐소드로 연결될 수 있다. 대향한 다이오드쌍은 MOSFET(10)의 게이트(G')와 소스(S') 사이에 연결된다. 각각의 다이오드의 역향복전압이 대개 4.5V-7.7V 범위에 있고, PN 다이오드에 걸친 순방향 전압 강하가 0.6V-0.7V의 범위에 있기 때문에, 각각의 대향한 다이오드쌍은 약 5V-8V, 대개 6.5V 또는 7.0V로부터의 전압에서 파괴될 것이다. 예를 들어, 전압 클램프(402)가 각각이 6.5V의 항복 전압을 가진 2개의 다이오드쌍을 포함한다고 가정하면, 게이트(G')는 약 13V에서 클램프된다. 클램프 전압은 직렬연결된 다이오드쌍의 수 및 각각의 다이오드의 항복 특성 또한 조정함으로써 가변된다.

전압 클램프(402)의 작동이 도 5a에 설명되어있고, 수평축은 게이트 산화층 두께 MV/cm의 게이트(G)와 소스(S) 사이의 전계(E_{GS})이고, 수직축은 전압 클램프를 통한 전류(I_G)이다. 수직 실선은 상기한 바와 같이 안전 작동, 잠재적 손상, 및 순시 파괴 영역들 사이의 분할선을 나타낸다. 괄호안 숫자들은 175Å 두께 게이트 산화층에 대한 일반적인 전압을 표시한다. 이 실시예에서, 전압 클램프(402)내 다이오드쌍은 $\pm 8V$ 에서 파괴되도록 설계되고, 이 전압은 잠재적 손상이 발생되기 시작하는 전압이다. MOSFET은 E_{GS} 가 약 $\pm 17V$ 에 도달하는 경우 파괴된다.

일단 전압 클램프(402)가 파괴되면, 전류는 대향한 다이오드쌍을 통해 흐른다. 만일 전류가 충분히 크고, 충분히 길게 유지된다면, 다이오드는 타버릴 수 있다. 또한, 항복전압은 가능한 한 원하는 레벨(이러한 경우 8V)에 가깝게 설정되어야 한다. 만일 항복전압이 상기 레벨보다 매우 낮은 경우, 전압 클램프는 더 우수한 보호를 제공할 것이지만, 게이트 전압의 동작범위는 제한되어야 할 것이다; 만일 항복전압이 원하는 레벨보다 매우 큰 경우, 게이트 산화층은 잠재적 손상을 입을 수도 있다. 이들 문제는 도 4b에 도시된 전압 클램프(404)를 이용하여 감소된다. 전압 클램프(404)는 단일 다이오드쌍으로 표시된, 게이트(G')와 소스(S') 사이에서 직렬로 연결된 m 대향 다이오드쌍을 포함하는 내부 분기부(406); 및 게이트 패드(G)와 소스 패드(S) 사이에 연결된 n 대향 다이오드쌍을 포함하는 외부 분기부(408)을 포함한다. 전류-제한 저항(R)은 게이트 패드(G)와 게이트(G') 사이에서 연결된다.

전압 클램프(404)의 동작이 도 5b에 도시되어 있다. 전압 클램프(402)에서와 같이, 분기부(406)내 다이오드쌍들은 4-5MV/cm에서 파괴되고, 이러한 경우에는 약 7V가 된다. 그러나 이것이 발생한 후, 저항(R)은 상기 다이오드쌍을 통한 전류를 제한하고, 그들이 타는 것을 방지한다. 상기 전류가 약 $1/R$ 의 속도로 증가하는 반면, 게이트전압은 여전히 7V에서 클램프된다. 저항(R) 및 다이오드쌍은 본래 게이트 패드(G)와 소스 패드(S) 사이의 전압 분할회로로서 작용한다. 이러한 상황은 순시 손상이 정상적으로 발생하는 영역에서 지속될 수도 있다. 게이트와 소스 패드 사이의 전압이 외부 분기부(408)내 다이오드쌍의 항복전압을 초과하는 경우에만 전류가 극적으로 증가하기 시작한다. 그래도, 외부 분기부(408)내 다이오드가 탈 수도 있지만, 게이트 산화층은 보호된다.

도 6a-6b는 도 5b를 확실하게 하는 측정된 데이터를 나타낸다. 전류-제한 저항은 1.8kΩ에서 설정되었다. 표시한 바와 같이, 외부 다이오드가 약 14V에서 파괴될 때까지 선형으로 전류가 증가한 후, 내부 다이오드는 약 7V에서 파괴되었다. 그러한 시점에서, 게이트와 소스 패드 사이의 복합 전류가 좀더 신속하게 증가하기 시작했다.

대향 다이오드쌍을 이용하면, 약 5V 이하의 항복전압을 얻기가 어렵고, 이것은 극박막 게이트 산화층에 대해 너무 높을 수도 있다. 도 4c에 도시된 전압 클램프(410)는 다이오드의 병렬 회로망을 포함하고, 2개 분기부(412A, 412B) 각각의 다이

오드는 동일한 방향으로 지향되지만, 분기부(412A)내 다이오드는 분기부(412B)내 다이오드에 대향하여 지향된다. 따라서, 클램프 전압은 각각의 분기부내 다이오드에 걸쳐서 순방향 전압 강하의 합이 된다. 도 5c에 도시된 바와 같이, 각각의 분기부에 z 다이오드가 있고, 각각의 다이오드가 순방향 항복전압(V_f)을 가진 것으로 가정하면, 게이트는 $z \cdot V_f$ 에서 클램프된다. 만일 각각의 다이오드에 걸친 순방향 강하가 1.2V인 경우, 예를 들어 4개 다이오드는 박막 게이트 산화층에 대해 4 MV/cm와 동일할 수 있는 약 5V의 전체 클램프 전압을 제공한다. 병렬 구성때문에, 상기 클램프는 게이트와 소스 사이의 전압이 양 또는 음이 되는지 여부에 상관없이 동일한 방법으로 작동한다(I 사분면 또는 III사분면 동작).

도 4d에 도시된 전압 클램프(416)는 도 4b에 도시된 바와 같이, 외부 분기부(408)과 도 4c에 도시된 종류의 병렬 다이오드 회로망을 결합한다. 도 5d에 도시된 바와 같이, 전류는 전압이 외부 분기부(416)내 대향 다이오드쌍이 파괴되는 전압에 도달할 때까지 병렬 다이오드 회로망이 $z \cdot V_f$ 에서 파괴된 후 $1/R$ 의 속도로 증가한다. 외부 분기부(416)에 단일쌍의 대향 다이오드가 있다고 가정하면, 외부 분기부의 항복전압은 5.5V 정도로 낮아질 수 있지만, 추가 다이오드쌍을 이용하여 더 낮아질 수 있다.

일부 경우, 작동 게이트전압은 항상 소스전압에 대해 양 또는 음 어느 한쪽이 된다. 그 상황에서, 도 4e에 도시된 종류의 전압 클램프가 사용될 수 있다. 전압 클램프(420)는 한 방향으로 지향된 4개 다이오드와 다른 방향으로 지향된 단일 다이오드의 병렬 결합을 포함한다. 분기부(424)내 단일 다이오드는 게이트 전압이 소스전압 이하로 단일 순방향 전압 강하되는 경우 게이트를 클램프할 것이다. 따라서, 전압 클램프(420)는 게이트 전압이 정상적으로 소스전압 이하로 절대 떨어지지 않는 경우에 특히 유용하다.

따라서, 폭넓은 측면에서, 본 발명에 따른 전압 클램프는 MOSFET의 소스와 게이트 단자 사이에 연결된 하나 이상의 병렬 분기부를 포함한다. 각각의 분기부는 적어도 하나의 다이오드를 포함하고, 많은 경우에 일련의 다이오드는 게이트-소스 전압이 선택된 레벨에 도달하는 경우 순방향으로 파괴 또는 도전되도록 원하는 클램프 전압에 따라 연결된다. 낮은 클램프 전압을 얻기 위해, 다이오드(들)는 순방향으로 도전되도록 대개 연결되고, 높은 클램프 전압을 얻기 위해 다이오드(들)는 애벌란치 항복되도록 연결된다. 다수의 경우, 주어진 분기부는 원하는 클램프 전압을 얻기 위해 다른 방향으로 연결된 다이오드들(예를 들어, 애노드-애노드로 연결된 다이오드쌍)을 포함한다. 만일 하나 이상의 분기부가 사용되는 경우, 하나의 분기부내 다이오드는 다른 분기부내 다이오드보다 작은 클램프 전압을 제공한다. 저항은 상기 다이오드와 직렬로 연결될 수 있고, 상기 다이오드는 그 다이오드를 통한 전류의 양을 제한하기 위해 더 낮은 클램프 전압을 제공하여, 전류가 그들을 통과하도록 강제되는 상황에서 타버리는 것을 방지한다. 특정한 분기부내 다이오드가 한 방향에서 게이트 산화층이 게이트 전압 스윙(swing)되는 것을 방지할 수도 있는 반면, 다른 분기부내 다이오드는 게이트 산화층이 다른 방향에서 전압 스윙되는 것을 방지할 수도 있다.

일반적으로, 상기한 전압 클램프에서 사용된 다이오드는 그들이 파괴되는 경우 가장 낮은 가능 저항을 제공하기 위해 가능한 고농도로 도핑되어야 한다. 그러나, 다이오드내 도핑이 너무 높은 경우, 그들이 역방향 바이어스될 때 매우 누설되는 경향이 있는데, 이는 그들이 많은 결합을 가지기 때문이다. 누설 전류는 다이오드가 뜨거운 경우 특히 높다.

도 7a-7b는 이들 변수들간의 관계를 설명하는 그래프이다. 도 7a에서, 수평축은 P영역의 도핑 농도가 된다. BV로 분류된 곡선은 상기 다이오드의 항복전압을 나타내고, 크기는 좌측에 있다. "Ileakage"로 분류된 곡선은 누설 전류를 나타내고, "Ppoly 시트 p "로 분류된 곡선은 시트 저항을 나타내며, 양쪽 변수에 대한 크기는 우측 경계에 있다. 원하는대로, 항복전압 및 시트 저항은 도핑 농도의 증가에 따라 감소하는 반면, 누설 전류는 증가한다. 도 7b의 그래프는 항복전압의 함수로써 시트저항(우측) 및 누설전류(좌측)를 나타내고 있다.

도 8에 도시된 전압 클램프(800)는 큰 저항기(R_L) 및 작은 저항기(R_S)가 게이트 패드(G)와 게이트(G') 사이에 직렬로 연결된 것을 제외하고, 전압 클램프(404)(도 4b)와 유사하다. 게이트 전압이 MOSFET(10)을 온시키기 위해 높아지는 경우, 다이오드(D1)는 역방향 바이어스되고, 게이트(G')로의 전체 전류는 저항기(R_L) 및 저항기(R_S) 모두를 통해 흘러야 한다. 그러나, 게이트 전압이 MOSFET(10)을 오프시키기 위해 다시 낮아지는 경우, 다이오드(D1)는 순방향 바이어스되고 전류는 큰 저항기(R_L) 주위로 분류(分流)된다. R_L 의 저항은 50k Ω -2M Ω 의 범위에 있을 수 있다; R_S 의 저항은 25 Ω -1k Ω 의 범위에 있을 수 있다.

이러한 동작이 도 9a-9c에 설명되어 있고, 상기 도면들은 시간의 함수로서 게이트 패드(G)에서의 전압(V_{GS}), 게이트(G')에서의 전압(V_{GS}'), 소스-드레인 전압(V_{DS}), 및 드레인 전류(I_D)를 나타내고 있다. 시각(t_1)에, 단계 함수(V_{GS})가 적용되는 경우, V_{GS} '는 본래 큰 저항기(R_L)에 의해 결정되는 속도로 상승한다. 따라서, (실선으로 표시된) 임의의 링잉 또는 오버

슈트를 피하는 속도로 V_{DS} 는 V_{CC} 에서 떨어지고, I_D 는 0에서부터 상승한다. 지속적인 온상태에서, V_{DS} 는 $I \cdot R_{DS}$ 와 동일하다. 반대로, 시각(t_2)에, V_{GS} 가 MOSFET(10)을 오프시키기 위해 낮아지는 경우, V_{GS} '는 작은 저항기(R_S)에 의해 결정된 속도로 떨어지고, V_{DS} 및 I_D 는 유사하게 가속화된 속도로 변화한다.

도 8a의 전압 클램프(800)는 도 4b의 전압 클램프(404)와 유사하게, 그 내부 분기부에 m 대향 다이오드쌍 및 그 외부 분기부에 n 대향 다이오드쌍을 포함한다. 차동 온, 오프상태를 제공하는 다른 대안적인 실시예가 도 8b-8d에 도시되어 있다. 도 8b에 도시된 전압 클램프(810)는 도 4d에 도시된 전압 클램프(416)와 유사하게, 그 내부 분기부에 병렬 다이오드 회로망 및 그 외부 분기부에 n 대향 다이오드쌍을 포함하고; 도 8c의 전압 클램프(820)는 n 대향 다이오드쌍을 포함하는 외부 분기부를 따라 도 4e에 도시된 전압 클램프(420)와 유사한 내부 분기부를 가진다.

도 8d에 도시된 전압 클램프(830)에서, 작은 저항기(R_S)는 생략했고, 결과적으로 오프시간이 최소화된다. 반면, 항복상태에서, 좀더 많은 전류가 클램프 다이오드를 통해 흐를 것이다.

상기한 실시예들은 단지 설명을 위한 것이고 본 발명의 광범위한 범주를 제한하는 것으로 해석되어서는 안된다. 본 발명에 따른 다수의 추가 실시예가 있을 수 있다.

발명의 효과

상기한 바와 같은 구성에 의해 차별된 온, 오프특성을 제공하여 MOSFET이 온될 때 유도회로에서 발생할 수 있는 전압 오버슈트 및 링잉을 방지하는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

소스, 드레인, 및 게이트로 이루어지고, 상기 소스는 절연층에 의해 상기 게이트로부터 분리되는 MOSFET에 있어서,

상기 MOSFET은 상기 소스와 상기 게이트 사이에 연결된 전압 클램프를 구비하고,

상기 전압 클램프는 상기 절연층에 대한 손상을 방지하기 위해 상기 소스에서의 제 1 전압과 상기 게이트에서의 제 2 전압 간의 차를 소정 클램프 전압까지 제한하며, 제 1 및 제 2 분기부를 가진 병렬 회로망을 구비하고,

상기 제 1 분기부는 각각이 상기 소스와 상기 게이트 사이에서 동일한 방향으로 지향되는 제 1 다수의 다이오드를 구비하는 것을 특징으로 하는 MOSFET.

청구항 2.

제 1 항에 있어서,

상기 제 2 분기부는 각각이 상기 제 1 다수의 다이오드내 다이오드 방향에 대향하는 상기 게이트와 상기 소스 사이의 방향으로 지향되는 제 2 다수의 다이오드로 이루어지는 것을 특징으로 하는 MOSFET.

청구항 3.

제 1 항에 있어서,

상기 제 2 분기부는 상기 제 1 다수의 다이오드내 다이오드 방향에 대향하는 상기 게이트와 상기 소스 사이의 방향으로 지향되는 단일 다이오드만을 구비하는 것을 특징으로 하는 MOSFET.

청구항 4.

소스, 드레인, 및 게이트로 이루어지고, 상기 소스는 절연층에 의해 상기 게이트로부터 분리되며, 게이트 단자는 상기 게이트와 연결되고 소스 단자는 상기 소스와 연결되는 MOSFET에 있어서,

상기 MOSFET은 상기 소스와 상기 게이트 사이에 연결된 전압 클램프를 구비하고,

상기 전압 클램프는 상기 절연층에 대한 손상을 방지하기 위해 상기 소스에서의 제 1 전압과 상기 게이트에서의 제 2 전압 간의 차를 소정 클램프 전압까지 제한하며, 상기 소스와 상기 게이트 사이에 연결된 적어도 하나의 다이오드와, 저항기 및 제 2 다이오드를 구비한 병렬 결합부를 구비하고,

상기 병렬 결합부는 상기 게이트와 상기 게이트 단자 사이에 연결되는 것을 특징으로 하는 MOSFET.

청구항 5.

제 4 항에 있어서,

상기 소스, 상기 드레인, 상기 게이트, 및 상기 전압 클램프는 단일 IC 다이로 형성되는 것을 특징으로 하는 MOSFET.

청구항 6.

제 4 항에 있어서,

상기 다이오드는 P-형 불순물로 도핑된 영역과 N-형 불순물로 도핑된 영역 사이의 접합부로 이루어지는 것을 특징으로 하는 MOSFET.

청구항 7.

제 4 항에 있어서,

상기 게이트 단자와 상기 게이트 사이에 상기 병렬 결합부와 직렬 경로로 연결된 제 2 저항기를 추가로 구비하는 것을 특징으로 하는 MOSFET.

청구항 8.

제 4 항에 있어서,

상기 전압 클램프는 직렬 애노드-애노드로 연결된 제 1 및 제 2 다이오드를 구비하는 것을 특징으로 하는 MOSFET.

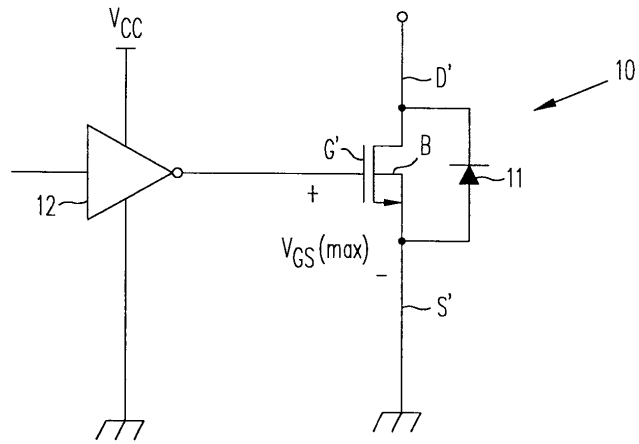
청구항 9.

제 4 항에 있어서,

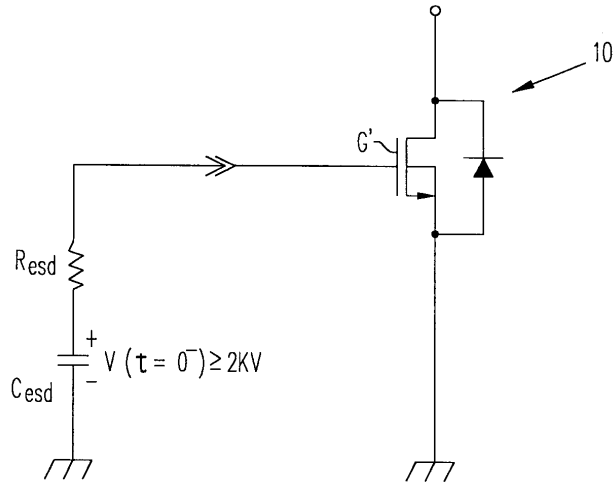
상기 전압 클램프는 직렬 애노드-캐소드로 연결된 제 1 및 제 2 다이오드로 이루어지는 것을 특징으로 하는 MOSFET.

도면

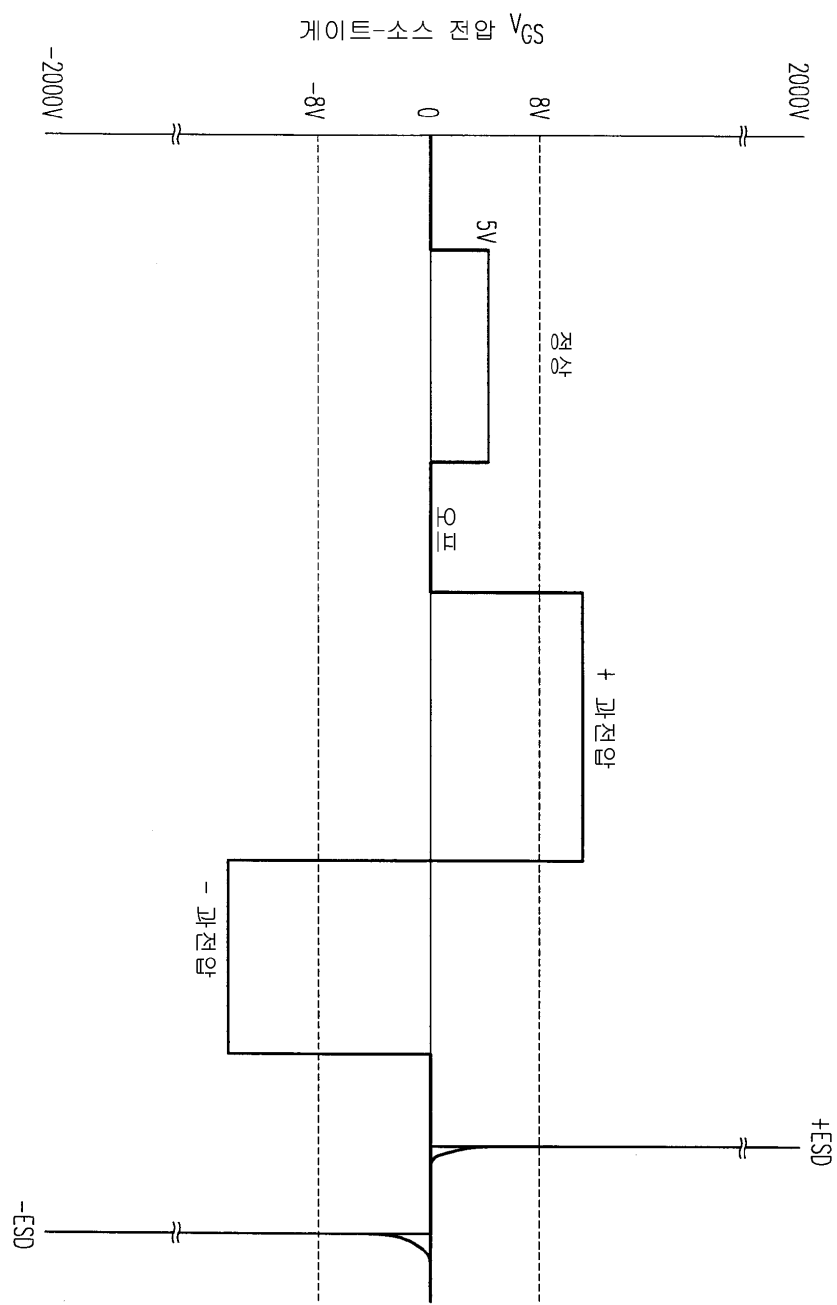
도면1a



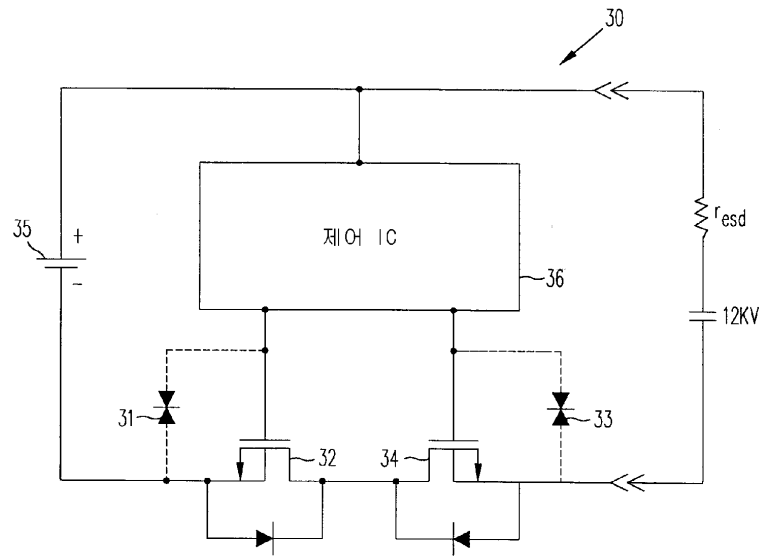
도면1b



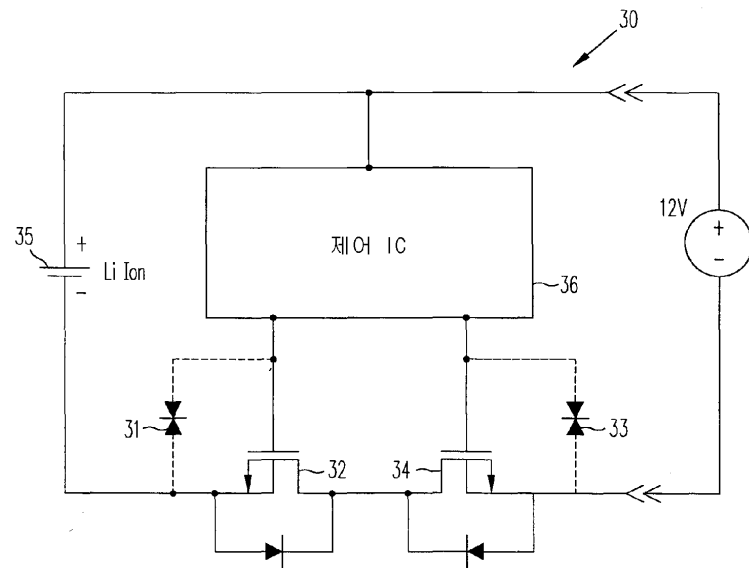
도면2



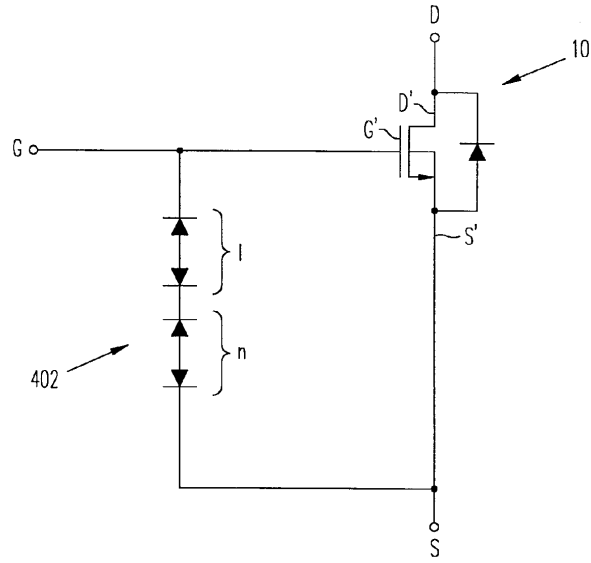
도면3a



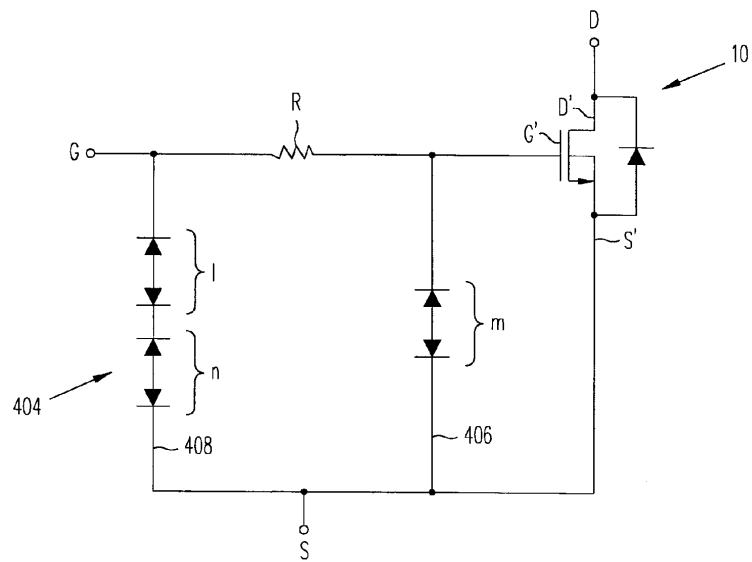
도면3b



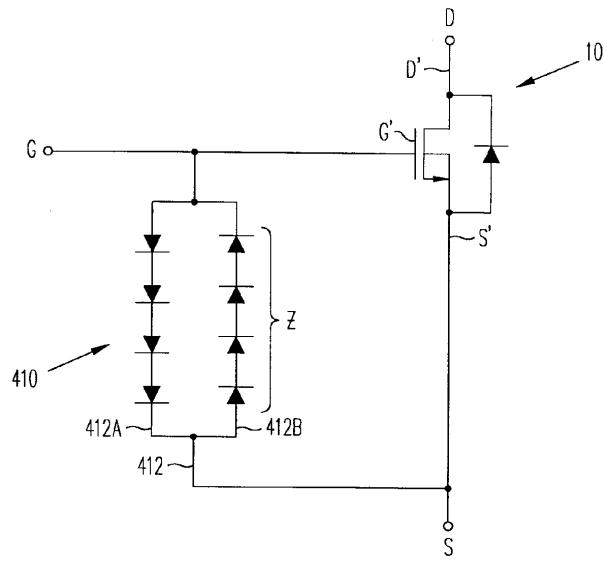
도면4a



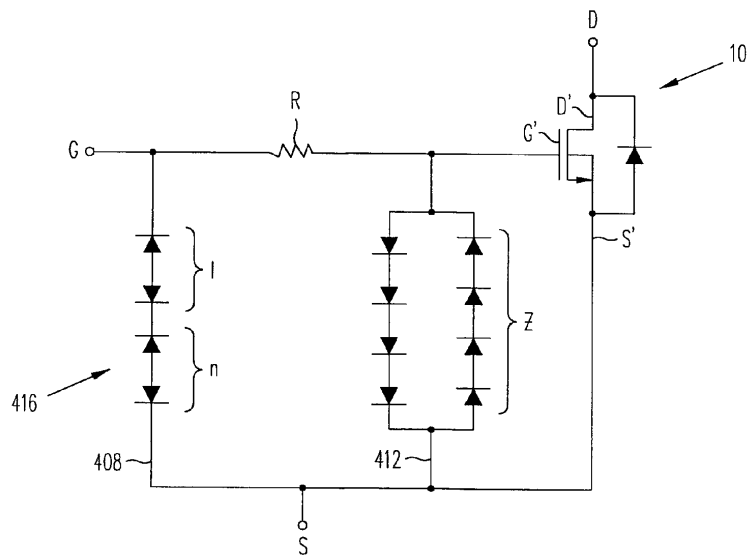
도면4b



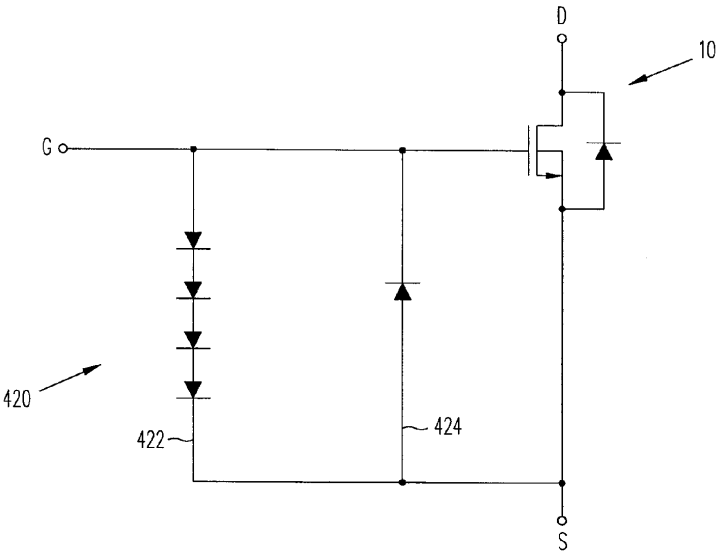
도면4c



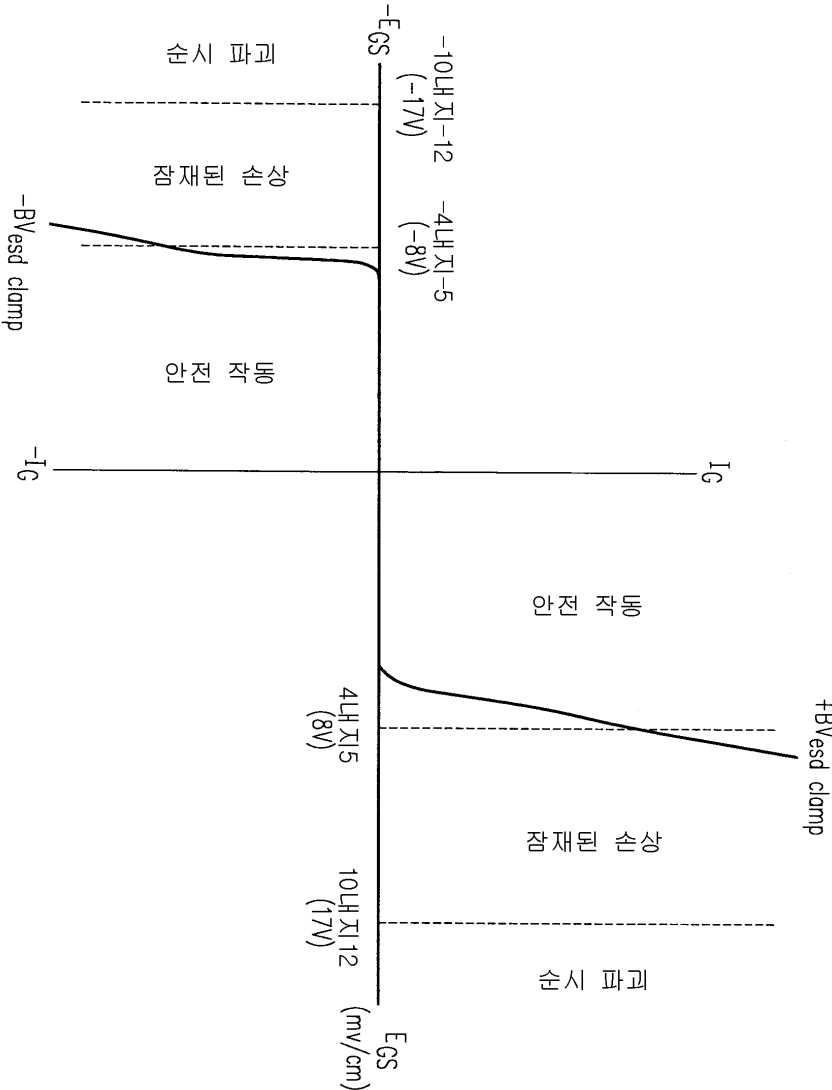
도면4d



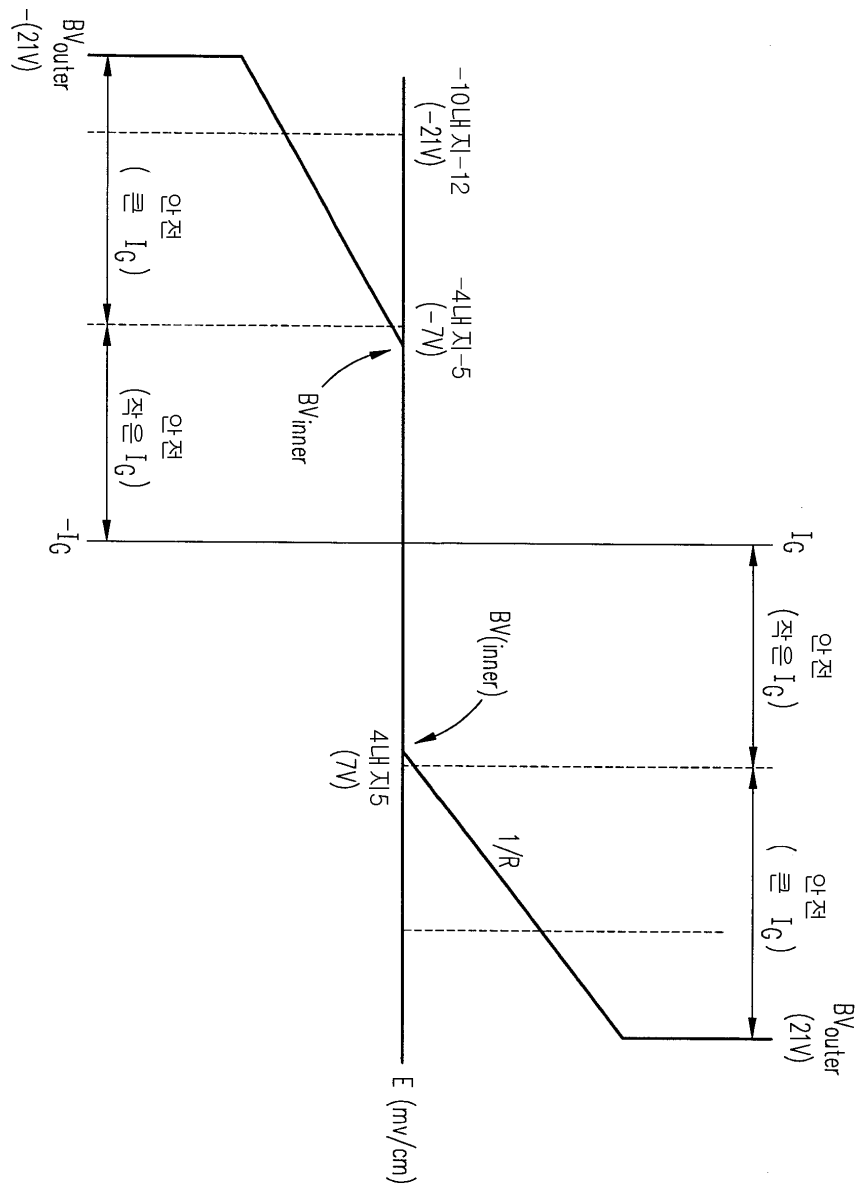
도면4e



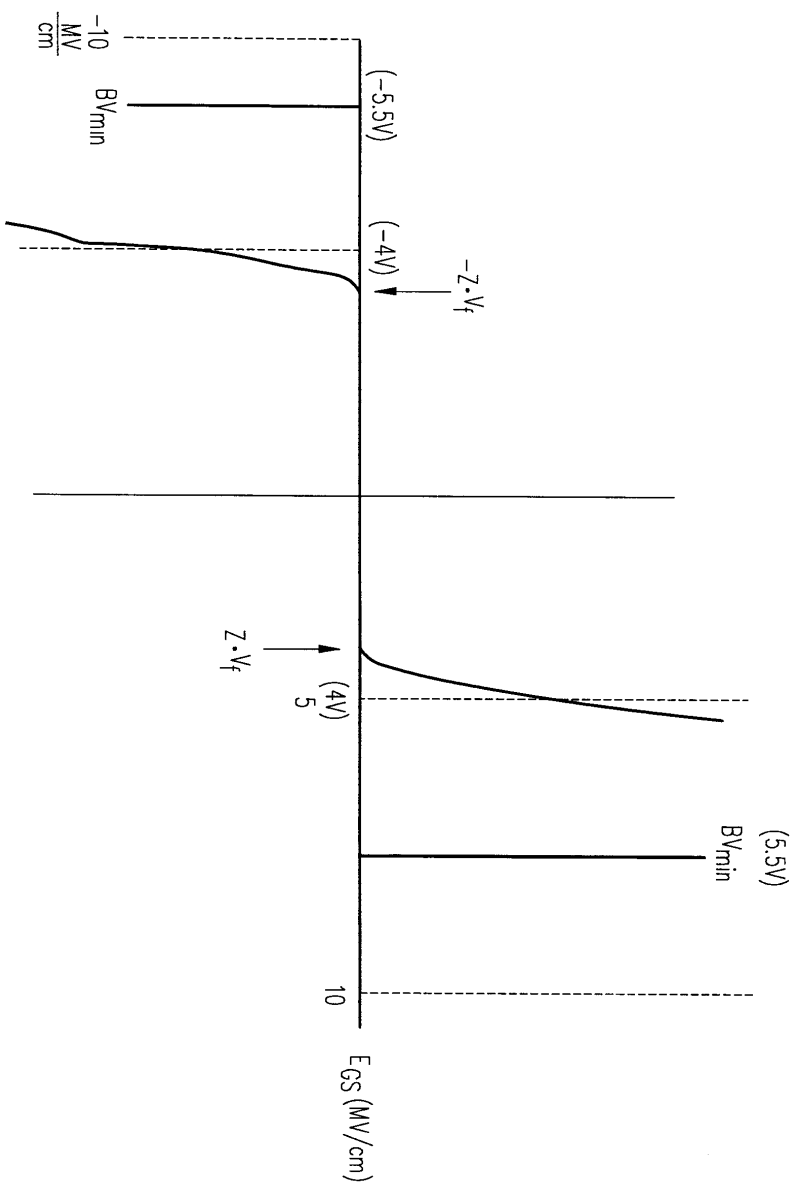
도면5a



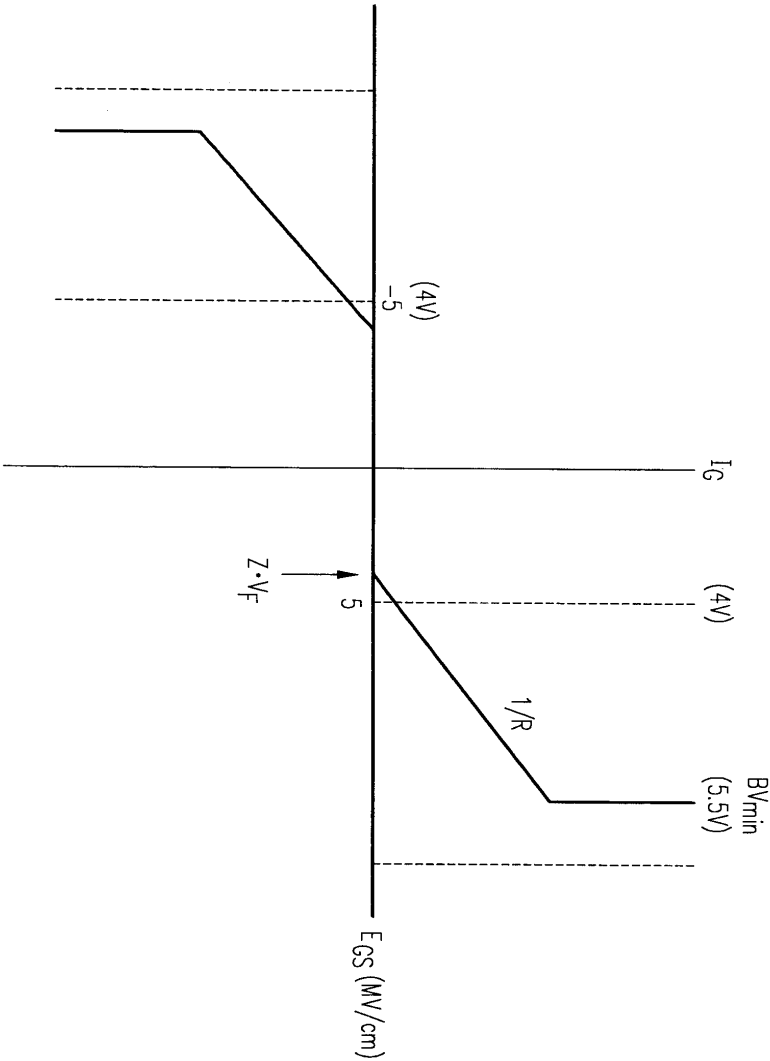
도면5b



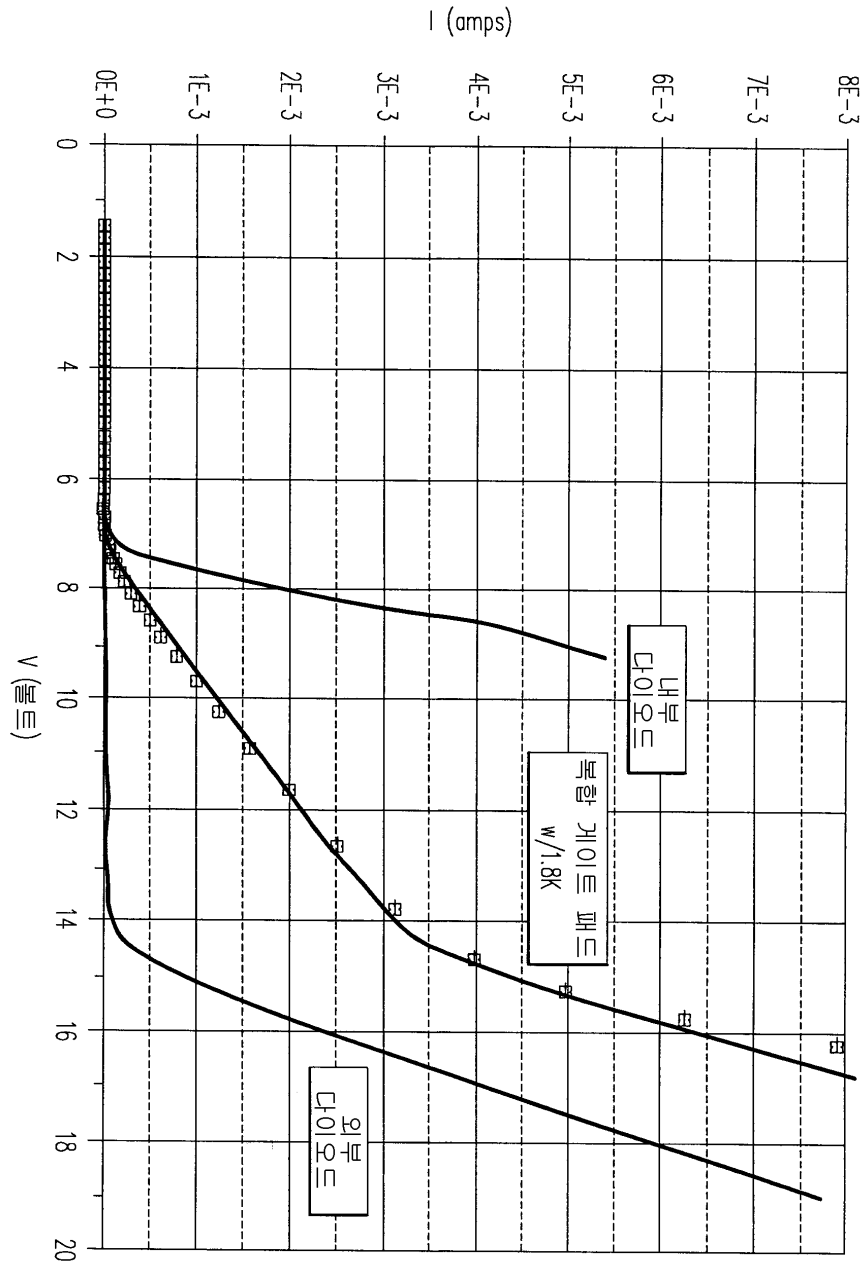
도면5c



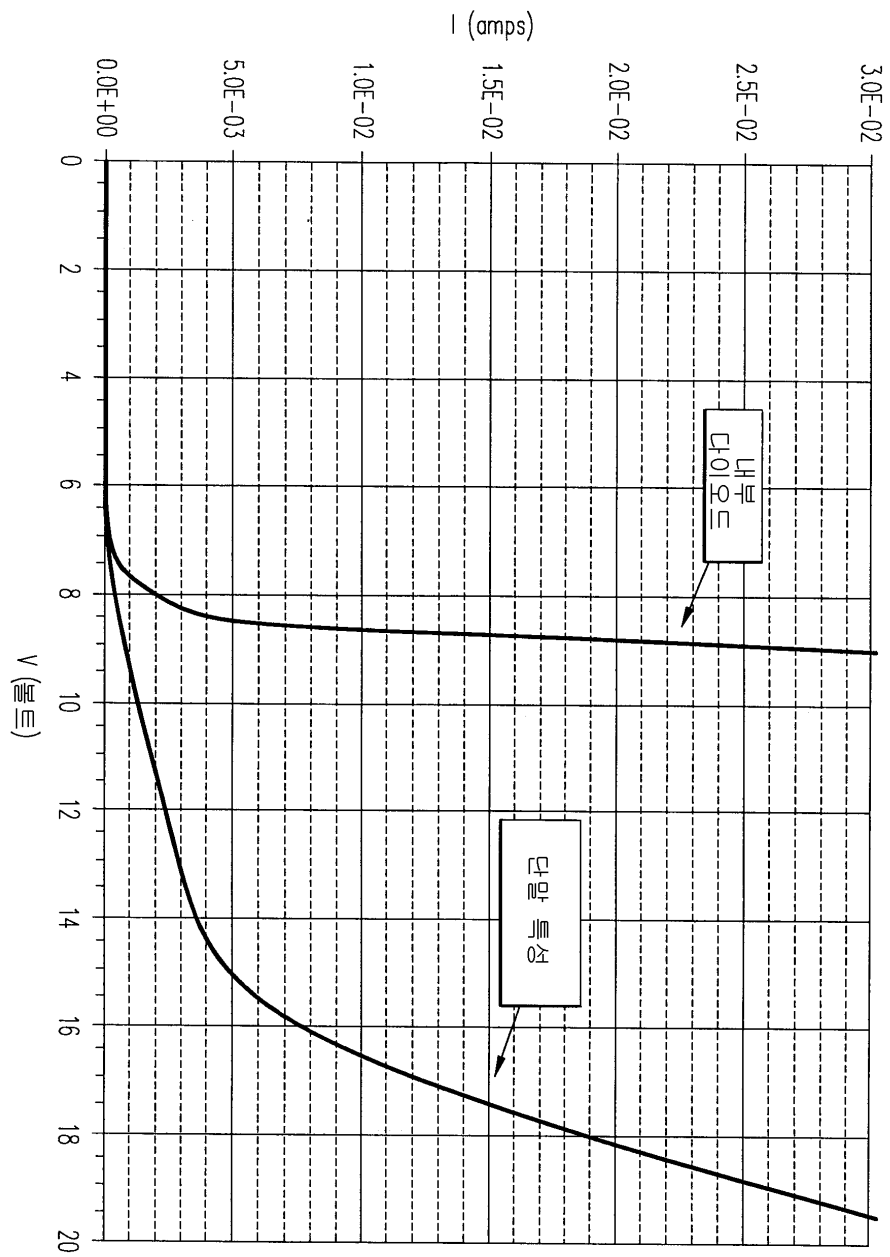
도면5d



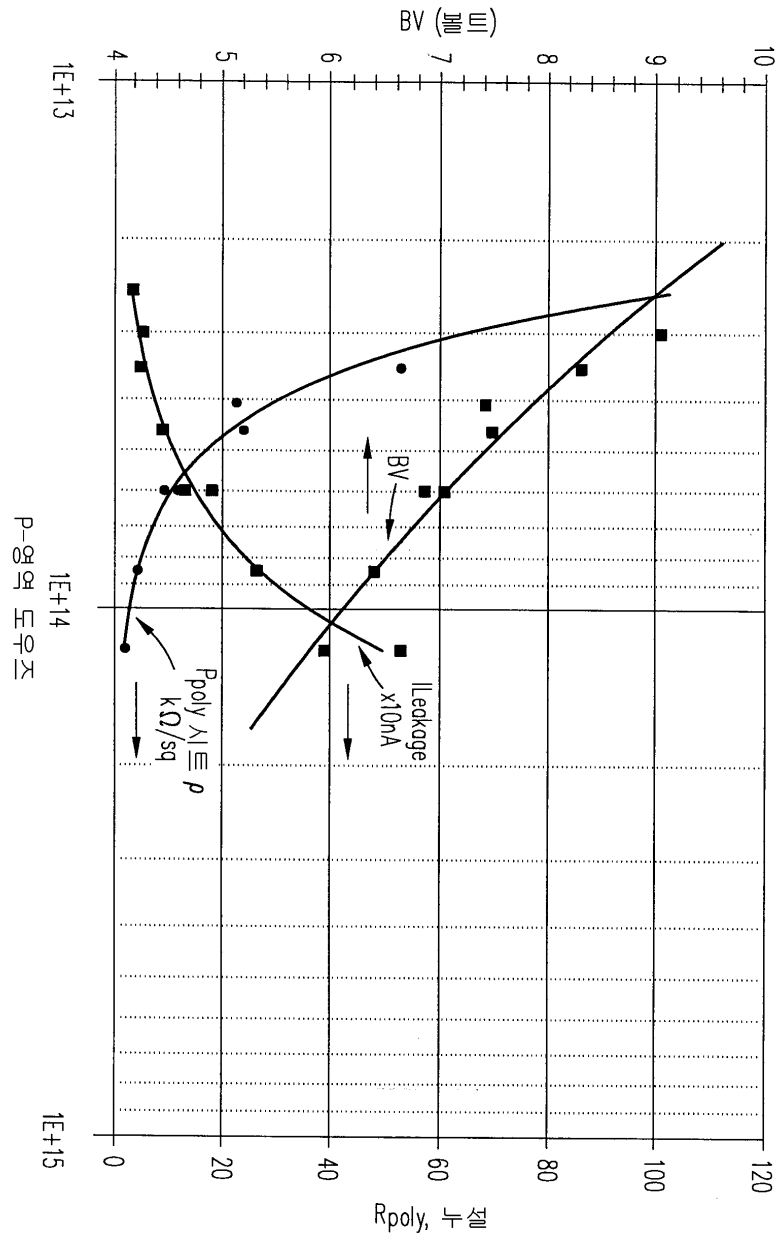
도면6a



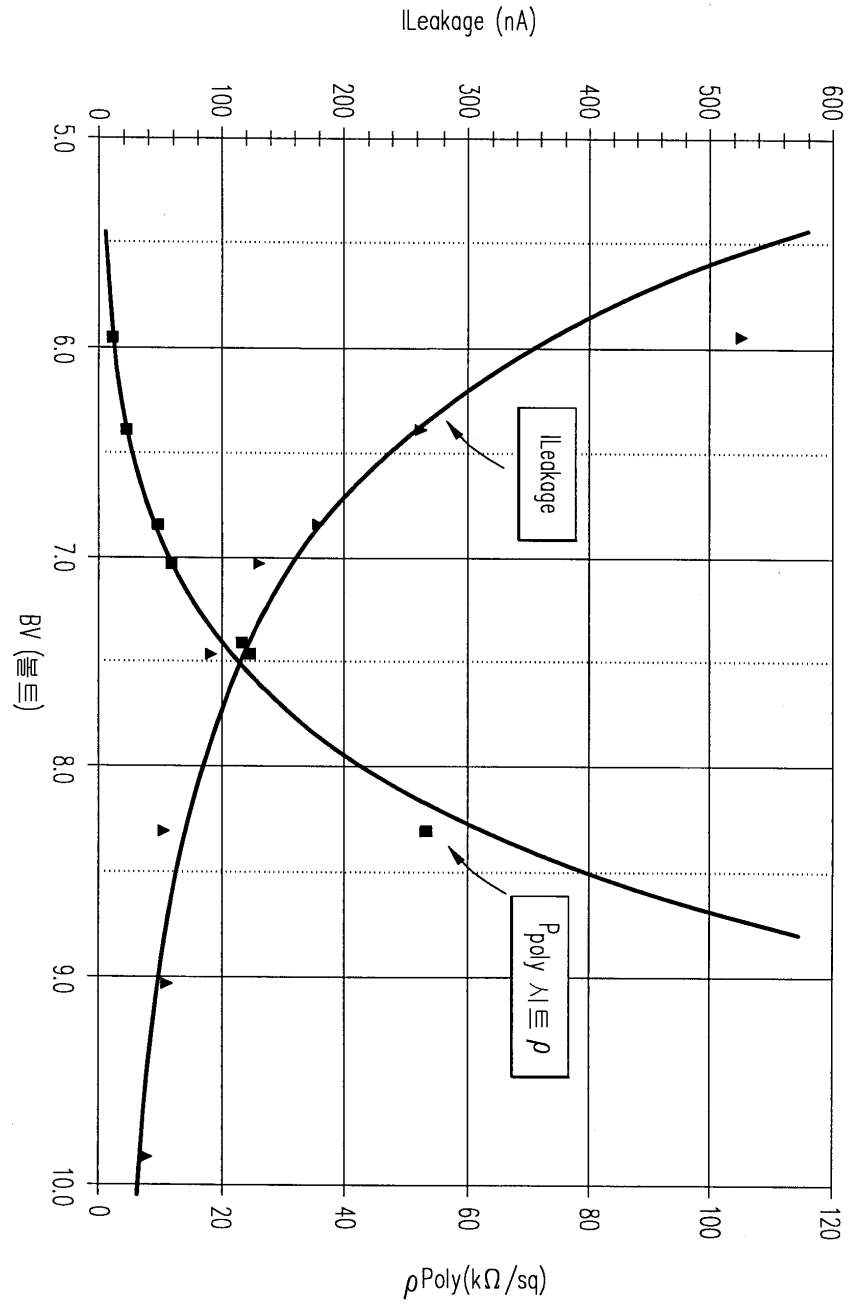
도면6b



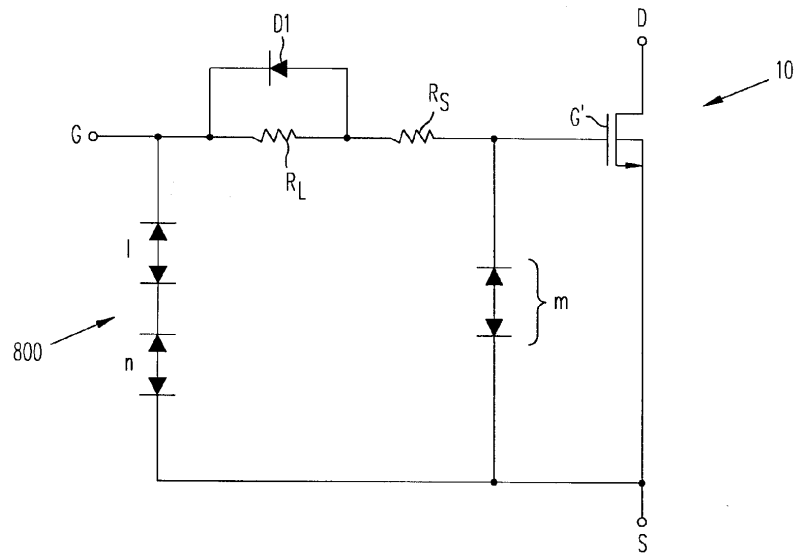
도면7a



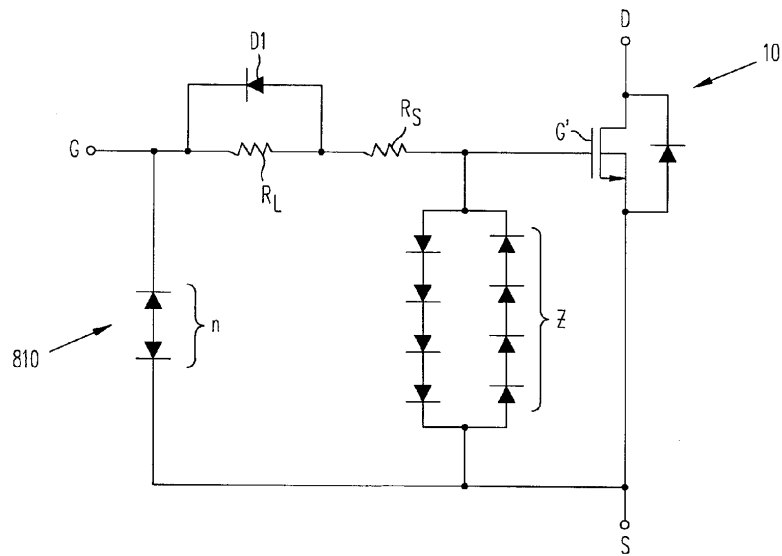
도면7b



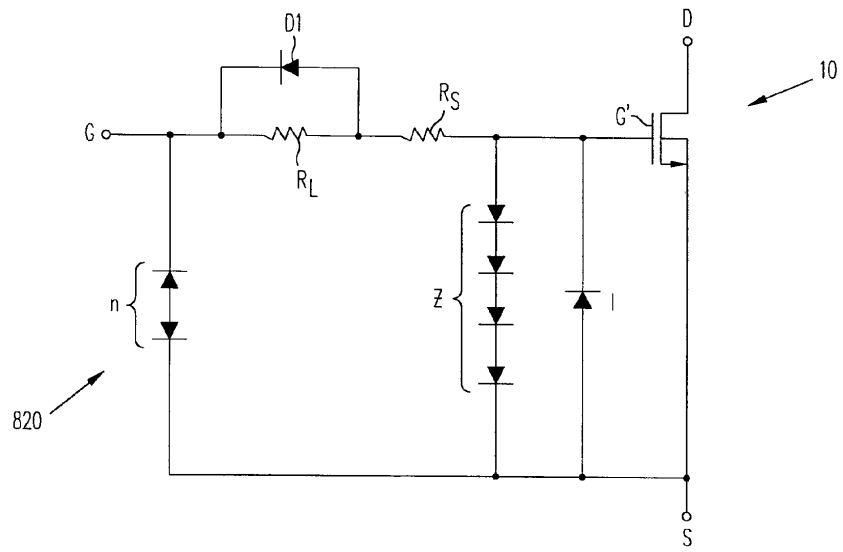
도면8a



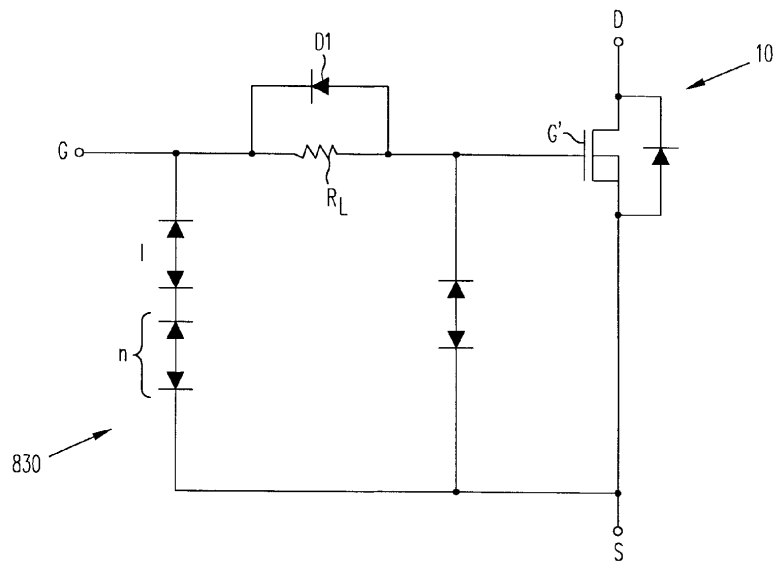
도면8b



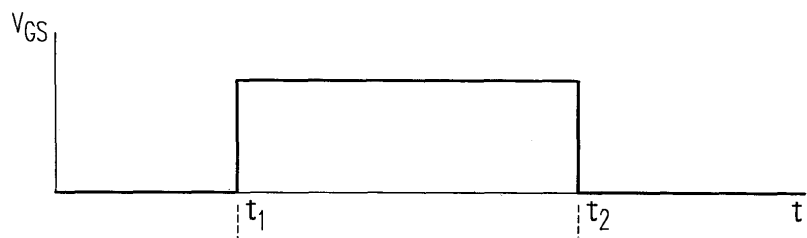
도면8c



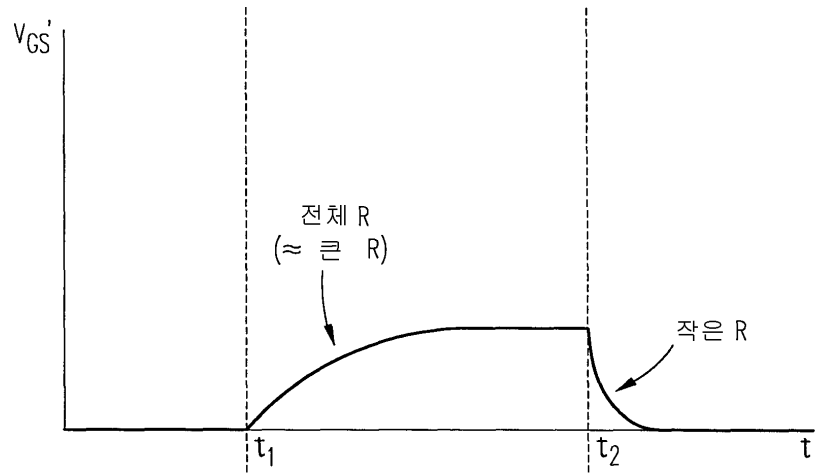
도면8d



도면9a



도면9b



도면9c

