

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-49569

(P2006-49569A)

(43) 公開日 平成18年2月16日(2006.2.16)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/065 (2006.01)

審査請求 有 請求項の数 26 O L (全 38 頁)

(21) 出願番号	特願2004-228402 (P2004-228402)	(71) 出願人	000005049 シャープ株式会社
(22) 出願日	平成16年8月4日(2004.8.4)	(74) 代理人	110000338 大阪府大阪市阿倍野区長池町22番22号 特許業務法人原謙三国際特許事務所
		(74) 代理人	100080034 弁理士 原 謙三
		(74) 代理人	100113701 弁理士 木島 隆一
		(74) 代理人	100116241 弁理士 金子 一郎
		(72) 発明者	玉置 和雄 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

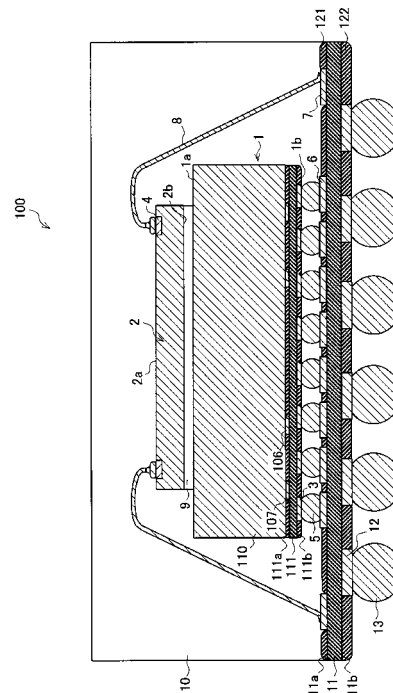
(54) 【発明の名称】 スタック型半導体装置パッケージおよびその製造方法

(57) 【要約】

【課題】 安価にかつ容易に製造可能なスタック型半導体装置パッケージを提供する。

【解決手段】 スタック型半導体装置パッケージは、回路基板11と、回路基板11上に搭載された半導体装置パッケージ1および半導体装置2と、これらを覆う封止樹脂10とを備え、回路基板11の表面11a上には、半導体装置パッケージ1の外部入出力端子3に接続された接続パッド6と、半導体装置2の電極4に接続された接続パッド7とが配置され、回路基板11の裏面11b上には、接続パッド6・7に接続された外部入出力端子12が配置されている。半導体装置パッケージ1は、回路基板111と、回路基板111上に搭載された半導体装置101とを備え、回路基板111の表面111a上には、半導体装置101の電極103に接続された接続パッド106が配置され、回路基板111の裏面111b上には、接続パッド106に接続された外部入出力端子3が配置されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の第 1 の外部入出力端子を有する少なくとも 1 つの半導体装置パッケージと、  
前記半導体装置パッケージを搭載するための、第 1 の面および第 2 の面を有する第 1 の回路基板と、

前記半導体装置パッケージ上に積み重ねられた、複数の第 1 の電極を有する少なくとも 1 つの第 1 の半導体装置と、

前記半導体装置パッケージの第 1 の外部入出力端子に対応して前記第 1 の回路基板の前記第 1 の面上に配置され、かつ、前記第 1 の外部入出力端子に電氣的に接続された複数の第 1 の接続パッドと、

前記第 1 の回路基板の第 1 の面上における第 1 の接続パッドより外側に配置され、かつ、前記第 1 の半導体装置の第 1 の電極に電氣的に接続された複数の第 2 の接続パッドと、

前記第 1 の回路基板の第 2 の面上に配置され、かつ、前記第 1 の接続パッドおよび第 2 の接続パッドにそれぞれ電氣的に接続された複数の第 2 の外部入出力端子と、

前記第 1 の半導体装置および半導体装置パッケージを覆う第 1 の樹脂とを備え、

前記半導体装置パッケージは、

複数の第 2 の電極を有する第 2 の半導体装置と、

前記第 2 の半導体装置を搭載するための、第 3 の面および第 4 の面を有する第 2 の回路基板と、

前記第 2 の回路基板の第 3 の面上に配置され、前記第 2 の半導体装置の第 2 の電極に電氣的に接続された複数の第 3 の接続パッドと、

第 2 の半導体装置を覆う第 2 の樹脂とを備え、

前記複数の第 1 の外部入出力端子は、前記第 2 の回路基板の第 4 の面上に配置され、前記第 3 の接続パッドに電氣的に接続されていることを特徴とするスタック型半導体装置パッケージ。

## 【請求項 2】

前記第 2 の接続パッドと、それに対応する前記第 1 の半導体装置の第 1 の電極とを接続する金属細線をさらに備えていることを特徴とする請求項 1 に記載のスタック型半導体装置パッケージ。

## 【請求項 3】

前記半導体装置パッケージと第 1 の半導体装置とが、接着材料で接着されていることを特徴とする請求項 1 に記載のスタック型半導体装置パッケージ。

## 【請求項 4】

前記半導体装置パッケージにおける第 1 の半導体装置の樹脂封止面上に配置された第 1 の金属細線接続用部材をさらに備え、

前記第 1 の金属細線接続用部材は、前記第 1 の半導体装置の第 1 の電極および前記第 2 の接続パッドのそれぞれに金属細線を介して接続された第 1 の配線を含むことを特徴とする請求項 2 に記載のスタック型半導体装置パッケージ。

## 【請求項 5】

前記第 1 の回路基板の第 1 面上に配置された第 2 の金属細線接続用部材をさらに備え、

前記第 2 の金属細線接続用部材は、前記第 1 の半導体装置の第 1 の電極および前記第 2 の接続パッドのそれぞれに金属細線を介して接続された第 2 の配線を含むことを特徴とする請求項 2 または 4 に記載のスタック型半導体装置パッケージ。

## 【請求項 6】

前記複数の第 1 の電極が、前記第 1 の半導体装置における第 1 の回路基板側に対する裏面上に配置されており、

前記第 2 の接続パッドが、第 1 の接続パッドが形成された面よりも高い位置に配置されていることを特徴とする請求項 2 に記載のスタック型半導体装置パッケージ。

## 【請求項 7】

前記半導体装置パッケージと第 1 の回路基板との間隙に、第 3 の樹脂が介在しているこ

10

20

30

40

50

とを特徴とする請求項 1 に記載のスタック型半導体装置パッケージ。

【請求項 8】

半導体装置パッケージにおける第 1 の回路基板側の面において、第 1 の外部入出力端子の表面が、第 1 の外部入出力端子が配置されていない部分の表面よりも突出していることを特徴とする請求項 1 に記載の半導体装置パッケージ。

【請求項 9】

上記第 1 の外部入出力端子上に、第 1 の接続パッドと接続されたハンダボールからなる突起電極が設けられていることを特徴とする請求項 1 に記載の半導体装置パッケージ。

【請求項 10】

前記第 1 の回路基板の第 1 面において、第 1 の接続パッドの表面が、第 1 の接続パッドが配置されていない部分の表面よりも突出していることを特徴とする請求項 1 に記載の半導体装置パッケージ。

10

【請求項 11】

前記第 2 の半導体装置が、メモリ素子であることを特徴とする請求項 1 に記載のスタック型半導体装置パッケージ。

【請求項 12】

前記第 1 の半導体装置が、論理素子であることを特徴とする請求項 1 または 11 に記載のスタック型半導体装置パッケージ。

【請求項 13】

前記第 1 の回路基板の第 1 面は、凹部を有し、

20

前記第 1 の接続パッドは、凹部に配置されている一方、

前記第 2 の接続パッドは、前記第 1 の回路基板の第 1 面における凹部以外の部分に配置され、かつ、前記複数の第 1 の電極表面を含む平面に対して、前記第 1 の接続パッドが形成された面よりも、高い位置に配置されていることを特徴とする請求項 1 に記載のスタック型半導体装置パッケージ。

【請求項 14】

複数の第 1 の外部入出力端子を有する少なくとも 1 つの半導体装置パッケージと、

前記半導体装置パッケージを搭載するための、第 1 の面および第 2 の面を有する第 1 の回路基板と、

前記半導体装置パッケージ上に積み重ねられた、複数の第 1 の電極を有する少なくとも 1 つの第 1 の半導体装置と、

30

前記半導体装置パッケージの第 1 の外部入出力端子に対応して前記第 1 の回路基板の前記第 1 の面上に配置された複数の第 1 の接続パッドと、

前記第 1 の回路基板の第 1 の面上における第 1 の接続パッドより外側に配置された複数の第 2 の接続パッドと、

前記第 1 の回路基板の第 2 の面上に配置され、かつ、前記第 1 の接続パッドおよび第 2 の接続パッドにそれぞれ電氣的に接続された複数の第 2 の外部入出力端子とを備え、

前記半導体装置パッケージは、

複数の第 2 の電極を有する第 2 の半導体装置と、

前記第 2 の半導体装置を搭載するための、第 3 の面および第 4 の面を有する第 2 の回路基板と、

40

前記第 2 の回路基板の第 3 の面上に配置され、前記第 2 の半導体装置の第 2 の電極に電氣的に接続された複数の第 3 の接続パッドと、

第 2 の半導体装置を覆う第 2 の樹脂とを備え、

前記複数の第 1 の外部入出力端子は、前記第 2 の回路基板の第 4 の面上に配置され、前記第 3 の接続パッドに電氣的に接続されているスタック型半導体装置パッケージの製造方法であって、

前記半導体装置パッケージの第 1 の外部入出力端子と、前記第 1 の回路基板上の第 1 の接続パッドとを、熱、荷重、および超音波の少なくとも 1 つを用いて接続する第 1 の接続工程と、

50

前記第 1 の半導体装置の第 1 の電極と前記第 1 の回路基板上の第 2 の接続パッドとを金属細線を介してワイヤボンディング方式で電氣的に接続する第 2 の接続工程と、

前記第 1 の半導体装置および半導体装置パッケージを第 1 の樹脂で覆う工程とを含むことを特徴とするスタック型半導体装置パッケージの製造方法。

【請求項 15】

前記半導体装置パッケージにおける樹脂封止された上面に、前記半導体装置を接着材料で接着する接着工程をさらに含むことを特徴とする請求項 14 記載のスタック型半導体装置パッケージの製造方法。

【請求項 16】

前記接着材料が、接着シートであり、

前記接着工程の前に、前記半導体装置パッケージにおける樹脂封止された上面に、前記接着シートを配置する工程をさらに含んでいる請求項 15 記載のスタック型半導体装置パッケージの製造方法。

【請求項 17】

前記接着材料が、液状接着材料であり、

前記接着工程の前に、前記半導体装置パッケージにおける樹脂封止された上面に、前記液状接着材料を塗布する工程をさらに含んでいる請求項 15 記載のスタック型半導体装置パッケージの製造方法。

【請求項 18】

前記第 1 の接続工程の後に、

前記半導体装置パッケージと第 1 の回路基板との間隙に対して前記接着材料と異なる第 3 の樹脂を注入する工程をさらに含むことを特徴とする請求項 15 記載のスタック型半導体装置パッケージの製造方法。

【請求項 19】

前記第 1 の接続工程の後に、

前記半導体装置パッケージと第 1 の回路基板との間隙、および前記半導体装置パッケージにおける樹脂封止された上面に対して、第 3 の樹脂を注入する工程と、

前記第 3 の樹脂により、前記半導体装置パッケージにおける樹脂封止された上面に前記第 1 の半導体装置を搭載する工程と、

前記第 1 の半導体装置を搭載するための第 3 の樹脂と、前記間隙に注入された第 3 の樹脂とを一度に硬化させる工程とをさらに含むことを特徴とする請求項 14 記載のスタック型半導体装置パッケージの製造方法。

【請求項 20】

前記第 1 の接続工程の前に、前記第 1 の回路基板における前記半導体パッケージが搭載される領域に第 3 の樹脂を配置する工程をさらに含むことを特徴とする請求項 14 記載のスタック型半導体装置パッケージの製造方法。

【請求項 21】

前記第 1 の接続工程では、第 1 の外部入出力端子上にハンダボールからなる突起電極を設け、該突起電極を溶融させることにより第 1 の接続パッドと接続することを特徴とする請求項 14 記載のスタック型半導体装置パッケージの製造方法。

てもよい。

【請求項 22】

前記第 1 の接続工程では、第 1 の外部入出力端子上にハンダボールからなる突起電極を設け、該突起電極を溶融させることなく前記半導体装置パッケージを第 3 の樹脂を介して前記第 1 の回路基板に圧接することにより、前記第 1 の外部入出力端子と前記第 1 の接続パッドとを接続することを特徴とする請求項 14 記載のスタック型半導体装置パッケージの製造方法。

【請求項 23】

前記第 3 の樹脂として異方性導電接着剤を用いることを特徴とする請求項 20 または 22 に記載のスタック型半導体装置パッケージの製造方法。

10

20

30

40

50

## 【請求項 2 4】

前記半導体装置パッケージにおける樹脂封止面上に、第 1 の配線を含む第 1 の金属細線接続用部材を接着する工程をさらに含み、

前記第 2 の接続工程では、前記第 1 の配線を、前記第 1 の半導体装置の第 1 の電極および前記第 1 の回路基板上の第 1 の接続パッドのそれぞれと金属細線により電氣的に接続することを特徴とする請求項 1 4 記載のスタック型半導体装置パッケージの製造方法。

## 【請求項 2 5】

前記第 1 の回路基板の第 1 面に、第 2 の配線を含む第 2 の金属細線接続用部材を接着する工程をさらに含み、

前記第 2 の接続工程では、前記第 2 の配線を、前記第 1 の半導体装置の第 1 の電極および前記第 1 の回路基板上の第 1 の接続パッドのそれぞれと金属細線により電氣的に接続することを特徴とする請求項 1 4 記載のスタック型半導体装置パッケージの製造方法。

10

## 【請求項 2 6】

前記第 1 の回路基板の第 1 面は、凹部を有し、

前記第 1 の接続パッドは、凹部に配置されている一方、

前記第 2 の接続パッドは、前記第 1 の回路基板の第 1 面における凹部以外の部分に配置され、かつ、前記複数の第 1 の電極表面を含む平面に対して、前記第 1 の接続パッドが形成された面よりも、高い位置に配置されていることを特徴とする請求項 1 4 記載のスタック型半導体装置パッケージの製造方法。

## 【発明の詳細な説明】

20

## 【技術分野】

## 【0 0 0 1】

本発明は、C S P (Chip Size Package) や B G A (Ball Grid Array) 等として利用される、複数の半導体装置を積層してなるスタック型半導体装置パッケージおよびその製造方法に関するものである。

## 【背景技術】

## 【0 0 0 2】

従来より、パッケージ内に半導体装置(半導体チップ)を収納した半導体装置パッケージが利用されている。

## 【0 0 0 3】

30

携帯情報機器の小型化、軽量化に伴い、半導体装置の高密度実装が必要とされる。近年、これらの要求に応えるべく、単一のパッケージ内に複数の半導体装置(半導体チップ)を積層したスタック型半導体装置パッケージ(スタック型マルチ・チップ・パッケージ)が提案されている(特許文献 1 および特許文献 2 参照)。

## 【0 0 0 4】

次に、特許文献 1 に記載された先行技術のスタック型半導体装置パッケージについて、詳細に説明する。図 3 4 は、特許文献 1 に記載された先行技術のスタック型半導体装置パッケージの構造を示す断面図である。

## 【0 0 0 5】

図 3 4 に示すように、先行技術の半導体装置パッケージは、第 1 の半導体装置 2 0 1 の電極が、接続用金属部材 2 0 5 を介して回路基板 2 1 9 上の第 1 の面に形成された第 1 の接続パッド 2 0 6 に、フリップ方式を用いて電氣的に接続され、かつ前記第 1 の半導体装置 2 0 1 の素子面と回路基板 2 1 9 の第 1 の面との間隙部分には界面封止樹脂 2 0 9 が介在している。第 2 の半導体装置 2 0 2 は、その裏面が第 1 の半導体装置 2 0 1 の裏面に合わさった状態で搭載されている。第 2 の半導体装置 2 0 2 の電極 2 0 4 と、回路基板 2 1 9 上に形成された第 1 の接続パッド 2 0 6 の外側に形成された第 2 の接続パッド 2 0 7 が、金属細線 2 0 8 で電氣に接続されている。回路基板 2 1 9 の第 1 の面上の第 1 の接続パッド 2 0 6 と第 2 の接続パッド 2 0 7 とは、回路基板 2 1 9 の第 2 の面上に形成された外部入出力端子 2 3 0 ・ 2 2 6 に電氣的に接続されている。

40

【特許文献 1】特開平 1 1 - 2 1 9 9 8 4 号公報(1 9 9 9 年 8 月 1 0 日公開)

50

【特許文献2】特開2003-234451公報(2003年8月22日公開)

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、搭載されている第1の半導体装置の種類が異なる複数種類のスタック型半導体装置パッケージを製造する場合に、一般に、各種類の半導体装置ごとに電極配置が異なるために、次の不都合が生じる。すなわち、回路基板を作製し、この回路基板を用いて1種類のスタック型半導体装置パッケージを製造した後、他の種類の第1の半導体装置(回路基板に対してフリップチップ実装される半導体装置)を用いてスタック型半導体装置パッケージを製造する際に、他の種類の半導体装置の電極配置に対応した回路基板を再作製する必要がある。したがって、搭載されている第1の半導体装置の種類が異なる複数種類のスタック型半導体装置パッケージを製造するために、複数種類の第1の回路基板を作製することが必要となり、比較的多くの手間およびコストが必要となる。

10

【0007】

搭載されている第1の半導体装置の種類が異なる複数種類のスタック型半導体装置パッケージを製造するのは、次のような場合である。例えば、第1の半導体装置をメモリ用半導体装置、第2の半導体装置をロジック用半導体装置とし、メモリ用半導体装置として異なるメーカーの製造した複数種類のメモリ用半導体装置を使用する場合、一般的に、半導体装置のデザイン(チップサイズ、パッド数、パッド位置など)はメーカーごとに異なるため、搭載されている第1の半導体装置の種類が異なる複数種類のスタック型半導体装置パッケージを製造することになる。

20

【0008】

また、第1の半導体装置をメモリ用半導体装置、第2の半導体装置をロジック用半導体装置として、スタック型半導体装置パッケージを製造した後、使用するメモリ用半導体装置のメモリ容量を増やしたメモリ用半導体装置に変更してスタック型半導体装置パッケージを製造する場合も、同様に、搭載されている第1の半導体装置の種類が異なる複数種類のスタック型半導体装置パッケージを製造することになる。

【0009】

また、第1の半導体装置をメモリ用半導体装置、第2の半導体装置をロジック用半導体装置として、スタック型半導体装置パッケージを製造した後、メモリ用半導体装置のメモリ容量を増やす場合に、第1の半導体装置と第2の半導体装置とを入れ替えて、第1の半導体装置をロジック用半導体装置、第2の半導体装置をメモリ用半導体装置とすることも考えられる。しかしながら、メモリ用半導体装置のパッド数やパッド位置が違う場合に、ワイヤボンドの引き直しだけでは対応できず、回路基板の再作製が必要になる。

30

【0010】

また、図34に示す先行技術のスタック型半導体装置パッケージでは、第1の半導体装置がKGD(Known Good Die:品質保証された半導体装置)でない可能性がある。第1の半導体装置がKGDでなければ、第1の半導体装置の不良が原因で、スタック型半導体装置パッケージ全体が不良になることがある。そのため、リペア工程が必要となる可能性がある。

40

【0011】

本発明の目的は、複数種類の半導体装置を用いて安価にかつ容易に製造可能なスタック型半導体装置パッケージおよびその製造方法を提供することにある。

【課題を解決するための手段】

【0012】

本発明の半導体装置パッケージは、上記の課題を解決するために、複数の第1の外部入出力端子を有する少なくとも1つの半導体装置パッケージと、前記半導体装置パッケージを搭載するための、第1の面および第2の面を有する第1の回路基板と、前記半導体装置パッケージ上に積み重ねられた、複数の第1の電極を有する少なくとも1つの第1の半導体装置と、前記半導体装置パッケージの第1の外部入出力端子に対応して前記第1の回路

50

基板の前記第1の面上に配置され、かつ、前記第1の外部入出力端子に電氣的に接続された複数の第1の接続パッドと、前記第1の回路基板の第1の面上における第1の接続パッドより外側に配置され、かつ、前記第1の半導体装置の第1の電極に電氣的に接続された複数の第2の接続パッドと、前記第1の回路基板の第2の面上に配置され、かつ、前記第1の接続パッドおよび第2の接続パッドにそれぞれ電氣的に接続された複数の第2の外部入出力端子と、前記第1の半導体装置および半導体装置パッケージを覆う第1の樹脂とを備え、前記半導体装置パッケージは、複数の第2の電極を有する第2の半導体装置と、前記第2の半導体装置を搭載するための、第3の面および第4の面を有する第2の回路基板と、前記第2の回路基板の第3の面上に配置され、前記第2の半導体装置の第2の電極に電氣的に接続された複数の第3の接続パッドと、第2の半導体装置を覆う第2の樹脂とを備え、前記複数の第1の外部入出力端子は、前記第2の回路基板の第4の面上に配置され、前記第3の接続パッドに電氣的に接続されていることを特徴としている。

10

**【0013】**

上記構成では、内部に搭載された第2の半導体装置の構成（第2の電極の配置など）が異なる複数種類のスタック型半導体装置パッケージを製造する場合に、従来のスタック型半導体装置パッケージに対して、次の有利な効果を奏する。

**【0014】**

すなわち、1種類の第1の回路基板を作製し、この第1の回路基板と半導体装置パッケージとを用いて1種類のスタック型半導体装置パッケージを製造した後、他の種類の第2の半導体装置を含むスタック型半導体装置パッケージを製造する際に、端子配置（第1の外部入出力端子の配置）がそのまま（最初にスタック型半導体装置パッケージを製造するのに用いた半導体装置パッケージと同じ）で、かつ、他の種類の第2の半導体装置を備える半導体装置パッケージを用意すれば、第1の回路基板を再作製する必要がなくなる。端子配置がそのまま、かつ、他の種類の第2の半導体装置を備える半導体装置パッケージを用意するには、他の種類の第2の半導体装置に対応した第2の回路基板を再作製する必要のある場合もあるが、第2の回路基板は第1の回路基板よりも簡素な構造であるため、その再作製にかかる手間やコストは、第1の回路基板を再作製する手間やコストと比較すると少ない。そのため、比較的少ない手間およびコストで、異なる種類の第2の半導体装置（例えば、製造メーカーの異なる半導体装置や、メモリ容量の異なるメモリ用半導体装置）を備えるスタック型半導体装置パッケージを製造できる。

20

30

**【0015】**

特に、複数の製造メーカーから、外部入出力端子の配置が共通化された複数種類のパッケージ化されたメモリを購入し、これらを半導体装置パッケージとして用いてアセンブリすれば、第1の回路基板を変更することなく、複数種類の複合メモリパッケージを製造することができ、効果的である。

**【0016】**

上記構成において、半導体装置パッケージは、汎用であるかにかかわらず、パッケージ化された後、テストを実施する。よって、半導体装置パッケージ内部に搭載されている第2の半導体装置のKGDが実質的に保証される。よって、第2の半導体装置の不良が原因で、スタック型半導体装置パッケージ全体が不良になることがない。すなわち、第1の半導体装置が良品であれば、スタック型半導体装置パッケージ全体が不良になることがない。したがって、第1の半導体装置が良品であるにもかかわらず、スタック型半導体装置パッケージを製造した後にスタック型半導体装置パッケージ全体が不良となり、良品の第1の半導体装置を廃棄せざるを得ない事態を招くことがない。特に、第2の半導体装置をメモリタイプの半導体装置（メモリ素子）とし、第1の半導体装置をロジックタイプの半導体装置（論理素子）とし、第2の半導体装置をパッケージ化すれば、内部に搭載されているメモリタイプの半導体装置のKGDが実質的に保障される。よって、ロジックタイプの半導体装置が良品であるにもかかわらず、スタック型半導体装置パッケージを製造した後にメモリタイプの半導体装置の不良が原因で、スタック型半導体装置パッケージ（SiP (System in Package)）全体が不良になり、単価の高い良品のロジックタイプの半導体装

40

50

置を廃棄せざるを得ない事態を招くことがない。したがって、本発明は、前記第1の半導体装置の単価が比較的高い場合、例えば、論理素子であり、前記第2の半導体装置の単価が比較的安いメモリ素子である場合に特に有効である。

【0017】

なお、本発明は、前記第1の半導体装置が論理素子（ロジックタイプの半導体装置）であり、かつ、前記第2の半導体装置がメモリ素子である場合に限らず、前記第1の半導体装置が歩留まりの悪い高集積度の大容量メモリであり、前記第2の半導体装置がメモリ素子である場合にも、有効である。例えば、本発明のスタック型半導体装置パッケージは、内蔵パッケージがSRAM（Static Random Access Memory）とSCRAM（Static Column Random Access Memory）とを含み、第1の半導体装置が大容量のフラッシュメモリである複合メモリパッケージであってもよい。

10

【0018】

また、本発明は、前記第1の半導体装置が論理素子であり、かつ、前記第2の半導体装置がメモリ素子である場合に限らず、前記第1の半導体装置が論理素子であり、前記第2の半導体装置が、メモリ素子以外の半導体装置（例えば論理素子）でない場合にも、有効である。

【0019】

本発明のスタック型半導体装置パッケージは、第1の接続パッドとそれに対応する第1の外部入出力端子とを接続する複数の接着用金属部材と、第2の接続パッドと対応する第1の電極とを接続する金属細線と、半導体装置および半導体装置パッケージの全体を覆う第1の樹脂と、半導体装置パッケージと第1の回路基板との間隙に設けられる、第1の樹脂と異なる第3の樹脂とをさらに備える構成であってもよい。

20

【0020】

また、内部に搭載された第2の半導体装置の構成（第2の電極の配置など）が異なる複数種類の半導体装置パッケージ（例えば複数の製造メーカーで製造された半導体装置パッケージ）を用いて本発明のスタック型半導体装置パッケージを複数種類製造する場合、複数種類の半導体装置パッケージとして、同一の端子配置（第1の外部入出力端子の配置）を持つものを使用することが好ましい。これにより、1種類の半導体装置パッケージに対応した1種類の第1の回路基板を作製し、この第1の回路基板を用いて1種類のスタック型半導体装置パッケージを製造した後、他の種類のスタック型半導体装置パッケージを製造する際に、半導体装置パッケージの端子配置が変化しないので、第1の回路基板を再作製する必要がない。したがって、1種類の第1の回路基板を用いて、複数種類の半導体装置パッケージから複数種類のスタック型半導体装置パッケージを製造できる。そのため、比較的少ない手間およびコストで複数種類の半導体装置パッケージから複数種類のスタック型半導体装置パッケージを製造できる。

30

【0021】

本発明のスタック型半導体装置パッケージは、前記第2の接続パッドと、それに対応する前記第1の半導体装置の第1の電極とを接続する金属細線をさらに備えていてもよい。

【0022】

本発明のスタック型半導体装置パッケージでは、前記半導体装置パッケージと第1の半導体装置とが、接着材料で接着されていてもよい。

40

【0023】

接着材料は、半導体装置パッケージの上面に、液状樹脂を塗布もしくはシート状樹脂を貼り付けてもよいし、あらかじめ第1の半導体装置の裏面に塗布、貼り付けても良い。好ましくは、第1の半導体装置がウエハ状態（複数の第1の半導体装置がウエハ上に存在する状態）で、その裏面に一括して液状樹脂を塗布もしくはシート状樹脂を貼り付けた後、個々の第1の半導体装置に分離する（個辺化する）ほうが効率的である。

【0024】

発明のスタック型半導体装置パッケージは、前記半導体装置パッケージにおける樹脂封止面上（第2の樹脂上）に配置された第1の金属細線接続用部材をさらに備え、前記第1

50



の金属細線接続用部材は、前記第1の半導体装置の第1の電極および前記第2の接続パッドのそれぞれに金属細線を介して接続された第1の配線を含んでいることが好ましい。

【0025】

また、本発明のスタック型半導体装置パッケージは、前記第1の回路基板の第1面上に配置された第2の金属細線接続用部材をさらに備え、前記第2の金属細線接続用部材は、前記第1の半導体装置の第1の電極および前記第2の接続パッドのそれぞれに金属細線を介して接続された第2の配線を含むことも好ましい。また、これら（第1の金属細線接続用部材および第2の金属細線接続用部材）を併用してもよい。

【0026】

上記各構成において、第1の電極と第2の接続パッドを金属細線のみで接続した場合、金属細線が長くなり、第1の樹脂を形成する際に第1の樹脂によって押し流される可能性がある。この長くなった部分（金属細線）の長さを短くできる。その結果、第1の樹脂を形成する際に配線が第1の樹脂に押し流され、ショートすることを防止できる。したがって、容易に製造可能なスタック型半導体装置パッケージを提供できる。

10

【0027】

本発明のスタック型半導体装置パッケージでは、前記複数の第1の電極が、前記第1の半導体装置における第1の回路基板側に対する裏面上に配置されており、前記第2の接続パッドが、第1の接続パッドが形成された面よりも高い位置に配置されていることが好ましい。なお、ここで、「高い」とは、地面等を基準として測った高さを指すのではなく、第1の回路基板の裏面（半導体パッケージと対向する面の裏面）を基準として測った高さが高いことを指すものとする。

20

【0028】

上記構成によれば、第1の電極と第2の接続パッドとを繋ぐ金属細線の長さを短くできる。その結果、第1の樹脂を形成する際に金属細線が第1の樹脂に押し流され、ショートすることを防止できる。したがって、容易に製造可能なスタック型半導体装置パッケージを提供できる。

【0029】

本発明のスタック型半導体装置パッケージでは、前記半導体装置パッケージと第1の回路基板との間に、第3の樹脂が介在していることが好ましい。

【0030】

上記構成によれば、半導体装置パッケージと第1の回路基板との間に第3の樹脂が介在していることにより、半導体装置パッケージと第1の回路基板との熱膨張係数の差が大きい場合に、熱膨張係数の違いから生じる熱応力を緩和することができる。

30

【0031】

また、半導体装置パッケージの外部入出力端子にハンダボールを形成する場合、該パッケージの樹脂封止面に半導体装置を接着した後のワイヤボンディング時の加熱で、ハンダボールが溶け、変形することを防止できる。特に、第1の半導体装置が微細ピッチの場合、ワイヤボンドの接続強度（密着強度）を確保するため、第1の回路基板全体を加熱する必要がある場合に有効である。

【0032】

本発明のスタック型半導体装置パッケージにおいては、半導体装置パッケージにおける第1の回路基板側の面において、第1の外部入出力端子の表面が、第1の外部入出力端子が配置されていない部分の表面よりも突出している方が好ましい。

40

【0033】

上記構成によれば、外部入出力端子にハンダボールを形成する必要がなく、パッケージ全体の高さを低くすることができる。また、回路基板全体をハンダ融点以上に加熱することが可能となる。

【0034】

また、回路基板全体をハンダ融点以上に加熱する必要がなければ、本発明のスタック型半導体装置パッケージにおいては、上記第1の外部入出力端子上に、第1の接続パッドと

50

接続されたハンダボールからなる突起電極が設けられていてもよい。

【0035】

また、本発明のスタック型半導体装置パッケージにおいては、前記第1の回路基板の第1面（半導体装置パッケージ側の表面）において、第1の接続パッドの表面が、第1の接続パッドが配置されていない部分の表面よりも突出しているほうが好ましい。

【0036】

上記構成によれば、上記同様外部入出力端子にハンダボールを形成する必要がなく、パッケージ全体の高さを低くすることができる。

【0037】

本発明の半導体装置パッケージの製造方法は、上記の課題を解決するために、複数の第1の外部入出力端子を有する少なくとも1つの半導体装置パッケージと、前記半導体装置パッケージを搭載するための、第1の面および第2の面を有する第1の回路基板と、前記半導体装置パッケージ上に積み重ねられた、複数の第1の電極を有する少なくとも1つの第1の半導体装置と、前記半導体装置パッケージの第1の外部入出力端子に対応して前記第1の回路基板の前記第1の面上に配置された複数の第1の接続パッドと、前記第1の回路基板の第1の面上における第1の接続パッドより外側に配置された複数の第2の接続パッドと、前記第1の回路基板の第2の面上に配置され、かつ、前記第1の接続パッドおよび第2の接続パッドにそれぞれ電氣的に接続された複数の第2の外部入出力端子とを備え、前記半導体装置パッケージは、複数の第2の電極を有する第2の半導体装置と、前記第2の半導体装置を搭載するための、第3の面および第4の面を有する第2の回路基板と、前記第2の回路基板の第3の面上に配置され、前記第2の半導体装置の第2の電極に電氣的に接続された複数の第3の接続パッドと、第2の半導体装置を覆う第2の樹脂とを備え、前記複数の第1の外部入出力端子は、前記第2の回路基板の第4の面上に配置され、前記第3の接続パッドに電氣的に接続されているスタック型半導体装置パッケージの製造方法であって、前記半導体装置パッケージの第1の外部入出力端子と、前記第1の回路基板上の第1の接続パッドとを、熱、荷重、および超音波の少なくとも1つを用いて接続する第1の接続工程と、前記第1の半導体装置の第1の電極と前記第1の回路基板上の第2の接続パッドとを金属細線を介してワイヤボンディング方式で電氣的に接続する第2の接続工程と、前記第1の半導体装置および半導体装置パッケージを第1の樹脂で覆う工程とを含むことを特徴としている。

【0038】

上記方法によれば、本発明のスタック型半導体装置パッケージであって、前記半導体装置パッケージの第1の外部入出力端子と前記第1の回路基板上の第1の接続パッドとが電氣的に接続され、かつ、前記第1の半導体装置の第1の電極と前記第1の回路基板上の第2の接続パッドとが金属細線を介してワイヤボンディング方式で電氣的に接続されたスタック型半導体装置パッケージを製造できる。

【0039】

本発明のスタック型半導体装置パッケージの製造方法は、前記半導体装置パッケージにおける樹脂封止された上面に、前記半導体装置を接着材料で接着する接着工程をさらに含むことが好ましい。なお、ここで、「樹脂封止された上面」とは、前記半導体装置パッケージにおける第1の外部入出力端子が配置された面の裏面であって、かつ、第2の樹脂が形成されている部分を指すものとする。

【0040】

本発明に係る接着工程を含むスタック型半導体装置パッケージの製造方法においては、前記接着材料が、接着シートであり、前記接着工程の前に、前記半導体装置パッケージにおける樹脂封止された上面に、前記接着シートを配置する工程をさらに含んでいてもよい。上記方法によれば、液状接着材料を塗布することなく簡便に接着を行うことができる。

【0041】

また、本発明に係る接着工程を含むスタック型半導体装置パッケージの製造方法においては、前記接着材料が、液状接着材料であり、前記接着工程の前に、前記半導体装置パッ

10

20

30

40

50

ケージにおける樹脂封止された上面に、前記液状接着材料を塗布する工程をさらに含んでいてもよい。

【0042】

上記方法によれば、アンダーフィル（半導体装置と半導体装置パッケージとの間に充填し硬化させることで接合信頼性を向上させる接合補強材）を注入する工程を必須としていないので、アンダーフィルを注入する工程を省略することが可能となる。したがって、工程を簡略化することができる。

【0043】

上記方法は、半導体装置パッケージを第1の回路基板に実装後、該パッケージと回路基板の間に空間が確保できる場合には、その空間に第1の樹脂（モールド樹脂や一括液状封止樹脂）を注入することで実現できる。

【0044】

上記方法において、半導体装置パッケージを第1の回路基板に実装後、該パッケージと回路基板の間に空間が確保できない場合には、例えば、第1の外部入出力端子が突出している構造の半導体装置パッケージ、あるいは第1の接続パッドが突出している構造の第1の回路基板を用いて、あらかじめ第3の樹脂を第1の回路基板上に配置しておく方法や、樹脂プリコートと超音波接合方法とを組み合わせた方法等により実現できる。

【0045】

また、本発明に係るスタック型半導体装置パッケージの製造方法は、前記第1の接続工程の後に、前記半導体装置パッケージと第1の回路基板との間隙に対して前記接着材料と異なる第3の樹脂を注入する工程と、前記第3の樹脂を硬化させる工程とをさらに含んでいてもよい。

【0046】

上記方法によれば、前記半導体装置パッケージと第1の回路基板との間隙に配置されてアンダーフィル（半導体装置と半導体装置パッケージとの間に充填し硬化させることで接合信頼性を向上させる接合補強材）として機能する第3の樹脂が、前記半導体装置の接着材料とは異なる樹脂材料である。これにより、例えば接着材料の弾性率が第3の樹脂（アンダーフィル）の弾性率よりも低い場合に、接着材料が前記半導体装置パッケージのアンダーフィルを兼ねている場合と比較して、半導体装置がその下の半導体装置パッケージから受ける応力を低減できる。本発明に係るスタック型半導体装置パッケージでは、半導体装置は、その下に半導体パッケージが配置されていることで、その下に半導体装置が配置されている場合よりも大きな応力を受けるが、上記方法では、その応力を低減することができる。

【0047】

上記方法の効果は、スタック型半導体装置パッケージが本発明の構造を備えることに起因する信頼性の向上であり、顕著な効果である。

【0048】

また、本発明に係るスタック型半導体装置パッケージの製造方法は、前記第1の接続工程の後に、前記半導体装置パッケージと第1の回路基板との間隙、および前記半導体装置パッケージにおける樹脂封止された上面に対して、第3の樹脂を注入する工程と、前記第3の樹脂により、前記半導体装置パッケージにおける樹脂封止された上面に前記第1の半導体装置を搭載する工程と、前記第1の半導体装置を搭載するための第3の樹脂と、前記間隙に注入された第3の樹脂とを一度に硬化させる工程とをさらに含んでいてもよい。

【0049】

上記方法によれば、特に第1の外部入出力端子にハンダボールからなる突起電極を設けた場合に、半導体装置パッケージにおける樹脂封止された上面に半導体装置を搭載するための接着材料と、内蔵半導体パッケージのアンダーフィルの両方を、同一の工程（ディスプレイ工程）にて注入（塗布）した第3の樹脂で兼用している。これにより、工程数を削減し、製造の効率化を測ることができる。上記方法の効果は、スタック型半導体装置パッケージが本発明の構造を備えることに起因する製造の効率化であり、顕著な効果である。

10

20

30

40

50

## 【0050】

また、本発明に係るスタック型半導体装置パッケージの製造方法は、前記第1の接続工程の前に、前記第1の回路基板における前記半導体パッケージが搭載される領域に第3の樹脂を配置する工程をさらに含んでいてもよい。

## 【0051】

本発明に係るスタック型半導体装置パッケージは、複数の半導体装置をパッケージ化することなく積層したスタック型半導体装置パッケージと比較すると、厚み（高さ）が厚く（高く）なる。上記方法では、第1の外部入出力端子が突出している構造（第1の回路基板側の面において、第1の外部入出力端子の表面が、第1の外部入出力端子が配置されていない部分の表面よりも突出している構造）の半導体装置パッケージ、あるいは第1の接続パッドが突出している構造（第1面において、第1の接続パッドの表面が、第1の接続パッドが配置されていない部分の表面よりも突出している構造）の第1の回路基板を用いた場合に、後述するようにハンダ接続を不要とすることが可能である。ハンダ接続を不要とすれば、全体の厚み（高さ）を薄く（低く）抑えることができる。

10

## 【0052】

また、本発明に係る第3の樹脂を用いるスタック型半導体装置パッケージの製造方法では、前記第3の樹脂として異方性導電接着剤を用いてもよい。

## 【0053】

本発明に係るスタック型半導体装置パッケージは、複数の半導体装置をパッケージ化することなく積層したスタック型半導体装置パッケージと比較すると、厚み（高さ）が厚く（高く）なる。しかしながら、上記方法によれば、第1の外部入出力端子が突出している構造の半導体装置パッケージ、あるいは第1の接続パッドが突出している構造の第1の回路基板を用いた場合に、ハンダ接続が不要となるので、全体の厚み（高さ）を薄く（低く）抑えることができる。

20

## 【0054】

また、本発明に係るスタック型半導体装置パッケージの製造方法において、前記第1の接続工程では、第1の外部入出力端子上にハンダボールからなる突起電極を設け、該突起電極を溶融させることなく前記半導体装置パッケージを第3の樹脂を介して前記第1の回路基板に圧接することにより、前記第1の外部入出力端子と前記第1の接続パッドとを接続してもよい。

30

## 【0055】

本発明に係るスタック型半導体装置パッケージにおいて、汎用のハンダボール付の半導体装置パッケージを内蔵する場合、該半導体装置パッケージの端子ピッチが細かく、かつリフロー接続時に第1の回路基板が反ると、接続不良が発生する。特に第1の回路基板が薄い場合に、発生確率が増加する。

## 【0056】

上記方法では、リフロー接続せず、ハンダボールを溶融させることなく、第3の樹脂としての、異方性導電性フィルム（ACF）や異方性導電性ペースト（ACP）、もしくは非導電性フィルム（NCF）や非導電性ペースト（NCP）を介して前記半導体装置パッケージを第1の回路基板に圧接することで、上記の接続不良が発生するという問題を解決することができる。上記方法は、本発明の構造において汎用のハンダボール付の半導体装置パッケージを内蔵する場合に発生する問題を解決するものであり、顕著な効果を奏する。

40

## 【0057】

また、本発明に係るスタック型半導体装置パッケージの製造方法において、前記第1の接続工程では、第1の外部入出力端子上にハンダボールからなる突起電極を設け、該突起電極を溶融させることにより第1の接続パッドと接続してもよい。

## 【0058】

また、本発明に係るスタック型半導体装置パッケージの製造方法は、前記半導体装置パッケージにおける樹脂封止面上に、第1の配線を含む第1の金属細線接続用部材を接着す

50

る工程をさらに含み、前記第2の接続工程では、前記第1の配線を、前記第1の半導体装置の第1の電極および前記第1の回路基板上の第1の接続パッドのそれぞれと金属細線により電氣的に接続する方法であってもよい。

【0059】

また、本発明に係るスタック型半導体装置パッケージの製造方法は、前記第1の回路基板の第1面に、第2の配線を含む第2の金属細線接続用部材を接着する工程をさらに含み、前記第2の接続工程では、前記第2の配線を、前記第1の半導体装置の第1の電極および前記第1の回路基板上の第1の接続パッドのそれぞれと金属細線により電氣的に接続する方法であってもよい。

【0060】

本発明のスタック型半導体装置パッケージの製造方法は、前記第1の回路基板の第1面は、凹部を有し、前記第1の接続パッドは、凹部に配置されている一方、前記第2の接続パッドは、前記第1の回路基板の第1面における凹部以外の部分に配置され、かつ、前記複数の第1の電極表面を含む平面に対して、前記第1の接続パッドが形成された面よりも、高い位置に配置されている方法であってもよい。

【発明の効果】

【0061】

本発明によれば、前述したように、1種類の第1の回路基板を作製し、この第1の回路基板に半導体装置パッケージに半導体装置を積層して1種類のスタック型半導体装置パッケージを製造した後、他の種類の第2の半導体装置を含むスタック型半導体装置パッケージを製造する際に、第1の回路基板を再作製する必要がなくなる。そのため、本発明によれば、比較的少ない手間およびコストで、異なる種類の第2の半導体装置（例えば、製造メーカーの異なる半導体装置や、メモリ容量の異なるメモリ用半導体装置）を備えるスタック型半導体装置パッケージの構造および製造方法を提供できる。

【発明を実施するための最良の形態】

【0062】

〔実施の形態1〕

本発明の実施の一形態に係るスタック型半導体装置パッケージおよびその製造方法について、図1および図6～図15に基づいて説明すると以下の通りである。なお、本願の図面においては、見易くするために、樹脂のハッチングを省略している。

【0063】

図1は、本実施形態に係るスタック型半導体装置パッケージを示す断面図である。図1に示すように、本実施形態に係るスタック型半導体装置パッケージ100は、内蔵半導体装置パッケージ（半導体装置パッケージ）1と、内蔵半導体装置パッケージ1上に積み重ねられた少なくとも1つの半導体装置（第1の半導体装置）2と、内蔵半導体装置パッケージ1を搭載するための回路基板（第1の回路基板）11とを備えている。図1の「1」は、内部構造を限定しない抽象的な内蔵パッケージを示している。

【0064】

内蔵半導体装置パッケージ1は、半導体装置2と回路基板11との間に配置されている。本実施の形態では、内蔵半導体装置パッケージ1を回路基板11の面内方向（面11bの方向；以下、「平面方向」と称する）に沿って切断した断面のサイズは、半導体装置2を平面方向に沿って切断した断面のサイズより大きく、したがって、内蔵半導体装置パッケージ1における半導体装置2側の面（モールド面）1aの外周部は、半導体装置2と回路基板11とに挟まれた領域からはみ出している。内蔵半導体装置パッケージ1の構造については、後述する。なお、内蔵半導体装置パッケージ1を平面方向に沿って切断した断面のサイズは、半導体装置2を平面方向に沿って切断した断面のサイズ以下であっても構わない。内蔵半導体装置パッケージ1は、その回路基板11の面11a側の面上に、第1の外部入出力端子としての複数の外部入出力端子（電極、接続パッド）3を有する。

【0065】

半導体装置2は、複数の電極（第1の電極）4をその内蔵半導体装置パッケージ1側の

10

20

30

40

50

面（素子面）2 a 上に有する IC（集積回路）チップである。

【0066】

回路基板 1 1 を回路基板 1 1 の面内方向（第 2 の面 1 1 b の方向；以下、「平面方向」と称する）に沿って切断した断面のサイズは、内蔵半導体装置パッケージ 1 を平面方向に沿って切断した断面のサイズより大きく、したがって、回路基板 1 1 における内蔵半導体装置パッケージ 1 側の面（第 1 の面）1 1 a の外周部は、内蔵半導体装置パッケージ 1 と重なる領域からはみ出している。

【0067】

回路基板 1 1 は、絶縁基板に対し、図示しないスルーホールを形成したものである。回路基板 1 1 における内蔵半導体装置パッケージ 1 側の面（第 1 の面）1 1 a 上には、内蔵半導体装置パッケージ 1 の対応する外部入出力端子 3 に対してそれぞれ電氣的に接続された複数の第 1 の接続パッド 6 と、半導体装置 2 の対応する電極 4 に対してそれぞれ電氣的に接続された複数の第 2 の接続パッド 7 とが配置されている。

【0068】

上記複数の第 1 の接続パッド 6 は、内蔵半導体装置パッケージ 1 の外部入出力端子 3 に対応して配置されている。ここでは、これら複数の第 1 の接続パッド 6 は、回路基板 1 1 における内蔵半導体装置パッケージ 1 側の面（第 1 の面）1 1 a 上における内蔵半導体装置パッケージ 1 と重なる領域に配置されている。上記複数の第 1 の接続パッド 6 は、それに対応する内蔵半導体装置パッケージ 1 の外部入出力端子 3 に対して、通常、SMT（Surface Mount Technology）を用いて接続される。ここでは、突起電極 5 としてハンダボールを使用している。

【0069】

上記複数の第 2 の接続パッド 7 は、回路基板 1 1 の第 1 の面 1 1 a 上における第 1 の接続パッド 6 の外周、すなわち回路基板 1 1 の第 1 の面 1 1 a 上における第 1 の接続パッド 6 より外側の位置に形成されている。ここでは、これら複数の第 2 の接続パッド 7 は、回路基板 1 1 における内蔵半導体装置パッケージ 1 側の面（第 1 の面）1 1 a の外周部（内蔵半導体装置パッケージ 1 と重なる領域からはみ出した部分）に配置されている。上記複数の第 2 の接続パッド 7 は、それに対応する半導体装置 2 の電極 4 に対して、ワイヤーボンディング方式で、より詳細には金属細線 8 により第 2 の接続パッド 7 と電極 4 とを接続する方式で、電氣的に接続されている。金属細線 8 の構成材料としては、通常、金線が使用されるが、銅やアルミニウム等のような他の金属も使用できる。

【0070】

一方、回路基板 1 1 における内蔵半導体装置パッケージ 1 側の面 1 1 a に対する裏面（第 2 の面）1 1 b 上には、複数の外部入出力端子 1 2（第 2 の外部入出力端子）が配置されている。上記複数の外部入出力端子 1 2 は、図示しないスルーホールを介して第 1 の接続パッド 6 および第 2 の接続パッド 7 にそれぞれ電氣的に接続されている。

【0071】

回路基板 1 1 の表層には、絶縁膜（絶縁体層）1 2 1・1 2 2 が形成されている。すなわち、回路基板 1 1 の面 1 1 a 上における第 1 の接続パッド 6 および第 2 の接続パッド 7 の何れも配置されていない領域は、絶縁膜 1 2 1 で覆われている。これにより、絶縁膜 1 2 1 は、突起電極 5 にハンダボールを用いる場合は、半導体装置パッケージ搭載時のハンダの流れ出しを防止するソルダレジストとして機能する。また、回路基板 1 1 の面 1 1 b 上における外部入出力端子 1 2 が配置されていない領域は、絶縁膜 1 2 2 で覆われている。これにより、絶縁膜 1 2 2 は、突起電極 1 3 にハンダボールを用いる場合は、半導体装置パッケージ搭載時のハンダの流れ出しを防止するソルダレジストとして機能する。尚、接続パッド 6 や外部入力端子 1 2 の形状により、絶縁膜 1 2 1・1 2 2 は、省略可能である。

【0072】

外部入出力端子 1 2 の上には、突起電極 1 3 としてハンダボールが形成されている。スタック型半導体装置パッケージ 1 0 0 は、半導体装置 2 および内蔵半導体装置パッケージ

10

20

30

40

50

ジ 1 を覆うように封止する封止樹脂（第 1 の樹脂）10 をさらに備えている。封止樹脂 10 は、内蔵半導体装置パッケージ 1 と回路基板 11 との間隙にも形成されている。

【0073】

また、内蔵半導体装置パッケージ 1 における半導体装置 2 側の面（モールド面）1a と半導体装置 2 における内蔵半導体装置パッケージ 1 側の面（裏面）2b とは、少なくとも 1 箇所にて接着シート（接着材料）9 によって接着されている。

【0074】

内蔵半導体装置パッケージ 1 の具体的な構造例を、図 6 に基づいて説明する。図 6 に示すように、本例の内蔵半導体装置パッケージ 1 は、上記複数の外部入出力端子 3 に加えて、半導体装置（第 2 の半導体装置；IC チップ）101 と、半導体装置 101 上に積み重ねられた半導体装置 102 と、半導体装置 101 を搭載するための回路基板（第 2 の回路基板）111 とを備えている。

10

【0075】

半導体装置 101 は、半導体装置 102 と回路基板 111 との間に配置されている。半導体装置 101 を回路基板 111 の面内方向（面 111b の方向；以下、「平面方向」と称する）に沿って切断した断面のサイズは、半導体装置 102 を平面方向に沿って切断した断面のサイズより大きく、したがって、半導体装置 101 における半導体装置 102 側の面 101a の外周部は、半導体装置 102 と回路基板 111 とに挟まれた領域からはみ出している。半導体装置 101 は、その回路基板 111 の面 111a 側の面上に、複数の電極（第 2 の電極）103 を有する IC チップである。

20

【0076】

半導体装置 102 は、複数の電極 104 をその半導体装置 102 側の面（素子面）上に有する IC チップである。

【0077】

回路基板 111 を回路基板 111 の面内方向（第 2 の面 111b の方向；以下、「平面方向」と称する）に沿って切断した断面のサイズは、半導体装置 101 を平面方向に沿って切断した断面のサイズより大きく、したがって、回路基板 111 における半導体装置 101 側の面 111a の外周部は、半導体装置 101 と重なる領域からはみ出している。

【0078】

回路基板 111 は、絶縁基板に対し、図示しないスルーホールを形成したものである。回路基板 111 における半導体装置 101 側の面 111a 上には、半導体装置 101 の対応する電極 103 に対してそれぞれ電氣的に接続された複数の第 1 の接続パッド（第 3 の接続パッド）106 と、半導体装置 102 の対応する電極 104 に対してそれぞれ電氣的に接続された複数の第 2 の接続パッド 107 とが配置されている。

30

【0079】

上記複数の第 1 の接続パッド 106 は、半導体装置 101 の電極 103 に対応して配置されている。ここでは、これら複数の第 1 の接続パッド 106 は、回路基板 111 における半導体装置 101 側の面（第 3 の面）111a 上における半導体装置 101 と重なる領域に配置されている。上記複数の接続パッド 106 は、それに対応する半導体装置 101 の電極 103 に対して、突起電極 116 によりフリップチップ方式で接続されている。

40

【0080】

上記複数の第 2 の接続パッド 107 は、回路基板 111 の面 111a 上における第 1 の接続パッド 106 の外周、すなわち回路基板 111 の面 111a 上における第 1 の接続パッド 6 より外側の位置に形成されている。ここでは、これら複数の第 2 の接続パッド 107 は、回路基板 111 における半導体装置 101 側の面（第 3 の面）111a の外周部（半導体装置 101 と重なる領域からはみ出した部分）に配置されている。上記複数の第 2 の接続パッド 107 は、それに対応する半導体装置 102 の電極 104 に対して、ワイヤーボンディング方式で、より詳細には金属細線 108 により第 2 の接続パッド 107 と電極 104 とを接続する方式で、電氣的に接続されている。金属細線 108 の構成材料としては、通常、金線が使用されるが、銅やアルミニウム等のような他の金属も使用できる。

50

## 【0081】

一方、回路基板111における半導体装置101側の面111aに対する裏面(第4の面)111b上には、前記の複数の外部入出力端子3(第1の外部入出力端子)が配置されている。上記複数の外部入出力端子3は、図示しないスルーホールを介して第1の接続パッド106および第2の接続パッド107にそれぞれ電氣的に接続されている。

## 【0082】

回路基板111の表層には、絶縁膜が形成されているが、接続パッド106や外部入力端子3の形状により、絶縁膜は、省略可能である。

## 【0083】

内蔵半導体装置パッケージ1は、半導体装置102および半導体装置101を覆うように封止する封止樹脂(第2の樹脂)110と、半導体装置101と回路基板111との間隙に介在する封止樹脂115とをさらに備えている。 10

## 【0084】

また、半導体装置101における半導体装置102側の面101aと半導体装置102における半導体装置101側の面(裏面)102bとは、少なくとも1箇所では接着材料109によって接着されている。

## 【0085】

内蔵半導体装置パッケージ1は、同種の複数のメモリで構成されたメモリパッケージ、または異種のメモリで構成した複合メモリパッケージである。例えば、内蔵半導体装置パッケージ1は、メモリ素子としてのSDRAM(Synchronous Dynamic Random Access Memory)とフラッシュメモリとの複合メモリであり、半導体装置2は、論理素子としてのDSP(Digital Signal Processor; デジタル信号処理回路)である。 20

## 【0086】

なお、ここでは、本発明のスタック型半導体装置パッケージを構成する半導体装置パッケージ1の例として、図6に示す2つの半導体装置を備える内蔵半導体装置パッケージ1(BGAの一種)を使用した。少なくとも1つの半導体装置を備えるCSP、BGA、またはLGAのパッケージであれば、特に制限なく使用可能である。本実施形態のスタック型半導体装置パッケージを構成するのに使用可能な他の半導体装置パッケージとしては、図11~図15に示す内蔵半導体装置パッケージ1A~1Eが挙げられる。これら内蔵半導体装置パッケージ1および1A~1Eとしては、汎用のパッケージを流用することが可能である。汎用のパッケージとしては、例えば、図10に示すような形態で単体で実装基板19に実装される汎用の内蔵半導体装置パッケージ1が挙げられる。 30

## 【0087】

内蔵半導体装置パッケージ1Aは、2つの半導体装置を備えるBGAまたはCSPである。内蔵半導体装置パッケージ1Aは、センターパッドを有する半導体装置、たとえばDRAM(Dynamic Random Access Memory)をフリップチップ接続した複合メモリの構造である。

## 【0088】

内蔵半導体装置パッケージ1Bは、2つの半導体装置を備えるBGAまたはCSPである。内蔵半導体装置パッケージ1Bは、同サイズの半導体装置を積層したパッケージである。例えば半導体装置102と120を同じ半導体装置をもちいて、メモリ容量を倍化しても良い。また、半導体装置120を102に対してミラー反転した半導体装置を使用し、回路基板111の配線の簡略化を行っても良い。 40

## 【0089】

内蔵半導体装置パッケージ1Cは、1つの半導体装置を備えるBGAまたはCSPである。内蔵半導体装置パッケージ1Cは、単品の半導体装置をワイヤボンディング方式でパッケージ化したものを示す。

## 【0090】

内蔵半導体装置パッケージ1D、1Eは、2つまたは3つの半導体装置を備えるBGAまたはCSPである。該内蔵半導体装置パッケージは、ワイヤボンディング方式のみを用 50



いて積層したものであり、積層数を限定するものではなく、また該内蔵半導体パッケージは、複合メモリだけで無く、S i P化されたパッケージでも良い。

【0091】

また、内蔵半導体装置パッケージ1では、外部入出力端子3は内蔵半導体装置パッケージ表面の絶縁膜の表面から突出していなかったが、内蔵半導体装置パッケージ1における外部入出力端子3自体を、メッキなどにより、内蔵半導体装置パッケージ表面の絶縁膜（ソルダレジストなど）の表面よりも突出させた構造としてもよい。また、逆に、回路基板11における内蔵半導体装置パッケージ1側の表面において、第1の接続パッド6が配置されている部分の表面が、第1の接続パッド6が配置されていない部分の表面よりも突出していてもよい。

10

【0092】

次に、図1に示すスタック型半導体装置パッケージ100を製造するための製造方法の一例を、図6から図9に基づいて説明する。図6から図8は、本実施形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図であり、図9は、本実施形態に係るスタック型半導体装置パッケージの完成した状態を示す断面図の一例である。

【0093】

まず、内蔵半導体装置パッケージ1と、（第1の接続パッド6、第2の接続パッド7、および絶縁膜121・122がその上に形成された）回路基板11とを用意する。内蔵半導体装置パッケージ1および回路基板11の製造方法としては、特許文献1等に記載された公知の種々の方法を採用できる。

20

【0094】

次に、図6に示すように、回路基板11上の第1の接続パッド6に対して、内蔵半導体装置パッケージ1の外部入出力端子3をハンダ接続する。この場合には、突起電極5としてハンダボールを用いて第1の接続パッド6に外部入出力端子3をハンダ接続する。

【0095】

上記接続の方法としては、以下の方法（1）～（5）が採用できる。

【0096】

（1）あらかじめ外部入出力端子3上に突起電極5としてハンダボールが形成された状態の内蔵半導体装置パッケージ1を使用し、第1の接続パッド6にハンダペーストを印刷し、第1の接続パッド6と内蔵半導体装置パッケージ1の突起電極5（ハンダボール）との位置合わせを行い、内蔵半導体装置パッケージ1を回路基板11上にマウント（搭載）した後、リフロー炉に入れて加熱することによりハンダペーストおよびハンダボール（突起電極5）を熔融させることで、リフロー接続する方法。

30

【0097】

（2）L G A（Land Grid Array）構造、すなわち、あらかじめ外部入出力端子3上に突起電極5としてハンダボールが形成されていない状態の内蔵半導体装置パッケージを用い、第1の接続パッド6にハンダペーストを印刷し、第1の接続パッド6と内蔵半導体装置パッケージ1の外部入出力端子3（L G Aのランド）との位置合わせを行い、内蔵半導体装置パッケージ1を回路基板11上にマウントした後、リフロー炉に入れて加熱することによりハンダペーストを熔融させることで、リフロー接続する方法。

40

【0098】

（3）あらかじめ外部入出力端子3上に突起電極5としてハンダボールが形成された状態の内蔵半導体装置パッケージを使用し、第1の接続パッド6にフラックスを塗布し、第1の接続パッド6と内蔵半導体装置パッケージ1の突起電極5（ハンダボール）との位置合わせを行い、内蔵半導体装置パッケージ1を回路基板11上にマウントした後、リフロー炉に入れて加熱することによりハンダボール（突起電極5）を熔融させることで、リフロー接続する方法。

【0099】

（4）内蔵半導体装置パッケージ1の突起電極5（ハンダボール）と回路基板11上の第1の接続パッド6とを、フリップチップボンダーを用いたツールボンダ（熱および/ま

50

たは荷重による接続)により接続する方法。

【0100】

(5)内蔵半導体装置パッケージ1の突起電極5(ハンダボール)と回路基板11上の第1の接続パッド6とを、超音波フリップチップボンダーを用いたツールボンド(超音波のみによる接続、または超音波と熱および/または荷重との組み合わせによる接続)により接合する方法。

【0101】

また、突起電極5としてハンダボールに代えて金バンプを備える以外は図1に示すスタック型半導体装置パッケージ100と同一の構成を備えるスタック型半導体装置パッケージを製造する場合には、(6)突起電極5としてハンダボールに代えて金バンプを形成し、内蔵半導体装置パッケージ1の突起電極5(金バンプ)と回路基板11上の第1の接続パッド6とを、超音波フリップチップボンダーを用いたツールボンド(超音波のみによる接続、または超音波と熱および/または荷重との組み合わせによる接続)により接続する方法、が採用できる。

10

【0102】

また、突起電極5を備えない以外は図1に示すスタック型半導体装置パッケージ100と同一の構成を備えるスタック型半導体装置パッケージを製造する場合には、(7)内蔵半導体装置パッケージ1における外部入出力端子3自体を、メッキなどにより、内蔵半導体装置パッケージ1表面の絶縁膜(ソルダレジストなど)の表面よりも突出させ、内蔵半導体装置パッケージ1の外部入出力端子3と回路基板11上の第1の接続パッド6とを、超音波フリップチップボンダーを用いたツールボンド(超音波のみによる接続、または超音波と熱および/または荷重との組み合わせによる接続)により接続する方法、が採用できる。この方法では、突起電極5の形成無しに外部入出力端子3と第1の接続パッド6とを接続できる。

20

【0103】

次に、図7に示すように、内蔵半導体装置パッケージ1の上面(外部入出力端子3が配設された面の裏面)に、半導体装置2を接着材料にて接着する。図7では、あらかじめ半導体装置2の裏面(電極4が配設された面の裏面)に接着シート(接着材料)9を配置した後、半導体装置2を内蔵半導体装置パッケージ1の上面に載せ加熱することで、接着している。上記接着材料による接着の方法は、上述した方法に限られるものではなく、接着シート9を内蔵半導体装置パッケージ1の上面(外部入出力端子3が配設された面の裏面)に貼り付けた後、半導体装置2を接着シート9上に載せ加熱することで接着しても良い。また、後述する図2のスタック型半導体装置パッケージと同様に、接着シート9に代えて、液状接着樹脂(液状接着材料、接着材料)14を用いて半導体装置2を内蔵半導体装置パッケージ1の上面に接着してもよい。

30

【0104】

次に、図8に示すように、前記搭載された半導体装置2の電極4と、回路基板11上に形成された第2の接続パッド7とを金属細線8によって電氣的に接続する。

【0105】

その後、図9に示すように、内蔵半導体装置パッケージ1、半導体装置2、および金属細線8を含むスタック型半導体装置パッケージの搭載要素全体を熱硬化性の封止樹脂10で封止する。該封止方法は、樹脂ペレットを用いたトランスファーモールド成形でもいいし、液状樹脂をポッティングする方法でもよい。

40

【0106】

最後に、図9に示すように、第1の接続パッド6と電氣的に接続された外部入出力端子12、および第2の接続パッド7と電氣的に接続された外部入出力端子12の上に、突起電極13としてハンダボールを形成する。なお、この工程は、スタック型半導体装置パッケージをBGAパッケージとするための工程であり、スタック型半導体装置パッケージをLGAパッケージとする場合には、不要である。

【0107】

50

## 〔実施の形態 2〕

本発明の他の実施形態に係るスタック型半導体装置パッケージおよびその製造方法について、図 2、図 10 ~ 図 20 に基づいて説明すると以下の通りである。なお、説明の便宜上、前記実施の形態 1 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

## 【0108】

図 2 は、本実施形態に係るスタック型半導体装置パッケージを示す断面図である。図 2 に示すように、本実施形態に係るスタック型半導体装置パッケージは、(1) 内蔵半導体装置パッケージ 1 と半導体装置 2 とを接着する接着材料として接着シート 9 に代えて液状樹脂 (液状接着材料、接着材料、第 3 の樹脂) 15 を備える点、(2) 内蔵半導体装置パッケージ 1 と回路基板 11 との間隙に、封止樹脂 10 に代えて硬化した液状樹脂 (第 3 の樹脂) 15 を介在させている点、を除いて、実施の形態 1 に係るスタック型半導体装置パッケージ 100 と同一の構成を備えている。

10

## 【0109】

半導体装置 2 および内蔵半導体装置パッケージ 1 を覆う封止樹脂 10 としては、吸湿性の低いエポキシ等を用いることができる。また、封止樹脂 10 として、従来から一般の LSI パッケージに用いられているモールド樹脂を使用することにより、現行のプロセスと整合性のすぐれたアセンブリ工程を実現できる。

## 【0110】

内蔵半導体装置パッケージ 1 と回路基板 11 との間隙に介在する液状樹脂 15 としては、例えば、エポキシ等の熱硬化性樹脂や、フリップチップや CSP 用途のアンダーフィル材を用いることができる。

20

## 【0111】

なお、ここでは、本実施形態のスタック型半導体装置パッケージを構成する半導体装置パッケージ 1 としては、少なくとも 1 つの半導体装置を備える CSP、BGA、または LGA のパッケージであれば、特に制限なく使用可能である。本実施形態で使用可能な半導体装置パッケージとしては、図 6 に示す内蔵半導体装置パッケージ 1、図 11 ~ 図 15 に示す内蔵半導体装置パッケージ 1A ~ 1E が挙げられる。これら内蔵半導体装置パッケージ 1 および 1A ~ 1E としては、汎用のパッケージを流用することが可能である。汎用のパッケージとしては、例えば、図 10 に示すような形態で単体で実装基板 19 に実装される汎用の内蔵半導体装置パッケージ 1 が挙げられる。

30

## 【0112】

また、ここでは液状接着材料として液状樹脂 15 を用いたが、図 2 に括弧書きで示すように、液状接着材料として、液状樹脂 15 に代えて、液状樹脂 15 と異なる液状接着樹脂 (液状接着材料、接着材料) 14 を使用することも可能である。さらに、液状接着材料に代えて、実施の形態 1 で説明した接着シート (接着材料) 9 を用いることも可能である。

## 【0113】

次に、図 2 に示すスタック型半導体装置パッケージを製造するための製造方法の一例を、図 16 から図 20 に基づいて説明する。図 16 から図 19 は、本実施形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図であり、図 20 は、本実施形態に係るスタック型半導体装置パッケージの完成した状態を示す断面図である。なお、図 16 から図 20 では、内蔵半導体装置パッケージ 1 が内蔵半導体装置パッケージ 1D である場合について図示している。

40

## 【0114】

まず、内蔵半導体装置パッケージ 1 と、(第 1 の接続パッド 6、第 2 の接続パッド 7、および絶縁膜 121・122 がその上に形成された) 回路基板 11 とを用意する。内蔵半導体装置パッケージ 1 および回路基板 11 の製造方法としては、特許文献 1 等に記載された公知の種々の方法を採用できる。

## 【0115】

次に、図 16 に示すように、回路基板 11 上の第 1 の接続パッド 6 に対して、内蔵半導

50

体装置パッケージ 1 の外部入出力端子 3 を突起電極 5 で接続する。この場合には、突起電極 5 としてハンダボールを用いて第 1 の接続パッド 6 に外部入出力端子 3 をハンダ接続する。

【0116】

上記接続の方法としては、実施の形態 1 で述べた (1) ~ (5) の方法が採用できる。

【0117】

また、突起電極 5 としてハンダボールに代えて金バンプを備える以外は図 1 に示すスタック型半導体装置パッケージと同一の構成を備えるスタック型半導体装置パッケージを製造する場合には、実施の形態 1 で述べた (6) の方法が採用できる。また、突起電極 5 を備えない以外は図 1 に示すスタック型半導体装置パッケージと同一の構成を備えるスタック型半導体装置パッケージを製造する場合には、実施の形態 1 で述べた (7) の方法が採用できる。この方法では、突起電極 5 の形成無しに外部入出力端子 3 と第 1 の接続パッド 6 とを接続できる。

10

【0118】

次に、図 17 に示すように、ディスペンサ 20 にて、内蔵半導体装置パッケージ 1 の上面 (外部入出力端子 3 が配設された面の裏面) に未硬化の液状樹脂 15 を塗布すると同時に、内蔵半導体装置パッケージ 1 と回路基板 11 との間隙にも未硬化の液状樹脂 15 を充填する。液状樹脂 15 としては、未硬化の熱硬化性樹脂を使用することができる。

【0119】

次に、図 18 に示すように、半導体装置 2 を、液状樹脂 15 を介して内蔵半導体装置パッケージ 1 上にマウント (搭載) した後、オープンなどで加熱することにより液状樹脂 15 を硬化させる。これにより、硬化した液状樹脂 15 によって、半導体装置 2 が内蔵半導体装置パッケージ 1 の上面 (外部入出力端子 3 が配設された面の裏面) に接着される。このとき、内蔵半導体装置パッケージ 1 と回路基板 11 との間隙に充填された液状樹脂 15 も同時に硬化する。なお、液状接着材料として、液状樹脂 15 に代えて、液状樹脂 15 と異なる液状接着樹脂 (液状接着材料、接着材料) 14 を使用する場合には、液状接着樹脂 14 の塗布・硬化を液状樹脂 15 の塗布・硬化の前または後に行なえばよい。

20

【0120】

次に、図 19 に示すように、前記搭載された半導体装置 2 の電極 4 と、回路基板 11 上に形成された第 2 の接続パッドとを金属細線 8 によって電氣的に接続する。

30

【0121】

その後、図 20 に示すように、内蔵半導体装置パッケージ 1、半導体装置 2、および金属細線 8 を含むスタック型半導体装置パッケージの搭載要素全体を熱硬化性の封止樹脂 10 で封止する。該封止方法は、樹脂ペレットを用いたトランスファーマールド成形でもよいし、液状樹脂をポッティングした封止方法でもよい。

【0122】

最後に、図 20 に示すように、第 1 の接続パッド 6 と電氣的に接続された外部入出力端子 12、および第 2 の接続パッド 7 と電氣的に接続された外部入出力端子 12 の上に、突起電極 13 としてハンダボールを形成する。なお、この工程は、スタック型半導体装置パッケージを BGA パッケージとするための工程であり、スタック型半導体装置パッケージを LGA パッケージとする場合には、不要である。

40

【0123】

〔実施の形態 3〕

本発明のさらに他の実施形態に係るスタック型半導体装置パッケージおよびその製造方法について、図 3、図 10、図 11、および図 21 ~ 図 26 に基づいて説明すると以下の通りである。なお、説明の便宜上、前記実施の形態 1 または 2 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0124】

図 3 は、本実施形態に係るスタック型半導体装置パッケージを示す断面図である。図 3 に示すように、本実施形態に係るスタック型半導体装置パッケージは、(1) ハンダボ-

50

ルである突起電極 5 に代えて、突起電極 16 を備える点、(2) 内蔵半導体装置パッケージ 1 と回路基板 11 との間隙に介在する液状樹脂 15 に代えて異方性導電接着剤 (ACA (Anisotropic Conductive Adhesive)) 21 を備える点、(3) 内蔵半導体装置パッケージ 1 と半導体装置 2 とを接着する接着材料として、液状樹脂 15 に代えて接着シート 9 を備える点、を除いて、実施の形態 2 に係るスタック型半導体装置パッケージと同一の構成を備えている。

#### 【0125】

本実施形態では、LGA のパッケージを用いる。また、ハンダボールである突起電極 5 を設けていない状態の内蔵半導体装置パッケージ 1 を使用する。なお、本実施形態のスタック型半導体装置パッケージを構成する半導体装置パッケージ 1 としては、少なくとも 1 つの半導体装置を備える LGA のパッケージであれば、特に制限なく使用可能である。本実施形態のスタック型半導体装置パッケージを構成するのに使用可能な半導体装置パッケージ 1 としては、図 6 に示す内蔵半導体装置パッケージ 1 を突起電極 5 を設けていない状態としたもの、図 11 に示す内蔵半導体装置パッケージ 1A、図 12 ~ 図 15 に示す内蔵半導体装置パッケージ 1B ~ 1E を突起電極 5 を設けていない状態としたもの、が挙げられる。これら内蔵半導体装置パッケージ 1 および 1A ~ 1E としては、汎用のパッケージを流用することが可能である。汎用のパッケージとしては、例えば、図 10 に示すような形態で単体で実装基板 19 に実装される汎用の内蔵半導体装置パッケージ 1 が挙げられる。

#### 【0126】

次に、図 3 に示すスタック型半導体装置パッケージを製造するための製造方法の一例を、図 21 から図 26 に基づいて説明する。図 21 から図 25 は、本実施形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図であり、図 26 は、本実施形態に係るスタック型半導体装置パッケージの完成した状態を示す断面図である。

#### 【0127】

まず、突起電極 5 を設けていない状態の内蔵半導体装置パッケージ 1 を用意する。突起電極 5 を設けていない状態の内蔵半導体装置パッケージ 1 の製造方法としては、特許文献 1 等に記載された公知の種々の方法を採用できる。また、(第 1 の接続パッド 6、第 2 の接続パッド 7、および絶縁膜 121・122 がその上に形成された) 回路基板 11 を用意する。回路基板 11 の製造方法としては、特許文献 1 等に記載された公知の種々の方法を採用できる。

#### 【0128】

次に、図 21 に示すように、回路基板 11 の第 1 の接続パッド 6 上に突起電極 16 を形成する。突起電極 16 を形成する方法としては、(1) 回路基板 11 の形成時に金属層をエッチングすることにより、第 1 の接続パッド 6 を絶縁膜 121 よりも突出させるように形成し、突出した部分を突起電極 16 として使用する方法、(2) 回路基板 11 の形成時に第 1 の接続パッド 6 をメッキすることにより第 1 の接続パッド 6 上のメッキ層を絶縁膜 121 よりも突出させて、このメッキ層を突起電極 16 として使用する方法、(3) 回路基板 11 の形成後に、金 (Au) ワイヤなどを使用してスタッドバンプにより突起電極 16 を形成する方法、などが採用できる。

#### 【0129】

次に、図 22 に示すように、回路基板 11 の面 11a 上に、第 3 の樹脂として、異方性導電接着剤 21 を配置する。異方性導電接着剤 21 としては、異方性導電性フィルム (ACF (Anisotropic Conductive Film)) や異方性導電性ペースト (ACP (Anisotropic Conductive Paste)) 等を用いることができる。異方性導電接着剤 21 の配置方法としては、回路基板 11 の面 11a 上に異方性導電性フィルムを貼り付ける方法や、異方性導電性ペーストを塗布する方法等を採用することができる。

#### 【0130】

次に、図 23 に示すように、回路基板 11 上の第 1 の接続パッド 6 上に形成された突起電極 16 と、突起電極 5 を形成していない内蔵半導体装置パッケージ 1D の外部入出力端

10

20

30

40

50

子 3 とを位置合わせし、突起電極 1 6 と外部入出力端子 3 とを異方性導電接着剤 2 1 を介して接続する。接続方法としては、( 1 ) フリップチップボンダーを用いて突起電極 1 6 と外部入出力端子 3 とを異方性導電接着剤 2 1 を介して、熱および/または荷重を用いて接合する方法、( 2 ) 超音波フリップチップボンダーを用いて、超音波のみ、または超音波と熱および/または荷重との組み合わせにより、突起電極 1 6 と外部入出力端子 3 とを金属接合する方法、などを採用することができる。( 1 ) および( 2 ) の方法を採用する場合には、第 3 の樹脂として、異方性導電接着剤 2 1 に代えて、非導電性フィルム( N C F ( Non Conductive Film ) ) や非導電性ペースト( N C P ( Non Conductive Paste ) ) 等の絶縁材料を使用することが可能である。

#### 【 0 1 3 1 】

次に、図 2 4 に示すように、内蔵半導体装置パッケージ 1 D の上面( 外部入出力端子 3 が配設された面の裏面 ) に、半導体装置 2 を接着材料にて接着する。図 2 4 では、あらかじめ半導体装置 2 の裏面( 電極 4 が配設された面の裏面 ) に接着シート( 接着材料 ) 9 を配置した後、半導体装置 2 を内蔵半導体装置パッケージ 1 D の上面に載せ加熱することで、接着している。上記接着材料による接着の方法は、上述した方法に限られるものではなく、接着シート 9 を内蔵半導体装置パッケージ 1 D の上面( 外部入出力端子 3 が配設された面の裏面 ) に貼り付けた後、半導体装置 2 を接着シート 9 上に載せ加熱することで接着しても良い。また、図 2 のスタック型半導体装置パッケージと同様に、接着シート 9 に代えて、液状接着樹脂( 液状接着材料、接着材料 ) 1 4 を用いて半導体装置 2 を内蔵半導体装置パッケージ 1 D の上面に接着してもよい。

#### 【 0 1 3 2 】

次に、図 2 5 に示すように、前記搭載された半導体装置 2 の電極 4 と、回路基板 1 1 上に形成された第 2 の接続パッド 7 とを金属細線 8 によって電氣的に接続する。

#### 【 0 1 3 3 】

その後、図 2 6 に示すように、内蔵半導体装置パッケージ 1 D、半導体装置 2、および金属細線 8 を含むスタック型半導体装置パッケージの搭載要素全体を熱硬化性の封止樹脂 1 0 で封止する。該封止方法は、樹脂ペレットを用いたトランスファーモールド成形でもいいし、液状樹脂をポッティングする方法でもよい。

#### 【 0 1 3 4 】

最後に、図 2 6 に示すように、第 1 の接続パッド 6 と電氣的に接続された外部入出力端子 1 2、および第 2 の接続パッド 7 と電氣的に接続された外部入出力端子 1 2 の上に、突起電極 1 3 としてハンダボールを形成する。なお、この工程は、スタック型半導体装置パッケージを B G A パッケージとするための工程であり、スタック型半導体装置パッケージを L G A パッケージとする場合には、不要である。

#### 【 0 1 3 5 】

##### 〔 実施の形態 4 〕

本発明のさらに他の実施形態に係るスタック型半導体装置パッケージおよびその製造方法について、図 1 0 ~ 図 1 5、および図 2 7 ~ 図 3 2 に基づいて説明すると以下の通りである。なお、説明の便宜上、前記実施の形態 1 ~ 3 のいずれかにて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

#### 【 0 1 3 6 】

図 3 2 は、本実施形態に係るスタック型半導体装置パッケージを示す断面図である。図 3 2 に示すように、本実施形態に係るスタック型半導体装置パッケージは、( 1 ) 内蔵半導体装置パッケージ 1 D に代えて内蔵半導体装置パッケージ 1 E を備える点、( 2 ) 内蔵半導体装置パッケージ 1 E と回路基板 1 1 との間隙に介在する樹脂として、液状樹脂 1 5 に代えて異方性導電接着剤( A C A ( Anisotropic Conductive Adhesive ) ) 2 1 を備える点、を除いて、実施の形態 2 に係るスタック型半導体装置パッケージと同一の構成を備えている。

#### 【 0 1 3 7 】

本実施形態では、C S P または B G A の内蔵半導体装置パッケージ 1 を用いる。内蔵半

10

20

30

40

50

導体装置パッケージ 1 は、例えば、S R A M (Static Random Access Memory) と疑似 S R A M (Pseudo Static RAM) とフラッシュメモリ (Flash Memory) との 3 個のメモリからなる複合メモリであり、半導体装置 2 は A S I C (Application Specific Integrated Circuit) である。

#### 【0138】

本実施形態のスタック型半導体装置パッケージを構成する半導体装置パッケージ 1 としては、少なくとも 1 つの半導体装置を備える C S P または B G A のパッケージであれば、特に制限なく使用可能である。本実施形態のスタック型半導体装置パッケージを構成するのに使用可能な他の半導体装置パッケージ 1 としては、図 1 に示す内蔵半導体装置パッケージ 1、図 1 1 ~ 図 1 5 に示す内蔵半導体装置パッケージ 1 A ~ 1 E が挙げられる。これら内蔵半導体装置パッケージ 1 および 1 A ~ 1 E としては、汎用のパッケージを流用することが可能である。汎用のパッケージとしては、例えば、図 1 0 に示すような形態で単体で実装基板 1 9 に実装される汎用の内蔵半導体装置パッケージ 1 が挙げられる。図 4 では、図 1 5 に示す内蔵半導体装置パッケージ 1 E を使用した場合を図示している。

10

#### 【0139】

次に、図 3 2 に示すスタック型半導体装置パッケージを製造するための製造方法の一例を、図 2 7 から図 3 2 に基づいて説明する。図 2 7 から図 3 1 は、本実施形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

#### 【0140】

まず、内蔵半導体装置パッケージ 1 を用意する。内蔵半導体装置パッケージ 1 の製造方法としては、特許文献 1 等に記載された公知の種々の方法を採用できる。

20

#### 【0141】

また、図 2 7 に示すように、第 1 の接続パッド 6、第 2 の接続パッド 7、および絶縁膜 1 2 1・1 2 2 がその上に形成された回路基板 1 1 を用意する。回路基板 1 1 の製造方法としては、特許文献 1 等に記載された公知の種々の方法を採用できる。

#### 【0142】

次に、図 2 8 に示すように、回路基板 1 1 の面 1 1 a 上に、第 3 の樹脂として異方性導電接着剤 2 1 を配置する。異方性導電接着剤 2 1 としては、異方性導電性フィルム (A C F (Anisotropic Conductive Film)) や異方性導電性ペースト (A C P (Anisotropic Conductive Paste)) 等を用いることができる。異方性導電接着剤 2 1 の配置方法としては、回路基板 1 1 の面 1 1 a 上に異方性導電性フィルムを貼り付ける方法や、異方性導電性ペーストを塗布する方法等を採用することができる。

30

#### 【0143】

次に、図 2 9 に示すように、回路基板 1 1 上の第 1 の接続パッド 6 上に形成された突起電極 5 (ハンダボール) と、内蔵半導体装置パッケージ 1 の外部入出力端子 3 とを位置合わせし、突起電極 5 と外部入出力端子 3 とを異方性導電接着剤 2 1 を介して接続する。接続方法としては、(1) フリップチップボンダーを用いて突起電極 5 と接続パッド 6 とを異方性導電接着剤 2 1 を介して、熱および/または荷重を用いて接合する方法、(2) 超音波フリップチップボンダーを用いて、超音波のみ、または超音波と熱および/または荷重との組み合わせにより、突起電極 5 と接続パッド 6 とを金属接合する方法、などを採用することができる。(1) または (2) の方法を採用する場合には、第 3 の樹脂として、異方性導電接着剤 2 1 に代えて、非導電性フィルム (N C F (Non Conductive Film)) や非導電性ペースト (N C P (Non Conductive Paste)) 等の絶縁材料を使用することが可能である。

40

#### 【0144】

次に、図 3 0 に示すように、内蔵半導体装置パッケージ 1 の上面 (外部入出力端子 3 が配設された面の裏面) に、半導体装置 2 を接着材料にて接着する。図 3 0 では、あらかじめ半導体装置 2 の裏面 (電極 4 が配設された面の裏面) に接着シート (接着材料) 9 を配置した後、半導体装置 2 を内蔵半導体装置パッケージ 1 の上面に載せ加熱することで、接着している。上記接着材料による接着の方法は、上述した方法に限られるものではなく、

50

接着シート 9 を内蔵半導体装置パッケージ 1 の上面（外部入出力端子 3 が配設された面の裏面）に貼り付けた後、半導体装置 2 を接着シート 9 上に載せ加熱することで接着しても良い。また、図 2 のスタック型半導体装置パッケージと同様に、接着シート 9 に代えて、液状接着樹脂（液状接着材料、接着材料）14 を用いて半導体装置 2 を内蔵半導体装置パッケージ 1 の上面に接着してもよい。

【0145】

次に、図 3 1 に示すように、前記搭載された半導体装置 2 の電極 4 と、回路基板 11 上に形成された第 2 の接続パッド 7 とを金属細線 8 によって電氣的に接続する。

【0146】

その後、図 3 2 に示すように、内蔵半導体装置パッケージ 1、半導体装置 2、および金属細線 8 を含むスタック型半導体装置パッケージの搭載要素全体を熱硬化性の封止樹脂 10 で封止する。該封止方法は、樹脂ベレットを用いたトランスファーモールド成形でもよいし、液状樹脂をポッティングする方法でもよい。

【0147】

最後に、図 3 2 に示すように、第 1 の接続パッド 6 と電氣的に接続された外部入出力端子 12、および第 2 の接続パッド 7 と電氣的に接続された外部入出力端子 12 の上に、突起電極 13 としてハンダボールを形成する。なお、この工程は、スタック型半導体装置パッケージを BGA パッケージとするための工程であり、スタック型半導体装置パッケージを LGA パッケージとする場合には、不要である。

【0148】

〔実施の形態 5〕

本発明のさらに他の実施形態に係るスタック型半導体装置パッケージおよびその製造方法について、図 4 および図 5 に基づいて説明すると以下の通りである。なお、説明の便宜上、前記実施の形態 1 ~ 4 のいずれかにて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0149】

実施の形態 2 に係るスタック型半導体装置パッケージにおいて、内蔵半導体装置パッケージ 1 が半導体装置 2 に比べサイズが大きくなる場合、そのサイズの差が大きいほど、金属細線 8 が長くなる。そのため、封止樹脂 10 をトランスファーモールド成型等により成型する際、金属細線 8 が封止樹脂 10 に押し流され、ショートする恐れがある。特に、半導体装置 2 がロジックタイプの場合には、半導体装置 2 が狭ピッチおよび多ピンとなるため、ショートが起こる可能性が高くなる。

【0150】

また、図 5 に示す形態のように、複数の内蔵半導体装置パッケージ 1（図 5 では 2 個）の上に跨るように半導体装置 2 を搭載する場合にも、金属細線 8 が長くなる。そのため、封止樹脂 10 をトランスファーモールド成型等により成型する際、金属細線 8 が封止樹脂 10 に押し流され、ショートする恐れがある。

【0151】

これを防止するため、本実施形態では、図 4 に示すように、金属細線を経由するための部材として、ダミーチップ 17 を内蔵半導体装置パッケージ 1 の上面や、回路基板 11 上に配置し、ダミーチップ 17 内の配線 18 を経由させる。

【0152】

図 4 および図 5 は、本実施形態に係るスタック型半導体装置パッケージの構造を示す断面図である。図 4 に示すように、本実施形態に係るスタック型半導体装置パッケージは、実施の形態 2 に係るスタック型半導体装置パッケージに対し、内蔵半導体装置パッケージ 1 D における上面（半導体装置 2 側の面）上に配置された第 1 の金属細線接続用部材としてのダミーチップ 17 と、回路基板 11 の面（第 1 の面）11a 上に配置された第 2 の金属細線接続用部材としてのダミーチップ 17 A とを追加したものである。

【0153】

また、図 5 に示すように、本実施形態に係るスタック型半導体装置パッケージは、実施

10

20

30

40

50



の形態 3 に係るスタック型半導体装置パッケージに対し、(1) 内蔵半導体装置パッケージ 1 の数を 2 つに変更する、(2) 半導体装置 2 を両方の内蔵半導体装置パッケージ 1 における上面(半導体装置 2 側の面)上に跨って配置する、(3) 一方の内蔵半導体装置パッケージ 1 における上面(半導体装置 2 側の面)上に配置された第 1 の金属細線接続用部材としてのダミーチップ 17 を追加する、(4) 他方の内蔵半導体装置パッケージ 1 における上面(半導体装置 2 側の面)上に配置された第 1 の接続用部材としてのダミーチップ 17 とを追加する、という改変を施したものである。図 4 および図 5 に示すダミーチップ 17・17A の各々は、半導体装置 2 の電極 4 および第 2 の接続パッド 7 のそれぞれに金属細線 8 を介して接続された配線(第 1 の配線、第 2 の配線) 18 を含んでいる。

【0154】

図 4 に示す形態では、電極 4 と第 2 の接続パッド 7 とを繋ぐ配線のうち、封止樹脂 10 をトランスファーモールド成型等により成型する際に封止樹脂 10 によって押し流される可能性のある部分(金属細線 8)の長さを短くできる。その結果、封止樹脂 10 をトランスファーモールド成型等により成型する際、金属細線 8 が封止樹脂 10 に押し流され、ショートすることを防止できる。

【0155】

また、図 5 に示す形態のように、複数の内蔵半導体装置パッケージ 1 (図 5 では 2 個)の上に跨るように半導体装置 2 を搭載する場合にも、上記と同様に、電極 4 と第 2 の接続パッド 7 とを繋ぐ配線のうち、封止樹脂 10 をトランスファーモールド成型等により成型する際に封止樹脂 10 によって押し流される可能性のある部分(金属細線 8)の長さを短くできる。その結果、封止樹脂 10 をトランスファーモールド成型等により成型する際、金属細線 8 が封止樹脂 10 に押し流され、ショートすることを防止できる。

【0156】

上記の例では、第 1 の金属細線接続用部材および第 2 の金属細線接続用部材(金属細線の経由部材)として、半導体で形成されたダミーチップ 17・17A を用いたが、これに限らず、金属フレーム、ダミーの回路基板等を使用することも可能である。

【0157】

なお、図 4 に示すスタック型半導体装置パッケージは、実施の形態 2 の製造方法が備える各工程に加えて、内蔵半導体装置パッケージ 1 における半導体装置 2 側の面に対して配線 18 を含むダミーチップ 17 を接着する工程と、回路基板 11 の面(第 1 の面) 11a に対して配線 18 を含むダミーチップ 17A を接着する工程とを含み、金属細線 8 による接続を行う工程において、配線 18 を半導体装置 2 の電極 4 および回路基板 11 上の第 1 の接続パッド 6 のそれぞれと金属細線 8 により電氣的に接続する製造方法によって製造できる。

【0158】

また、図 5 に示すスタック型半導体装置パッケージは、2 つの内蔵半導体装置パッケージ 1 を使用し、実施の形態 3 の製造方法が備える各工程に加えて、2 つの内蔵半導体装置パッケージ 1 における半導体装置 2 側の面に対して、それぞれ配線 18 を含むダミーチップ 17 を接着する工程を含み、金属細線 8 による接続を行う工程において、配線 18 を半導体装置 2 の電極 4 および回路基板 11 上の第 1 の接続パッド 6 のそれぞれと金属細線 8 により電氣的に接続する製造方法によって製造できる。

【0159】

〔実施の形態 6〕

本発明のさらに他の実施形態に係るスタック型半導体装置パッケージおよびその製造方法について、図 33 に基づいて説明すると以下の通りである。なお、説明の便宜上、前記実施の形態 1～5 のいずれかに示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。について、

本実施形態は、封止樹脂 10 をトランスファーモールド成型等により成型する際、金属細線 8 が封止樹脂 10 に押し流され、ショートすることを防ぐための、実施の形態 4 とは異なる形態である。

10

20

30

40

50

## 【0160】

図33は、本実施形態に係るスタック型半導体装置パッケージの構造を示す断面図である。図33に示すように、本実施形態に係るスタック型半導体装置パッケージは、(1)回路基板11に代えて回路基板30を備える点、(2)金属細線8を介して電極4に接続された第2の接続パッドとして接続パッド7に代えて接続パッド33を備える点、(3)内蔵半導体装置パッケージ1と半導体装置2とを接着する接着材料として液状樹脂15に代えて接着シート9を備える点、を除いて、実施の形態2に係るスタック型半導体装置パッケージと同一の構成を備えている。

## 【0161】

回路基板30は、その半導体装置2側の面(第1の面)30aの中央領域に凹部を有している。より詳細には、回路基板30は、実施の形態1~5で用いた回路基板11に対し、回路基板11の面11aにおける第1の接続パッド6が設けられた領域を含む外周部に内蔵半導体装置パッケージ1より厚い絶縁層31を設け、この絶縁層31表面の一部に第2の接続パッドとしての接続パッド33を設け、絶縁層31内部に形成したスルーホール32を介して接続パッド33と第2の接続パッド7とを接続したものである。なお、絶縁層31上における接続パッド33が設けられていない領域には、絶縁層34が形成されている。

## 【0162】

回路基板30の凹部(外周部以外の部分)の内部に、第1の接続パッド6が配置され、回路基板30の外周部には接続パッド33が配置されている。すなわち、第1の接続パッド6は、凹部に配置されている一方、接続パッド33は、前記回路基板30の半導体装置2側の面(第1の面)30aにおける凹部以外の部分に配置されている。

## 【0163】

接続パッド33は、第1の接続パッド6よりも高い位置に配置されている。すなわち、接続パッド33は、複数の電極4表面を含む平面に対して、第1の接続パッド6よりも近くなるように配置されている。(この場合には、複数の電極4が、半導体装置2における回路基板30側に対する裏面2a上に配置されており、かつ、裏面2aが平面であるので、前記の複数の電極4表面を含む平面は、半導体装置2における内蔵半導体装置パッケージ1側の面に対する裏面およびその延長面に相当する。

## 【0164】

本実施形態に係るスタック型半導体装置パッケージは、回路基板11に代えて回路基板30を使用し、かつ、内蔵半導体装置パッケージ1と半導体装置2とを液状樹脂15でなく接着シート9で接着する以外は、実施の形態2の製造方法と同様の製造方法によって製造できる。

## 【0165】

すなわち、まず、内蔵半導体装置パッケージ1と、(第1の接続パッド6、第2の接続パッド33、および絶縁膜34・122がその上に形成された)回路基板30とを用意する。内蔵半導体装置パッケージ1および回路基板30の製造方法としては、特許文献1等に記載された公知の種々の方法を採用できる。

## 【0166】

次に、回路基板30上の第1の接続パッド6に対して、内蔵半導体装置パッケージ1の外部入出力端子3を突起電極5で接続する。この場合には、突起電極5としてハンダボールを用いて第1の接続パッド6に外部入出力端子3をハンダ接続する。上記接続の方法としては、実施の形態1で述べた(1)~(5)の方法が採用できる。例えば、内蔵半導体装置パッケージ1の外部入出力端子3上に形成された突起電極5としてハンダボールを用い、第1の接続パッド6にフラックスを転写し、内蔵半導体装置パッケージ1を、該外部入出力端子3と回路基板30の凹部内の第1の接続パッド6とを位置合わせして回路基板30上に搭載する。その後、加熱炉でハンダを熔融し、リフロー接続する。

## 【0167】

この後、液状の第3の樹脂を、上記凹部に滴下することで、図33のように、内蔵半導

10

20

30

40

50

体装置パッケージ 1 と回路基板 1 1 との間隙に充填する。

【0168】

次に、ディスペンサにて、未硬化の液状樹脂 1 5 を回路基板 3 0 の凹部に滴下することで内蔵半導体装置パッケージ 1 と回路基板 3 0 との間隙に充填する。回路基板 3 0 の凹部に滴下する未硬化の液状樹脂 1 5 の量は、図示した量に限らず、上記間隙だけを満たす量でもよいし、凹部を全て満たす量であってもよい。また、この工程を省略し、後の封止樹脂 1 0 による封止を行う工程において封止樹脂 1 0 により凹部を封止してもよい。

【0169】

次に、内蔵半導体装置パッケージ 1 の上面（外部入出力端子 3 が配設された面の裏面）に、半導体装置 2 を接着材料 9 にて接着する。ここでは、あらかじめ半導体装置 2 の裏面（電極 4 が配設された面の裏面）に接着シート（接着材料）9 を配置した後、半導体装置 2 を接着シート 9 を内蔵半導体装置パッケージ 1 の方に向けて内蔵半導体装置パッケージ 1 の上面に載せることで、半導体装置 2 を内蔵半導体装置パッケージ 1 の上面に接着している。上記接着材料による接着の方法は、上述した方法に限られるものではなく、接着シート 9 を内蔵半導体装置パッケージ 1 の上面（外部入出力端子 3 が配設された面の裏面）に貼り付けた後、半導体装置 2 を接着シート 9 上に載せることで、半導体装置 2 を内蔵半導体装置パッケージ 1 の上面（外部入出力端子 3 が配設された面の裏面）に接着してもよい。また、図 2 のスタック型半導体装置パッケージと同様に、接着シート 9 に代えて、液状接着樹脂（液状接着材料、接着材料）1 4 または凹部に滴下した液状樹脂 1 5 を用いて半導体装置 2 を内蔵半導体装置パッケージ 1 の上面に接着してもよい。

【0170】

次に、半導体装置 2 の電極 4 と、回路基板 3 0 の凹部の外周に形成され、かつ第 1 の接続パッド 6 より高い位置に形成された接続パッド 3 3 とを金属細線 8 を介し、ワイヤボンディング方式で電氣的に接続する。

【0171】

その後、内蔵半導体装置パッケージ 1、半導体装置 2、および金属細線 8 を含むスタック型半導体装置パッケージの搭載要素全体を熱硬化性の封止樹脂 1 0 で封止する。この場合、内蔵半導体装置パッケージ 1 が搭載された回路基板 3 0 の凹部のうち液状樹脂 1 5 が充填されていない部分も、封止樹脂（第 1 の樹脂）1 0 で封止する。該封止方法は、樹脂ペレットを用いたトランスファーマールド成形でもよいし、液状樹脂をポッティングした封止方法でもよい。

【0172】

最後に、第 1 の接続パッド 6 と電氣的に接続された外部入出力端子 1 2、および接続パッド 3 3 と電氣的に接続された外部入出力端子 1 2 の上に、突起電極 1 3 としてハンダボールを形成する。なお、この工程は、スタック型半導体装置パッケージを B G A パッケージとするための工程であり、スタック型半導体装置パッケージを L G A パッケージとする場合には、不要である。

【0173】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0174】

例えば、上述した各実施形態のスタック型半導体装置パッケージでは、前記第 2 の接続パッド 7 または 3 3 と、それに対応する半導体装置 2 の電極 4 との電氣的接続が、金属細線 8 によって行われていたが、リードによって行うことも可能である。また、上述した各実施形態のスタック型半導体装置パッケージでは、内蔵半導体装置パッケージ 1 と半導体装置 2 とが、接着シート 9 または液状接着樹脂 1 4 で接着されていたが、内蔵半導体装置パッケージ 1 と半導体装置 2 とがスタック型半導体装置パッケージ内に固定されればよく、接着シート 9 や液状接着樹脂 1 4 を用いなくてもよい。

【0175】

なお、本発明の他の目的は、先行技術の課題を解決し、さらに高密度に複数種類の半導体装置を搭載することで、S i Pを実現し、提供することにある。

【0176】

本発明の半導体装置の製造方法および半導体装置パッケージによれば、内蔵半導体装置パッケージは、それ自体で使用できる汎用パッケージを使用できる。

【0177】

よって、仮に、内蔵半導体装置パッケージをメモリタイプの半導体装置から構成し、半導体装置をロジックタイプとすれば、該内蔵半導体装置パッケージはテスト良品であるため、実質的に内部に搭載されているメモリタイプの半導体装置のK G Dは保障される。よって、メモリタイプ半導体装置の不良が原因で、S i P全体が不良になり、単価の高い良品ロジックタイプの半導体装置が廃棄されることはない。

10

【0178】

また、内蔵半導体装置パッケージのピン配置が標準化されていれば、回路基板の再作製を行うことなく複数種類の半導体装置（例えば複数の半導体装置メーカーから供給を受けた複数種類の半導体装置）を使用することが可能であり、かつ回路基板を半導体装置の種類に合わせて作製する必要はなくなる。

【0179】

また、メモリタイプの半導体装置の容量が増えた場合も、内蔵半導体装置パッケージのピン配置が共通であれば、回路基板の再作製は必要なくなる。

【産業上の利用可能性】

20

【0180】

本発明は、複数の半導体装置を高密度に実装したC S P（Chip Size Package）やB G A（Ball Grid Array）等のスタック型半導体装置パッケージおよびその製造に利用できる。

【図面の簡単な説明】

【0181】

【図1】本発明の第1の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図2】本発明の第2の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

30

【図3】本発明の第3の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図4】本発明の第5の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図5】本発明の第5の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図6】本発明の第1の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図7】本発明の第1の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

40

【図8】本発明の第1の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図9】本発明の第1の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図10】本発明の第2の実施の形態に係る内蔵半導体装置パッケージの実装例を示す断面図である。

【図11】本発明の実施の一形態に係る内蔵半導体装置パッケージの構造を示す断面図である。

【図12】本発明の実施の一形態に係る内蔵半導体装置パッケージの構造を示す断面図である。

50

【図 1 3】本発明の実施の一形態に係る内蔵半導体装置パッケージの構造を示す断面図である。

【図 1 4】本発明の実施の一形態に係る内蔵半導体装置パッケージの構造を示す断面図である。

【図 1 5】本発明の実施の一形態に係る内蔵半導体装置パッケージの構造を示す断面図である。

【図 1 6】本発明の第 2 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 1 7】本発明の第 2 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 1 8】本発明の第 2 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 1 9】本発明の第 2 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 0】本発明の第 2 の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図 2 1】本発明の第 3 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 2】本発明の第 3 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 3】本発明の第 3 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 4】本発明の第 3 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 5】本発明の第 3 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 6】本発明の第 3 の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図 2 7】本発明の第 4 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 8】本発明の第 4 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 2 9】本発明の第 4 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 3 0】本発明の第 4 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 3 1】本発明の第 4 の実施の形態に係るスタック型半導体装置パッケージの製造過程での構造を示す断面図である。

【図 3 2】本発明の第 4 の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図 3 3】本発明の第 6 の実施の形態に係るスタック型半導体装置パッケージの構造を示す断面図である。

【図 3 4】従来技術のスタック型半導体装置パッケージの構造を示す断面図である。

【符号の説明】

【0 1 8 2】

- 1 内蔵半導体装置パッケージ（半導体装置パッケージ）
- 1 A 内蔵半導体装置パッケージ（半導体装置パッケージ）
- 1 B 内蔵半導体装置パッケージ（半導体装置パッケージ）
- 1 C 内蔵半導体装置パッケージ（半導体装置パッケージ）
- 1 D 内蔵半導体装置パッケージ（半導体装置パッケージ）

10

20

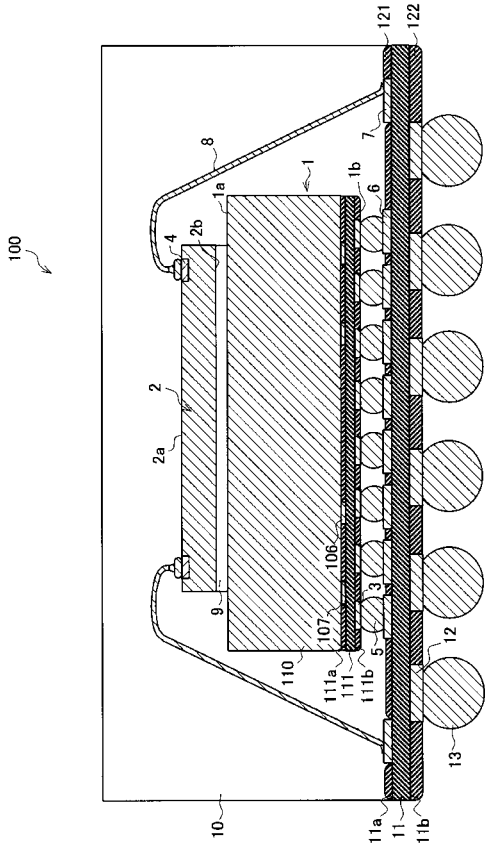
30

40

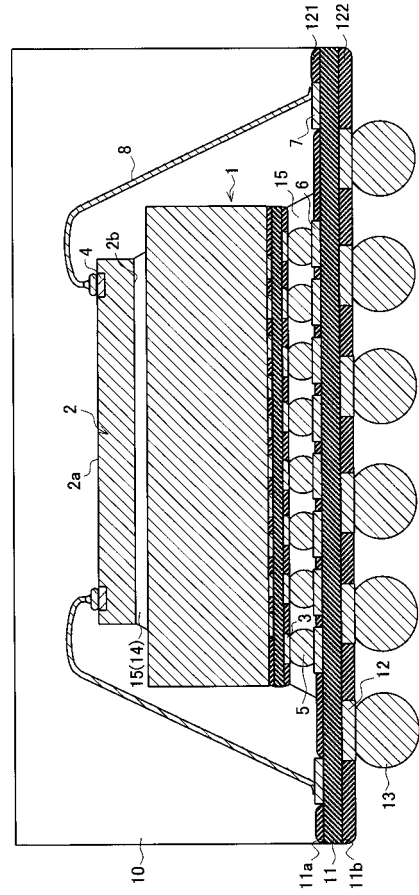
50

1 E	内蔵半導体装置パッケージ（半導体装置パッケージ）	
2	半導体装置	
3	外部入出力端子（第 1 の外部入出力端子）	
4	電極（第 1 の電極）	
5	突起電極	
6	第 1 の接続パッド	
7	第 2 の接続パッド	
8	金属細線	
9	接着シート（接着材料）	
1 0	封止樹脂（第 1 の樹脂）	10
1 1	回路基板（第 1 の回路基板）	
1 2	外部入出力端子（第 2 の外部入出力端子）	
1 3	突起電極（ハンダボール）	
1 4	液状接着樹脂（液状接着材料、接着材料）	
1 5	液状樹脂（第 3 の樹脂、液状接着材料、接着材料）	
1 6	突起電極	
1 7	ダミーチップ（第 1 の金属細線接続用部材、第 2 の金属細線接続用部材）	
1 8	配線（第 1 の配線、第 2 の配線）	
1 9	実装基板	
2 1	異方性導電接着剤（第 3 の樹脂）	20
3 0	回路基板（凹部を有する第 1 の回路基板）	
3 3	接続パッド（第 2 の接続パッド）	
1 0 1	半導体装置（第 2 の半導体装置）	
1 0 3	電極（第 2 の電極）	
1 1 0	封止樹脂（第 2 の樹脂）	
1 1 1	回路基板（第 2 の回路基板）	
1 0 6	第 1 の接続パッド（第 3 の接続パッド）	

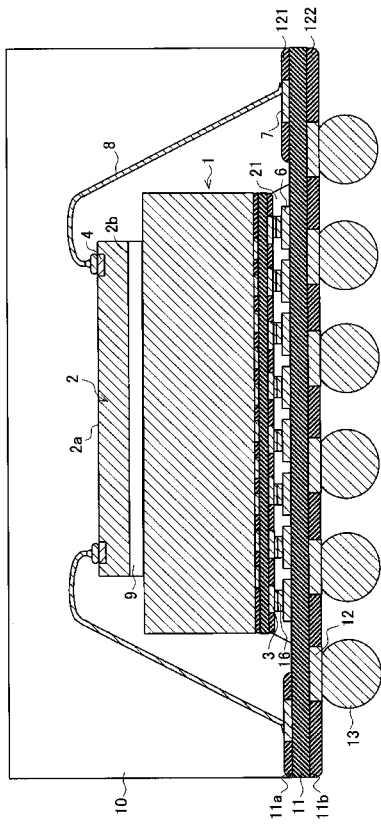
【図 1】



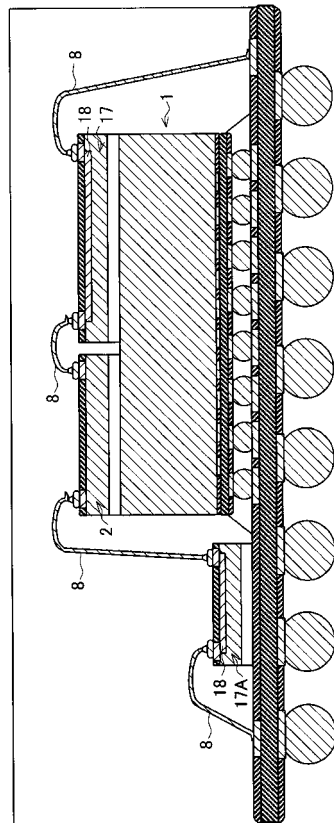
【図 2】



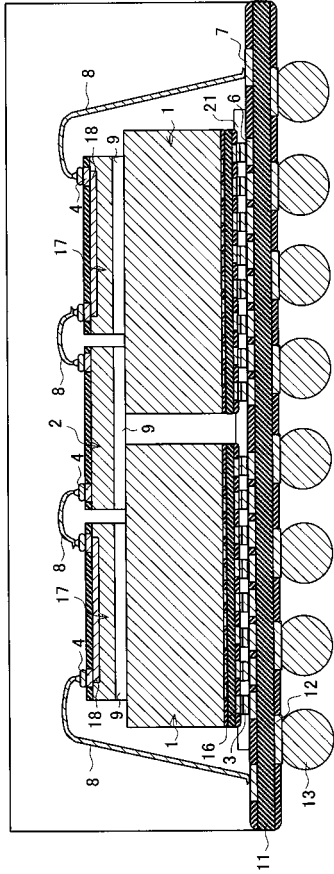
【図 3】



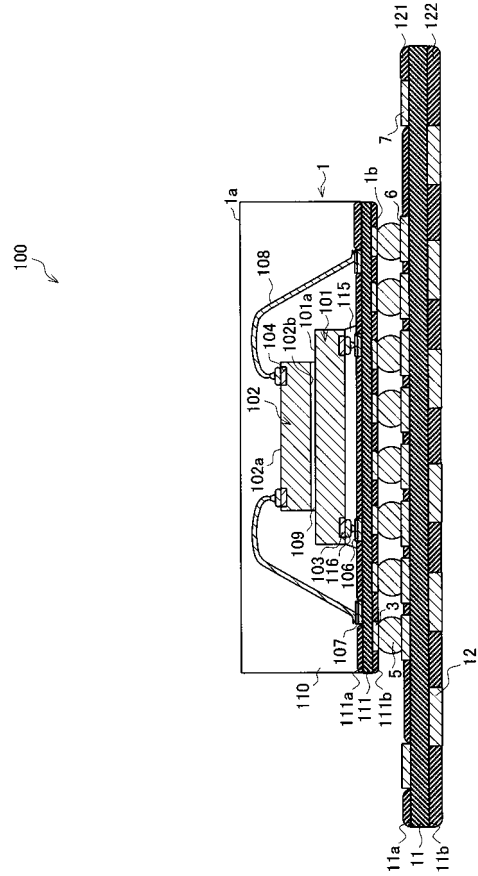
【図 4】



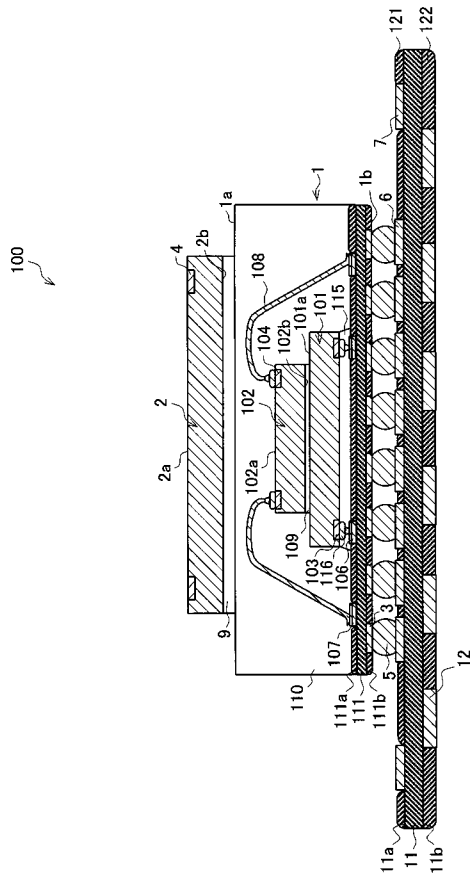
【 図 5 】



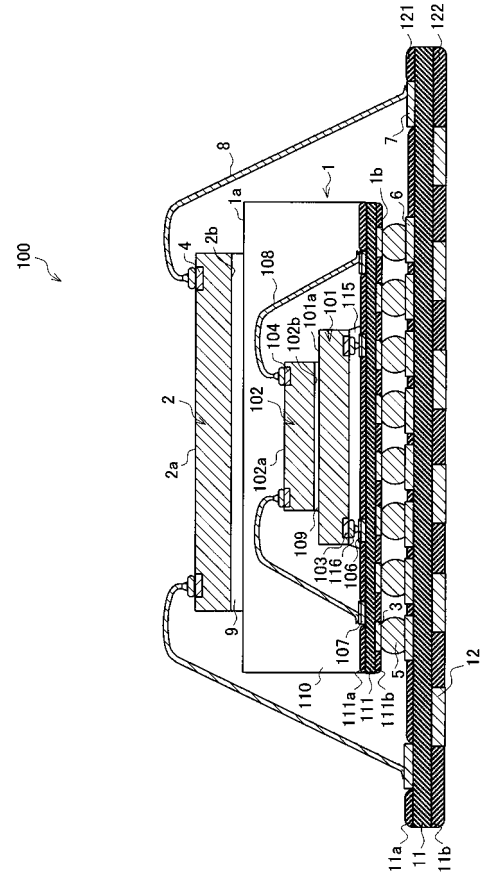
【 図 6 】



【 図 7 】

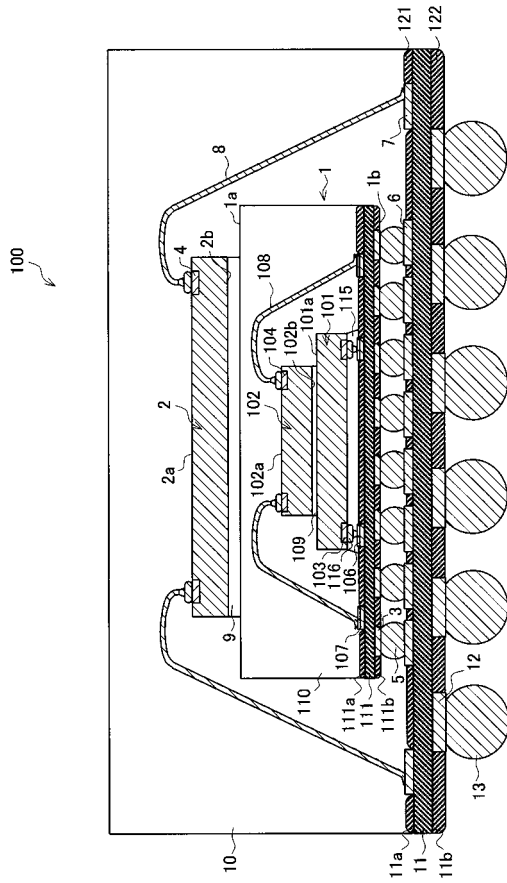


【 図 8 】

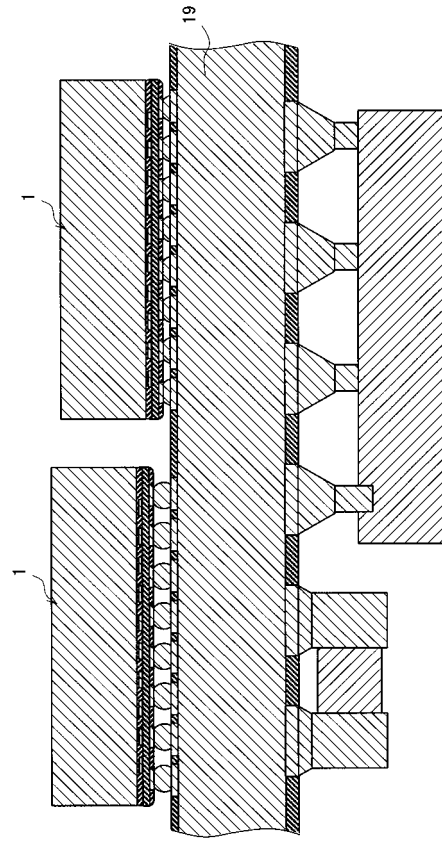




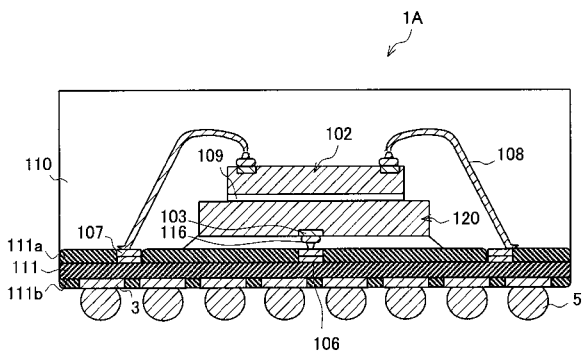
【 図 9 】



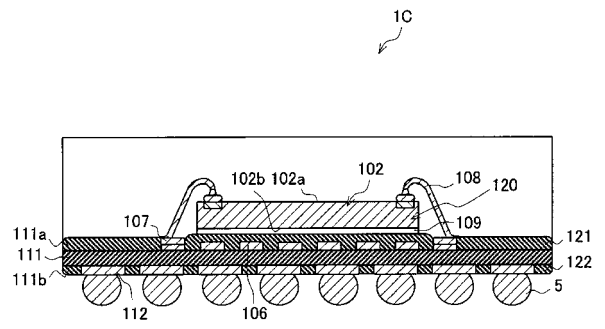
【 図 10 】



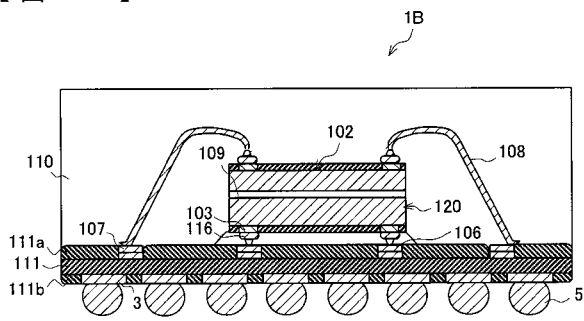
【 図 11 】



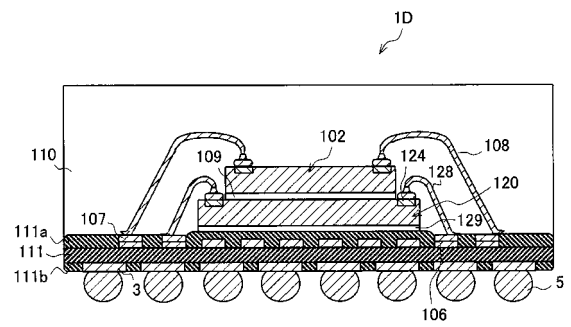
【 図 13 】



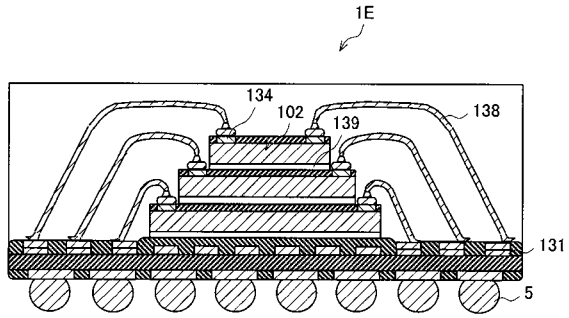
【 図 12 】



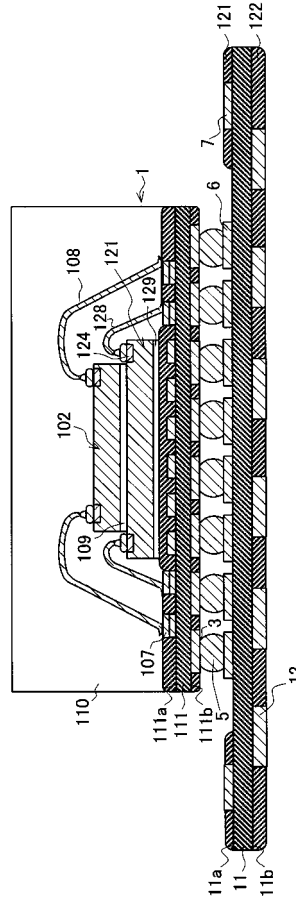
【 図 14 】



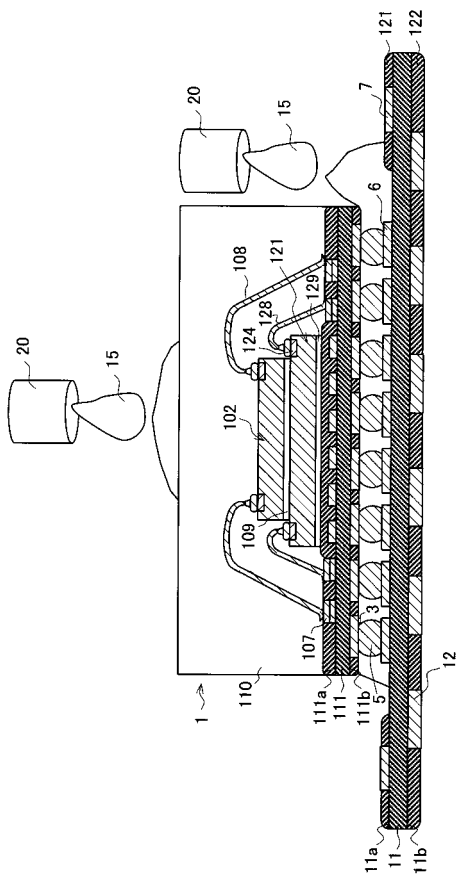
【 図 1 5 】



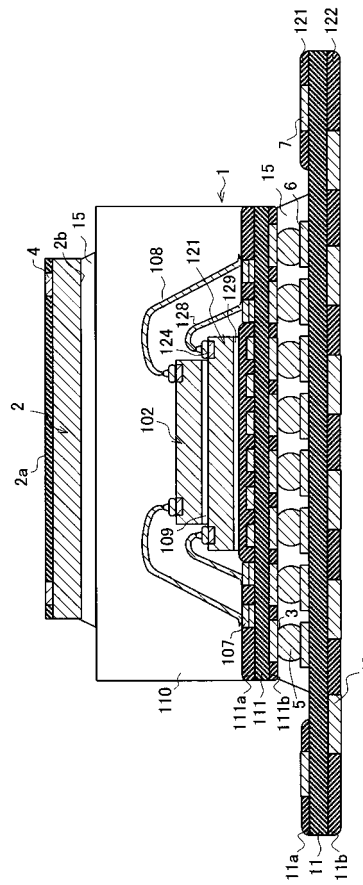
【 図 1 6 】



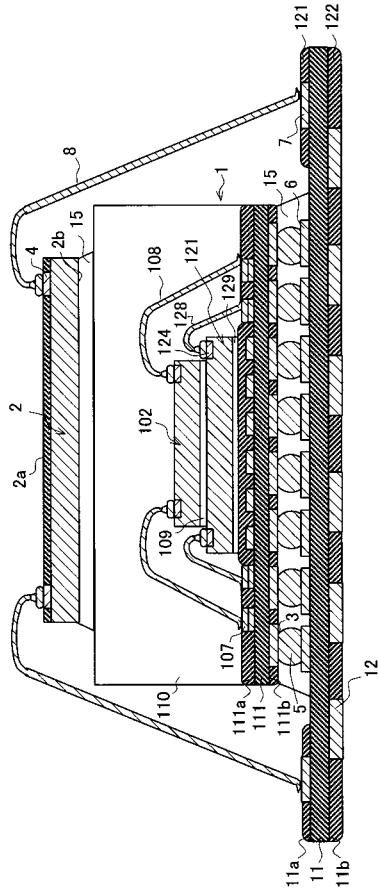
【 図 1 7 】



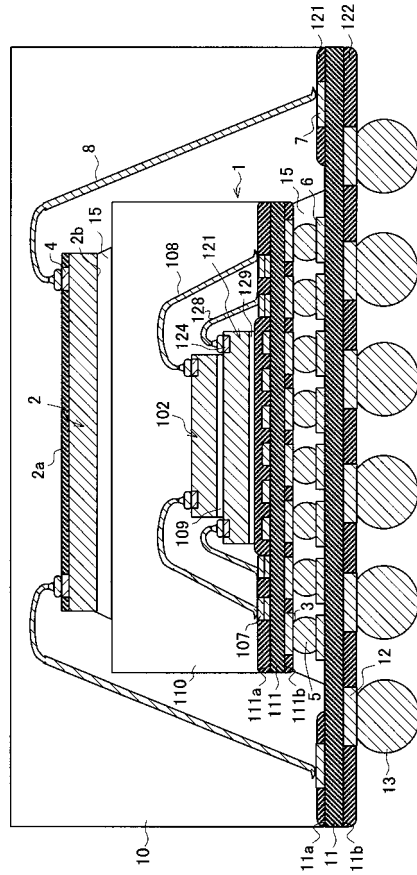
【 図 1 8 】



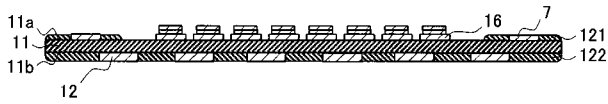
【 図 19 】



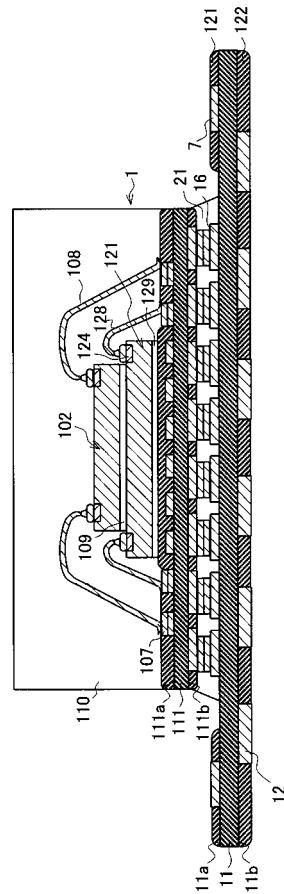
【 図 20 】



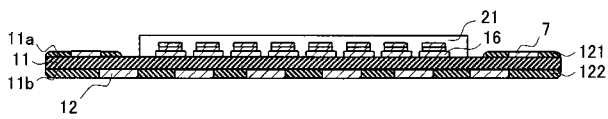
【 図 21 】



【 図 23 】

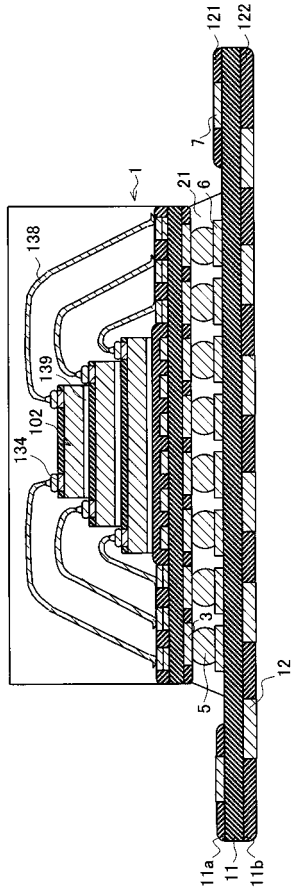


【 図 22 】

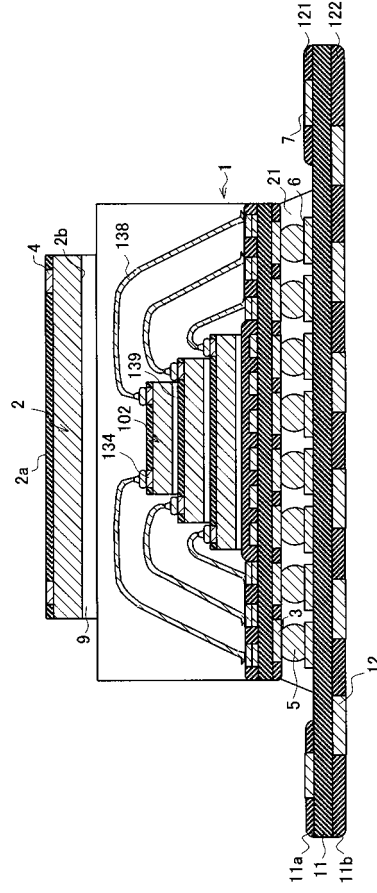




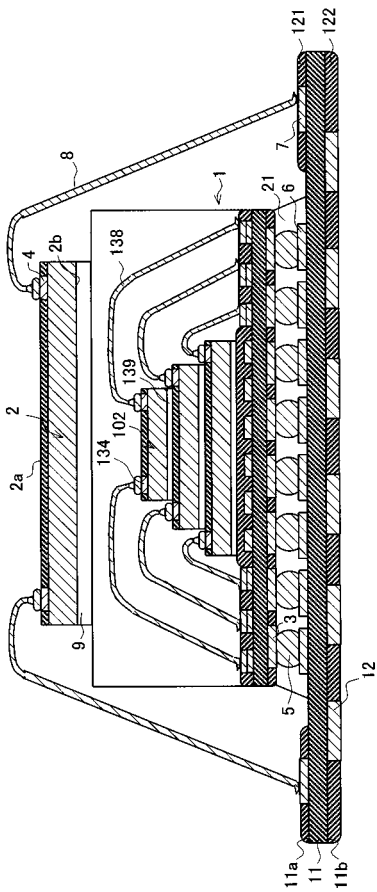
【 図 2 9 】



【 図 3 0 】



【 図 3 1 】



【 図 3 2 】

