

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4912641号
(P4912641)

(45) 発行日 平成24年4月11日(2012.4.11)

(24) 登録日 平成24年1月27日(2012.1.27)

(51) Int.Cl.

F 1

| | | | |
|--------------------|------------------|-------------------|-------------|
| H01L 29/786 | (2006.01) | H01L 29/78 | 613Z |
| H01L 21/336 | (2006.01) | H01L 29/78 | 627D |
| H01L 21/02 | (2006.01) | H01L 27/12 | B |
| H01L 27/12 | (2006.01) | | |

請求項の数 12 (全 28 頁)

| | |
|--------------|------------------------------|
| (21) 出願番号 | 特願2005-241709 (P2005-241709) |
| (22) 出願日 | 平成17年8月23日 (2005.8.23) |
| (65) 公開番号 | 特開2006-93678 (P2006-93678A) |
| (43) 公開日 | 平成18年4月6日 (2006.4.6) |
| 審査請求日 | 平成20年5月23日 (2008.5.23) |
| (31) 優先権主張番号 | 特願2004-242994 (P2004-242994) |
| (32) 優先日 | 平成16年8月23日 (2004.8.23) |
| (33) 優先権主張国 | 日本国 (JP) |

| | |
|-----------|--|
| (73) 特許権者 | 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 |
| (72) 発明者 | 大力 浩二 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| (72) 発明者 | 丸山 純矢 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| (72) 発明者 | 田村 友子 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| (72) 発明者 | 杉山 栄二 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |

最終頁に続く

(54) 【発明の名称】無線チップの作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に剥離層を形成し、
 前記剥離層上に第1の絶縁層を形成し、
 前記第1の絶縁層上に非晶質半導体層を形成し、
 前記非晶質半導体層を結晶化して結晶質半導体層を形成し、
 前記結晶質半導体層上にゲート絶縁層を形成し、
 前記ゲート絶縁層上にゲート電極として機能する第1の導電層を形成し、
 前記第1の導電層をマスクとして、前記結晶質半導体層に不純物元素を添加して、第1のN型不純物領域とP型不純物領域を形成し、
 前記第1の導電層の側面に接し、前記第1のN型不純物領域の一部と重なるサイドウォール絶縁層を形成し、
 前記サイドウォール絶縁層をマスクとして、前記第1のN型不純物領域に不純物元素を添加して、第2のN型不純物領域と第3のN型不純物領域を形成し、
 前記第1の導電層上に第2の絶縁層を形成し、
 前記第2の絶縁層に接し、ソース配線又はドレイン配線として機能する第2の導電層を形成し、
 前記第2の導電層を覆うように第3の絶縁層を形成し、
 前記第3の絶縁層に接し、アンテナとして機能する第3の導電層を形成し、
 前記剥離層が露出されるように、前記第1の絶縁層と、前記ゲート絶縁層と、前記第2

10

20

の絶縁層と、前記第3の絶縁層とをエッチングして開口部を形成し、

前記第3の導電層を覆うように第4の絶縁層を形成し、

前記開口部にエッティング剤を導入して、前記剥離層を除去し、

前記基板から、少なくとも前記結晶質半導体層、前記ゲート絶縁層及び前記第1の導電層を含む薄膜集積回路を剥離することを特徴とする無線チップの作製方法。

【請求項2】

基板上に剥離層を形成し、

前記剥離層上に第1の絶縁層を形成し、

前記第1の絶縁層上に非晶質半導体層を形成し、

前記非晶質半導体層を結晶化して結晶質半導体層を形成し、

10

前記結晶質半導体層上にゲート絶縁層を形成し、

前記ゲート絶縁層上にゲート電極として機能する第1の導電層を形成し、

前記第1の導電層をマスクとして、前記結晶質半導体層に不純物元素を添加して、第1のN型不純物領域とP型不純物領域を形成し、

前記第1の導電層の側面に接し、前記第1のN型不純物領域の一部と重なるサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層をマスクとして、前記第1のN型不純物領域に不純物元素を添加して、第2のN型不純物領域と第3のN型不純物領域を形成し、

前記第1の導電層上に第2の絶縁層を形成し、

前記第2の絶縁層に接し、ソース配線又はドレイン配線として機能する第2の導電層を形成し、

20

前記第2の導電層を覆うように第3の絶縁層を形成し、

前記第3の絶縁層に接し、アンテナとして機能する第3の導電層を形成し、

前記第3の導電層を覆うように第4の絶縁層を形成し、

前記剥離層が露出されるように、前記第1の絶縁層と、前記ゲート絶縁層と、前記第2の絶縁層と、前記第3の絶縁層と、前記第4の絶縁層をエッティングして開口部を形成し、

前記開口部にエッティング剤を導入して、前記剥離層を除去し、

前記基板から、少なくとも前記結晶質半導体層、前記ゲート絶縁層及び前記第1の導電層を含む薄膜集積回路を剥離することを特徴とする無線チップの作製方法。

【請求項3】

30

基板上に剥離層を形成し、

前記剥離層上に第1の絶縁層を形成し、

前記第1の絶縁層上に非晶質半導体層を形成し、

前記非晶質半導体層を結晶化して結晶質半導体層を形成し、

前記結晶質半導体層上にゲート絶縁層を形成し、

前記ゲート絶縁層上にゲート電極として機能する第1の導電層を形成し、

前記第1の導電層をマスクとして、前記結晶質半導体層に不純物元素を添加して、第1のN型不純物領域とP型不純物領域を形成し、

前記第1の導電層の側面に接し、前記第1のN型不純物領域の一部と重なるサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層をマスクとして、前記第1のN型不純物領域に不純物元素を添加して、第2のN型不純物領域と第3のN型不純物領域を形成し、前記第1の導電層上に第2の絶縁層を形成し、

前記第2の絶縁層に接し、ソース配線又はドレイン配線として機能する第2の導電層を形成し、

前記第2の導電層を覆うように第3の絶縁層を形成し、

前記第3の絶縁層に接し、アンテナとして機能する第3の導電層を形成し、

前記剥離層が露出されるように、前記第1の絶縁層と、前記ゲート絶縁層と、前記第2の絶縁層と、前記第3の絶縁層とをエッティングして開口部を形成し、

前記第3の導電層を覆うように第4の絶縁層を形成し、

40

50

前記開口部にエッティング剤を導入して、前記剥離層を選択的に除去し、物理的手段により、前記基板から、少なくとも前記結晶質半導体層、前記ゲート絶縁層及び前記第1の導電層を含む薄膜集積回路を剥離することを特徴とする無線チップの作製方法。

【請求項4】

基板上に剥離層を形成し、
 前記剥離層上に第1の絶縁層を形成し、
 前記第1の絶縁層上に非晶質半導体層を形成し、
 前記非晶質半導体層を結晶化して結晶質半導体層を形成し、
 前記結晶質半導体層上にゲート絶縁層を形成し、
 前記ゲート絶縁層上にゲート電極として機能する第1の導電層を形成し、
 前記第1の導電層をマスクとして、前記結晶質半導体層に不純物元素を添加して、第1のN型不純物領域とP型不純物領域を形成し、
 前記第1の導電層の側面に接し、前記第1のN型不純物領域の一部と重なるサイドウォール絶縁層を形成し、
 前記サイドウォール絶縁層をマスクとして、前記第1のN型不純物領域に不純物元素を添加して、第2のN型不純物領域と第3のN型不純物領域を形成し、
 前記第1の導電層上に第2の絶縁層を形成し、
 前記第2の絶縁層に接し、ソース配線又はドレイン配線として機能する第2の導電層を形成し、
 前記第2の導電層を覆うように第3の絶縁層を形成し、
 前記第3の絶縁層に接し、アンテナとして機能する第3の導電層を形成し、
 前記第3の導電層を覆うように第4の絶縁層を形成し、
 前記剥離層が露出されるように、前記第1の絶縁層と、前記ゲート絶縁層と、前記第2の絶縁層と、前記第3の絶縁層と、前記第4の絶縁層をエッティングして開口部を形成し、
 前記開口部にエッティング剤を導入して、前記剥離層を選択的に除去し、
 物理的手段により、前記基板から、少なくとも前記結晶質半導体層、前記ゲート絶縁層及び前記第1の導電層を含む薄膜集積回路を剥離することを特徴とする無線チップの作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、
 前記基板はガラス基板であることを特徴とする無線チップの作製方法。

【請求項6】

請求項1乃至請求項4のいずれか一項において、
 前記基板は石英基板であることを特徴とする無線チップの作製方法。

【請求項7】

請求項1乃至請求項4のいずれか一項において、
 前記剥離層として、タンゲステン又はモリブデンを含む層を形成することを特徴とする無線チップの作製方法。

【請求項8】

請求項1乃至請求項4のいずれか一項において、
 前記剥離層として、酸素雰囲気下で、スパッタリング法により、タンゲステン又はモリブデンの酸化物を含む層を形成することを特徴とする無線チップの作製方法。

【請求項9】

請求項1乃至請求項4のいずれか一項において、
 前記剥離層として、酸素雰囲気下で、スパッタリング法により、タンゲステンの酸化物(WO_x 、 x は $0 < x < 3$ を満たす)を含む層を形成することを特徴とする無線チップの作製方法。

【請求項10】

請求項1乃至請求項4のいずれか一項において、

10

20

30

40

50

前記剥離層として、タンゲステン又はモリブデンを含む層を形成し、前記第1の絶縁層として、珪素の酸化物を含む層を形成することを特徴とする無線チップの作製方法。

【請求項11】

請求項1乃至請求項4のいずれか一項において、

前記剥離層として、珪素を含む層を形成することを特徴とする無線チップの作製方法。

【請求項12】

請求項1乃至請求項4のいずれか一項において、

前記エッティング剤は、フッ化ハロゲンを含む気体又は液体であることを特徴とする無線チップの作製方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、無線チップ及びその作製方法に関する。

【背景技術】

【0002】

近年、データを無線で送受信する無線チップの開発が盛んに進められている。データを送受信する無線チップは、ICチップ、RFタグ、無線タグ、電子タグ、無線プロセッサ、無線メモリ、RFID (Radio Frequency Identification)、RFチップ、ICタグ、ICラベル、電子チップ等と呼ばれ(例えば、特許文献1参照)、現在実用化されているものは、シリコン基板を用いたものが主流である。

20

【特許文献1】特開2004-221570号公報(図13)

【発明の開示】

【発明が解決しようとする課題】

【0003】

無線チップの普及に際し、その低コスト化が進められているが、シリコン基板は高価であるために無線チップのコストを下げるることは難しかった。また、市販されているシリコン基板は、円形であり、最大でも直径30センチ程度であった。そのため、大量生産が難しく、無線チップのコストを下げるることは難しかった。

【0004】

また、無線チップは多種多様な分野での活用が期待され、様々な物品に貼り付けたり、埋め込んだりして使用する。そのため、無線チップは小型、軽量であることが求められる。また、無線チップを貼り付ける物品によっては、フレキシブルなものがあるため、フレキシブルな形状に簡単に加工できることが求められる。

30

【0005】

上記の実情を鑑み、本発明は、無線チップのコストを下げるることを課題とする。また、無線チップの大量生産を可能として、無線チップのコストを下げるることを課題とする。さらに、小型・軽量な無線チップを提供することを課題とする。

【課題を解決するための手段】

【0006】

本発明は、第1の基体と第2の基体の間に薄膜集積回路が設けられた無線チップを提供する。本発明の無線チップは、シリコン基板からなる無線チップと比較して、小型、薄型、軽量を実現する。また、薄膜集積回路は基板から剥離されたものであるため、フレキシブルな形状に加工することが容易である。

40

【0007】

本発明の無線チップが含む薄膜集積回路は、少なくとも、シングルドレイン構造のN型(Nチャネル型)の薄膜トランジスタと、シングルドレイン構造のP型(Pチャネル型)の薄膜トランジスタと、アンテナとして機能する導電層とを有する。

【0008】

本発明の無線チップが含む薄膜集積回路の構成をより詳しく述べると、第1の絶縁層上に設けられた第1の薄膜トランジスタ及び第2の薄膜トランジスタと、第1の薄膜トランジ

50

スタ及び第2の薄膜トランジスタを覆う第2の絶縁層と、第2の絶縁層に接しソース配線又はドレイン配線として機能する第1の導電層と、第1の導電層を覆う第3の絶縁層と、第3の絶縁層に接しアンテナとして機能する第2の導電層と、第2の導電層を覆う第4の絶縁層とを有し、第1の薄膜トランジスタが含む第1の半導体層はチャネル形成領域とN型不純物領域を有し、第2の薄膜トランジスタが含む第2の半導体層はチャネル形成領域とP型不純物領域を有することを特徴とする。

【0009】

また、本発明の無線チップが含む薄膜集積回路は、少なくとも、LDD (Lightly Doped drain) 構造のN型の薄膜トランジスタと、シングルドレイン構造のP型の薄膜トランジスタと、アンテナとして機能する導電層とを有する。無線チップは、アンテナより電源が供給されるため、電源の安定化が難しく、消費電力を極力抑制することが必要である。仮に、消費電力が増加すると、強力な電磁波を入力する必要があるため、リーダライタの消費電力の増加、他の装置や人体への悪影響、無線チップとリーダライタとの通信距離に制約が生じるなどの不都合が生じる。しかし、本発明の無線チップは、LDD構造のN型の薄膜トランジスタを有するため、リーク電流を低減することができ、低消費電力化を実現する。従って、暗号処理などの複雑な処理を行っても、電源が不安定にならぬことがなく、電源の安定化を実現する。また、強力な電磁波を入力する必要がなく、リーダライタとの通信距離を改善することができる。

【0010】

本発明の無線チップが含む薄膜集積回路の構成をより詳しく述べると、第1の絶縁層上に設けられた第1の薄膜トランジスタ及び第2の薄膜トランジスタと、第1の薄膜トランジスタ及び第2の薄膜トランジスタを覆う第2の絶縁層と、第2の絶縁層に接しソース配線又はドレイン配線として機能する第1の導電層と、第1の導電層を覆う第3の絶縁層と、第3の絶縁層に接しアンテナとして機能する第2の導電層と、第2の導電層を覆う第4の絶縁層とを有する。第1の薄膜トランジスタは、ゲート電極層の側面に接し第1のN型不純物領域と重なるサイドウォール絶縁層を有し、なおかつ、チャネル形成領域と第1のN型不純物領域と第2のN型不純物領域とを有する。第1のN型不純物領域の不純物元素の濃度は、第2のN型不純物領域の不純物元素の濃度よりも低いことを特徴とする。第2の薄膜トランジスタは、チャネル形成領域とP型不純物領域とを有する。

【0011】

上記構成を有する薄膜集積回路において、第1の薄膜トランジスタと第2の薄膜トランジスタが含む半導体層のチャネル長は1μm乃至3μmであることを特徴とする。また、第1の薄膜トランジスタと第2の薄膜トランジスタが含むゲート電極層は、窒化タンタル層と、窒化タンタル層上のタングステン層とを有することを特徴とする。

【0012】

第1の導電層は、第1のチタン層と、第1のチタン層上のアルミニウムシリコン層と、アルミニウムシリコン層上の第2のチタン層とを有することを特徴とする。また、第1の導電層は、窒化チタン層と、窒化チタン層上の第1のチタン層と、第1のチタン層上のアルミニウム層と、アルミニウム層上の第2のチタン層とを有することを特徴とする。

【0013】

第2の導電層は、アルミニウム層を有することを特徴とする。また、第2の導電層は、チタン層と、チタン層上のアルミニウム層を有することを特徴とする。

【0014】

第1の絶縁層は、酸化珪素層と、酸化珪素層上の窒化酸化珪素層と、窒化酸化珪素層上の酸化窒化珪素層を有することを特徴とする。また、第1の絶縁層は、第1の酸化窒化珪素層と、第1の酸化窒化珪素層上の窒化酸化珪素層と、窒化酸化珪素層上の第2の酸化窒化珪素層とを有することを特徴とする。また、第1の絶縁層は、窒化酸化珪素層と、窒化酸化珪素層上の酸化窒化珪素層を有することを特徴とする。

【0015】

第2の絶縁層は、単層又は積層の無機層を有することを特徴とする。また、第3の絶縁層

10

20

30

40

50

は、有機層と、有機層上の無機絶縁層を有することを特徴とする。また、第3の絶縁層は、単層又は積層の無機層を有することを特徴とする。また、第4の絶縁層は、有機層を有することを特徴とする。また、第1の基体と第2の基体の一方又は両方は、一表面に接着層を有することを特徴とする。

【0016】

本発明の無線チップの作製方法は、基板上に剥離層を形成し、剥離層上に複数の薄膜集積回路を形成し、次に、剥離層を除去し、続いて、薄膜集積回路を基体により封止して、複数の無線チップを形成する。本発明の作製方法によると、大量の無線チップを一度に形成することができるため、無線チップのコストを下げることができる。また、シリコン基板ではなく、1辺の大きさに制約がない基板（例えばガラス基板など）を用いるため、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板から無線チップを取り出す場合と比較すると、大きな優位点である。10

【0017】

本発明の無線チップの作製方法は、基板上に剥離層を形成する工程と、剥離層上に第1の絶縁層を形成する工程と、第1の絶縁層上に非晶質半導体層を形成する工程と、非晶質半導体層を結晶化して結晶質半導体層を形成する工程と、結晶質半導体層上にゲート絶縁層を形成する工程と、ゲート絶縁層上にゲート電極として機能する第1の導電層を形成する工程と、第1の導電層をマスクとして、結晶質半導体層に不純物元素を添加して、第1のN型不純物領域とP型不純物領域を形成する工程と、第1の導電層の側面に接し、第1のN型不純物領域の一部と重なるサイドウォール絶縁層を形成する工程と、サイドウォール絶縁層をマスクとして、第1のN型不純物領域に不純物元素を添加して、第2のN型不純物領域と第3のN型不純物領域を形成する工程と、第1の導電層上に第2の絶縁層を形成する工程と、第2の絶縁層に接し、ソース配線又はドレイン配線として機能する第2の導電層を形成する工程と、第2の導電層を覆うように第3の絶縁層を形成する工程と、第3の絶縁層に接し、アンテナとして機能する第3の導電層を形成する工程とを有する。20

【0018】

上記の工程を経た後は、以下の4通りの工程があり、1つは、剥離層が露出されるように、第1の絶縁層と、ゲート絶縁層と、第2の絶縁層と、第3の絶縁層とをエッチングして開口部を形成する工程と、第3の導電層を覆うように第4の絶縁層を形成する工程と、開口部にエッティング剤を導入して、剥離層を除去して基板から、少なくとも結晶質半導体層、ゲート絶縁層及び第1の導電層の各々を含む薄膜トランジスタを有する薄膜集積回路を剥離する工程とを行うものである。30

【0019】

1つは、第3の導電層を覆うように第4の絶縁層を形成する工程と、剥離層が露出されるように、第1の絶縁層と、ゲート絶縁層と、第2の絶縁層と、第3の絶縁層と、第4の絶縁層をエッティングして開口部を形成する工程と、開口部にエッティング剤を導入して、剥離層を除去して基板から、少なくとも結晶質半導体層、ゲート絶縁層及び第1の導電層の各々を含む薄膜トランジスタを有する薄膜集積回路を剥離する工程とを行うものである。

【0020】

1つは、剥離層が露出されるように、第1の絶縁層と、ゲート絶縁層と、第2の絶縁層と、第3の絶縁層とをエッティングして開口部を形成する工程と、第3の導電層を覆うように第4の絶縁層を形成する工程と、開口部にエッティング剤を導入して剥離層を選択的に除去する工程と、物理的手段（物理的な力ともいう）により基板から、少なくとも結晶質半導体層、ゲート絶縁層及び第1の導電層の各々を含む薄膜トランジスタを有する薄膜集積回路を剥離する工程とを行うものである。40

【0021】

1つは、第3の導電層を覆うように第4の絶縁層を形成する工程と、剥離層が露出されるように、第1の絶縁層と、ゲート絶縁層と、第2の絶縁層と、第3の絶縁層と、第4の絶縁層をエッティングして開口部を形成する工程と、開口部にエッティング剤を導入して剥離層を選択的に除去する工程と、物理的手段により基板から、少なくとも結晶質半導体層、ゲ50

ート絶縁層及び第1の導電層の各々を含む薄膜トランジスタを有する薄膜集積回路を剥離する工程とを行うものである。

【0022】

上記工程を有する本発明の無線チップの作製方法において、基板はガラス基板であることを特徴とする。または、基板は石英基板であることを特徴とする。また、剥離層として、酸素雰囲気下で、スパッタリング法により、タンゲステン又はモリブデンを含む層を形成することを特徴とする。また、剥離層として、酸素雰囲気下で、スパッタリング法により、タンゲステンの酸化物 (WO_x 、 x は $0 < x < 3$ を満たす) を含む層を形成することを特徴とする。また、剥離層として、珪素を含む層を形成することを特徴とする。また、剥離層として、タンゲステン又はモリブデンを含む層を形成することを特徴とする。また、剥離層として、タンゲステン又はモリブデンを含む層を形成し、その上層に珪素の酸化物を含む層を形成することを特徴とする。また、エッチング剤は、フッ化ハロゲンを含む気体又は液体であることを特徴とする。10

【発明の効果】

【0023】

シリコン基板以外の基板を用いて薄膜集積回路を形成する本発明は、大量の無線チップを一度に形成することができるため、無線チップのコストを低減することができる。また、基板から剥離した薄膜集積回路を用いるため、小型・薄型・軽量の無線チップを提供することができる。さらに、フレキシブルな形状に加工が容易な無線チップを提供することができる。20

【発明を実施するための最良の形態】

【0024】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0025】

本発明の無線チップの作製方法について、図面を参照して説明する。

【0026】

まず、基板10の一表面上に、剥離層11を形成する(図2(A)の断面図と図3の上面図参照)。基板10は、ガラス基板、石英基板、金属基板やステンレス基板の一表面上に絶縁層を形成したもの、本工程の処理温度に耐えうる耐熱性があるプラスチック基板等を用いる。このような基板10であれば、大きさや形状に大きな制限はないため、基板10として、例えば、1辺が1メートル以上あって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板から無線チップを取り出す場合と比較すると、大きな優位点である。また、基板10上に形成する薄膜集積回路は、後に基板10から剥離する。つまり、本発明において提供する無線チップは、基板10を有していない。従って、薄膜集積回路が剥離された基板10は、何度も再利用することができる。このように、基板10を再利用すれば、コストを削減することができる。再利用する基板10としては、石英基板が望ましい。40

【0027】

なお、本実施の形態では、剥離層11は、基板10の一表面上に薄膜を形成した後、フォトリソグラフィ法によりパターニングして、選択的に設けているが、本発明はこの工程を必須とはしない。必要がなければ、剥離層を選択的に設ける必要はなく、全面に設けたままでもよい。

【0028】

剥離層11は、公知の手段(スパッタリング法やプラズマCVD法等)により、タンゲステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニ50

ウム(R u)、ロジウム(R h)、パラジウム(P d)、オスミウム(O s)、イリジウム(I r)、珪素(S i)から選択された元素または前記元素を主成分とする合金材料若しくは化合物材料からなる層を、単層又は積層して形成する。珪素を含む層の結晶構造は、微結晶、多結晶のいずれの場合でもよい。また、珪素を含む層は、非晶質でもよい。

【 0 0 2 9 】

剥離層 1 1 が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。また、タングステンの酸化物は、酸化タングステンと表記することがある。10

【 0 0 3 0 】

剥離層 1 1 が積層構造の場合、好ましくは、1 層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成し、2 層目として、タングステン、モリブデン又はタングステンとモリブデンの混合物の酸化物、窒化物、酸化窒化物又は窒化酸化物を形成する。

【 0 0 3 1 】

なお、剥離層 1 1 として、タングステンを含む層、タングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化珪素を含む層を形成することで、タングステン層と酸化珪素層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。これは、タングステンの窒化物、酸化窒化物及び窒化酸化物を含む層を形成する場合も同様であり、タングステンを含む層を形成後、その上層に窒化珪素層、酸化窒化珪素層、又は窒化酸化珪素層を形成する。なお、タングステンを含む層を形成後に、その上層に形成する酸化珪素層、酸化窒化珪素層、窒化酸化珪素層などは、後に下地となる絶縁層として機能する。20

【 0 0 3 2 】

なお、剥離層 1 1 として、タングステンを含む層と、タングステンの酸化物を含む層の積層構造を形成する場合、まず、スパッタリング法により、タングステンを含む層を形成し、次に、スパッタリング法により、酸化タングステンを含む層を形成してもよい。又は、まず、スパッタリング法により、タングステンを含む層を形成し、次に、そのタングステン層の一部を酸化して、酸化タングステン層を形成してもよい。30

【 0 0 3 3 】

また、タングステンの酸化物は、 $W O_x$ で表され、X は 2 ~ 3 である。X が 2 の場合 ($W O_2$)、X が 2 . 5 の場合 ($W_2 O_5$)、X が 2 . 75 の場合 ($W_4 O_{11}$)、X が 3 の場合 ($W O_3$) などがある。タングステンの酸化物を形成するにあたり、上記に挙げた X の値に特に制約はなく、そのエッチングレートなどを基に決めるといい。

【 0 0 3 4 】

但し、エッチングレートの最も良いものは、酸素雰囲気下で、スパッタリング法により形成するタングステンの酸化物を含む層 ($W O_x$ 、 $0 < X < 3$) である。従って、作製時間の短縮のために、剥離層として、酸素雰囲気下でスパッタリング法によりタングステンの酸化物を含む層を形成するとよい。40

【 0 0 3 5 】

なお上記の工程によると、基板 1 0 に接するように剥離層 1 1 を形成しているが、本発明はこの工程に制約されない。基板 1 0 に接するように下地となる絶縁層を形成し、該絶縁層に接するように剥離層 1 1 を形成してもよい。

【 0 0 3 6 】

次に、剥離層 1 1 を覆うように、下地となる絶縁層を形成する。下地となる絶縁層は、公知の手段(スパッタリング法やプラズマ C V D 法等)により、珪素の酸化物又は珪素の窒化物を含む層を、単層又は積層で形成する。珪素の酸化物材料とは、珪素(S i)と酸素(O)を含む物質であり、酸化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。珪素の50

窒化物材料とは、珪素と窒素（N）を含む物質であり、窒化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。

【0037】

下地となる絶縁層が2層構造の場合、例えば、1層目として窒化酸化珪素層を形成し、2層目として酸化窒化珪素層を形成するとよい。下地となる絶縁層が3層構造の場合、1層目の絶縁層12として酸化珪素層を形成し、2層目の絶縁層13として窒化酸化珪素層を形成し、3層目の絶縁層14として酸化窒化珪素層を形成するとよい。又は、絶縁層12として酸化窒化珪素層を形成し、絶縁層13として窒化酸化珪素層を形成し、絶縁層14として酸化窒化珪素層を形成するとよい。図示する断面構造では、下地となる絶縁層が3層構造の場合を示す。下地となる絶縁層は、基板10からの不純物の侵入を防止するプロ

10

【0038】

次に、下地となる絶縁層14上に、非晶質半導体層（例えば非晶質珪素を含む層）を形成する。非晶質半導体層は、公知の手段（スパッタリング法、LPCVD法、プラズマCVD法等）により、25～200nm（好ましくは30～150nm）の厚さで形成する。続いて、非晶質半導体層を公知の結晶化法（レーザ結晶化法、RTA法又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とレーザ結晶化法を組み合わせた方法等）により結晶化して、結晶質半導体層を形成する。その後、得られた結晶質半導体層を所望の形状にパターニングして結晶質半導体層15、16を形成する。

20

【0039】

結晶質半導体層15、16の作成工程の具体例を挙げると、まず、プラズマCVD法を用いて、膜厚66nmの非晶質半導体層を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体層上に保持させた後、非晶質半導体層に脱水素化の処理（500、1時間）と、熱結晶化の処理（550、4時間）を行って結晶質半導体層を形成する。その後、必要に応じてレーザ光を照射し、フォトリソグラフィ法を用いたパターニング処理によって結晶質半導体層15、16を形成する。

【0040】

なお、レーザ結晶化法で結晶質半導体層を形成する場合、連続発振またはパルス発振の気体レーザ又は固体レーザを用いる。気体レーザとしては、エキシマレーザ、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、Ti：サファイアレーザ等を用いる。固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザを用いる。

30

【0041】

また、結晶化を助長する金属元素を用いて非晶質半導体層の結晶化を行うと、低温で短時間の結晶化が可能となるうえ、結晶の方向が揃うという利点がある一方、金属元素が結晶質半導体層に残存するためにオフ電流が上昇し、特性が安定しないという欠点がある。そこで、結晶質半導体層上に、ゲッタリングサイトとして機能する非晶質半導体層を形成するとよい。ゲッタリングサイトとなる非晶質半導体層には、リンやアルゴンの不純物元素を含有させる必要があるため、好適には、アルゴンを高濃度に含有させることができ可能なスパッタリング法で形成するとよい。その後、加熱処理（RTA法やファーネスアニール炉を用いた熱アーナー等）を行って、非晶質半導体層中に金属元素を拡散させ、続いて、当該金属元素を含む非晶質半導体層を除去する。そうすると、結晶質半導体層中の金属元素の含有量を低減又は除去することができる。

40

【0042】

次に、結晶質半導体層15、16を覆うゲート絶縁層17を形成する（図2（B）参照）。ゲート絶縁層17は、公知の手段（プラズマCVD法やスパッタリング法）により、珪素の酸化物又は珪素の窒化物を含む層を、単層又は積層して形成する。具体的には、酸化珪素を含む層、酸化窒化珪素を含む層、窒化酸化珪素を含む層を、単層又は積層して形成

50

する。

【 0 0 4 3 】

次に、ゲート絶縁層 17 上に、第1の導電層と第2の導電層を積層して形成する。第1の導電層は、公知の手段（プラズマCVD法やスパッタリング法）により、20～100nmの厚さで形成する。第2の導電層は、公知の手段により、100～400nmの厚さで形成する。

【 0 0 4 4 】

第1の導電層と第2の導電層は、タンタル（Ta）、タンゲステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電層と第2の導電層の組み合わせの例を挙げると、窒化タンタル（TaN、タンタル（Ta）と窒素（N）の組成比は制約されない）層とタンゲステン（W）層、窒化タンゲステン（WN、タンゲステン（W）と窒素（N）の組成比は制約されない）層とタンゲステン層、窒化モリブデン（MoN、モリブデン（Mo）と窒素（N）の組成比は制約されない）層とモリブデン（Mo）層等が挙げられる。タンゲステンや窒化タンタルは、耐熱性が高いため、第1の導電層と第2の導電層を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン層とアルミニウム層とモリブデン層の構造を採用するとい
。

10

【 0 0 4 5 】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、ゲート電極として機能する導電層（ゲート電極層とよぶことがある）18～21を形成する。

【 0 0 4 6 】

次に、導電層18～21形成のためのマスクを除去し、新たに、フォトリソグラフィ法により、レジストからなるマスク22を形成する。続いて、結晶質半導体層15に、イオンドープ法又はイオン注入法により、N型を付与する不純物元素を低濃度に添加して、N型不純物領域23、24を形成する。N型を付与する不純物元素は、15族に属する元素を用いれば良く、例えばリン（P）、砒素（As）を用いる。

20

【 0 0 4 7 】

次に、マスク22を除去し、新たに、フォトリソグラフィ法によりレジストからなるマスク25を形成する（図4（A）参照）。続いて、結晶質半導体層16に、P型を付与する不純物元素を添加して、P型不純物領域26、27を形成する。P型を付与する不純物元素は、例えばボロン（B）を用いる。

【 0 0 4 8 】

次に、マスク25を除去し、ゲート絶縁層17と導電層18～21を覆うように、絶縁層28を形成する（図4（B）参照）。絶縁層28は、公知の手段（プラズマCVD法やスパッタリング法）により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む層（無機層と表記することがある）や、有機樹脂などの有機材料を含む層（有機層と表記することがある）を、単層又は積層して形成する。

30

【 0 0 4 9 】

次に、絶縁層28を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電層18～21の側面に接する絶縁層（以下サイドウォール絶縁層とよぶ）29、30を形成する（図5（A）参照）。サイドウォール絶縁層29、30は、後に形成するLDD領域のドーピング用のマスクとして用いる。

【 0 0 5 0 】

次に、フォトリソグラフィ法によりレジストからなるマスク31を形成する。続いて、サイドウォール絶縁層29をマスクとして、結晶質半導体層15にN型を付与する不純物元素を添加して、第1のN型不純物領域（LDD領域ともよぶ）34、35と、第2のN型

40

50

不純物領域32、33とを形成する(図5(B)参照)。第1のN型不純物領域34、35が含む不純物元素の濃度は、第2のN型不純物領域32、33の不純物元素の濃度よりも低い。

【0051】

なお、LDD領域を形成するためには、ゲート電極を2層以上の積層構造として、該ゲート電極にテーパーエッチングや異方性エッチングを行って、該ゲート電極を構成する下層の導電層をマスクとして用いる手法と、サイドウォール絶縁層をマスクとして用いる手法がある。前者の手法を採用して形成された薄膜トランジスタはGOLD(Gate Overlapped Lightly Doped drain)構造と呼ばれているが、このGOLD構造は、テーパーエッチングや異方性エッチングを行うために、LDD領域の幅を制御することが難しく、エッチング工程が良好に行われなければ、LDD領域を形成することが出来なかった。しかし、本発明は、後者のサイドウォール絶縁層をマスクとして用いる手法を用いるため、前者の手法と比較すると、LDD領域の幅の制御が容易であり、また、LDD領域を確実に形成することができる。

10

【0052】

上記工程を経て、N型の薄膜トランジスタ36と、P型の薄膜トランジスタ37が完成する。N型の薄膜トランジスタ36は、第1のN型不純物領域34、35と第2のN型不純物領域32、33とチャネル形成領域38を含む活性層と、ゲート絶縁層17と、ゲート電極として機能する導電層18、19とを有する。このような、薄膜トランジスタ36の構造はLDD構造と呼ばれる。

20

【0053】

P型の薄膜トランジスタ37は、P型不純物領域26、27とチャネル形成領域39を含む活性層と、ゲート絶縁層17と、ゲート電極として機能する導電層20、21とを有する。このような、薄膜トランジスタ37の構造はシングルドレイン構造と呼ばれる。

【0054】

また、上記工程を経て完成した、薄膜トランジスタ36と薄膜トランジスタ37のチャネル長は0.5~5μm、好適には1~3μmであることを特徴とする。上記特徴により、応答速度を早くすることができる。なお、チャネル長は、その回路に応じて作り分けてもよく、例えば、高速動作が要求されない電源回路を構成する薄膜トランジスタのチャネル長は3μmとし、その他の回路の薄膜トランジスタのチャネル長は1μmにするとよい。

30

【0055】

次に、マスク31を除去し、薄膜トランジスタ36、37を覆うように、絶縁層を単層又は積層して形成する(図6(A)参照)。薄膜トランジスタ36、37を覆う絶縁層は、公知の手段(SOG法、液滴吐出法等)により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料等により、単層又は積層で形成する。

【0056】

また、薄膜トランジスタ36、37を覆う絶縁層は、SOG法や液滴吐出法により、シリコサンにより形成してもよい。シリコサンとは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えば、アルキル基、芳香族炭化水素)、又は少なくともフルオロ基、又は少なくとも水素を含む有機基とフルオロ基とを用いるとよい。

40

【0057】

図示する断面構造では、薄膜トランジスタ36、37を覆う絶縁層が3層構造の場合を示す。その構成として、例えば、1層目の絶縁層40として酸化珪素を含む層を形成し、2層目の絶縁層41として窒化珪素を含む層を形成し、3層目の絶縁層42として酸化珪素を含む層を形成するとよい。

【0058】

なお、絶縁層40~42を形成する前、又は絶縁層40~42のうちの1つ又は複数の薄膜を形成した後に、半導体層の結晶性の回復や半導体層に添加された不純物元素の活性化

50

、半導体層の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザアニール法又はRTA法などを適用するとよい。

【0059】

次に、フォトリソグラフィ法により絶縁層40～42をエッチングして、P型不純物領域26、27と、N型不純物領域32、33を露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電層を形成し、当該導電層をパターン加工して、ソース配線又はドレイン配線として機能する導電層43～45を形成する。

【0060】

導電層43～45は、公知の手段（プラズマCVD法やスパッタリング法）により、チタン（Ti）、アルミニウム（Al）、ネオジウム（Nd）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電層43～45は、例えば、バリア層とアルミニウムシリコン（Al-Si、珪素（Si）が添加されたアルミニウム（Al）層とバリア層、バリア層とアルミニウムシリコン（Al-Si）層と窒化チタン（TiN、チタン（Ti）と窒素（N）の組成比は制約されない）層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層43～45を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また下層のバリア層を設けると、アルミニウムやアルミニウムシリコンと、結晶質半導体層との、良好なコンタクトをとることができる。また、チタンは、還元性の高い元素であるため、チタンからなるバリア層を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

【0061】

次に、導電層43～45を覆うように、絶縁層46を形成する（図6（B）の断面図と図7の上面図参照）。絶縁層46は、公知の手段（SOG法、液滴吐出法等）により、無機材料又は有機材料により、単層又は積層で形成する。絶縁層46は、薄膜トランジスタによる凸凹を緩和し、平坦化することを目的に形成する薄膜である。そのため、有機材料により形成することが好ましい。

【0062】

次に、フォトリソグラフィ法により絶縁層46をエッチングして、導電層43、45を露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電層を形成し、当該導電層をパターン加工して、アンテナとして機能する導電層47、48を形成する。導電層47、48は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。例えば、バリア層とアルミニウム層、バリア層とアルミニウム層とバリア層等の積層構造を採用するとよい。バリア層とは、チタン、チタンの窒化物、モリブデン又はモリブデンの窒化物などに相当する。

【0063】

上記工程を経て完成した、薄膜トランジスタ36、37等の素子群と、アンテナとして機能する導電層47、48を合わせて薄膜集積回路52とよぶ。なお、本工程では示さないが、薄膜集積回路52を覆うように、公知の手段により、保護層を形成してもよい。保護層は、 DLC（ダイヤモンドライクカーボン）などの炭素を含む層、窒化珪素を含む層、窒化酸化珪素を含む層等に相当する。

【0064】

次に、剥離層11が露出するように、フォトリソグラフィ法により絶縁層12～14、17、40～42、46をエッチングして、開口部49、50を形成する（図8（A）参照

10

20

30

40

50

)。

【0065】

次に、薄膜集積回路52を覆うように、公知の手段（SOG法、液滴吐出法等）により、絶縁層51を形成する（図8（B）の断面図と図9の上面図参照）。絶縁層51は、有機材料により形成し、好ましくはエポキシ樹脂により形成する。絶縁層51は、薄膜集積回路52が飛散しないように形成するものである。つまり、薄膜集積回路52は小さく薄く軽いために、剥離層を除去した後は、基板に密着していないために飛散しやすい。しかしながら、薄膜集積回路52の周囲に絶縁層51を形成することで、薄膜集積回路52に重みが付き、基板10からの飛散を防止することができる。また、薄膜集積回路52単体では薄くて軽いが、絶縁層51を形成することで、巻かれた形状になることがなく、ある程度の強度を確保することができる。なお、図示する構成では、薄膜集積回路52の上面と側面に絶縁層51を形成しているが、本発明はこの構成に制約されず、薄膜集積回路52の上面のみに絶縁層51を形成してもよい。また、上記の記載によると、絶縁層12～14、17、40～42、46をエッティングして、開口部49、50を形成する工程の後、絶縁層51を形成する工程を行っているが、本発明はこの順番に制約されない。絶縁層46上に絶縁層51を形成する工程の後に、複数の絶縁層をエッティングして、開口部を形成する工程を行ってもよい。この順番の場合だと、薄膜集積回路52の上面のみに絶縁層51が形成される。
10

【0066】

次に、開口部49、50にエッティング剤を導入して、剥離層11を除去する（図10（A）の断面図と図11の上面図参照）。エッティング剤は、フッ化ハロゲン又はハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素（ C_1F_3 ）を使用する。そうすると、薄膜集積回路52は、基板10から剥離された状態となる。
20

【0067】

また、その他のエッティング剤として、三フッ化窒素（ NF_3 ）、三フッ化臭素（ BrF_3 ）、フッ化水素（ HF ）を用いてもよい。なお、エッティング剤としてフッ化水素（ HF ）を用いる場合は、剥離層として、珪素の酸化物を含む層を用いる。

【0068】

次に、薄膜集積回路52の一方の面を、第1の基体53に接着させて、基板10から完全に剥離する（図10（B）参照）。

30

【0069】

続いて、薄膜集積回路52の他方の面を、第2の基体54に接着させ、その後ラミネート処理を行って、薄膜集積回路52を、第1の基体53と第2の基体54により封止する（図1参照）。そうすると、薄膜集積回路52が第1の基体53と第2の基体54により封止された無線チップが完成する。

【0070】

第1の基体53と第2の基体54は、ラミネートフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどに相当する。
40

【0071】

ラミネートフィルムは、熱圧着により、被処理体にラミネート処理が行われるものであり、ラミネート処理を行う際には、ラミネートフィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。

【0072】

第1の基体53と第2の基体54の表面には接着層が設けられていてもよいし、接着層が設けられていないてもよい。接着層は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接
50

着剤、樹脂添加剤等の接着剤を含む層に相当する。

【実施例 1】

【0073】

本実施例では、剥離層として用いる 7 つのサンプルを形成し(表 1 参照)、これらのサンプルを、三フッ化塩素 ($C_1 F_3$) ガスを用いてエッチングしたときのエッチングレートの温度依存性について調べた実験結果について図 25 を参照して説明する。

【0074】

【表 1】

| — | — | 酸化金属膜の形成処理 | 膜厚(nm) | 抵抗率(Ωm) |
|---------|---|----------------|--------|-------------------|
| sample1 | 酸化タンゲステン層(WO _x) | — | 400 | 4.20E-04 |
| sample2 | タンゲステン層(W、下層)と酸化タンゲステン層(Wo _x 、上層)の積層構造 | 550°C 10min | 50~100 | 2.20E-05 |
| sample3 | タンゲステン層(W、下層)と酸化タンゲステン層(Wo _x 、上層)の積層構造 | 450°C 4min | 50~100 | 1.50E-05 |
| sample4 | タンゲステン層(W) | — | 50 | 1.40E-05 |
| sample5 | シリコン層(Si) | — | 50 | — |
| sample6 | シリコン層(Si) | — | 50 | — |
| sample7 | 酸化タンゲステン層(WO ₃) | 650°C 2min | 70~100 | — |

【0075】

サンプル 1 ~ サンプル 7 の剥離層の作成方法について、以下により詳しく説明する。サンプル 1 は、スパッタリング法により、アルゴンガスと酸素ガスの雰囲気下で、酸化タンゲステン層 (WO_x) を形成した。サンプル 2 は、スパッタリング法によりタンゲステン層を形成し、続いて、550、10 分間、LRTA により、タンゲステン層の表面に酸化タンゲステン層を形成した。サンプル 3 は、スパッタリング法によりタンゲステン層を形成し、続いて、450、4 分間、GRTA により、タンゲステン層の表面に酸化タンゲステン層を形成した。サンプル 4 は、スパッタリング法により、タンゲステン層を形成した。サンプル 5 は、スパッタリング法により、シリコン層を形成した。サンプル 6 は、CVD 法により、シリコン層を形成した。サンプル 7 は、スパッタリング法によりタンゲステン層を形成し、続いて、GRTA により、タンゲステン層をほぼ完全に酸化して、酸化タンゲステン層を形成した。

【0076】

サンプル 1 の剥離層は、酸化タンゲステン層からなる単層構造である。サンプル 2 とサンプル 3 の剥離層は、タンゲステン層、当該タンゲステン層上の酸化タンゲステン層からなる積層構造である。サンプル 4 の剥離層は、タンゲステン層からなる単層構造である。サンプル 5、6 は、シリコン層からなる単層構造である。サンプル 7 は、酸化タンゲステン層からなる単層構造である。なお、サンプルが積層構造の場合、エッチングレートは、その複数の層のエッチングレートを示すものである。

【0077】

なお、サンプル 2、7 の LRTA (Lamp Rapid Thermal Anneal) は、ハロゲンランプによる瞬間熱アニールを指す。サンプル 3 の GRTA (Gas

10

20

30

40

50

Rapid Thermal Anneal) は、拡散炉によるヒーター加熱の輻射熱と加熱されたガスによる瞬間熱アニールを指す。サンプル 7 は、 WO_x の x が 3 と特定されており、これは、ESCA (X線光電子分光法) により調べた結果によるものである。サンプル 1 ~ 3 の WO_x の X は $0 < X < 3$ を満たし、3 は含まないものと考えられる。これは、サンプル 1 ~ 3 と、サンプル 7 のエッティングレートが大きく異なるためである。従って、サンプル 1 ~ 3 の WO_x の X は、3 を含まず、2 の場合 (WO_2)、2.5 の場合 (W_2O_5)、2.75 の場合 (W_4O_{11}) などがあり得る。また、表 1において、サンプル 2、3 の表面の酸化とは、タングステン層の表面に酸化タングステン層を形成することを指す。また、サンプル 7 のほぼ完全な酸化とは、タングステン層をほぼ完全に酸化タングステン層にすることを指す。

10

【0078】

なお、サンプル 1 ~ 3 の WO_x の X は $0 < X < 3$ を満たし、3 は含まないものと考えられるが、サンプル 1 ~ 3 の WO_x の X は、様々な数字が当てはまると考えられる。そして、サンプル 1 ~ 3 の主成分の WO_x の X は、 $0 < X < 3$ を満たす場合が多いと考えられるが、サンプル 1 ~ 3 に、 x が 3 を満たす WO_3 が含まれる場合もある。つまり、剥離層として用いる WO_x の X は、 $0 < X < 3$ である場合もある。また、好ましくは剥離層として用いる WO_x の X は $2 < X < 3$ 、さらに好ましくは剥離層として用いる WO_x の X は $2 < X < 3$ である。

【0079】

また、図 25において、横軸は $1000/T$ (絶対温度) を示し、単位は [/ K] である。縦軸は各サンプルのエッティングレートを示し、単位は [mm/h] である。

20

【0080】

図 25 から、室温である 25 におけるエッティングレートは、サンプル 1 > サンプル 5 サンプル 6 > サンプル 4 > サンプル 2 サンプル 3 > サンプル 7 の順に低くなっている。50 におけるエッティングレートは、サンプル 1 > サンプル 2 サンプル 3 サンプル 4 サンプル 5 サンプル 6 > サンプル 7 の順に低くなっている。100 におけるエッティングレートは、サンプル 1 > サンプル 2 サンプル 3 サンプル 4 > サンプル 5 サンプル 6 > サンプル 7 の順に低くなっている。150 におけるエッティングレートは、サンプル 1 > サンプル 2 サンプル 3 > サンプル 4 > サンプル 5 > サンプル 6 > サンプル 7 の順に低くなっている。

30

【0081】

図 25 から、サンプル 1 (WO_x) のエッティングレートは、温度依存性があり、温度が低くなるにつれてエッティングレートが低くなっている。また、サンプル 1 のエッティングレートは、他のサンプルと比較すると一番高い値となっている。サンプル 2 ~ サンプル 4 のエッティングレートは、温度依存性があり、殆どのサンプルで温度が低くなるにつれてエッティングレートが低くなっている。従って、サンプル 1 ~ サンプル 4 は、高温処理に向いていることが分かる。

【0082】

サンプル 5 とサンプル 6 のエッティングレートは、温度依存性が比較的小さく、いずれの温度でもエッティングレートはほぼ同じ値となっている。サンプル 7 (WO_3) のエッティングレートは、温度依存性が殆どなく、他のサンプルと比較すると一番低い値となっている。

40

【0083】

上記の実験結果から、剥離層として、サンプル 1 と同じものを形成することが最も好適であることが分かる。また、なるべく高温の状態でエッティング処理を行うことが好適であることが分かる。

【0084】

本発明の無線チップの作製方法において、上記のサンプル 1 ~ サンプル 7 と同じ方法で剥離層を作製してもよい。

【実施例 2】

【0085】

50

上記の実施の形態によると、基板 10 から薄膜集積回路 52 を剥離するために、剥離層 11 をエッティング剤により完全に除去している（図 11 参照）。しかし、本発明はこの形態に制約されず、開口部にエッティング剤を導入して、剥離層 11 を全て除去するのではなく、選択的に除去してもよい（図 18（A）参照）。そして、剥離層 11 を選択的に除去した後は、物理的手段（物理的な力）により、基板 10 から薄膜集積回路 52 を剥離してもよい（図 18（B）参照）。なお、物理的手段によって剥離するとは、ノズルから吹き付けられるガスの風圧、超音波等の外部からストレスを与えることによって剥離することをいう。なお、物理的手段によって薄膜集積回路 52 を剥離した場合、剥離層 11 は基板 10 上に残存してもよいし、基板 10 から剥離層 11 と薄膜集積回路 52 が共に剥離されてもよい。

10

【0086】

上記のように、剥離層 11 をエッティング剤により完全に除去するのではなく、剥離層 11 を選択的に除去して、物理的手段を併用する手法を用いることにより、剥離工程を短時間で行うことができるため、生産性を向上させることができる。

【実施例 3】

【0087】

本実施例は、微細なゲート電極を形成する工程について説明する。まず、絶縁表面を有する基板 10 上に、剥離層 11、絶縁層 12～14、結晶質半導体層 15、16 を形成する（図 19（A）参照）。次に、全面に、導電層 70、71 を形成する（図 19（A）参照）。次に、導電層 71 上に、フォトマスクを用いて、レジストマスク 72、73 を形成する。次に、酸素プラズマ処理等の公知のエッティング処理により、レジストマスク 72、73 をエッティングし、新たなレジストマスク 74、75 を形成する（図 19（B）参照）。上記の工程を経たレジストマスク 74、75 は、フォトリソグラフィ法により形成することができる限界を超えた、微細なものとすることができます。そして、レジストマスク 74、75 を用いて、エッティング処理を行えば、微細なゲート電極を作成することができる。

20

【0088】

また、上記とは異なる方法として、まず、フォトリソグラフィ法を用いてレジストマスク 72、73 を形成する（図 20（A）参照）。次に、レジストマスク 72、73 を用いてエッティング処理を行って導電層 76～79 を形成する。その後、レジストマスク 72、73 を除去せず、レジストマスク 72、73 と導電層 76～79 の積層体のうち、導電層 76～79 の側面のみを選択的にエッティングする。この手法でも、上記の手法と同様に、フォトリソグラフィ法により形成することができる限界を変えた、ゲート電極として機能する微細な導電層 85、86 を形成することができる（図 20（B）参照）。

30

【0089】

上記のいずれかの方法により形成した微細なゲート電極と共に、半導体層も微細化すれば、微細な薄膜トランジスタを形成することができる。薄膜トランジスタが微細なものであれば、その分高集積化を可能とするので、高性能化が実現する。また、チャネル形成領域の幅が狭くなるため、チャネルが早く発生し、高速動作を実現する。

【実施例 4】

【0090】

本実施例では、絶縁表面を有する基板上に、薄膜トランジスタだけでなく、フローティングゲート電極を含むメモリトランジスタを作り込んだときの断面構造について説明する。

40

【0091】

まず、絶縁表面を有する基板 10 上に、剥離層 11、絶縁層 12～14 を形成する。次に、絶縁層 14 上に薄膜トランジスタ 36、37 と、メモリトランジスタ 80 を形成する（図 21 参照）。メモリトランジスタ 80 は、ゲート電極として機能する導電層 81 と、ゲート電極として機能する導電層 82 との間に挟まれた絶縁層 83 とを有する。内側のゲート電極として機能する導電層 81 は電気的に隔離されており、この導電層 81 に電子を蓄積して、その電子の量で「0」又は「1」を判別する。上記のメモリトランジスタの場合、電源を切断しても、記憶内容が失われないという利点を有する。なお、本発明は、ゲー

50

ト電極として、導電層を用いる上記の形態に制約されず、例えば、ゲート電極として、シリコンクラスタ層を用いてもよい。

【0092】

なお、記憶回路として、上記のようなメモリトランジスタ80を含むE PROM (Electrically Programmable Read Only Memory)、EEPROM (Electrically Erasable Read Only Memory)、フラッシュメモリだけでなく、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、FeRAM (Ferroelectric Random Access Memory)、マスクROM、ヒューズ式PROM (Programmable Read Only Memory)、反ヒューズ式PROM等のメモリを用いてもよい。10

【0093】

また、無線チップに用いる記憶回路として、仮に、記憶内容の書き換えが簡単に行われてしまうと、偽造が可能となってしまう。そこで、1回しか書き込みができないライトワンスのメモリを用いるとよい。ライトワンスのメモリは、薄膜トランジスタを破壊してデータの書き込みができないようにする手法を用いるか、電気的にデータを書き込むのではなく、レーザ光で記憶内容を書き込むタイプのものを用いるとよい。

【実施例5】

【0094】

無線チップは、アンテナより電源を供給するため、電源の安定化が難しく、消費電力を極力抑制することが必要である。仮に、消費電力が増加すると、強力な電磁波を入力する必要があるため、リーダライタの消費電力の増加、他の装置や人体への悪影響、無線チップとリーダライタとの通信距離に制約が生じるなどの不都合が生じる。そこで、本実施例では、消費電力を抑制することが可能な無線チップの構成について説明する。20

【0095】

本実施例において示す無線チップは、デュアルゲート構造の薄膜トランジスタを用いることを特徴とする。デュアルゲート構造の薄膜トランジスタとは、下部ゲート電極と、上部ゲート電極とを有する薄膜トランジスタであり、図17には、下部ゲート電極61と上部ゲート電極62を含むN型の薄膜トランジスタ36と、下部ゲート電極63と上部ゲート電極64を含むP型の薄膜トランジスタ37を示す。30

【0096】

消費電力を抑制するためには、下部ゲート電極61、63にバイアス電圧を印加する方法が有効であり、具体的には、N型の薄膜トランジスタ36の下部ゲート電極61に対する負のバイアス電圧の印加は、しきい値電圧を高めて、リーク電流を減少させることができる。また、正のバイアス電圧の印加は、しきい値電圧を下げて、チャネル形成領域に電流が流れやすくすることができる。従って、薄膜トランジスタ36は、より高速化、若しくはより低電圧で動作する。

【0097】

P型の薄膜トランジスタ37の下部ゲート電極63に対する正のバイアス電圧の印加は、しきい値電圧を高めて、リーク電流を減少させることができる。また、負のバイアス電圧の印加は、しきい値電圧を下げて、チャネル形成領域に電流が流れやすくすることができる。従って、薄膜トランジスタ37は、より高速化、若しくは低電圧で動作する。40

【0098】

上記の通り、下部ゲート電極に印加するバイアス電圧を制御することで、薄膜トランジスタ36、37のしきい値電圧を変えて、リーク電流を減少させ、その結果、無線チップ自身の消費電力を抑制することができる。従って、暗号処理などの複雑な処理を行っても、電源が不安定になることがなく、電源の安定化を実現する。また、強力な電磁波を入力する必要がなく、リーダライタとの通信距離を改善することができる。なお、バイアス電圧の印加は、専用の制御回路を設けて、アンテナを介した電源の状態によって切り換えるとよい。50

【実施例 6】**【0099】**

本発明の無線チップの構成について、図面を参照して説明する。ここで説明する無線チップの仕様は、国際標準規格の I S O 1 5 6 9 3 に準拠し、近傍型で、交信信号周波数は 1 3 . 5 6 M H z である。また、受信はデータ読み出し命令のみ対応し、送信のデータ伝送レートは約 1 3 k H z であり、データ符号化形式はマンチェスターコードを用いている。

【0100】

無線チップ 2 1 5 は、大別して、アンテナ部 2 2 1 、電源部 2 2 2 、ロジック部 2 2 3 から構成される。アンテナ部 2 2 1 は、外部信号の受信とデータの送信を行うためのアンテナ 2 0 1 からなる（図 1 2 参照）。

10

【0101】

電源部 2 2 2 は、アンテナ 2 0 1 を介して外部から受信した信号により電源を作る整流回路 2 0 2 と、作りだした電源を保持するための保持容量 2 0 3 からなる。

【0102】

ロジック部 2 2 3 は、受信した信号を復調する復調回路 2 0 4 と、クロック信号を生成するクロック生成・補正回路 2 0 5 と、各コード認識及び判定回路 2 0 6 と、メモリからデータを読み出すための信号を受信信号により作り出すメモリコントローラ 2 0 7 と、符号化した信号を送信信号に変調するための変調用抵抗を含む変調回路 2 0 8 と、読み出したデータを符号化する符号化回路 2 0 9 と、データを保持するマスク R O M 2 1 1 とを有する。

20

【0103】

各コード認識及び判定回路 2 0 6 が認識・判定するコードは、フレーム終了信号（ E O F 、 e n d o f f r a m e ）、フレーム開始信号（ S O F 、 s t a r t o f f r a m e ）、フラグ、コマンドコード、マスク長（ m a s k l e n g t h ）、マスク値（ m a s k v a l u e ）等である。また、各コード認識及び判定回路 2 0 6 は、送信エラーを識別する巡回冗長検査（ C R C 、 c y c l i c r e d u n d a n c y c h e c k ）機能も含む。

【0104】

次に、上記構成を有する無線チップのレイアウトの一例について、図 1 3 、 1 4 を参照して説明する。まず、1つの無線チップの全体的なレイアウトについて説明する（図 1 3 参照）。無線チップは、アンテナ 2 0 1 と、電源部 2 2 2 及びロジック部 2 2 3 とを構成する素子群 2 1 4 とで、別々のレイヤーに形成されており、具体的には、素子群 2 1 4 上にアンテナ 2 0 1 が形成されている。素子群 2 1 4 を形成する領域の一部と、アンテナ 2 0 1 を形成する領域の一部は重なっている。図示する構成では、アンテナ 2 0 1 を構成する配線の幅を 1 5 0 μ m 、配線と配線の間の幅を 1 0 μ m で設計し、その巻き数は 1 5 巻きとした。なお本発明は、上記のように、アンテナ 2 0 1 と、素子群 2 1 4 とを別々のレイヤーに形成する形態に制約されない。また、アンテナ 2 0 1 は、図 1 3 に示すように、巻いた形状に制約されない。

30

【0105】

アンテナ 2 0 1 の形状がリボン型（図 2 4 （ A ）（ B ）参照）、アンテナ 2 0 1 の形状が曲線型（図 2 4 （ C ）参照）、アンテナ 2 0 1 の形状が直線型（図 2 4 （ D ）参照）のいずれの形状でもよい。

40

【0106】

次に、電源部 2 2 2 とロジック部 2 2 3 のレイアウトについて説明する（図 1 4 参照）。電源部 2 2 2 を構成する整流回路 2 0 2 と保持容量 2 0 3 は同じ領域に設けられる。ロジック部 2 2 3 を構成する復調回路 2 0 4 と、各コード認識及び判定回路 2 0 6 は、2カ所に分けて設けられる。マスク R O M 2 1 1 とメモリコントローラ 2 0 7 は隣接して設けられる。クロック生成・補正回路 2 0 5 と各コード認識及び判定回路 2 0 6 は隣接して設けられる。復調回路 2 0 4 は、クロック生成・補正回路 2 0 5 と各コード認識及び判定回路 2 0 6 の間に設けられる。また、図 1 2 のブロック図には示していないが、ロジック部用

50

の検波容量 212 と、電源部用の検波容量 213 とが設けられる。変調用抵抗を含む変調回路 208 は、検波容量 212 と検波容量 213 の間に設けられる。

【0107】

マスク ROM 211 は、製造工程で記憶内容をメモリに作り込むものであり、ここでは、高電位電源 (VDDともよぶ) に接続する電源線と、低電位電源 (VSSともよぶ) に接続する電源線の 2 本の電源線を設けて、メモリセルが記憶する記憶内容は、各メモリセルが含むトランジスタが、上記のどちらの電源線に接続しているかにより判断する。

【0108】

次に、整流回路 202 の回路構成の一例について説明する (図 22 (A) 参照)。整流回路 202 は、トランジスタ 91、92 と、容量用トランジスタ 93 とを有する。トランジスタ 91 のゲート電極はアンテナ 201 に接続する。容量用トランジスタ 93 のゲート電極は高電位電源 (VDD) に接続する。また、容量用トランジスタ 93 のソース電極とドレイン電極は接地電源 (GND) に接続する。

【0109】

続いて、復調回路 204 の回路構成の一例について説明する (図 22 (B) 参照)。復調回路 204 は、トランジスタ 94、95、抵抗素子 96、99、容量用トランジスタ 97、98 とを有する。トランジスタ 94 のゲート電極はアンテナ 201 に接続する。容量用トランジスタ 98 のゲート電極は論理回路に接続する。容量用トランジスタ 98 のソース電極とドレイン電極は接地電源 (GND) に接続する。

【0110】

次に、上記の整流回路 202 や復調回路 204 が含む容量用トランジスタの断面構造について説明する (図 23 (A) 参照)。容量用トランジスタ 101 は、ソース電極とドレイン電極が互いに接続されており、容量用トランジスタ 101 がオンすると、ゲート電極とチャネル形成領域との間に容量が形成される。このような容量用トランジスタ 101 の断面構造は、通常の薄膜トランジスタの断面構造と変わらない。等価回路図は、図 23 (B) のように表すことができる。なお、上記の構成のように、ゲート絶縁膜を用いた容量だと、トランジスタのしきい値電圧の変動に対して影響を受けるため、ゲート電極と重なる領域 102 に、不純物元素を添加してもよい (図 23 (C) 参照)。このようにすると、トランジスタのしきい値電圧とは無関係に容量が形成される。この場合の等価回路図は図 23 (D) のように表すことができる。

【0111】

本実施例は、上記の実施の形態と自由に組み合わせることができる。

【実施例 7】

【0112】

本発明により作製される無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類 (運転免許証や住民票等、図 15 (A) 参照)、包装用品類 (包装紙やボトル等、図 15 (B) 参照)、記録媒体 (DVD ソフトやビデオテープ等、図 15 (C) 参照)、乗物類 (自転車等、図 15 (D) 参照)、装身具 (鞄や眼鏡等、図 15 (E) 参照)、食品類、衣類、生活用品類、電子機器等に貼り付けて使用することができる。電子機器とは、液晶表示装置、EL 表示装置、テレビジョン装置 (単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ) 及び携帯電話等を指す。

【0113】

無線チップ 210 は、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本なら表紙の厚紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりする。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等なら、表面に貼り付けたり、埋め込んだりする。

【0114】

上記に挙げた物品のうち、例えば、包装用品類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。

10

20

30

40

50

【0115】

また、無線チップを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、表示部294を含む携帯端末の側面にリーダライタ295を設けて、物品297の側面に無線チップ296を設ける場合が挙げられる(図16(A)参照)。この場合、リーダライタ295に無線チップ296をかざすと、表示部294に物品297の原材料や原産地、流通過程の履歴等の情報が表示されるシステムになっている。また、別の例として、ベルトコンベアの脇にリーダライタ295を設ける場合が挙げられる(図16(B)参照)。この場合、物品297の検品を簡単に行うことができる。

【0116】

本実施例は、上記の実施の形態、実施例と自由に組み合わせができる。

【実施例8】**【0117】**

本実施例は、上記とは異なる無線チップの断面構造について、図26を参照して説明する。本発明の無線チップは、第1の基体53(基板、フィルム、テープとよぶこともできる)と第2の基体54の間に薄膜集積回路が設けられている。薄膜集積回路は、絶縁層12~14と、絶縁層12~14上に設けられた薄膜トランジスタ36、37と、薄膜トランジスタ36、37を覆う絶縁層40~42と、絶縁層40~42に接し、ソース配線又はドレイン配線として機能する導電層43~45と、導電層43~45を覆う絶縁層46と、絶縁層46に接し、アンテナとして機能する導電層47、48と、導電層47、48を覆う絶縁層51とを有する。第1の基体53は、絶縁層51に接するように設けられており、第2の基体54は、絶縁層12に接するように設けられている。

【0118】

薄膜トランジスタ36、37の各々は、半導体層と、ゲート絶縁層と、ゲート電極層とを有する。図示する構成では、ゲート絶縁層55、56が、ゲート電極層及びサイドウォール絶縁層のみと重なるように設けられていることを特徴とする。これは、絶縁層28を形成し(図4(B)参照)、次に、絶縁層28を、垂直方向を主体とした異方性エッティングにより、選択的にエッティングして、ゲート電極層の側面に接するサイドウォール絶縁層29、30を形成する際(図5(A)参照)に、ゲート絶縁層17も同時にエッティングされたものである。つまり、ゲート絶縁層55、56は、サイドウォール絶縁層29、30を形成する際に、ゲート絶縁層17がエッティングされて形成されたものである。

【0119】

なお、薄膜トランジスタは、1つのゲート電極を有するシングルゲート構造、2つ以上のゲート電極を有するマルチゲート構造があるが、本発明において用いる薄膜トランジスタは、そのどちらでもよい。薄膜トランジスタが2つのゲート電極を有する場合、その薄膜トランジスタが含む半導体層は、2つのチャネル形成領域を有する。本発明の無線チップが含む薄膜トランジスタは、そのチャネル長が $1\text{ }\mu\text{m}$ から $3\text{ }\mu\text{m}$ であることを特徴とするが、薄膜トランジスタが2つのチャネル形成領域を有する場合、そのチャネル長は、2つのチャネル形成領域のチャネル長の合計の長さである。

【図面の簡単な説明】**【0120】**

【図1】本発明の無線チップとその作製方法を説明する図。

【図2】本発明の無線チップとその作製方法を説明する図。

【図3】本発明の無線チップとその作製方法を説明する図。

【図4】本発明の無線チップとその作製方法を説明する図。

【図5】本発明の無線チップとその作製方法を説明する図。

【図6】本発明の無線チップとその作製方法を説明する図。

【図7】本発明の無線チップとその作製方法を説明する図。

【図8】本発明の無線チップとその作製方法を説明する図。

【図9】本発明の無線チップとその作製方法を説明する図。

10

20

30

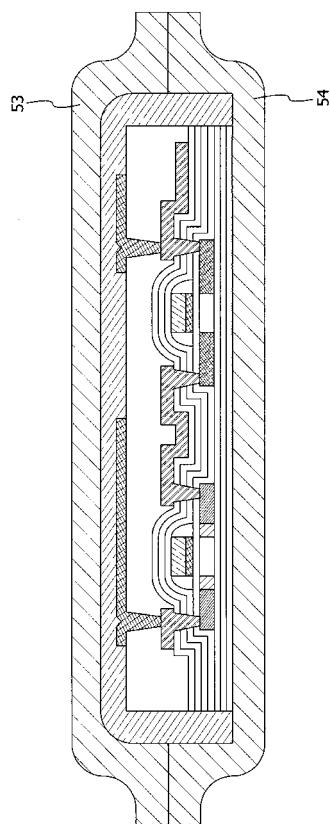
40

50

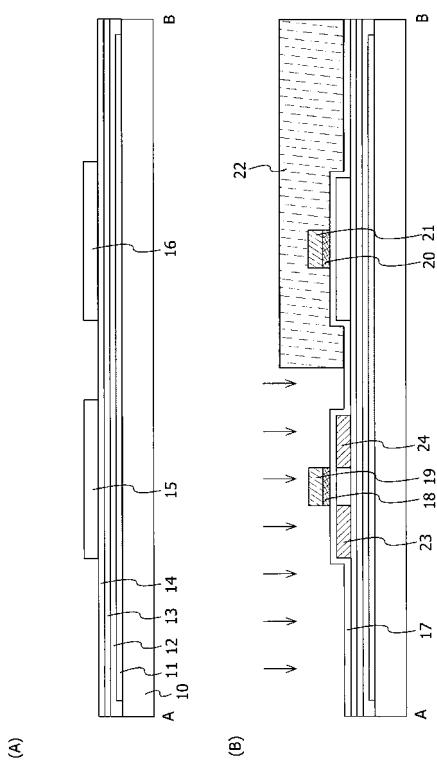
- 【図10】本発明の無線チップとその作製方法を説明する図。
 【図11】本発明の無線チップとその作製方法を説明する図。
 【図12】本発明の無線チップの構成を説明する図。
 【図13】本発明の無線チップの構成を説明する図。
 【図14】本発明の無線チップの構成を説明する図。
 【図15】本発明の無線チップの使用形態を説明する図。
 【図16】本発明の無線チップの使用形態を説明する図。
 【図17】本発明の無線チップを説明する図。
 【図18】本発明の無線チップとその作製方法を説明する図。
 【図19】本発明の無線チップとその作製方法を説明する図。
 【図20】本発明の無線チップとその作製方法を説明する図。
 【図21】本発明の無線チップの構成を説明する図。
 【図22】本発明の無線チップの構成を説明する図。
 【図23】本発明の無線チップの構成を説明する図。
 【図24】本発明の無線チップの構成を説明する図。
 【図25】複数のサンプルのエッチングレートの温度依存性を示すグラフ。
 【図26】本発明の無線チップの構成を説明する図。

10

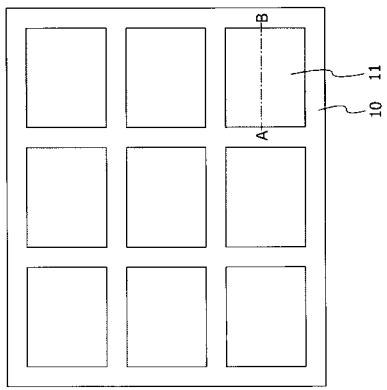
【図1】



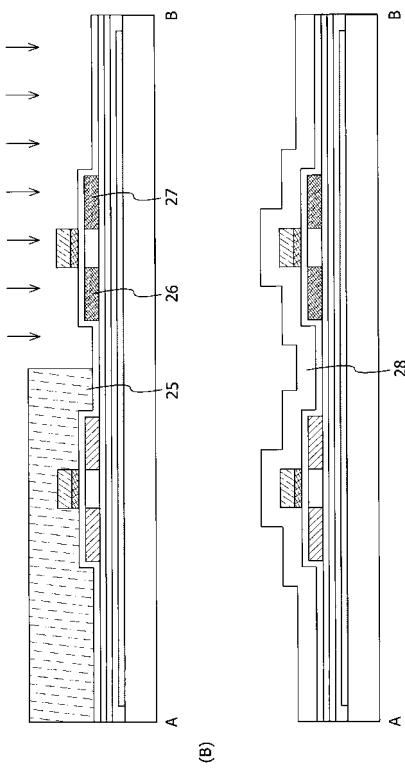
【図2】



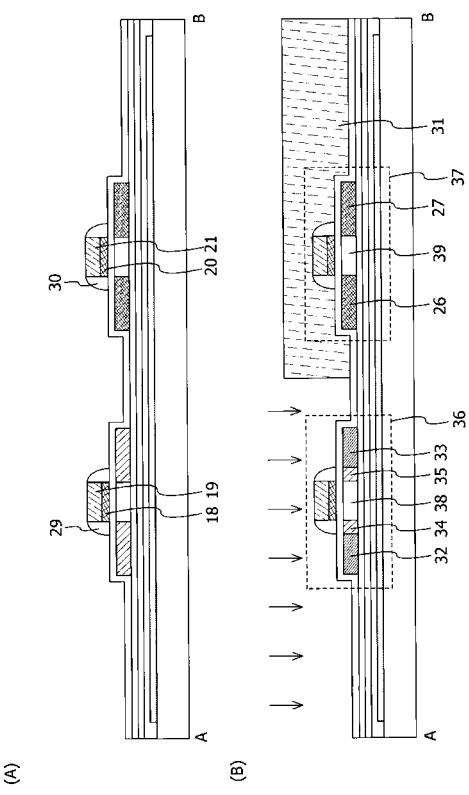
【図3】



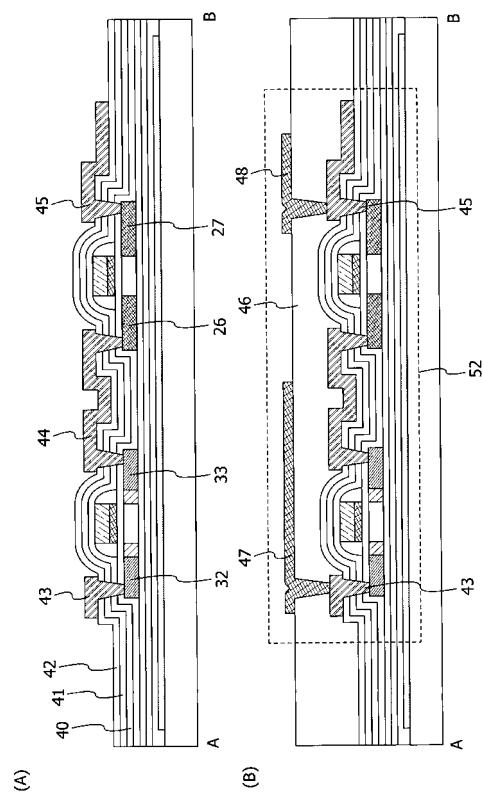
【図4】



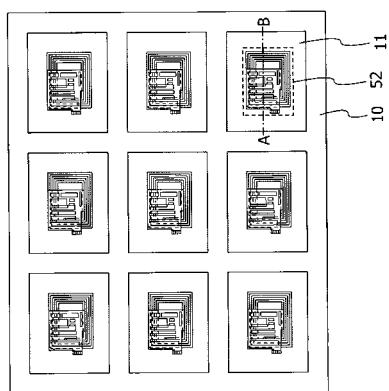
【図5】



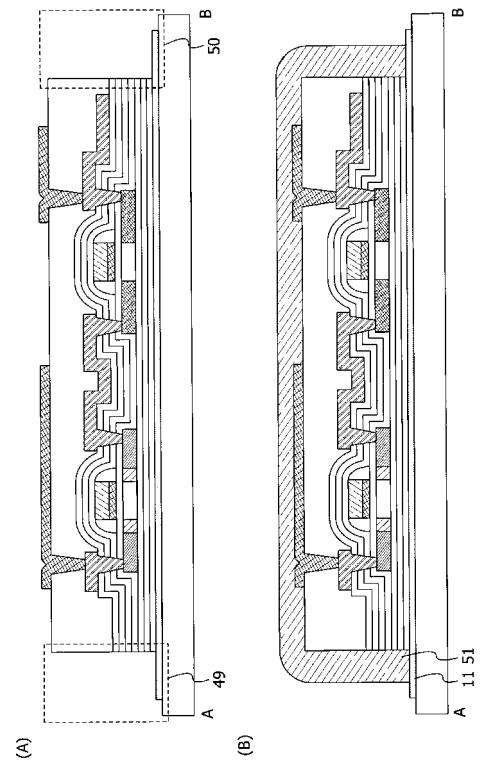
【図6】



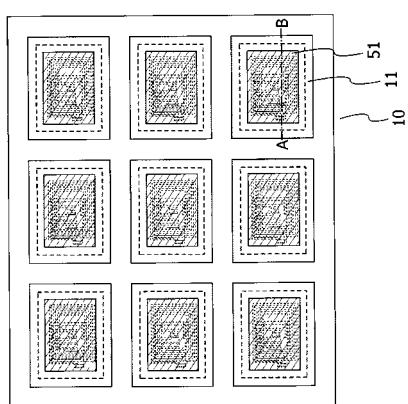
【図7】



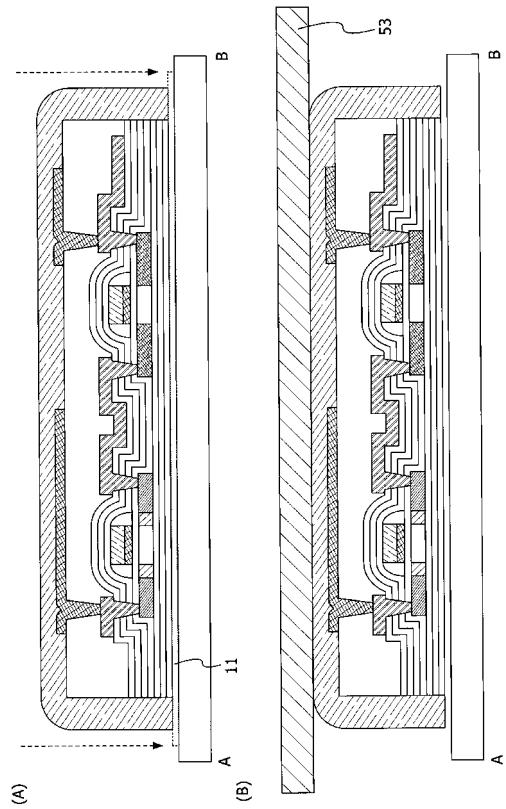
【図8】



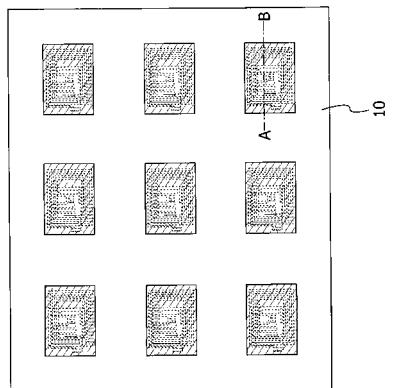
【図9】



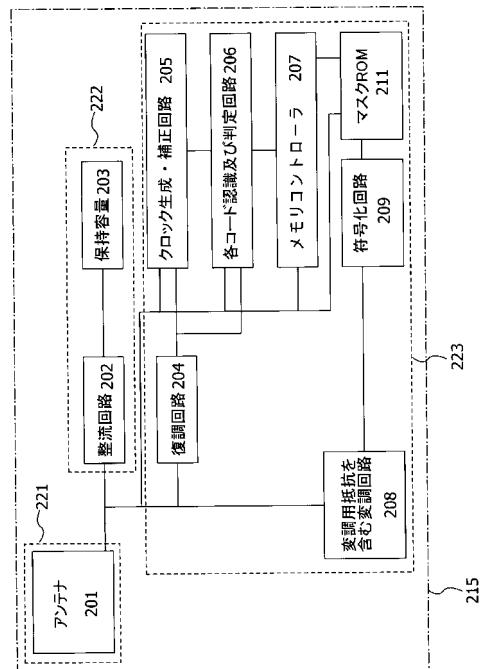
【図10】



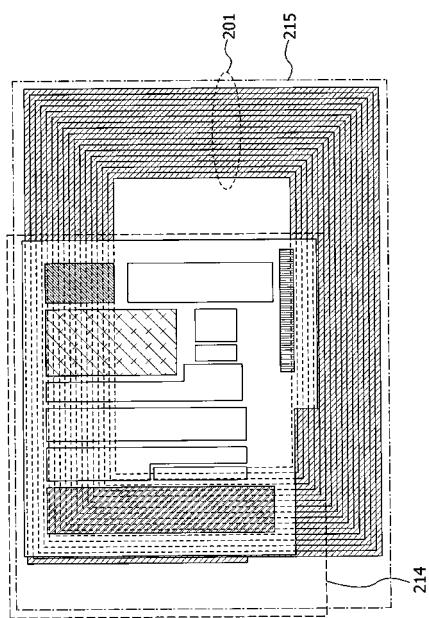
【図 1 1】



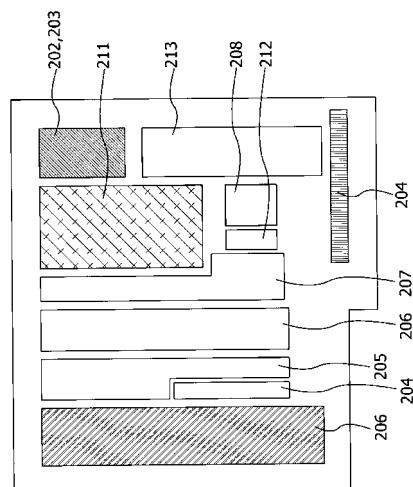
【図 1 2】



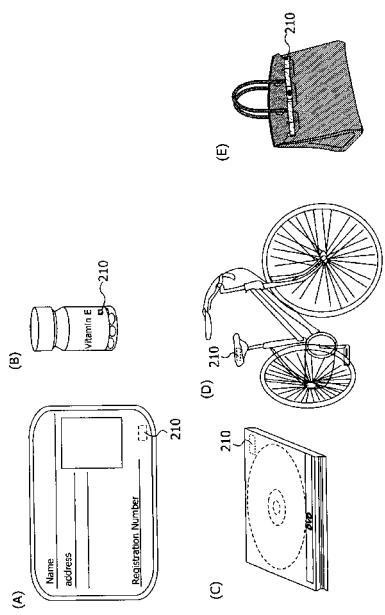
【図 1 3】



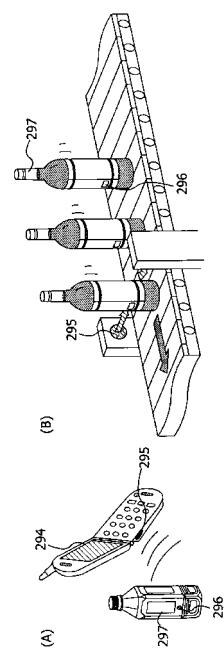
【図 1 4】



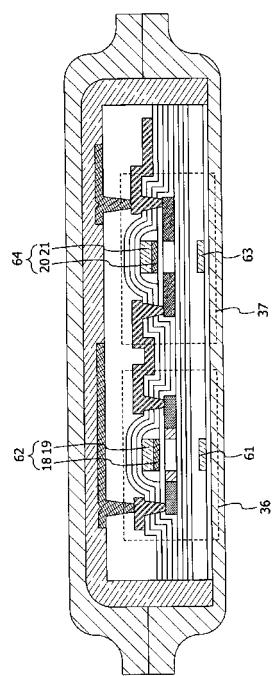
【図15】



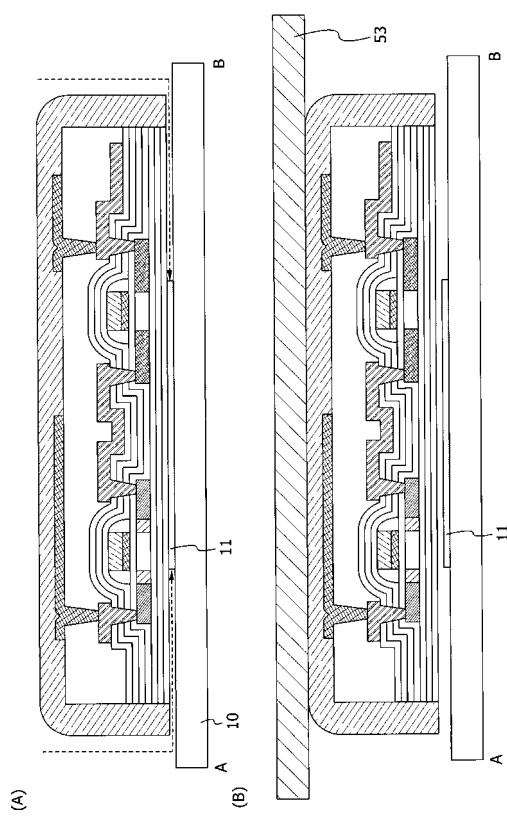
【図16】



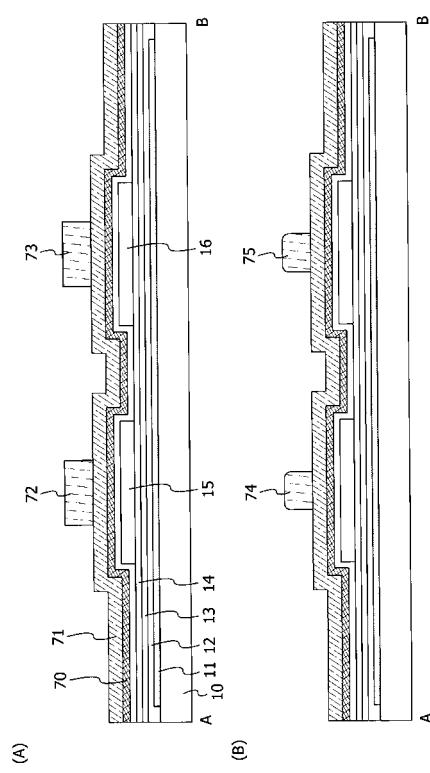
【図17】



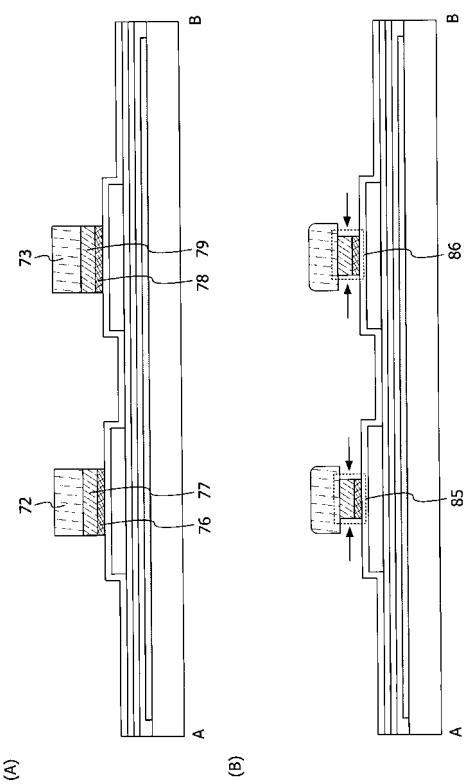
【図18】



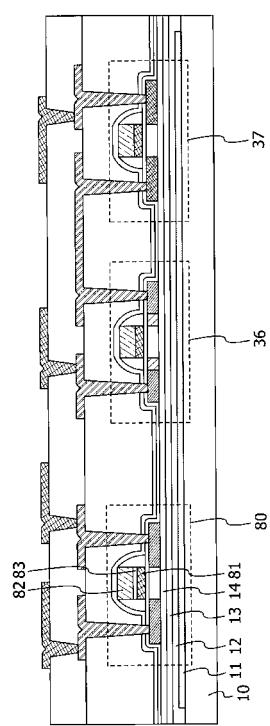
【図19】



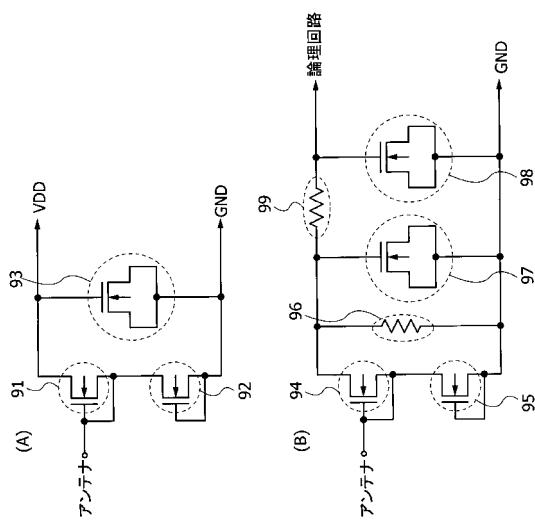
【図20】



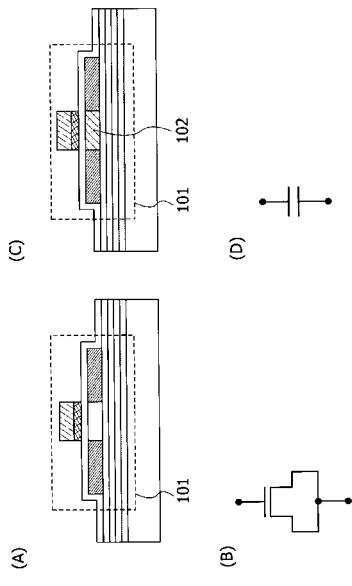
【図21】



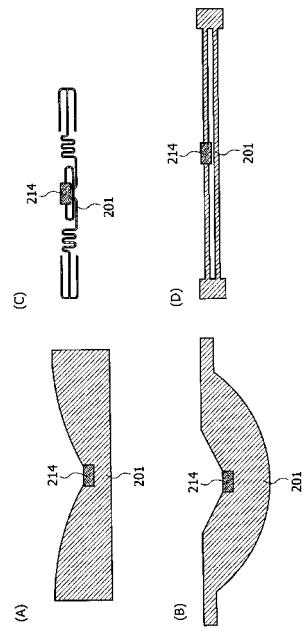
【図22】



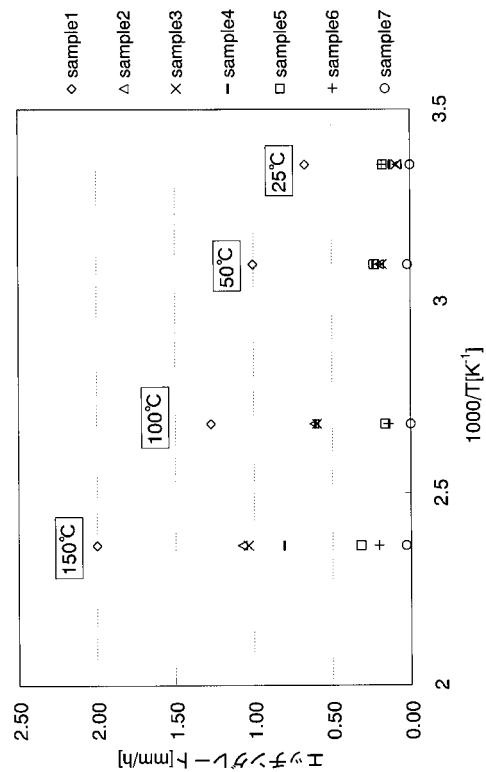
【図23】



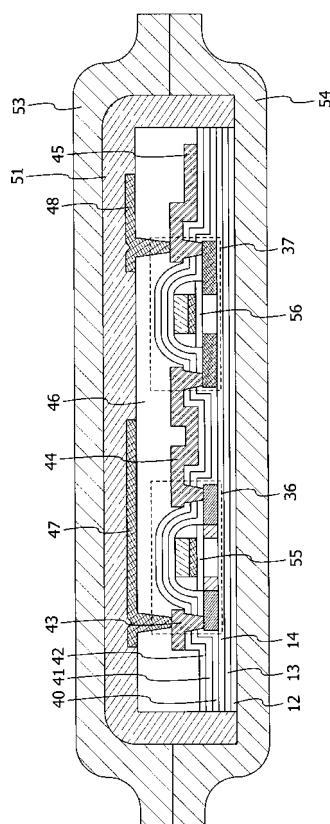
【図24】



【図25】



【図26】



フロントページの続き

(72)発明者 道前 芳隆
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

(56)参考文献 特開2004-220591(JP,A)
特開2001-272923(JP,A)
特開2001-237260(JP,A)
特開2004-064056(JP,A)
特開2004-221561(JP,A)
国際公開第03/010825(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02
H01L 21/336
H01L 27/12
H01L 29/786