



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



⑪ Veröffentlichungsnummer: 0 354 265 B1

⑫

## EUROPÄISCHE PATENTSCHRIFT

⑯ Veröffentlichungstag der Patentschrift: 29.12.93

⑮ Int. Cl. 5: G11C 7/00

⑯ Anmeldenummer: 88113074.4

⑯ Anmeldetag: 11.08.88

⑯ Integrierte Halbleiterschaltung mit einem Speicherbereich.

⑯ Veröffentlichungstag der Anmeldung:  
14.02.90 Patentblatt 90/07

⑯ Bekanntmachung des Hinweises auf die  
Patenterteilung:  
29.12.93 Patentblatt 93/52

⑯ Benannte Vertragsstaaten:  
AT DE FR GB IT NL

⑯ Entgegenhaltungen:  
EP-A- 0 278 391  
US-A- 3 699 538  
US-A- 4 025 907

⑯ Patentinhaber: SIEMENS AKTIENGESELL-  
SCHAFT  
Wittelsbacherplatz 2  
D-80333 München(DE)

⑯ Erfinder: Hoffmann, Kurt, Dr. Prof.  
Nelkenweg 20  
D-8021 Taufkirchen(DE)  
Erfinder: Kraus, Rainer, Dr.  
Weldener Strasse 21  
D-8000 München 83(DE)  
Erfinder: Kowarik, Oskar, Dr.  
Goetherling 70  
D-8018 Grafing(DE)

EP 0 354 265 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

## Beschreibung

### Beschreibung für Vertragsstaaten : AT, IT, NL

Die vorliegende Erfindung betrifft eine integrierte Halbleiterschaltung nach dem Oberbegriff des Patentanspruches 1.

Bildverarbeitung, Musterverarbeitung und Verknüpfungen von Massendaten in Datenbanksystemen treten bei der modernen Datenverarbeitung zunehmend in den Vordergrund. Diesen Tätigkeiten ist gemeinsam, daß sehr große Datenmengen zu verarbeiten sind. Traditionelle Datenverarbeitungssysteme führen die Verarbeitung seriell durch. Dies erfordert einen hohen Zeitaufwand, weil beispielsweise beim Suchen nach einem bestimmten Begriff sehr viele Daten aus einem Speicherbereich serial ausgelesen werden müssen und im Prozessor mit dem Suchbegriff verglichen werden müssen, bis der gewünschte Begriff gefunden ist.

Eine Teillösung dieses Problems stellt der Einsatz inhaltsadressierbarer integrierter Halbleiterspeicher (CAM) dar. Dies hat jedoch zwei Nachteile: Zum einen weisen die derzeit erhältlichen CAM-Speicher eine gegenüber modernen verfügbaren RAM- bzw. ROM-Speicherbausteinen (1MBit Speicherkapazität) sehr geringe Speicherkapazität auf (maximal 8kBit; vgl. IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 5, Oktober 1985, Seiten 951 bis 956) und zum anderen können diese Speicherbausteine lediglich assoziative Funktionen ausführen, nicht jedoch andere digitale Funktionen (z.B. logische, arithmetische). CAM-Speicherbausteine sind außerdem nicht wie übliche RAM- bzw. ROM-Speicherbausteine betreibbar.

Eine weitere Teillösung stellt die Kombination spezieller Prozessoren mit Speicherbausteinen in Parallel-Computern dar ("Transputer"). Transputer jedoch sind teuer, aufwendig zu konfigurieren und nicht universell, d.h. für beliebige Einsatzzwecke verwendbar.

Aufgabe der vorliegenden Erfindung ist es, einen üblichen Halbleiterspeicherbaustein mit möglichst wenig Aufwand so weiterzubilden, daß sein Einsatz den üblicherweise benötigten Zeitaufwand verringert und daß er möglichst universal einsetzbar ist.

Diese Aufgabe wird bei einer gattungsgemäßen Halbleiterschaltung gelöst durch die kennzeichnenden Merkmale des Patentanspruches 1. Vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen gekennzeichnet.

Die Erfindung wird im folgenden anhand der Zeichnung näher erläutert: Es zeigen

FIG 1

einen unmaßstäblichen, globalen Überblick über die erfindungsgemäße Schaltung,

FIG 2

einen Ausschnitt daraus,

die FIG 3 bis 9

vorteilhafte Ausgestaltungen von einzelnen logischen Einheiten der Schaltung.

5 Gemäß FIG 1 enthält die erfindungsgemäße integrierte Halbleiterschaltung außer einem als solchen bekannten Speicherbereich MEM einen Block logischer Einheiten LU. Der Speicherbereich MEM enthält ein oder mehrere Speicherzellenfelder MCF mit über Wortleitungen WL und Bitleitungen BL adressierbaren Speicherzellen MC. Er enthält weiterhin eine der Anzahl der Bitleitungen BL entsprechende Anzahl von Bewerterschaltungen AMPL. Jede Bewerterschaltung AMPL ist, wie in FIG 2 ausschnittsweise dargestellt, so mit einer Bitleitung BL verbunden, daß sie diese in zwei wenigstens annähernd gleiche Bitleitungshälften BLH, BLH aufteilt. Ob diese Aufteilung nach dem Open-Bitline-Konzept oder nach dem Folded-Bitline-Konzept erfolgt ist, ist unwichtig für die vorliegende Erfindung.

10 Die erfindungsgemäße integrierte Halbleiterschaltung enthält weiterhin einen Block von logischen Einheiten LU. Jede logische Einheit LU ist mit einer Bitleitung BL über deren beide Bitleitungshälften BLH, BLH verbunden. Die Verbindung kann innerhalb oder außerhalb der jeweiligen logischen Einheit LU erfolgen, beispielsweise durch Weiterführung der Bitleitung BL bis zur betreffenden logischen Einheit LU, wie dargestellt.

15 20 25 30 35 40 45 Die logischen Einheiten LU dienen einer digitalen Verarbeitung von aus dem Speicherbereich MEM über die Bitleitungen BL ausgelesenen, in den Bewerterschaltungen AMPL bewerteten und verstärkten Daten A sowie von zu den Daten A komplementären Daten  $\bar{A}$ , die bekanntlich beim Bewertungs- und Verstärkungsvorgang entstehen. Unter "digitale Verarbeitung" wird dabei insbesondere verstanden: Logische Verknüpfung zweier Bits (OR, AND, etc.), Invertieren eines oder mehrerer Bits, logische Vergleiche von Werten miteinander, arithmetische Operationen. Der Block logischer Einheiten LU ist dazu in verschiedenen Betriebsarten MODk ( $k = 1 \dots n$ ) betreibbar. Der Auswahl der Betriebsarten MODk dienen Betriebsarten-Auswahlsignale  $\emptyset_j$  ( $j = 1 \dots m$ ).

50 55 Aufbau und Funktion der Erfindung sind nachstehend meist anhand einer einzelnen logischen Einheit LU beschrieben. Unabhängig davon werden jedoch alle logischen Einheiten LU des Blockes parallel zueinander betrieben.

In einer ersten Betriebsart MOD1 sind sämtliche Betriebsarten-Auswahlsignale  $\emptyset_j$  deaktiviert, wodurch alle logischen Einheiten LU ebenfalls deaktiviert sind. In Betrieb bleiben die ausgelesenen, bewerteten Daten A somit bei dieser Ausgestaltung der Erfindung unverändert. Das Betriebsverhalten der integrierten Halbleiterschaltung ist also in der ersten Betriebsart MOD1 identisch mit dem eines

vergleichbaren Halbleiterspeicherbausteins, der den Block logischer Einheiten LU nicht enthält. Die erfindungsgemäße Halbleiterschaltung ist demzufolge elektrisch kompatibel mit einem entsprechenden Halbleiterspeicherbaustein.

In der Ausführungsform nach FIG 3 enthält jede logisch Einheit LU wenigstens zwei Transistoren T1,T2 und einen Ladekondensator C. Die Transistoren T1,T2 dienen einer Inversion der an den Bitleitungen BL anliegenden bewerteten Daten A. Die Drains der Transistoren T1,T2 sind gemeinsam mit einem ersten Anschluß des Ladekondensators C verbunden. Der zweite Anschluß des Ladekondensators C ist mit einem festen Potential verbunden. Es empfiehlt sich, als festes Potential eines der der Spannungsversorgung der integrierten Halbleiterschaltung dienenden Potentiale VSS (entsprechend Masse) oder VDD zu verwenden. Die Source des ersten Transistors T1 ist mit der einen Bitleitungshälfte BLH verbunden; die Source des zweiten Transistors T2 ist mit der anderen Bitleitungshälfte BLH verbunden. Zwei erste Betriebsarten-Auswahlsignale Ø1,Ø2 sind mit den Gates des ersten bzw. zweiten Transistors T1,T2 verbunden.

Die somit mögliche Inversion der Daten A stellt die zweite Betriebsart MOD2 dar. Die Inversion der Daten A erfolgt in Betrieb folgendermaßen: Zunächst wird, wie bei jedem Halbleiterspeicher nach dem Stande der Technik üblich, ein Datum A aus einer Speicherzelle MC ausgelesen, über die der Speicherzelle MC zugeordnete Bitleitungshälfte (im Beispiel sei die eine Bitleitungshälfte BLH angenommen) auf die Bewerterschaltung AMPL gegeben und dort bewertet und verstärkt. Das Datum A liegt auch an der Source des ersten Transistors T1 an. Nun wird das mit dem ersten Transistor T1 verbundene eine (Ø1) der beiden ersten Betriebsarten-Auswahlsignale Ø1,Ø2 aktiviert. Das Datum A gelangt auf den Ladekondensator C und lädt bzw. entlädt diesen, je nach Wert des Datums A (log. "1", log. "0"). Anschließend werden das eine erste Betriebsarten-Auswahlsignal Ø1 deaktiviert und das andere erste Betriebsarten-Auswahlsignal Ø2 aktiviert. Infolgedessen sperrt der eine Transistor T1; der andere Transistor T2 leitet. Die auf dem Ladekondensator C gespeicherte Ladung gelangt dadurch über die andere Bitleitungshälfte (im Beispiel: BLH) an die Bewerterschaltung AMPL. Die Bewerterschaltung AMPL wird nun nochmals aktiviert, so daß sie das anliegende Datum bewertet. Da das Datum A bei dieser erneuten Bewertung jedoch an der anderen Bitleitungshälfte BLH anliegt (verglichen mit der ursprünglichen Bewertung), kippt die Bewerterschaltung AMPL in ihren komplementären Zustand, wodurch an der ursprünglichen einen Bitleitungshälfte BLH jetzt ein zum ursprünglich ausgelesenen bewerteten Datum

5 A invertiertes Datum Ä anliegt. Dieses kann nun über die üblichen Speichereinrichtungen aus der Halbleiterschaltung ausgelesen werden und/oder in eine beliebige Speicherzelle MC an derselben Bitleitungshälfte BLH eingeschrieben werden. In Speicherzellen MC, die an der anderen Bitleitungshälfte BLH liegen, kann das ursprüngliche Datum A eingeschrieben werden.

10 Liegt das ausgelesene, bewertete Datum A vor der Dateninversion jedoch an der anderen Bitleitungshälfte BLH an (dies wird bekanntlich üblicherweise durch ein bestimmtes, frei wählbares Bit der Wortleitungsadresse entschieden), so kann entsprechend die Funktion der beiden ersten Betriebsarten-Auswahlsignale Ø1,Ø2 miteinander 15 vertauscht werden (gesteuert ggf. ebenfalls durch das obengenannte Bit der Wortleitungsadresse). Das Vertauschen ist jedoch nicht notwendig, da an den beiden Bitleitungshälften BLH, BLH (bei intakten Speichern) nach erfolgter Bewertung stets zu 20 einander komplementäre Daten anliegen: In diesem Fall wird bei Durchführung der zweiten Betriebsart MOD2, genau genommen, an der einen Bitleitungshälfte BLH nicht das ursprünglich (auf die andere Bitleitungshälfte BLH) ausgelesene, bewertete Datum A invertiert, sondern das dazu komplementäre Datum Ä. Dies ist jedoch ohne Belang, weil anschließend an das Aktivieren der Betriebsarten-Auswahlsignale Ø1,Ø2 durch das erneute Bewerten 25 in der Bewerterschaltung AMPL an der zweiten Bitleitungshälfte BLH ein zum ursprünglich ausgelesenen Datum A komplementäres Datum Ä entsteht.

30 Bekanntlich werden bei einem integrierten Halbleiterspeicher durch das Adressieren einer einzigen Speicherzelle MC über eine adressierte Wortleitung WL und eine Bitleitungsadresse die in allen Speicherzellen MC an der adressierten Wortleitung WL gespeicherten Daten Ai über die Bitleitungen BLi parallel ausgelesen und mittels aller Bewerterschaltungen AMPL bewertet und verstärkt. Die Auswahl eines bestimmten Datums A aus der Menge der Daten Ai mittels einer Bitleitungsadresse erfolgt anschließend; dabei wird dasjenige Datum A, das an der adressierten Bitleitung BLi liegt und das bewertet und verstärkt wurde, auf eine externe Bitleitung ausgegeben. Aufgrund dieser Gegebenheiten läuft demzufolge auch die beschriebene zweite Betriebsart MOD2 parallel für den gesamten Block logischer Einheiten LU ab. Die zweite Betriebsart MOD2 ermöglicht also ein gleichzeitiges Invertieren von Daten Ai aller Speicherzellen MC einer Wortleitung WL.

35 40 45 50 55 55 In der Ausführungsform nach FIG 4 enthält der Block von logischen Einheiten LU weiterhin eine gemeinsame Leitung L, die, wie allgemein üblich bei längeren Leitungen, eine gewisse Eigenkapazität aufweist (in FIG 4 nicht dargestellt). Die gemein-

same Leitung L ist also, ähnlich einem Kondensator, auf ein festes Potential, z.B. auf das Potential VDD oder VSS, vorladbar. Sie ist außerdem mit einer Diskriminatorschaltung DISC verbunden. Die Diskriminatorschaltung DISC dient der Erkennung des Ladezustandes der gemeinsamen Leitung L.

In einer weiteren Ausführung der Erfindung, dargestellt in FIG 4, ist die gemeinsame Leitung L mit einer Stützkapazität CL verbunden. Die Stützkapazität CL ist ihrerseits wiederum mit einem der festen Potentiale VDD;VSS verbunden. Die Stützkapazität CL hat in Betrieb eine unterstützende Wirkung hinsichtlich der Vorladbarkeit der gemeinsamen Leitung L, da sie die Wirkung der genannten Eigenkapazität fördert.

Die gemeinsame Leitung L ist in jeder logischen Einheit LU über den stromführenden Pfad (= Kanal bei MOS-Transistoren) eines dritten Transistors T3 mit dem ersten Anschluß des Ladekondensators C verbunden. Die dritten Transistoren T3 sind durch ein zweites Betriebsarten-Auswahlsignal Ø3 gesteuert, so daß sie schaltbar sind. Diese Anordnung ermöglicht den Vergleich von I Daten miteinander (i = Anzahl der logischen Einheiten LU) im Sinne einer logischen Verknüpfung als eine dritte Betriebsart MOD3 der erfindungsgemäß integrierten Halbleiterschaltung.

Die dritte Betriebsart MOD3 ermöglicht als logische Verknüpfung je nach schaltungstechnischer Auslegung des Blockes logischer Einheiten LU (dritte Transistoren T3: p- oder n-Kanal-Transistoren; zweites Betriebsarten-Auswahlsignal Ø3 in Abhängigkeit vom Kanaltyp der dritten Transistoren T3 "positive-going" oder "negative-going"; gemeinsame Leitung L vorladen auf Versorgungspotential VDD oder Masse VSS der integrierten Halbleiterschaltung; Dimensionierung der Diskriminatorschaltung DISC) folgende Boole'sche Operationen: AND, OR, NAND, NOR. Hinsichtlich weiterer Informationen über die Arbeitsweise und nähere Ausgestaltung der Diskriminatorschaltung DISC sowie einer möglichen Vorladeeinrichtung für die gemeinsame Leitung L wird auf die anmeldereigene ältere, nicht vorveröffentlichte Internationale Anmeldung WO 88/07292 verwiesen.

Im folgenden wird die Betriebsweise kurz erläutert: Zunächst werden durch Aktivieren einer ausgewählten Wortleitung WL die in allen an die Wortleitung WL angeschlossenen Speicherzellen MC gespeicherten Daten Ai über die jeweils zugehörige Bitleitung BL gelesen und mittels den zugeordneten Bewerterschaltungen AMPL bewertet und verstärkt. Danach weisen alle Bitleitungen BLi an je einer ihrer Bitleitungshälften BLH,BLH - (beispielsweise an den einen Bitleitungshälften BLH) dasjenige logische Datum A auf, das über die jeweilige Bitleitung BL aus der der Wortleitung WL zugeordneten Speicherzelle MC ausgelesen wor-

den ist. Durch Aktivieren desjenigen ersten Betriebsarten-Auswahlsignales Ø1,Ø2 (im Beispiel Ø1) gelangen die Daten Ai parallel über den dem aktivierten ersten Betriebsarten-Auswahlsignal (Ø1 angenommen) zugeordneten Transistor (z.B. T1) auf die ersten Anschlüsse der Ladekondensatoren C und laden bzw. entladen diese je nach Wert des betreffenden Datums A (log. 1 bzw. log. 0), wobei vorteilhafterweise das aktivierte eine erste Betriebsarten-Auswahlsignal (Ø1 war angenommen) aktiviert bleibt, um die Bewerterschaltungen AMPL elektrisch leitend mit den Ladekondensatoren C verbunden zu halten. Es ist jedoch auch möglich, das eine erste Betriebsarten-Auswahlsignal Ø1 zu deaktivieren.

Die gemeinsame Leitung L ist spätestens jetzt auf eines der festen Potentiale VDD,VSS vorzuladen. Bei Verwendung der Stützkapazität CL ist diese mit einem der festen Potentiale VDD, VSS verbunden.

Nachstehend sind einige nach diesem Verfahren mittels der vorliegenden Anordnung möglichen logischen Vergleiche beschrieben: AND-Vergleich: Die gemeinsame Leitung L sei auf das feste Potential VDD vorgeladen (VDD entspreche beispielsweise wertmäßig dem Pegel eines Datums "log. 1"). Nun wird das zweite Betriebsarten-Auswahlsignal Ø3 aktiviert. Wurde zuvor an allen Ladekondensatoren C ein Datum A mit dem Wert "log. 1" gespeichert, was wertmäßig gleich dem Wert des festen Potentials VDD sei, so sind alle dritten Transistoren T3 gesperrt (n-Kanal-Transistoren seien angenommen); die gemeinsame Leitung L bleibt vorgeladen. Dies erkennt die Diskriminatorschaltung DISC; sie gibt an ihrem Ausgang 0 ein entsprechendes Signal ab, das in diesem Fall anzeigt, daß das Ergebnis der logischen Verknüpfung "AND" gleich "log. 1" ist.

Wurde jedoch an wenigstens einem der Ladekondensatoren C eine logische 0 als Datum A gespeichert, was wertmäßig gleich dem Wert des festen Potentials VSS sei, so leitet der diesem wenigstens einen Ladekondensator C zugeordnete dritte Transistor T3, was zu einem Absinken des Potentials der gemeinsamen Leitung L führt. Dies wiederum erkennt die Diskriminatorschaltung DISC; sie gibt an ihrem Ausgang 0 ein zum obengenannten Signal komplementäres Signal ab, das anzeigt, daß das Ergebnis der logischen Verknüpfung "AND" gleich "log. 0" ist.

Je nach Wahl des Pegels des Ausgangssignales 0 der Diskriminatorschaltung DISC für den Fall des Vorliegens einer log. 1 an allen Ladekondensatoren C lassen sich somit sowohl ein AND- wie auch ein NAND-Vergleich realisieren.

Wird die gemeinsame Leitung L auf den Wert des festen Potentials VSS (= Masse) vorgeladen, so lassen sich je nach Wahl des Wertes des Signa-

les am Ausgang 0 der Diskriminatorschaltung DISC für den Fall, in dem alle an den Ladekondensatoren C gespeicherten Daten gleich log. 0 sind, die Funktionen OR bzw. NOR als dritte Betriebsart MOD3 (d.h. logischer Vergleich) erzielen. Der Fachmann kann dies leicht nachvollziehen anhand der obigen Ausführungen zu AND-/NAND-Vergleichen. Es ist auch günstig, zum Aktivieren des zweiten Betriebsarten-Auswahlsignales Ø3 einen Pegel vorzusehen, der wertmäßig zwischen den festen Potentialen VSS und VDD liegt. Im Übrigen wird in diesem Zusammenhang nochmals auf die anmeldereigene ältere, nicht vorveröffentlichte Internationale Anmeldung WO 88/07292 hingewiesen, deren Offenbarung, soweit relevant, Bestandteil der vorliegenden Beschreibung ist. Insbesondere ist in der genannten Anmeldung auch eine Anordnung offenbart, die es ermöglicht, in Betrieb wahlweise die logischen Vergleiche AND,NAND,OR,NOR durchzuführen.

Soll mit der Anordnung nach FIG 4 jedoch die zweite Betriebsart MOD2 durchgeführt werden, so sind die dritten Transistoren T3 ständig gesperrt zu halten, d.h. das zweite Betriebsarten-Auswahlsignal Ø3 ist stets inaktiv zu halten.

Eine weitere vorteilhafte Ausführungsform der Erfindung ist in FIG 5 dargestellt. FIG 5 zeigt außer den bereits beschriebenen Merkmalen noch folgende Merkmale je logischer Einheit LU:

Zwischen den Drains der ersten beiden Transistoren T1,T2, die der Dateninversion dienen, und jeder der beiden Bitleitungshälften BLH;BLH einer Bitleitung BL sind je ein erster Transfertransistor TT1;TT11 und ein zweiter Transfertransistor TT2;TT12 mit ihren stromführenden Pfaden (bei MOS-Transistoren: = Kanälen) in Serie hintereinander angeordnet. Die Gates der beiden zweiten Transfertransistoren TT2;TT12 sind jeweils mit einem von zwei dritten Betriebsarten-Auswahlsignalen Ø4;Ø5 verbunden. Das Gate des einen ersten Transfertransistors TT1 ist mit der anderen Bitleitungshälfte BLH verbunden. Das Gate des anderen ersten Transfertransistors TT11 ist mit der einen Bitleitungshälfte BLH verbunden.

Diese Ausführungsform ermöglicht ein ein- bis mehrmaliges Ausführen der Boole'schen Operationen XNOR,OR und NAND je Bitleitung BL als vierte Betriebsart MOD4. Bei einer einmaligen Ausführung wird ein einzelnes aus einer Speicherzelle MC ausgelesenes, bewertetes Datum A mit einem an die betreffende logische Einheit LU anzulegenden Vergleichsdatum X mittels der gewünschten Boole'schen Operation verglichen. Es werden also zwei Bits miteinander verglichen. Bei einer mehrmaligen Ausführung werden mehrere nacheinandere aus mehreren Speicherzellen MC entlang einer einzigen Bitleitung BL ausgelesene, bewertete Daten Ap (p = Anzahl der Daten) mit mehreren nacheinan-

der an die betreffende logische Einheit LU anzulegenden Vergleichsdaten Xp mittels der gewünschten Boole'schen Operationen verglichen (wortweiser Vergleich).

5 Im einzelnen hat die vierte Betriebsart MOD4 folgenden Verlauf: Zu Beginn werden die Ladekondensatoren C aller logischen Einheiten LU auf das feste Potential VDD aufgeladen (dessen Wert entspricht wiederum dem Wert des Pegels log. 1). Das Aufladen kann entweder über die gemeinsame Leitung L und die dazugehörigen dritten Transistoren T3 erfolgen oder über die Bitleitungen BL. In letzterem Fall werden die Bewerterschaltungen AMPL in einen beliebigen Bewertungszustand gebracht, wodurch jeweils an einer der Bitleitungshälften BLH,BLH eine log. 1 liegt. Die Mittel dazu sind dem Fachmann geläufig. Je logischer Einheit LU wird nun derjenige der beiden ersten Transistoren T1,T2, der mit derjenigen Bitleitungshälfte BLH,BLH verbunden ist, an der die log. 1 anliegt, mittels des ihm zugeordneten einen bzw. anderen der beiden ersten Betriebsarten-Auswahlsignale Ø1;Ø2 leitend geschaltet. Somit gelangt die log. 1 als festes Potential VDD auf jeden Ladekondensator C; diese sind vorgeladen. Anschließend bleiben beide ersten Betriebsarten-Auswahlsignale Ø1,Ø2, ebenso wie das zweite Betriebsarten-Auswahlsignal Ø3, deaktiviert.

30 Für die nachfolgenden Vorgänge wird eine einzige Bitleitung BL mit der daran angeschlossenen logischen Einheit LU betrachtet; die entsprechenden Vorgänge an den restlichen Bitleitungen BL und logischen Einheiten LU bleiben unberücksichtigt.

35 In bekannter Weise wird jetzt ein Datum A, das in einer mit der Bitleitung BL verbundenen, durch eine Wortleitung WL adressierten Speicherzelle MC gespeichert ist, ausgelesen und mittels der Bewerterschaltung AMPL bewertet und verstärkt. Nachfolgend sei angenommen, daß das Datum A auf der einen Bitleitungshälfte BLH anliege. Somit liegt an der anderen Bitleitungshälfte BLH ein zum Datum A komplementäres Datum Ā an. Nun nehmen das eine dritte Betriebsarten-Auswahlsignal Ø4 den Wert des Vergleichsdatums X an und das andere dritte Betriebsarten-Auswahlsignal Ø5 den Wert eines zum Vergleichsdatum X komplementären Vergleichsdatums X̄ an.

40 Sind das ausgelesene, bewertete Datum A und das Vergleichsdatum X gleich, so sind entweder der eine erste Transfertransistor TT1 und der andere zweite Transfertransistor TT12 gesperrt (Datum A = Vergleichsdatum X = log. 1) oder der andere erste Transfertransistor TT11 und der eine zweite Transfertransistor TT2 gesperrt (Datum A = Vergleichsdatum X = log. 0). In beiden Fällen bleibt somit die auf dem Ladekondensator C gespeicherte logische 1 (= feste Potential VDD) erhalten.

Am Ladekondensator C liegt also das Ergebnis der Boole'schen Operation "Datum A XNOR Vergleichsdatum X" = "log. 1 XNOR log. 1" bzw. "log. 0 XNOR log. 0" = "log. 1" an.

Sind jedoch das ausgelesene, bewertete Datum A und das Vergleichsdatum X ungleich, so sind entweder sowohl der eine erste Transfertransistor TT1 und der eine zweite Transfertransistor TT2 (Datum A = log. 0; Vergleichsdatum X = log. 1) oder der andere erste Transfertransistor TT11 und der andere zweite Transfertransistor TT12 (Datum A = log. 1; Vergleichsdatum X = log. 0) leitend. In jedem dieser beiden Fälle wird diejenige Bitleitungshälfte BLH;BLH, die den Zustand log. 0 (= festes Potential VSS = Masse) aufweist (weil entweder Datum A = log. 0 oder komplementäres Datum  $\bar{A}$  = log. 0), über die genannten leitenden Transfertransistoren mit der ersten Elektrode des Ladekondensators C verbunden; dieser wird somit entladen auf das feste Potential VSS = Masse.

Auf diese Weise wurde ein gespeichertes Bit (Datum A) mit einem Vergleichsbit X verglichen.

Wiederholt man die vorgenannten Schritte (mit Ausnahme des Schrittes "Vorladen des Ladekondensators C auf das feste Potential VDD") mehrmals hintereinander, so lassen sich mehrere (in verschiedenen Speicherzellen MC entlang der einen Bitleitung BL gespeicherte) Daten Ap (zeitlich hintereinander) mit mehreren Daten Xp vergleichen (z.B. Boole'sche Operation XNOR); das Ergebnis ist durch den Endzustand des Ladekondensators C bestimmt (der zwischendurch nie mehr auf das feste Potential VDD geladen wird). Dieses Ergebnis ist über einen der beiden ersten Transistoren T1,T2 und das entsprechende erste Betriebsarten-Auswahlsignal Ø1,Ø2 an die Bewerterorschaltung AMPL anlegbar und durch diese bewertbar, so daß es an der Bewerterorschaltung AMPL stabil zur Verfügung steht und beispielsweise über einen Datenausgang des Speicherbereiches MEM auslesbar ist. Auf diese Weise läßt sich sehr schnell innerhalb der integrierten Halbleiterschaltung beispielsweise ein in Speicherzellen MC entlang einer Bitleitung BL gespeichertes Wort (Daten Ap) mit einem in Wortform vorliegenden Suchbegriff (Vergleichsdaten Xp) vergleichen. Der Vergleich selbst erfolgt für alle Bitleitungen BL zeitgleich parallel. Die Ergebnisse an jeder einzelnen Bitleitung BL sind hintereinander von den einzelnen Bewerterorschaltungen AMPL beispielsweise über den obengenannten Datenausgang durch Anlegen der einzelnen Bitleitungsadressen auslesbar.

Es lassen sich mit der vorliegenden Ausgestaltung jedoch auch die logischen Operationen OR und NAND durchführen:

a) OR-Operation:

Die vierte Betriebsart MOD4 wird ausgeführt wie zuvor anhand der XNOR-Operation beschrieben mit folgender Ausnahme: Bei Anliegen des Datums A auf der einen Bitleitungshälfte BLH wird das eine dritte Betriebsarten-Auswahlsignal Ø4 mit einem Datum X verbunden, das zum Vergleichsdatum X komplementär ist; das andere dritte Betriebsarten-Auswahlsignal Ø5 ist stets deaktiviert. Weist das Vergleichsdatum X den Wert log. 1 auf, so sind beide zweite Transfertransistoren TT2,TT12 stets gesperrt; am Ladekondensator C bleibt die Vorladung erhalten, was als Ergebnis bedeutet: log. 1. Weist das Vergleichsdatum X hingegen den Wert log. 0 auf, so ist der eine zweite Transfertransistor TT2 stets leitend wegen des Datums X. Der eine erste Transfertransistor TT1 ist dagegen genau dann leitend, wenn das Datum A den Wert log. 0 aufweist; in diesem Fall wird der Ladekondensator C auf log.0 = festes Potential VSS entladen. Ansonsten ist der eine erste Transfertransistor TT1 gesperrt, wodurch der Ladekondensator C geladen bleibt.

b) NAND-Operation:

Im Gegensatz zur OR-Operation ist das eine dritte Betriebsarten-Auswahlsignal Ø4 stets deaktiviert, während am anderen dritten Betriebsarten-Auswahlsignal Ø5 das Vergleichsdatum X liegt. Der Ladekondensator C wird nur in dem Fall auf log. 0 entladen, wenn sowohl das Datum A (bei dem wiederum angenommen sei, daß es an der einen Bitleitungshälfte BLH anliege) wie auch das Datum X gleich log. 1 sind. Ansonsten sind immer wenigstens einer der ersten und einer der zweiten Transfertransistoren TT1,TT11, TT2,TT12 gesperrt.

FIG 6 zeigt eine weitere vorteilhafte Ausgestaltung der Erfindung. Sie unterscheidet sich von der Ausgestaltung nach FIG 5 durch folgende Merkmale:

Die Gates der beiden ersten Transfertransistoren TT1,TT11 sind zusätzlich mit den ersten Elektroden zweier zwischenspeichernder Kapazitäten C1,C11 unter Bildung zweier Speicherknoten S1,S11 verbunden. Die zweiten Elektroden der beiden zwischenspeichernden Kapazitäten C1,C11 sind mit einem der beiden festen Potentiale VSS,VDD verbunden. Weiterhin sind zwischen den beiden Speicherknoten S1;S11 und den entsprechenden Bitleitungshälften BLH;BLH Speichertransistoren ST1;ST11 mit ihren Kanälen angeordnet. Deren Gates sind mit einem vierten Betriebsarten-Auswahlsignal Ø6 verbunden.

Diese Ausgestaltung ermöglicht das Betreiben der erfindungsgemäßen integrierten Halbleiterschaltung in einer fünften Betriebsart MOD5. In der

fünften Betriebsart MOD5 sind verschiedene Operationen möglich, beispielsweise die Boole'schen Operationen AND,NAND,OR,NOR,XOR,XNOR. Dazu wird, jeweils parallel für den gesamten Block logischer Einheiten LU, an jede Bitleitungshälfte BLH (bzw.  $\bar{BLH}$ ) ein Vergleichsdatum X angelegt (beispielsweise, wie bereits beschrieben, an alle Bitleitungshälften BLH dasselbe Vergleichsdatum X über die gemeinsame Leitung L und dem einen ersten Transistor T1, oder über den Dateneingang des Halbleiterspeichers und die einzelnen Bewerterschaltungen AMPL; in letzterem Fall ist es möglich, an die verschiedenen Bitleitungshälften BLH verschiedene logische Werte des Vergleichsdatums X anzulegen). Die an den einzelnen Bitleitungshälften BLH anliegenden Vergleichsdaten X (bzw.  $X_i$  bei verschiedenen Vergleichsdaten) werden nun über die Bewerterschaltungen AMPL bewertet, so daß sich an den jeweils anderen Bitleitungshälften  $\bar{BLH}$  ein zum Vergleichsdatum X komplementäres Datum  $\bar{X}$  ausbildet (bekannte Flip-Flop-Funktion der Bewerterschaltungen AMPL). Anschließend wird das vierte Betriebsarten-Auswahlsignal Ø6 aktiviert, so daß je Bitleitung BL das auf den Bitleitungshälften BLH, $\bar{BLH}$  anliegende Vergleichsdatum X bzw. das dazu komplementäre Datum  $\bar{X}$  an die erste Elektrode des zugehörigen Speicherknotens S1;S11 gelangt und dort gespeichert wird. Danach wird das vierte Betriebsarten-Auswahlsignal Ø6 wieder deaktiviert.

Alternativ zu dieser Art, die Speicherknoten S1,S11 vorzuladen, ist es auch möglich, die Vergleichsdaten  $\Xi_i$  parallel für alle Bitleitungen BL aus dem Speicherzellenfeld MCF her auszulesen. Dazu wird, wie üblich, eine bestimmte Wortleitung WL adressiert, so daß die in allen mit der Wortleitung WL verbundenen Speicherzellen MC gespeicherten Daten parallel zueinander auf die Bitleitungen BL gelangen und durch die Bewerterschaltungen AMPL bewertet und verstärkt werden. Das Abspeichern in den Speicherknoten S1,S11 erfolgt dann mittels des vierten Betriebsarten-Auswahlsignals Ø6, wie bereits beschrieben.

Nun werden die Ladekondensatoren C des Blockes logischer Einheiten LU auf das feste Potential VDD bzw. VSS vorgeladen, wie bei den zuvor beschriebenen Betriebsarten MODk bereits erläutert. Ab jetzt sind die eigentlichen logischen Operationen durchführbar.

Dies kann auf zwei verschiedene Arten erfolgen:

- a) Bitleitungs-orientiert und
  - b) wortleitungs-orientiert.
  - a) Zunächst sei die bitleitungs-orientierte Art erläutert:

Die konkrete Aufgabenstellung dazu lautet beispielsweise: Auf jedes in Speicherzellen MC an (ein und derselben) Bitleitung BL gespeicherte

Datum A ist die Boole'sche Operation NAND mittels eines Vergleichsdatums X anzuwenden, wobei das Vergleichsdatum X für jedes Datum A einen anderen Wert aufweisen kann (d.h. eine Folge von Daten Ap (p = Anzahl der Wortleitungen WL) wird mit einem Datenwort Xp verglichen, das p verschiedene Vergleichsdaten X enthält).

Werden die Daten A über die eine Bitleitungshälfte BLH ausgelesen, so sind zur Durchführung der NAND-Operation das eine dritte Betriebsarten-Auswahlsignal Ø4 auf log. 0 konstant zu setzen und das andere dritte Betriebsarten-Auswahlsignal Ø5 auf log. 1. Werden die Daten A jedoch über die andere Bitleitungshälfte BLH ausgelesen, so sind zur Durchführung der NAND-Operation das eine dritte Betriebsarten-Auswahlsignal Ø4 auf log. 1 konstant zu setzen und das andere dritte Betriebsarten-Auswahlsignal Ø5 auf log. 0. Die eigentliche Boole'sche Operation wird nun analog ausgeführt wie hinsichtlich der vierten Betriebsart MOD4 zuvor bereits beschrieben mit folgenden wesentlichen Unterschieden:

- 1.) Die dritten Betriebsarten-Auswahlsignale Ø4, Ø5 weisen ihre oben angegebenen Werte log. 0 bzw. log. 1 konstant auf; sie wirken als echte Steuersignale und nicht als Vergleichsdatum X bzw. dazu komplementäres Datum X, wie in der vierten Betriebsart MOD4. Infolgedessen sind der eine zweite Transfertransistor TT2 stets gesperrt und der andere zweite Transfertransistor TT12 stets leitend.
  - 2.) Ist der logische Vergleich so auszuführen, daß jedes auszulesende Datum A mit einem (anderen) Wert des Vergleichsdatums X (im Sinne des obengenannten Datenwertes  $X_p$ ) zu vergleichen ist, so ist das entsprechende Vergleichsdatum X des Datenwertes  $X_p$  auf den Speicherknoten S1 (bzw. S11) abzuspeichern, bevor das entsprechende Datum A ausgelesen und bewertet wird. Sind die verschiedenen Daten  $A_p$  jedoch jeweils mit ein und demselben Vergleichsdatum X zu vergleichen, so braucht letzteres nur einmal (d.h. vor Beginn des Auslesevorganges für das erste Datum A) abgespeichert zu werden.

Nähere Erläuterungen sind für den Fachmann anhand der Parallelen zur bereits beschriebenen vierten Betriebsart MOD4 nicht nötig. Es wird jedoch darauf hingewiesen, daß die Ladezustände der einzelnen Ladekondensatoren C (d.h. also, das Ergebnis der logischen Operationen) über die der jeweiligen logischen Einheit LU zugeordnete Bitleitung BL in Speicherzellen MC des Speicherzellenfeldes MCF abspeicherbar sind.

Ein Ausführen der Boole'schen Operation AND erfolgt in der Weise, daß zunächst die Boole'sche Operation NAND ausgeführt wird und deren Endergebnis (d.h. der Ladezustand am ersten Anschluß des Ladekondensators C) mittels der bereits beschriebenen zweiten Betriebsart MOD2 invertiert wird.

Zur Durchführung der Boole'schen Operation OR werden die an die dritten Betriebsarten-Auswahlsignale 04,05 gegenüber der zuvor beschriebenen NAND-Operation vertauscht (d.h. also im Beispiel, daß das eine dritte Betriebsarten-Auswahlsignal 04 konstant log. 1 aufweist und das andere dritte Betriebsarten-Auswahlsignal 05 konstant log. 0).

Die NOR-Operation wird, analog zur bereits beschriebenen AND-Operation, ausgeführt, indem zunächst die OR-Operation als fünfte Betriebsart MOD5 ausgeführt wird und anschließend daran die zweite Betriebsart MOD2 (Invertieren).

Entsprechendes gilt für die XOR-Operation: Dazu sind beide dritten Betriebsarten-Auswahlsignale 04,05 auf log. 1 zu halten; die XNOR-Funktion wird durch Anwenden der zweiten Betriebsart MOD2 nach Ausführen der fünften Betriebsart MOD5 erzielt.

b) Nunmehr sei die wortleitungsorientierte Art der fünften Betriebsart MOD5 erläutert: Die konkrete Aufgabenstellung hierzu laute beispielsweise: Auf jedes in Speicherzellen MC an (ein und derselben) Wortleitung WL gespeicherte Datum A ist die Boole'sche Operation NAND mittels eines Vergleichsdatums X anzuwenden, wobei an jeder logischen Einheit LU ein anderes Vergleichsdatum X (gleichzeitig) anliegen kann (d.h. also, am gesamten Block logischer Einheiten LU liegt ein komplettes Vergleichswort  $X_i$  mit  $i = \text{Gesamtzahl der Anzahl logischer Einheiten LU}$ ). Die einzelnen Vergleichsdaten X werden zunächst in bereits beschriebener Weise in den Speicherknoten S1,S11 abgespeichert. Dann werden, falls noch nicht erfolgt, die Ladekondensatoren C der logischen Einheiten LU auf das feste Potential VDD bzw. VSS vorgeladen.

Jetzt wird eine bestimmte Wortleitung WL adressiert, die in den damit verbundenen Speicherzellen MC gespeicherten Daten A werden auf die Bitleitungen BL ausgelesen und durch die Bewerterschaltungen AMPL bewertet und verstärkt. Die dritten Betriebsarten-Auswahlsignale 04,05 nehmen nun die unter Punkt a) der fünften Betriebsart MOD5 bereits beschriebenen Werte an (NAND/AND-Operation: 04 = log. 0, 05 = log. 1; OR/NOR-Operation: 04 = log. 1, 05 = log. 0; XOR/XNOR-Operation: 04 = 05 = log. 1; jeweils bei Auslesen des Datums A auf die eine Bitleitungshälfte BLH).

Dadurch werden bei jeder logischen Einheit LU das auf der jeweiligen Bitleitungshälfte BLH anliegende Datum A mit dem in dem jeweiligen Speicherknoten S1 gespeicherten Vergleichsdatum X (bzw. das auf der anderen Bitleitungshälfte BLH liegende komplementäre Datum  $\bar{A}$  mit dem im jeweiligen Speicherknoten S11 gespeicherten komplementären Datum  $\bar{X}$ ) entsprechend den angelegten dritten Betriebsarten-Auswahlsignalen 04,05 verglichen. Das bei jeder einzelnen logischen Einheit LU aus dem Vergleich resultierende Ergebnis der Boole'schen Operation (im gewählten Beispiel: NAND-Operation) bestimmt, analog zu den bereits beschriebenen Betriebsarten, den Potentialzustand des jeweiligen Ladekondensators C. Dieses Ergebnis ist wiederum, wie ebenfalls bereits beschrieben, invertierbar (zweite Betriebsart MOD2), über die Bewerterschaltungen AMPL und den Datenausgang des Halbleiterspeichers auslesbar sowie im Speicherzellenfeld MCF abspeicherbar. Außerdem ist auf die Ladekondensatoren C des gesamten Blockes logischer Einheiten LU parallel die dritte Betriebsart MOD3 anwendbar.

Die Ausführungsform nach FIG 7 unterscheidet sich von der nach FIG 6 dadurch, daß sie anstelle eines einzigen vierten Betriebsarten-Auswahlsignales 06 zwei voneinander unabhängig ansteuerbare vierte Betriebsarten-Auswahlsignale 06,07 aufweist. Das eine vierte Betriebsarten-Auswahlsignal 06 ist bei jeder logischen Einheit LU mit dem Gate des einen Speichertransistors ST1 verbunden. Das andere vierte Betriebsarten-Auswahlsignal 07 ist dagegen bei jeder logischen Einheit LU mit dem Gate des anderen Speichertransistors ST11 verbunden. Mit dieser Ausführungsform ist die zuvor beschriebene fünfte Betriebsart MOD5 möglich mit ihren einzelnen verschiedenen Operationen unter Verwendung von "Maskierbits": Soll eine (oder mehrere) bestimmte logische Einheit LU aus dem Block logischer Einheiten LU zur Durchführung der fünften Betriebsart MOD5 nicht verwendet werden (d.h. z.B., daß der Ladezustand ihres Ladekondensators C unabhängig von irgendwelchen Daten unverändert erhalten bleiben soll), so ist in beiden Speicherknoten S1,S11 der logischen Einheit LU ein Wert abzuspeichern, der beide ersten Transfertransistoren TT1, TT11 sicher sperrt (im Falle von n-Kanal-Transistoren also "log. 0"). Damit kann der Ladekondensator C nicht entladen werden.

Die beiden Bitleitungshälften BLH,  $\bar{BLH}$ , über die das Vergleichsdatum X (und das dazu komplementäre Datum  $\bar{X}$ ) in die Speicherknoten S1,S11 geladen wird, weisen bekanntlich stets zueinander komplementäre elektrische Zustände auf. Durch Aktivieren des vierten Betriebsarten-Auswahlsignales 06 in FIG 6 können also nicht beide Speicherknoten S1,S11 gleichzeitig denjenigen gleichen Wert

abspeichern, der beide ersten Transfertransistoren TT1,TT11 sperrt. Durch Verwendung zweier verschiedener, voneinander unabhängiger Betriebsarten-Auswahlsignale Ø6,Ø7 ist dies jedoch erreichbar: Unter der Annahme, daß der abzuspeichernde Wert "log. 0" beide ersten Transfertransistoren TT1, TT11 sperrt, wird folgendermaßen verfahren:

Zunächst wird die eine Bitleitungshälfte BLH (mit bekannten, bereits beschriebenen Maßnahmen) mit dem Wert "log. 0" belegt. Dann wird das eine vierte Betriebsarten-Auswahlsignal Ø6 aktiviert, so daß die angelegte "log. 0" an den einen Speicherknoten S1 gelangt. Durch anschließendes Deaktivieren des einen vierten Betriebsarten-Auswahlsignales Ø6 bleibt die "log. 0" auf dem einen Speicherknoten S1 gespeichert, der damit verbundene andere erste Transfertransistor TT11 bleibt sicher gesperrt.

Anschließend daran wird die andere Bitleitungshälfte BLH mit dem Wert "log. 0" belegt. Dann wird das andere vierte Betriebsarten-Auswahlsignal Ø7 aktiviert, so daß die angelegte "log. 0" an den anderen Speicherknoten S11 gelangt. Durch anschließendes Deaktivieren des anderen vierten Betriebsarten-Auswahlsignales Ø7 bleibt die "log. 0" auf dem anderen Speicherknoten S11 gespeichert, der damit verbundene eine erste Transfertransistor TT1 bleibt ebenfalls sicher gesperrt.

Sollen bei einer Ausgestaltung nach den FIG 6 oder 7 die Betriebsarten MOD3 oder MOD4 ausgeführt werden, so sind die vierten Betriebsarten-Auswahlsignale Ø6,Ø7 konstant aktiviert zu halten. Auf eine Durchführung der zweiten Betriebsart MOD2 ist der Zustand der vierten Betriebsarten-Auswahlsignale Ø6,Ø7 ohne Einfluß, weil die dritten Betriebsarten-Auswahlsignale Ø4,Ø5 deaktiviert sind. Zur Durchführung der ersten Betriebsart MOD1 sind, wie bereits beschrieben, alle Betriebsarten-Auswahlsignale Øj inaktiv zu halten.

Die FIG 8 und 9 zeigen weitere mögliche Ausgestaltungen der Erfindung. Sie ermöglichen Addition und Subtraktion von Daten Ai, die in Speicherzellen MC entlang einer Wortleitung WL gespeichert sind und aus dieser (parallel) ausgelesen und bewertet werden, mit bzw. von Vergleichsdaten Xi, die in den Speicherknoten S1 gespeichert sind. Sie ermöglichen weiterhin Multiplikation und Division, da diese bekanntlich lediglich ein mehrmaliges Ausführen von Addition bzw. Subtraktion sind. Diese arithmetischen Operationen sind eine sechste Betriebsart MOD6 der erfundungsgemäßen Schaltung. Verglichen mit der Ausführungsform nach FIG 7 weisen die Schaltungen nach den FIG 8 und 9 zusätzlich jeweils einen Schiebetransistor TS auf, der mit seinem stromführenden Pfad (= Kanal) zwischen dem ersten Anschluß des Ladekondensators C einer logischen Einheit LU und der in der

Reihenfolge der einzelnen logischen Einheiten LU vorhergehenden (FIG 8) bzw. nachfolgenden (FIG 9) Bitleitung BL angeordnet ist. Ob die Anbindung an die eine (BLH) oder an die andere Bitleitungshälfte BLH erfolgt, ist für die ausführbaren Funktionen, prinzipiell gesehen, ohne Belang. Die Schiebetransistoren TS sind an ihren Gates gemeinsam mit einem Schiebesignal ØS verbunden, das als fünftes Betriebsarten-Auswahlsignal wirkt. Diese Anordnung ermöglicht eine Schieberegisterfunktion: Das an einem Ladekondensator C gespeicherte Potential ist damit an die entsprechende benachbarte Bitleitung BL weiterschiebbar und von dieser aus über einen der beiden Transistoren T1,T2 weiterschiebbar an den damit verbundenen Ladekondensator C.

Bei der Ausführungsform nach FIG 8 liegt das "most significant bit" des einen Operanden (beispielsweise der Daten Ai) an der in einer betrachteten Reihenfolge (von oben nach unten) der Bitleitungen BL ersten Bitleitung. Hingegen liegt bei der Ausführungsform nach FIG 9 das "most significant bit" an der in der betrachteten Reihenfolge letzten Bitleitung BL.

Prinzipiell läuft die Addition folgendermaßen ab: Zunächst wird der eine Operand (je logischer Einheit LU ein Vergleichsdatum X) in die einen Speicherknoten S1 (bzw. S11) der logischen Einheiten LU gespeichert. Dann wird der andere Operand (je Bitleitung als Datum A) parallel aus allen mit einer bestimmten, adressierten Wortleitung WL verbundenen Speicherzellen MC ausgelesen, bewertet und verstärkt. Beide Operanden werden nun, wie als vierte Betriebsart MOD4 bereits beschrieben, mittels der Boole'schen Operation XOR miteinander verknüpft (dies entspricht einer sog. "Halbaddition"); das Ergebnis ist durch den sich einstellenden Ladezustand jedes einzelnen Ladekondensators C gegeben. Dieses Ergebnis wird nun unter Adressierung einer anderen Wortleitung WL in das Speicherzellenfeld MCF zurückgeschrieben. Anschließend wird die ursprünglich adressierte Wortleitung WL nochmals adressiert, wodurch die dort gespeicherten Daten A (nochmals) an die Bitleitungen BL gelangen. Jetzt wird die Boole'sche Operation AND als vierte Betriebsart MOD4 ausgeführt für die Daten A und die (noch gespeicherten) Vergleichsdaten X. Damit ergibt sich je logischer Einheit LU der sog. Übertrag ("Carry-Bit") am Ladekondensator C. Durch Aktivieren des Schiebesignals ØS wird dieser Übertrag nun auf die benachbarte Bitleitung weitergeschoben, auf dieser mittels der Bewerterschaltung AMPL bewertet und verstärkt. Das Schiebesignal ØS wird wieder deaktiviert. Die so behandelten Überträge werden nun in den einen Speicherknoten S1 der jeweiligen logischen Einheit LU abgespeichert. Nun wird diejenige Wortleitung adressiert, mittels derer das Ergebnis

nis der zuvor beschriebenen XOR-Operation abgespeichert wurde. Dieses wird wieder auf die Bitleitungen ausgelesen, bewertet, verstärkt und mittels der vierten Betriebsart MOD4 der Boole'schen Operation XOR hinsichtlich des in den Speicherchnoten S1 gespeicherten Übertrages unterzogen. Deren Ergebnis ist dann das Gesamtergebnis der Addition.

Bei der Subtraktion wird zunächst die zweite Betriebsart MOD2 (Invertieren) ausgeführt und anschließend die sechste Betriebsart MOD6. Durch mehrmaliges Ausführen der Subtraktion ist auch eine Division möglich.

Besonders vorteilhaft ist es, wenn bei der in der Reihenfolge ersten logischen Einheit LU der erste Anschluß des Ladekondensators C über den Schiebetransistor TS mit der in der Reihenfolge letzten Bitleitung BL verbunden ist oder wenn bei der in der Reihenfolge letzten logischen Einheit LU der erste Anschluß des Ladekondensators C über den Schiebetransistor TS mit der in der Reihenfolge ersten Bitleitung verbunden ist. Mit diesen Ausführungsformen sind dann die sog. Modulo-Addition und Modulo-Subtraktion möglich.

Die zwischenspeichernden Kapazitäten C1,C11 müssen nicht unbedingt in Form separater Schaltelemente realisiert sein. Dazu ist es vorteilhaft, die parasitären Kapazitätseffekte der ersten Transfertransistoren TT1,TT11 (z.B. deren Gateoxid-Kapazitäten) auszunutzen.

Weiterhin ist es vorteilhaft, wenn die Ladekondensatoren C durch statische Speicherzellen ersetzt sind.

Die Speicherzellen MC des Speicherzellenfeldes MCF können vorteilhafterweise vom Typ "dynamische Random-Access-Zelle" sein oder vom Typ "statische Random-Access-Zelle" oder vom nichtflüchtigen Typ (wie z.B. EPROM, EEPROM).

Die erfindungsgemäße integrierte Halbleiterschaltung bietet weiterhin durch Kombination der beschriebenen verschiedenen Betriebsarten MODk die Möglichkeit, noch weitere, nicht beschriebene Operationen ausführen zu können.

#### Beschreibung für Vertragsstaaten : DE, FR, GB

Die vorliegende Erfindung betrifft eine integrierte Halbleiterschaltung nach dem Oberbegriff des Patentanspruches 1.

Bildverarbeitung, Musterverarbeitung und Verknüpfungen von Massendaten in Datenbanksystemen treten bei der modernen Datenverarbeitung zunehmend in den Vordergrund. Diesen Tätigkeiten ist gemeinsam, daß sehr große Datenmengen zu verarbeiten sind. Traditionelle Datenverarbeitungssysteme führen die Verarbeitung seriell durch. Dies erfordert einen hohen Zeitaufwand, weil beispiels-

weise beim Suchen nach einem bestimmten Begriff sehr viele Daten aus einem Speicherbereich serial ausgelesen werden müssen und im Prozessor mit dem Suchbegriff verglichen werden müssen, bis der gewünschte Begriff gefunden ist.

Eine Teillösung dieses Problems stellt der Einsatz inhaltsadressierbarer integrierter Halbleiterspeicher (CAM) dar. Dies hat jedoch zwei Nachteile: Zum einen weisen die derzeit erhältlichen CAM-Speicher eine gegenüber modernen verfügbaren RAM- bzw. ROM-Speicherbausteinen (1MBit Speicherkapazität) sehr geringe Speicherkapazität auf (maximal 8kBit; vgl. IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 5, Oktober 1985, Seiten 951 bis 956) und zum anderen können diese Speicherbausteine lediglich assoziative Funktionen ausführen, nicht jedoch andere digitale Funktionen (z.B. logische, arithmetische). CAM-Speicherbausteine sind außerdem nicht wie übliche RAM- bzw. ROM-Speicherbausteine betreibbar.

Eine weitere Teillösung stellt die Kombination spezieller Prozessoren mit Speicherbausteinen in Parallel-Computern dar ("Transputer"). Transputer jedoch sind teuer, aufwendig zu konfigurieren und nicht universell, d.h. für beliebige Einsatzzwecke verwendbar.

Ausschließlich für die benannten Staaten Deutschland, Frankreich, Großbritannien ist die nachveröffentlichte EP-A 0 278 391 Stand der Technik nach A. 54 (3) EPÜ. Sie offenbart die Merkmale des Oberbegriffs des für diese Staaten geltenden Anspruches 1.

Aufgabe der vorliegenden Erfindung ist es, einen üblichen Halbleiterspeicherbaustein mit möglichst wenig Aufwand so weiterzubilden, daß sein Einsatz den üblicherweise benötigten Zeitaufwand verringert und daß er möglichst universal einsetzbar ist.

Diese Aufgabe wird bei einer gattungsgemäßen Halbleiterschaltung gelöst durch die kennzeichnenden Merkmale des Patentanspruches 1. Vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen gekennzeichnet.

Die Erfindung wird im folgenden anhand der Zeichnung näher erläutert: Es zeigen

FIG 1 einen unmaßstäblichen, globalen Überblick über die Schaltung,  
 FIG 2 einen Ausschnitt daraus,  
 die FIG 3 bis 9 vorteilhafte Ausgestaltungen von einzelnen logischen Einheiten der Schaltung.

Gemäß FIG 1 enthält die integrierte Halbleiterschaltung außer einem als solchen bekannten Speicherbereich MEM einen Block logischer Einheiten LU. Der Speicherbereich MEM enthält ein oder mehrere Speicherzellenfelder MCF mit über Wort-

leitungen WL und Bitleitungen BL adressierbaren Speicherzellen MC. Er enthält weiterhin eine der Anzahl der Bitleitungen BL entsprechende Anzahl von Bewerterschaltungen AMPL. Jede Bewerterschaltung AMPL ist, wie in FIG 2 ausschnittsweise dargestellt, so mit einer Bitleitung BL verbunden, daß sie diese in zwei wenigstens annähernd gleiche Bitleitungshälften BLH, BLH aufteilt. Ob diese Aufteilung nach dem Open-Bitline-Konzept oder nach dem Folded-Bitline-Konzept erfolgt ist, ist unwichtig für die vorliegende Erfindung.

Die integrierte Halbleiterschaltung enthält weiterhin einen Block von logischen Einheiten LU. Jede logische Einheit LU ist mit einer Bitleitung BL über deren beide Bitleitungshälften BLH, BLH verbunden. Die Verbindung kann innerhalb oder außerhalb der jeweiligen logischen Einheit LU erfolgen, beispielsweise durch Weiterführung der Bitleitung BL bis zur betreffenden logischen Einheit LU, wie dargestellt.

Die logischen Einheiten LU dienen einer digitalen Verarbeitung von aus dem Speicherbereich MEM über die Bitleitungen BL ausgelesenen, in den Bewerterschaltungen AMPL bewerteten und verstärkten Daten A sowie von zu den Daten A komplementären Daten  $\bar{A}$ , die bekanntlich beim Bewerte- und Verstärkungsvorgang entstehen. Unter "digitale Verarbeitung" wird dabei insbesondere verstanden: Logische Verknüpfung zweier Bits (OR, AND, etc.), Invertieren eines oder mehrerer Bits, logische Vergleiche von Worten miteinander, arithmetische Operationen. Der Block logischer Einheiten LU ist dazu in verschiedenen Betriebsarten MODk ( $k = 1 \dots n$ ) betreibbar. Der Auswahl der Betriebsarten MODk dienen Betriebsarten-Auswahlsignale  $\varnothing_j$  ( $j = 1 \dots m$ ).

Aufbau und Funktion der Erfindung sind nachstehend meist anhand einer einzelnen logischen Einheit LU beschrieben. Unabhängig davon werden jedoch alle logischen Einheiten LU des Blockes parallel zueinander betrieben.

In einer ersten Betriebsart MOD1 sind sämtliche Betriebsarten-Auswahlsignale  $\varnothing_j$  deaktiviert, wodurch alle logischen Einheiten LU ebenfalls deaktiviert sind. In Betrieb bleiben die ausgelesenen, bewerteten Daten A somit unverändert. Das Betriebsverhalten der integrierten Halbleiterschaltung ist also in der ersten Betriebsart MOD1 identisch mit dem eines vergleichbaren Halbleiterspeicherbausteins, der den Block logischer Einheiten LU nicht enthält. Die Halbleiterschaltung ist demzufolge elektrisch kompatibel mit einem entsprechenden Halbleiterspeicherbaustein.

In der Ausführungsform nach FIG 3 enthält jede logisch Einheit LU wenigstens zwei Transistoren T1, T2 und einen Ladekondensator C. Die Transistoren T1, T2 dienen einer Inversion der an den Bitleitungen BL anliegenden bewerteten Daten A.

Die Drains der Transistoren T1, T2 sind gemeinsam mit einem ersten Anschluß des Ladekondensators C verbunden. Der zweite Anschluß des Ladekondensators C ist mit einem festen Potential verbunden. Es empfiehlt sich, als festes Potential eines der der Spannungsversorgung der integrierten Halbleiterschaltung dienenden Potentiale VSS (entsprechend Masse) oder VDD zu verwenden. Die Source des ersten Transistors T1 ist mit der einen Bitleitungshälfte BLH verbunden; die Source des zweiten Transistors T2 ist mit der anderen Bitleitungshälfte BLH verbunden. Zwei erste Betriebsarten-Auswahlsignale  $\varnothing_1, \varnothing_2$  sind mit den Gates des ersten bzw. zweiten Transistors T1, T2 verbunden.

Die somit mögliche Inversion der Daten A stellt die zweite Betriebsart MOD2 dar. Die Inversion der Daten A erfolgt in Betrieb folgendermaßen: Zunächst wird, wie bei jedem Halbleiterspeicher nach dem Stande der Technik üblich, ein Datum A aus einer Speicherzelle MC ausgelesen, über die der Speicherzelle MC zugeordnete Bitleitungshälfte (im Beispiel sei die eine Bitleitungshälfte BLH angenommen) auf die Bewerterschaltung AMPL gegeben und dort bewertet und verstärkt. Das Datum A liegt auch an der Source des ersten Transistors T1 an. Nun wird das mit dem ersten Transistor T1 verbundene eine ( $\varnothing_1$ ) der beiden ersten Betriebsarten-Auswahlsignale  $\varnothing_1, \varnothing_2$  aktiviert. Das Datum A gelangt auf den Ladekondensator C und lädt bzw. entlädt diesen, je nach Wert des Datums A (log. "1", log. "0"). Anschließend werden das eine erste Betriebsarten-Auswahlsignal  $\varnothing_1$  deaktiviert und das andere erste Betriebsarten-Auswahlsignal  $\varnothing_2$  aktiviert. Infolgedessen sperrt der eine Transistor T1; der andere Transistor T2 leitet. Die auf dem Ladekondensator C gespeicherte Ladung gelangt dadurch über die andere Bitleitungshälfte (im Beispiel: BLH) an die Bewerterschaltung AMPL. Die Bewerterschaltung AMPL wird nun nochmals aktiviert, so daß sie das anliegende Datum bewertet. Da das Datum A bei dieser erneuten Bewertung jedoch an der anderen Bitleitungshälfte BLH anliegt (verglichen mit der ursprünglichen Bewertung), kippt die Bewerterschaltung AMPL in ihren komplementären Zustand, wodurch an der ursprünglichen einen Bitleitungshälfte BLH jetzt ein zum ursprünglich ausgelesenen bewerteten Datum A invertiertes Datum  $\bar{A}$  anliegt. Dieses kann nun über die üblichen Speichereinrichtungen aus der Halbleiterschaltung ausgelesen werden und/oder in eine beliebige Speicherzelle MG an derselben Bitleitungshälfte BLH eingeschrieben werden. In Speicherzellen MC, die an der anderen Bitleitungshälfte BLH liegen, kann das ursprüngliche Datum A eingeschrieben werden.

Liegt das ausgelesene, bewertete Datum A vor der Dateninversion jedoch an der anderen Bitlei-

tungshälfte BLH an (dies wird bekanntlich üblicherweise durch ein bestimmtes, frei wählbares Bit der Wortleitungsadresse entschieden), so kann entsprechend die Funktion der beiden ersten Betriebsarten-Auswahlsignale  $\emptyset 1, \emptyset 2$  miteinander vertauscht werden (gesteuert ggf. ebenfalls durch das obengenannte Bit der Wortleitungsadresse). Das Vertauschen ist jedoch nicht notwendig, da an den beiden Bitleitungshälften BLH, BLH (bei intakten Speichern) nach erfolgter Bewertung stets zu einander komplementäre Daten anliegen: In diesem Fall wird bei Durchführung der zweiten Betriebsart MOD2, genau genommen, an der einen Bitleitungshälfte BLH nicht das ursprünglich (auf die andere Bitleitungshälfte BLH) ausgelesene, bewertete Datum A invertiert, sondern das dazu komplementäre Datum  $\bar{A}$ . Dies ist jedoch ohne Belang, weil anschließend an das Aktivieren der Betriebsarten-Auswahlsignale  $\emptyset 1, \emptyset 2$  durch das erneute Bewerten in der Bewerterschaltung AMPL an der zweiten Bitleitungshälfte BLH ein zum ursprünglich ausgelesenen Datum A komplementäres Datum  $\bar{A}$  entsteht.

Bekanntlich werden bei einem integrierten Halbleiterspeicher durch das Adressieren einer einzigen Speicherzelle MC über eine adressierte Wortleitung WL und eine Bitleitungsadresse die in allen Speicherzellen MC an der adressierten Wortleitung WL gespeicherten Daten Ai über die Bitleitungen BLi parallel ausgelesen und mittels aller Bewerterschaltungen AMPL bewertet und verstärkt. Die Auswahl eines bestimmten Datums A aus der Menge der Daten Ai mittels einer Bitleitungsadresse erfolgt anschließend; dabei wird dasjenige Datum A, das an der adressierten Bitleitung BL liegt und das bewertet und verstärkt wurde, auf eine externe Bitleitung ausgegeben. Aufgrund dieser Gegebenheiten läuft demzufolge auch die beschriebene zweite Betriebsart MOD2 parallel für den gesamten Block logischer Einheiten LU ab. Die zweite Betriebsart MOD2 ermöglicht also ein gleichzeitiges Invertieren von Daten Ai aller Speicherzellen MC einer Wortleitung WL.

In der Ausführungsform nach FIG 4 enthält der Block von logischen Einheiten LU weiterhin eine gemeinsame Leitung L, die, wie allgemein üblich bei längeren Leitungen, eine gewisse Eigenkapazität aufweist (in FIG 4 nicht dargestellt). Die gemeinsame Leitung L ist also, ähnlich einem Kondensator, auf ein festes Potential, z.B. auf das Potential VDD oder VSS, vorladbar. Sie ist außerdem mit einer Diskriminatorschaltung DISC verbunden. Die Diskriminatorschaltung DISC dient der Erkennung des Ladezustandes der gemeinsamen Leitung L.

In einer weiteren Ausführung der Erfindung, dargestellt in FIG 4, ist die gemeinsame Leitung L mit einer Stützkapazität CL verbunden. Die Stützkapazität CL ist ihrerseits wiederum mit einem der

festen Potentiale VDD;VSS verbunden. Die Stützkapazität CL hat in Betrieb eine unterstützende Wirkung hinsichtlich der Vorladbarkeit der gemeinsamen Leitung L, da sie die Wirkung der genannten Eigenkapazität fördert.

Die gemeinsame Leitung L ist in jeder logischen Einheit LU über den stromführenden Pfad (= Kanal bei MOS-Transistoren) eines dritten Transistors T3 mit dem ersten Anschluß des Ladekondensators C verbunden. Die dritten Transistoren T3 sind durch ein zweites Betriebsarten-Auswahlsignal  $\emptyset 3$  gesteuert, so daß sie schaltbar sind. Diese Anordnung ermöglicht den Vergleich von i Daten miteinander (i = Anzahl der logischen Einheiten LU) im Sinne einer logischen Verknüpfung als eine dritte Betriebsart MOD3 der erfindungsgemäß integrierten Halbleiterschaltung.

Die dritte Betriebsart MOD3 ermöglicht als logische Verknüpfung je nach schaltungstechnischer Auslegung des Blockes logischer Einheiten LU (dritte Transistoren T3: p- oder n-Kanal-Transistoren; zweites Betriebsarten-Auswahlsignal  $\emptyset 3$  in Abhängigkeit vom Kanaltyp der dritten Transistoren T3 "positive-going" oder "negative-going"; gemeinsame Leitung L vorladen auf Versorgungspotential VDD oder Masse VSS der integrierten Halbleiterschaltung; Dimensionierung der Diskriminatorschaltung DISC) folgende Boole'sche Operationen: AND, OR, NAND, NOR. Hinsichtlich weiterer Informationen über die Arbeitsweise und nähere Ausgestaltung der Diskriminatorschaltung DISC sowie einer möglichen Vorladeeinrichtung für die gemeinsame Leitung L wird auf die anmeldereigene ältere, nicht vorveröffentlichte Internationale Anmeldung WO 88/07292 verwiesen.

Im folgenden wird die Betriebsweise kurz erläutert: Zunächst werden durch Aktivieren einer ausgewählten Wortleitung WL die in allen an die Wortleitung WL angeschlossenen Speicherzellen MC gespeicherten Daten Ai über die jeweils zugehörige Bitleitung BL gelesen und mittels den zugeordneten Bewerterschaltungen AMPL bewertet und verstärkt. Danach weisen alle Bitleitungen BLi an je einer ihrer Bitleitungshälften BLH, BLH - (beispielsweise an den einen Bitleitungshälften BLH) dasjenige logische Datum A auf, das über die jeweilige Bitleitung BL aus der der Wortleitung WL zugeordneten Speicherzelle MC ausgelesen worden ist. Durch Aktivieren desjenigen ersten Betriebsarten-Auswahlsignales  $\emptyset 1, \emptyset 2$  (im Beispiel  $\emptyset 1$ ) gelangen die Daten Ai parallel über den dem aktivierte ersten Betriebsarten-Auswahlsignal ( $\emptyset 1$  angenommen) zugeordneten Transistor (z.B. T1) auf die ersten Anschlüsse der Ladekondensatoren C und laden bzw. entladen diese je nach Wert des betreffenden Datums A (log. 1 bzw. log. 0), wobei vorteilhafterweise das aktivierte eine erste Betriebsarten-Auswahlsignal ( $\emptyset 1$  war angenommen)

aktiviert bleibt, um die Bewerterschaltungen AMPL elektrisch leitend mit den Ladekondensatoren C verbunden zu halten. Es ist jedoch auch möglich, das eine erste Betriebsarten-Auswahlsignal  $\emptyset 1$  zu deaktivieren.

Die gemeinsame Leitung L ist spätestens jetzt auf eines der festen Potentiale VDD, VSS vorzuladen. Bei Verwendung der Stützkapazität CL ist diese mit einem der festen Potentiale VDD, VSS verbunden.

Nachstehend sind einige nach diesem Verfahren mittels der vorliegenden Anordnung möglichen logischen Vergleiche beschrieben: AND-Vergleich: Die gemeinsame Leitung L sei auf das feste Potential VDD vorgeladen (VDD entspreche beispielsweise wertmäßig dem Pegel eines Datums "log. 1"). Nun wird das zweite Betriebsarten-Auswahlsignal  $\emptyset 3$  aktiviert. Wurde zuvor an allen Ladekondensatoren C ein Datum A mit dem Wert "log. 1" gespeichert, was wertmäßig gleich dem Wert des festen Potentials VDD sei, so sind alle dritten Transistoren T3 gesperrt (n-Kanal-Transistoren seien angenommen); die gemeinsame Leitung L bleibt vorgeladen. Dies erkennt die Diskriminatorschaltung DISC; sie gibt an ihrem Ausgang 0 ein entsprechendes Signal ab, das in diesem Fall anzeigt, daß das Ergebnis der logischen Verknüpfung "AND" gleich "log. 1" ist.

Wurde jedoch an wenigstens einem der Ladekondensatoren C eine logische 0 als Datum A gespeichert, was wertmäßig gleich dem Wert des festen Potentials VSS sei, so leitet der diesem wenigstens einen Ladekondensator C zugeordnete dritte Transistor T3, was zu einem Absinken des Potentials der gemeinsamen Leitung L führt. Dies wiederum erkennt die Diskriminatorschaltung DISC; sie gibt an ihrem Ausgang 0 ein zum obengenannten Signal komplementäres Signal ab, das anzeigt, daß das Ergebnis der logischen Verknüpfung "AND" gleich "log. 0" ist.

Je nach Wahl des Pegels des Ausgangssignales 0 der Diskriminatorschaltung DISC für den Fall des Vorliegens einer log. 1 an allen Ladekondensatoren C lassen sich somit sowohl ein AND- wie auch ein NAND-Vergleich realisieren.

Wird die gemeinsame Leitung L auf den Wert des festen Potentials VSS (= Masse) vorgeladen, so lassen sich je nach Wahl des Wertes des Signals am Ausgang 0 der Diskriminatorschaltung DISC für den Fall, in dem alle an den Ladekondensatoren C gespeicherten Daten gleich log. 0 sind, die Funktionen OR bzw. NOR als dritte Betriebsart MOD3 (d.h. logischer Vergleich) erzielen. Der Fachmann kann dies leicht nachvollziehen anhand der obigen Ausführungen zu AND-/NAND-Vergleichen. Es ist auch günstig, zum Aktivieren des zweiten Betriebsarten-Auswahlsignales  $\emptyset 3$  einen Pegel vorzusehen, der wertmäßig zwischen den festen Po-

tentialen VSS und VDD liegt. Im Übrigen wird in diesem Zusammenhang nochmals auf die anmeldereigene ältere, nicht vorveröffentlichte Internationale Anmeldung WO 88/07292 hingewiesen, deren Offenbarung, soweit relevant, Bestandteil der vorliegenden Beschreibung ist. Insbesondere ist in der genannten Anmeldung auch eine Anordnung offenbart, die es ermöglicht, in Betrieb wahlweise die logischen Vergleiche AND, NAND, OR, NOR durchzuführen.

Soll mit der Anordnung nach FIG 4 jedoch die zweite Betriebsart MOD2 durchgeführt werden, so sind die dritten Transistoren T3 ständig gesperrt zu halten, d.h. das zweite Betriebsarten-Auswahlsignal  $\emptyset 3$  ist stets inaktiv zu halten.

Eine weitere vorteilhafte Ausführungsform der Erfindung ist in FIG 5 dargestellt. FIG 5 zeigt außer den bereits beschriebenen Merkmalen noch folgende Merkmale je logischer Einheit LU: Zwischen den Drains der ersten beiden Transistoren T1, T2, die der Dateninversion dienen, und jeder der beiden Bitleitungshälften BLH;BLH einer Bitleitung BL sind je ein erster Transfertransistor TT1;TT11 und ein zweiter Transfertransistor TT2;TT12 mit ihren stromführenden Pfaden (bei MOS-Transistoren: = Kanälen) in Serie hintereinander angeordnet. Die Gates der beiden zweiten Transfertransistoren TT2;TT12 sind jeweils mit einem von zwei dritten Betriebsarten-Auswahlsignalen  $\emptyset 4$ ; $\emptyset 5$  verbunden. Das Gate des einen ersten Transfertransistors TT1 ist mit der anderen Bitleitungshälfte BLH verbunden. Das Gate des anderen ersten Transfertransistors TT11 ist mit der einen Bitleitungshälfte BLH verbunden.

Diese Ausführungsform ermöglicht ein ein- bis mehrmaliges Ausführen der Boole'schen Operationen XNOR, OR und NAND je Bitleitung BL als vierte Betriebsart MOD4. Bei einer einmaligen Ausführung wird ein einzelnes aus einer Speicherzelle MG ausgelesenes, bewertetes Datum A mit einem an die betreffende logische Einheit LU anzulegenden Vergleichsdatum X mittels der gewünschten Boole'schen Operation verglichen. Es werden also zwei Bits miteinander verglichen. Bei einer mehrmaligen Ausführung werden mehrere nacheinandere aus mehreren Speicherzellen MC entlang einer einzigen Bitleitung BL ausgelesene, bewertete Daten Ap (p = Anzahl der Daten) mit mehreren nacheinander an die betreffende logische Einheit LU anzulegenden Vergleichsdaten Xp mittels der gewünschten Boole'schen Operationen verglichen (wortweiser Vergleich).

Im einzelnen hat die vierte Betriebsart MOD4 folgenden Verlauf: Zu Beginn werden die Ladekondensatoren C aller logischen Einheiten LU auf das feste Potential VDD aufgeladen (dessen Wert entspricht wiederum dem Wert des Pegels log. 1). Das Aufladen kann entweder über die gemeinsame

Leitung L und die dazugehörigen dritten Transistoren T3 erfolgen oder über die Bitleitungen BL. In letzterem Fall werden die Bewerterschaltungen AMPL in einen beliebigen Bewertungszustand gebracht, wodurch jeweils an einer der Bitleitungshälften BLH, BLH eine log. 1 liegt. Die Mittel dazu sind dem Fachmann geläufig. Je logischer Einheit LU wird nun derjenige der beiden ersten Transistoren T1,T2, der mit derjenigen Bitleitungshälfte BLH, BLH verbunden ist, an der die log. 1 anliegt, mittels des ihm zugeordneten einen bzw. anderen der beiden ersten Betriebsarten-Auswahlsignale Ø1, Ø2 leitend geschaltet. Somit gelangt die log. 1 als festes Potential VDD auf jeden Ladekondensator C; diese sind vorgeladen. Anschließend bleiben beide ersten Betriebsarten-Auswahlsignale Ø1, Ø2, ebenso wie das zweite Betriebsarten-Auswahlsignal Ø3, deaktiviert.

Für die nachfolgenden Vorgänge wird eine einzige Bitleitung BL mit der daran angeschlossenen logischen Einheit LU betrachtet; die entsprechenden Vorgänge an den restlichen Bitleitungen BL und logischen Einheiten LU bleiben unberücksichtigt.

In bekannter Weise wird jetzt ein Datum A, das in einer mit der Bitleitung BL verbundenen, durch eine Wortleitung WL adressierten Speicherzelle MC gespeichert ist; ausgelesen und mittels der Bewerterschaltung AMPL bewertet und verstärkt. Nachfolgend sei angenommen, daß das Datum A auf der einen Bitleitungshälfte BLH anliege. Somit liegt an der anderen Bitleitungshälfte BLH ein zum Datum A komplementäres Datum Ä an. Nun nehmen das eine dritte Betriebsarten-Auswahlsignal Ø4 den Wert des Vergleichsdatums X an und das andere dritte Betriebsarten-Auswahlsignal Ø5 den Wert eines zum Vergleichsdatum X komplementären Vergleichsdatums X an.

Sind das ausgelesene, bewertete Datum A und das Vergleichsdatum X gleich, so sind entweder der eine erste Transfertransistor TT1 und der andere zweite Transfertransistor TT12 gesperrt (Datum A = Vergleichsdatum X = log. 1) oder der andere erste Transfertransistor TT11 und der eine zweite Transfertransistor TT2 gesperrt (Datum A = Vergleichsdatum X = log. 0). In beiden Fällen bleibt somit die auf dem Ladekondensator C gespeicherte logische 1 (= festes Potential VDD) erhalten. Am Ladekondensator C liegt also das Ergebnis der Boole'schen Operation "Datum A XNOR Vergleichsdatum X" = "log. 1 XNOR log. 1" bzw. "log. 0 XNOR log. 0" = "log. 1" an.

Sind jedoch das ausgelesene, bewertete Datum A und das Vergleichsdatum X ungleich, so sind entweder sowohl der eine erste Transfertransistor TT1 und der eine zweite Transfertransistor TT2 (Datum A = log. 0; Vergleichsdatum X = log. 1) oder der andere erste Transfertransistor TT11

und der andere zweite Transfertransistor TT12 (Datum A = log. 1; Vergleichsdatum X = log. 0) leitend. In jedem dieser beiden Fälle wird diejenige Bitleitungshälfte BLH, BLH, die den Zustand log. 0 (= festes Potential VSS = Masse) aufweist (weil entweder Datum A = log. 0 oder komplementäres Datum Ä = log. 0), über die genannten leitenden Transfertransistoren mit der ersten Elektrode des Ladekondensators C verbunden; dieser wird somit entladen auf das feste Potential VSS = Masse.

Auf diese Weise wurde ein gespeichertes Bit (Datum A) mit einem Vergleichsbit X verglichen.

Wiederholt man die vorgenannten Schritte (mit Ausnahme des Schrittes "Vorladen des Ladekondensators C auf das feste Potential VDD") mehrmals hintereinander, so lassen sich mehrere (in verschiedenen Speicherzellen MC entlang der einen Bitleitung BL gespeicherte) Daten Ap (zeitlich hintereinander) mit mehreren Daten Xp vergleichen (z.B. Boole'sche Operation XNOR); das Ergebnis ist durch den Endzustand des Ladekondensators C bestimmt (der zwischendurch nie mehr auf das feste Potential VDD geladen wird). Dieses Ergebnis ist über einen der beiden ersten Transistoren T1, T2 und das entsprechende erste Betriebsarten-Auswahlsignal Ø1, Ø2 an die Bewerterschaltung AMPL anlegbar und durch diese bewertbar, so daß es an der Bewerterschaltung AMPL stabil zur Verfügung steht und beispielsweise über einen Datenausgang des Speicherbereiches MEM auslesbar ist. Auf diese Weise läßt sich sehr schnell innerhalb der integrierten Halbleiterschaltung beispielsweise ein in Speicherzellen MC entlang einer Bitleitung BL gespeichertes Wort (Daten Ap) mit einem in Wortform vorliegenden Suchbegriff (Vergleichsdaten Xp) vergleichen. Der Vergleich selbst erfolgt für alle Bitleitungen BL zeitgleich parallel. Die Ergebnisse an jeder einzelnen Bitleitung BL sind hintereinander von den einzelnen Bewerterschaltungen AMPL beispielsweise über den obengenannten Datenausgang durch Anlegen der einzelnen Bitleitungsadressen auslesbar.

Es lassen sich mit der vorliegenden Ausgestaltung jedoch auch die logischen Operationen OR und NAND durchführen:

a) OR-Operation:

Die vierte Betriebsart MOD4 wird ausgeführt wie zuvor anhand der XNOR-Operation beschrieben mit folgender Ausnahme: Bei Anlegen des Datums A auf der einen Bitleitungshälfte BLH wird das eine dritte Betriebsarten-Auswahlsignal Ø4 mit einem Datum X verbunden, das zum Vergleichsdatum X komplementär ist; das andere dritte Betriebsarten-Auswahlsignal Ø5 ist stets deaktiviert. Weist das Vergleichsdatum X den Wert log. 1 auf, so sind beide zweite Transfertransistoren TT2, TT12

stets gesperrt; am Ladekondensator C bleibt die Vorladung erhalten, was als Ergebnis bedeutet: log. 1. Weist das Vergleichsdatum X hingegen den Wert log. 0 auf, so ist der eine zweite Transfertransistor TT2 stets leitend wegen des Datums X. Der eine erste Transfertransistor TT1 ist dagegen genau dann leitend, wenn das Datum A den Wert log. 0 aufweist; in diesem Fall wird der Ladekondensator C auf log.0 = festes Potential VSS entladen. Ansonsten ist der eine erste Transfertransistor TT1 gesperrt, wodurch der Ladekondensator C geladen bleibt.

b) NAND-Operation:

Im Gegensatz zur OR-Operation ist das eine dritte Betriebsarten-Auswahlsignal Ø4 stets deaktiviert, während am anderen dritten Betriebsarten-Auswahlsignal Ø5 das Vergleichsdatum X liegt. Der Ladekondensator C wird nur in dem Fall auf log. 0 entladen, wenn sowohl das Datum A (bei dem wiederum angenommen sei, daß es an der einen Bitleitungshälfte BLH anliege) wie auch das Datum X gleich log. 1 sind. Ansonsten sind immer wenigstens einer der ersten und einer der zweiten Transfertransistoren TT1,TT11, TT2,TT12 gesperrt.

FIG 6 zeigt eine weitere vorteilhafte Ausgestaltung der Erfindung. Sie unterscheidet sich von der Ausgestaltung nach FIG 5 durch folgende Merkmale:

Die Gates der beiden ersten Transfertransistoren TT1,TT11 sind zusätzlich mit den ersten Elektroden zweier zwischenspeichernder Kapazitäten C1,C11 unter Bildung zweier Speicherknoten S1,S11 verbunden. Die zweiten Elektroden der beiden zwischenspeichernden Kapazitäten C1,C11 sind mit einem der beiden festen Potentiale VSS,VDD verbunden. Weiterhin sind zwischen den beiden Speicherknoten S1;S11 und den entsprechenden Bitleitungshälften BLH;BLH Speichertransistoren ST1;ST11 mit ihren Kanälen angeordnet. Deren Gates sind mit einem vierten Betriebsarten-Auswahlsignal Ø6 verbunden.

Diese Ausgestaltung ermöglicht das Betreiben der erfindungsgemäßen integrierten Halbleiterorschaltung in einer fünften Betriebsart MOD5. In der fünften Betriebsart MOD5 sind verschiedene Operationen möglich, beispielsweise die Boole'schen Operationen AND,NAND,OR,NOR,XOR,XNOR. Dazu wird, jeweils parallel für den gesamten Block logischer Einheiten LU, an jede Bitleitungshälfte BLH (bzw. BLH) ein Vergleichsdatum X angelegt (beispielsweise, wie bereits beschrieben, an alle Bitleitungshälften BLH dasselbe Vergleichsdatum X über die gemeinsame Leitung L und dem einen ersten Transistor T1, oder über den Dateneingang des Halbleiterspeichers und die einzelnen Bewerterschaltungen AMPL; in letzterem Fall ist es mög-

lich, an die verschiedenen Bitleitungshälften BLH verschiedene logische Werte des Vergleichsdatums X anzulegen). Die an den einzelnen Bitleitungshälften BLH anliegenden Vergleichsdaten X (bzw. Xi bei verschiedenen Vergleichsdaten) werden nun über die Bewerterschaltungen AMPL bewertet, so daß sich an den jeweils anderen Bitleitungshälften BLH ein zum Vergleichsdatum X komplementäres Datum X ausbildet (bekannte Flip-Flop-Funktion der Bewerterschaltungen AMPL). Anschließend wird das vierte Betriebsarten-Auswahlsignal Ø6 aktiviert, so daß je Bitleitung BL das auf den Bitleitungshälften BLH, BLH anliegende Vergleichsdatum X bzw. das dazu komplementäre Datum X an die erste Elektrode des zugehörigen Speicherknotens S1;S11 gelangt und dort gespeichert wird. Danach wird das vierte Betriebsarten-Auswahlsignal Ø6 wieder deaktiviert.

Alternativ zu dieser Art, die Speicherknoten S1,S11 vorzuladen, ist es auch möglich, die Vergleichsdaten Xi parallel für alle Bitleitungen BL aus dem Speicherzellenfeld MCF her auszulesen. Dazu wird, wie üblich, eine bestimmte Wortleitung WL adressiert, so daß die in allen mit der Wortleitung WL verbundenen Speicherzellen MC gespeicherten Daten parallel zueinander auf die Bitleitungen BL gelangen und durch die Bewerterschaltungen AMPL bewertet und verstärkt werden. Das Abspeichern in den Speicherknoten S1,S11 erfolgt dann mittels des vierten Betriebsarten-Auswahlsignals Ø6, wie bereits beschrieben.

Nun werden die Ladekondensatoren C des Blockes logischer Einheiten LU auf das feste Potential VDD bzw. VSS vorgeladen, wie bei den zuvor beschriebenen Betriebsarten MODk bereits erläutert. Ab jetzt sind die eigentlichen logischen Operationen durchführbar.

Dies kann auf zwei verschiedene Arten erfolgen:

a) Bitleitungs-orientiert und  
b) wortleitungs-orientiert.  
a) Zunächst sei die bitleitungs-orientierte Art erläutert:  
Die konkrete Aufgabenstellung dazu laute beispielweise: Auf jedes in Speicherzellen MC an (ein und derselben) Bitleitung BL gespeicherte Datum A ist die Boole'sche Operation NAND mittels eines Vergleichsdatums X anzuwenden, wobei das Vergleichsdatum X für jedes Datum A einen anderen Wert aufweisen kann (d.h. eine Folge von Daten Ap (p = Anzahl der Wortleitungen WL) wird mit einem Datenwort Xp verglichen, das p verschiedene Vergleichsdaten X enthält).

Werden die Daten A über die eine Bitleitungshälfte BLH ausgelesen, so sind zur Durchführung der NAND-Operation das eine dritte Betriebsarten-Auswahlsignal Ø4 auf log. 0 kon-

stant zu setzen und das andere dritte Betriebsarten-Auswahlsignal  $\varnothing 5$  auf log. 1. Werden die Daten A jedoch über die andere Bitleitungshälfte BLH ausgelesen, so sind zur Durchführung der NAND-Operation das eine dritte Betriebsarten-Auswahlsignal  $\varnothing 4$  auf log. 1 konstant zu setzen und das andere dritte Betriebsarten-Auswahlsignal  $\varnothing 5$  auf log. 0. Die eigentliche Boole'sche Operation wird nun analog ausgeführt wie hinsichtlich der vierten Betriebsart MOD4 zuvor bereits beschrieben mit folgenden wesentlichen Unterschieden:

1.) Die dritten Betriebsarten-Auswahlsignale  $\varnothing 4, \varnothing 5$  weisen ihre oben angegebenen Werte log. 0 bzw. log. 1 konstant auf; sie wirken als echte Steuersignale und nicht als Vergleichsdatum X bzw. dazu komplementäres Datum  $\bar{X}$ , wie in der vierten Betriebsart MOD4. Infolgedessen sind der eine zweite Transfertransistor TT2 stets gesperrt und der andere zweite Transfertransistor TT12 stets leitend. 2.) Ist der logische Vergleich so auszuführen, daß jedes auszulesende Datum A mit einem (anderen) Wert des Vergleichsdatums X (im Sinne des obengenannten Datenwortes  $X_p$ ) zu vergleichen ist, so ist das entsprechende Vergleichsdatum X des Datenwortes  $X_p$  auf den Speicherknoten S1 (bzw. S11) abzuspeichern, bevor das entsprechende Datum A ausgelesen und bewertet wird. Sind die verschiedenen Daten  $A_p$  jedoch jeweils mit ein und demselben Vergleichsdatum X zu vergleichen, so braucht letzteres nur einmal (d.h. vor Beginn des Auslesevorganges für das erste Datum A) abgespeichert zu werden.

Nähere Erläuterungen sind für den Fachmann anhand der Parallelen zur bereits beschriebenen vierten Betriebsart MOD4 nicht nötig. Es wird jedoch darauf hingewiesen, daß die Ladezustände der einzelnen Ladekondensatoren C (d.h. also, das Ergebnis der logischen Operationen) über die der jeweiligen logischen Einheit LU zugeordnete Bitleitung BL in Speicherzellen MC des Speicherzellenfeldes MCF abspeicherbar sind.

Ein Ausführen der Boole'schen Operation AND erfolgt in der Weise, daß zunächst die Boole'sche Operation NAND ausgeführt wird und deren Endergebnis (d.h. der Ladezustand am ersten Anschluß des Ladekondensators C) mittels der bereits beschriebenen zweiten Betriebsart MOD2 invertiert wird.

Zur Durchführung der Boole'schen Operation OR werden die an die dritten Betriebsarten-Auswahlsignale  $\varnothing 4, \varnothing 5$  gegenüber der zuvor beschriebenen NAND-Operation vertauscht (d.h. also im Beispiel, daß das eine dritte Betriebsarten-Auswahlsignal  $\varnothing 4$  konstant log. 1

aufweist und das andere dritte Betriebsarten-Auswahlsignal  $\varnothing 5$  konstant log. 0).

Die NOR-Operation wird, analog zur bereits beschriebenen AND-Operation, ausgeführt, indem zunächst die OR-Operation als fünfte Betriebsart MOD5 ausgeführt wird und anschließend daran die zweite Betriebsart MOD2 (Invertieren).

Entsprechendes gilt für die XOR-Operation: Dazu sind beide dritten Betriebsarten-Auswahlsignale  $\varnothing 4, \varnothing 5$  auf log. 1 zu halten; die XNOR-Funktion wird durch Anwenden der zweiten Betriebsart MOD2 nach Ausführen der fünften Betriebsart MOD5 erzielt.

b) Nunmehr sei die wortleitungsorientierte Art der fünften Betriebsart MOD5 erläutert:

Die konkrete Aufgabenstellung hierzu laute beispielweise: Auf jedes in Speicherzellen MC an (ein und derselben) Wortleitung WL gespeicherte Datum A ist die Boole'sche Operation NAND mittels eines Vergleichsdatums X anzuwenden, wobei an jeder logischen Einheit LU ein anderes Vergleichsdatum X (gleichzeitig) anliegen kann (d.h. also, am gesamten Block logischer Einheiten LU liegt ein komplettes Vergleichswort  $X_i$  mit  $i = \text{Gesamtzahl der Anzahl logischer Einheiten LU}$ ). Die einzelnen Vergleichsdaten X werden zunächst in bereits beschriebener Weise in den Speicherknoten S1, S11 abgespeichert. Dann werden, falls noch nicht erfolgt, die Ladekondensatoren C der logischen Einheiten LU auf das feste Potential VDD bzw. VSS vorgeladen.

Jetzt wird eine bestimmte Wortleitung WL adressiert, die in den damit verbundenen Speicherzellen MC gespeicherten Daten A werden auf die Bitleitungen BL ausgelesen und durch die Bewerterschaltungen AMPL bewertet und verstärkt. Die dritten Betriebsarten-Auswahlsignale  $\varnothing 4, \varnothing 5$  nehmen nun die unter Punkt a) der fünften Betriebsart MOD5 bereits beschriebenen Werte an (NAND/AND-Operation:  $\varnothing 4 = \text{log. 0}, \varnothing 5 = \text{log. 1}$ ; OR/NOR-Operation:  $\varnothing 4 = \text{log. 1}, \varnothing 5 = \text{log. 0}$ ; XOR/XNOR-Operation:  $\varnothing 4 = \varnothing 5 = \text{log. 1}$ ; jeweils bei Auslesen des Datums A auf die eine Bitleitungshälfte BLH).

Dadurch werden bei jeder logischen Einheit LU das auf der jeweiligen Bitleitungshälfte BLH anliegende Datum A mit dem in dem jeweiligen Speicherknoten S1 gespeicherten Vergleichsdatum X (bzw. das auf der anderen Bitleitungshälfte BLH liegende komplementäre Datum  $\bar{A}$  mit dem im jeweiligen Speicherknoten S11 gespeicherten komplementären Datum  $\bar{X}$ ) entsprechend den angelegten dritten Betriebsarten-Auswahlsignalen  $\varnothing 4, \varnothing 5$  verglichen. Das bei jeder einzelnen logischen Einheit LU aus dem Vergleich resultierende Ergebnis der Boole'schen Operation (im gewählten Beispiel: NAND-Operation) bestimmt, analog zu den bereits

beschriebenen Betriebsarten, den Potentialzustand des jeweiligen Ladekondensators C. Dieses Ergebnis ist wiederum, wie ebenfalls bereits beschrieben, invertierbar (zweite Betriebsart MOD2), über die Bewerterschaltungen AMPL und den Datenausgang des HalbleiterSpeichers auslesbar sowie im Speicherzellenfeld MCF abspeicherbar. Außerdem ist auf die Ladekondensatoren C des gesamten Blockes logischer Einheiten LU parallel die dritte Betriebsart MOD3 anwendbar.

Die Ausführungsform nach FIG 7 unterscheidet sich von der nach FIG 6 dadurch, daß sie anstelle eines einzigen vierten Betriebsarten-Auswahlsignales Ø6 zwei voneinander unabhängige ansteuerbare vierte Betriebsarten-Auswahlsignale Ø6,Ø7 aufweist. Das eine vierte Betriebsarten-Auswahlsignal Ø6 ist bei jeder logischen Einheit LU mit dem Gate des einen Speichertransistors ST1 verbunden. Das andere vierte Betriebsarten-Auswahlsignal Ø7 ist dagegen bei jeder logischen Einheit LU mit dem Gate des anderen Speichertransistors ST11 verbunden. Mit dieser Ausführungsform ist die zuvor beschriebene fünfte Betriebsart MOD5 möglich mit ihren einzelnen verschiedenen Operationen unter Verwendung von "Maskierbits": Soll eine (oder mehrere) bestimmte logische Einheit LU aus dem Block logischer Einheiten LU zur Durchführung der fünften Betriebsart MOD5 nicht verwendet werden (d.h. z.B., daß der Ladezustand ihres Ladekondensators C unabhängig von irgendwelchen Daten unverändert erhalten bleiben soll), so ist in beiden Speicherknoten S1,S11 der logischen Einheit LU ein Wert abzuspeichern, der beide erste Transfertransistoren TT1, TT11 sicher sperrt (im Falle von n-Kanal-Transistoren also "log. 0"). Damit kann der Ladekondensator C nicht entladen werden.

Die beiden Bitleitungshälften BLH, BLH, über die das Vergleichsdatum X (und das dazu komplementäre Datum X) in die Speicherknoten S1,S11 geladen wird, weisen bekanntlich stets zueinander komplementäre elektrische Zustände auf. Durch Aktivieren des vierten Betriebsarten-Auswahlsignales Ø6 in FIG 6 können also nicht beide Speicherknoten S1,S11 gleichzeitig denjenigen gleichen Wert abspeichern, der beide erste Transfertransistoren TT1,TT11 sperrt. Durch Verwendung zweier verschiedener, voneinander unabhängiger Betriebsarten-Auswahlsignale Ø6,Ø7 ist dies jedoch erreichbar: Unter der Annahme, daß der abzuspeichernde Wert "log. 0" beide ersten Transfertransistoren TT1, TT11 sperrt, wird folgendermaßen vorgegangen:

Zunächst wird die eine Bitleitungshälfte BLH (mit bekannten, bereits beschriebenen Maßnahmen) mit dem Wert "log. 0" belegt. Dann wird das eine vierte Betriebsarten-Auswahlsignal Ø6 aktiviert, so daß die angelegte "log. 0" an den einen Speicher-

noten S1 gelangt. Durch anschließendes Deaktivieren des einen vierten Betriebsarten-Auswahlsignales Ø6 bleibt die "log. 0" auf dem einen Speichernoten S1 gespeichert, der damit verbundene andere erste Transfertransistor TT11 bleibt sicher gesperrt.

Anschließend daran wird die andere Bitleitungshälfte BLH mit dem Wert "log. 0" belegt. Dann wird das andere vierte Betriebsarten-Auswahlsignal Ø7 aktiviert, so daß die angelegte "log. 0" an den anderen Speichernoten S11 gelangt. Durch anschließendes Deaktivieren des anderen vierten Betriebsarten-Auswahlsignales Ø7 bleibt die "log. 0" auf dem anderen Speichernoten S11 gespeichert, der damit verbundene eine erste Transfertransistor TT1 bleibt ebenfalls sicher gesperrt.

Sollen bei einer Ausgestaltung nach den FIG 6 oder 7 die Betriebsarten MOD3 oder MOD4 ausgeführt werden, so sind die vierten Betriebsarten-Auswahlsignale Ø6,Ø7 konstant aktiviert zu halten. Auf eine Durchführung der zweiten Betriebsart MOD2 ist der Zustand der vierten Betriebsarten-Auswahlsignale Ø6,Ø7 ohne Einfluß, weil die dritten Betriebsarten-Auswahlsignale Ø4,Ø5 deaktiviert sind. Zur Durchführung der ersten Betriebsart MOD1 sind, wie bereits beschrieben, alle Betriebsarten-Auswahlsignale Øj inaktiv zu halten.

Die FIG 8 und 9 zeigen weitere mögliche Ausgestaltungen der Erfindung. Sie ermöglichen Addition und Subtraktion von Daten Ai, die in Speicherzellen MC entlang einer Wortleitung WL gespeichert sind und aus dieser (parallel) ausgelesen und bewertet werden, mit bzw. von Vergleichsdaten Xi, die in den Speicherknoten S1 gespeichert sind. Sie ermöglichen weiterhin Multiplikation und Division, da diese bekanntlich lediglich ein mehrmaliges Ausführen von Addition bzw. Subtraktion sind. Diese arithmetischen Operationen sind eine sechste Betriebsart MOD6 der erfindungsgemäßen Schaltung. Verglichen mit der Ausführungsform nach FIG 7 weisen die Schaltungen nach den FIG 8 und 9 zusätzlich jeweils einen Schiebetransistor TS auf, der mit seinem stromführenden Pfad (= Kanal) zwischen dem ersten Anschluß des Ladekondensators C einer logischen Einheit LU und der in der Reihenfolge der einzelnen logischen Einheiten LU vorhergehenden (FIG 8) bzw. nachfolgenden (FIG 9) Bitleitung BL angeordnet ist. Ob die Anbindung an die eine (BLH) oder an die andere Bitleitungshälfte BLH erfolgt, ist für die ausführbaren Funktionen, prinzipiell gesehen, ohne Belang. Die Schiebetransistoren TS sind an ihren Gates gemeinsam mit einem Schiebesignal ØS verbunden, das als fünftes Betriebsarten-Auswahlsignal wirkt. Diese Anordnung ermöglicht eine Schieberegisterfunktion: Das an einem Ladekondensator C gespeicherte Potential ist damit an die entsprechende benachbarte Bitleitung BL weiterschiebbar und von dieser

aus über einen der beiden Transistoren T1,T2 weiterschiebbar an den damit verbundenen Ladekondensator C.

Bei der Ausführungsform nach FIG 8 liegt das "most significant bit" des einen Operanden (beispielsweise der Daten A<sub>i</sub>) an der in einer betrachteten Reihenfolge (von oben nach unten) der Bitleitungen BL ersten Bitleitung. Hingegen liegt bei der Ausführungsform nach FIG 9 das "most significant bit" an der in der betrachteten Reihenfolge letzten Bitleitung BL.

Prinzipiell läuft die Addition folgendermaßen ab: Zunächst wird der eine Operand (je logischer Einheit LU ein Vergleichsdatum X) in die einen Speicherknoten S<sub>1</sub> (bzw. S<sub>11</sub>) der logischen Einheiten LU gespeichert. Dann wird der andere Operand (je Bitleitung als Datum A) parallel aus allen mit einer bestimmten, adressierten Wortleitung WL verbundenen Speicherzellen MC ausgelesen, bewertet und verstärkt. Beide Operanden werden nun, wie als vierte Betriebsart MOD4 bereits beschrieben, mittels der Boole'schen Operation XOR miteinander verknüpft (dies entspricht einer sog. "Halbaddition"); das Ergebnis ist durch den sich einstellenden Ladezustand jedes einzelnen Ladekondensators C gegeben. Dieses Ergebnis wird nun unter Adressierung einer anderen Wortleitung WL in das Speicherzellenfeld MCF zurückgeschrieben. Anschließend wird die ursprünglich adressierte Wortleitung WL nochmals adressiert, wodurch die dort gespeicherten Daten A (nochmals) an die Bitleitungen BL gelangen. Jetzt wird die Boole'sche Operation AND als vierte Betriebsart MOD4 ausgeführt für die Daten A und die (noch gespeicherten) Vergleichsdaten X. Damit ergibt sich je logischer Einheit LU der sog. Übertrag ("Carry-Bit") am Ladekondensator C. Durch Aktivieren des Schiebesignals ØS wird dieser Übertrag nun auf die benachbarte Bitleitung weitergeschoben, auf dieser mittels der Bewerterschaltung AMPL bewertet und verstärkt. Das Schiebesignal ØS wird wieder deaktiviert. Die so behandelten Überträge werden nun in den einen Speicherknoten S<sub>1</sub> der jeweiligen logischen Einheit LU abgespeichert. Nun wird diejenige Wortleitung adressiert, mittels derer das Ergebnis der zuvor beschriebenen XOR-Operation abgespeichert wurde. Dieses wird wieder auf die Bitleitungen ausgelesen, bewertet, verstärkt und mittels der vierten Betriebsart MOD4 der Boole'schen Operation XOR hinsichtlich des in den Speicherknoten S<sub>1</sub> gespeicherten Übertrages unterzogen. Deren Ergebnis ist dann das Gesamtergebnis der Addition.

Bei der Subtraktion wird zunächst die zweite Betriebsart MOD2 (Invertieren) ausgeführt und anschließend die sechste Betriebsart MOD6. Durch mehrmaliges Ausführen der Subtraktion ist auch eine Division möglich.

Besonders vorteilhaft ist es, wenn bei der in der Reihenfolge ersten logischen Einheit LU der erste Anschluß des Ladekondensators C über den Schiebetransistor TS mit der in der Reihenfolge letzten Bitleitung BL verbunden ist oder wenn bei der in der Reihenfolge letzten logischen Einheit LU der erste Anschluß des Ladekondensators C über den Schiebetransistor TS mit der in der Reihenfolge ersten Bitleitung verbunden ist. Mit diesen Ausführungsformen sind dann die sog. Modulo-Addition und Modulo-Subtraktion möglich.

Die zwischenspeichernden Kapazitäten C<sub>1</sub>,C<sub>11</sub> müssen nicht unbedingt in Form separater Schaltelemente realisiert sein. Dazu ist es vorteilhaft, die parasitären Kapazitätseffekte der ersten Transistor-Typen TT<sub>1</sub>,TT<sub>11</sub> (z.B. deren Gateoxid-Kapazitäten) auszunutzen.

Weiterhin ist es vorteilhaft, wenn die Ladekondensatoren C durch statische Speicherzellen ersetzt sind.

Die Speicherzellen MC des Speicherzellenfeldes MCF können vorteilhafterweise vom Typ "dynamische Random-Access-Zelle" sein oder vom Typ "statische Random-Access-Zelle" oder vom nichtflüchtigen Typ (wie z.B. EPROM, EEPROM).

Die erfindungsgemäße integrierte Halbleiterschaltung bietet weiterhin durch Kombination der beschriebenen verschiedenen Betriebsarten MODk die Möglichkeit, noch weitere, nicht beschriebene Operationen ausführen zu können.

#### Patentansprüche

#### Patentansprüche für folgende Vertragsstaaten : AT, IT, NL

1. Integrierte Halbleiterschaltung mit einem Speicherbereich (MEM),

- der wenigstens ein Speicherzellenfeld (MCF) mit über Wortleitungen (WL) und Bitleitungen (BL) adressierbaren Speicherzellen (MC) enthält und
- der eine der Anzahl der Bitleitungen (BL) entsprechende Anzahl von Bewerterschaltungen (AMPL) enthält, wobei jede Bewerterschaltung (AMPL) so mit einer Bitleitung (BL) verbunden ist, daß sie diese in zwei wenigstens annähernd gleiche Bitleitungshälften (BLH, BLH̄) aufteilt,

gekennzeichnet durch folgende Merkmale:

- Die Halbleiterschaltung enthält weiterhin einen Block von logischen Einheiten (LU),
- jede logische Einheit (LU) ist mit einer Bitleitung (BL) über deren beide Bitleitungshälften (BLH, BLH̄) verbunden,
- die logischen Einheiten (LU) dienen einer digitalen Verarbeitung von aus dem Spei-

- cherbereich (MEM) über die Bitleitungen (BL) ausgelesenen, bewerteten Daten, der Block von logischen Einheiten (LU) ist in verschiedenen Betriebsarten (MOD<sub>k</sub>, k = 1...n) betreibbar,
- die Betriebsarten (MOD<sub>k</sub>) sind durch Betriebsartenauswahlsignale ( $\emptyset_j$ , j = 1...m) wählbar.
2. Integrierte Halbleiterschaltung nach Anspruch 1, dadurch gekennzeichnet, daß in einer ersten Betriebsart (MOD1) alle Betriebsartenauswahlsignale ( $\emptyset_j$ ) deaktiviert sind, so daß die ausgelesenen, bewerteten Daten unverändert bleiben.
3. Integrierte Halbleiterschaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet,
- daß jede logische Einheit (LU) wenigstens zwei einer Dateninversion der ausgelesenen, bewerteten Daten dienende Transistoren (T1,T2) und einen Ladekondensator (C) enthält,
  - daß die Drains der der Dateninversion dienenden Transistoren (T1,T2) mit einem ersten Anschluß des Ladekondensators (C) verbunden sind, dessen zweiter Anschluß an ein festes Potential (VSS;VDD) angeschlossen ist,
  - daß jede Source der Transistoren (T1,T2) mit einer der beiden Bitleitungshälften (BLH;BLH) verbunden ist,
  - daß die Gates der Transistoren (T1,T2) mit zwei ersten Betriebsartenauswahl-Signalen ( $\emptyset_1,\emptyset_2$ ) verbunden sind und
  - daß die Dateninversion eine zweite Betriebsart (MOD2) ist (FIG 3).
4. Integrierte Halbleiterschaltung nach Anspruch 3, dadurch gekennzeichnet,
- daß die ersten Anschlüsse der Ladekondensatoren (C) über dritte Transistoren (T3) schaltbar mit einer gemeinsamen Leitung (L) verbunden sind, die auf eines der festen Potentiale (VDD;VSS) vorladbar ist,
  - daß die gemeinsame Leitung (L) mit einer Diskriminatorschaltung (DISC) verbunden ist zur Erkennung des Ladezustandes der gemeinsamen Leitung (L),
  - daß die dritten Transistoren (T3) durch ein zweites Betriebsartenauswahl-Signal ( $\emptyset_3$ ) gesteuert sind zur Durchführung eines i-fachen logischen Vergleichs der ausgelesenen, bewerteten Daten mit i = Anzahl der logischen Einheiten (LU),
  - daß der i-fache logische Vergleich eine dritte Betriebsart (MOD3) ist und
5. Integrierte Halbleiterschaltung nach Anspruch 4, dadurch gekennzeichnet, daß die gemeinsame Leitung (L) mit einer Stützkapazität (CL) verbunden ist, die ihrerseits wiederum mit einem der festen Potentiale (VDD;VSS) verbunden ist.
6. Integrierte Halbleiterschaltung nach Anspruch 3, 4 oder 5, dadurch gekennzeichnet,
- daß zwischen den Drains der ersten beiden Transistoren (T1,T2) und den beiden Bitleitungshälften (BLH, BLH) je ein erster Transfertransistor (TT1,TT11) und ein zweiter Transfertransistor (TT2,TT12) mit ihren Kanälen in Serie hintereinander angeordnet sind,
  - daß die Gates der beiden zweiten Transfertransistoren (TT2, TT12) jeweils mit einem von zwei dritten Betriebsartenauswahl-Signalen ( $\emptyset_4,\emptyset_5$ ) verbunden sind,
  - daß das Gate des einen ersten Transfertransistors (TT1) mit der anderen Bitleitungshälfte (BLH) verbunden ist und daß das Gate des anderen ersten Transfertransistors (TT11) mit der einen Bitleitungshälfte (BLH) verbunden ist (FIG 5).
7. Integrierte Halbleiterschaltung nach Anspruch 6, dadurch gekennzeichnet,
- daß die Gates der beiden ersten Transfertransistoren (TT1,TT11) zusätzlich mit den ersten Elektroden zweier zwischen-speichernder Kapazitäten (C1,C11) verbunden sind unter Bildung zweier Speicherknoten (S1,S11),
  - daß die zweiten Elektroden der zwischen-speichernden Kapazitäten (C1,C11) mit dem festen Potential (VSS;VDD) verbunden sind,
  - daß zwischen den beiden Speicherknoten (S1,S11) und den entsprechenden Bitleitungshälften (BLH, BLH) Speichertransistoren (ST1,ST11) mit ihren Kanälen angeordnet sind und
  - daß die Gates der Speichertransistoren (ST1,ST11) mit einem vierten Betriebsartenauswahl-Signal ( $\emptyset_6$ ) verbunden sind (FIG 6).
8. Integrierte Halbleiterschaltung nach Anspruch 6, dadurch gekennzeichnet,
- daß die Gates der beiden ersten Transfertransistoren (TT1, TT11) zusätzlich mit

- den ersten Elektroden zweier zwischen-speichernder Kapazitäten (C1,C11) ver-bunden sind unter Bildung zweier Spei-cherknoten (S1,S11),
- daß die zweiten Elektroden der zwi-schenspeichernden Kapazitäten (C1,C11) mit dem festen Potential (VSS;VDD) ver-bunden sind,
  - daß zwischen den beiden Speicherko-noten (S1,S11) und den entsprechenden Bitleitungshälften (BLH, BLH) Speicher-transistoren (ST1,ST11) mit ihren Kanä- len angeordnet sind und
  - daß jedes Gate der Speichertransistoren (ST1,ST11) mit einem von zwei vierten Betriebsartenauswahl-Signalen ( $\emptyset 6, \emptyset 7$ ) verbunden ist (FIG 7).
9. Integrierte Halbleiterschaltung nach Anspruch 7 oder 8, dadurch gekennzeichnet,
- daß bei jeder logischen Einheit (LU) der erste Anschluß des Ladekondensators (C) weiterhin über den Kanal eines Schiebetransistors (TS) mit einer der Bit-leitungshälften (BLH, BLH) der in Reihen-folge vorhergehenden oder nachfolgen-den Bitleitung (BL) verbunden ist und
  - daß am Gate des Schiebetransistors (TS) ein Schiebesignal ( $\emptyset S$ ) als fünftes Betriebsartenauswahl-Signal anliegt (FIG 8,9).
10. Integrierte Halbleiterschaltung nach Anspruch 9, dadurch gekennzeichnet, daß bei der in der Reihenfolge ersten logischen Einheit (LU) der erste Anschluß des Ladekondensators (C) über den Schiebetransistor (TS) mit der in der Reihenfolge letzten Bitleitung (BL) verbunden ist.
11. Integrierte Halbleiterschaltung nach Anspruch 9, dadurch gekennzeichnet, daß bei der in der Reihenfolge letzten logischen Einheit (LU) der erste Anschluß des Ladekondensators (C) über den Schiebetransistor (TS) mit der in der Reihenfolge ersten Bitleitung (BL) verbunden ist.
12. Integrierte Halbleiterschaltung nach einem der Ansprüche 7 bis 11, dadurch gekennzeich- net, daß die zwischenspeichernden Kapazitä- ten (C1,C11) als parasitäre Kapazitäten der ersten Transfertransistoren (TT1,TT11) reali-siert sind.
13. Integrierte Halbleiterschaltung nach einem der vorhergehenden Ansprüche, dadurch ge- kennzeichnet, daß der Ladekondensator (C)
- 5 jeder logischen Einheit (LU) durch eine stati-sche Speicherzelle ersetzt ist.
14. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 13, dadurch gekennzeich- net, daß die Speicherzellen (MC) dynamische Random-Access-Speicherzellen sind.
- 10 15. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 13, dadurch gekennzeich- net, daß die Speicherzellen (MC) statische Random-Access-Speicherzellen sind.
- 15 16. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 13, dadurch gekennzeich- net, daß die Speicherzellen (MC) Speicherzel- len vom nicht-flüchtigen Typ sind.
- 20 Patentansprüche für folgende Vertragsstaaten : DE, FR, GB
- 25 1. Integrierte Halbleiterschaltung mit einem Spei-cherbereich (MEM),
- der wenigstens ein Speicherzellenfeld (MCF) mit Über Wortleitungen (WL) und Bitleitungen (BL) adressierbaren Spei-cherzellen (MC) enthält,
  - der eine der Anzahl der Bitleitungen (BL) entsprechende Anzahl von Bewerter-schaltungen (AMPL) enthält, wobei jede Bewerterschaltung (AMPL) so mit einer Bitleitung (BL) verbunden ist, daß sie die-se in zwei wenigstens annähernd gleiche Bitleitungshälften (BLH, BLH) aufteilt,
  - der einen Block von logischen Einheiten (LU) enthält,
  - bei dem jede logische Einheit (LU) mit einer Bitleitung (BL) über deren beide Bitleitungshälften (BLH, BLH) verbunden ist.,
  - wobei die logischen Einheiten (LU) einer digitalen Verarbeitung von aus dem Spei-cherbereich (MEM) über die Bitleitungen (BL) ausgelesenen, bewerteten Daten dienen,
  - bei dem der Block von logischen Einhei-ten (LU) in verschiedenen Betriebsarten (MOD<sub>k</sub>, k = 1...n) betreibbar ist, die durch Betriebsartenauswahlsignale ( $\emptyset j$ , j = 1...m) wählbar sind,
  - wobei in einer ersten Betriebsart (MOD1) alle Betriebsartenauswahlsignale ( $\emptyset j$ ) de-aktiviert sind, so daß die ausgelesenen, bewerteten Daten unverändert bleiben,
- 30 35 40 45 50 55 dadurch gekennzeichnet,
- daß jede logische Einheit (LU) wenig-stens zwei einer Dateninversion der aus-gelesenen, bewerteten Daten dienende

- Transistoren (T1,T2) und einen Ladekondensator (C) enthält,
- daß die Drains der der Dateninversion dienenden Transistoren (T1,T2) mit einem ersten Anschluß des Ladekondensators (C) verbunden sind, dessen zweiter Anschluß an ein festes Potential (VSS;VDD) angeschlossen ist,
  - daß jede Source der Transistoren (T1,T2) mit einer der beiden Bitleitungshälften (BLH;BLH) verbunden ist,
  - daß die Gates der Transistoren (T1,T2) mit zwei ersten Betriebsartenauswahl-Signalen (Ø1,Ø2) verbunden sind und
  - daß die Dateninversion eine zweite Betriebsart (MOD2) ist (FIG 3).
2. Integrierte Halbleiterschaltung nach Anspruch 1, **dadurch gekennzeichnet**,
- daß die ersten Anschlüsse der Ladekondensatoren (C) über dritte Transistoren (T3) schaltbar mit einer gemeinsamen Leitung (L) verbunden sind, die auf eines der festen Potentiale (VDD;VSS) vorladbar ist,
  - daß die gemeinsame Leitung (L) mit einer Diskriminatorschaltung (DISC) verbunden ist zur Erkennung des Ladezustandes der gemeinsamen Leitung (L),
  - daß die dritten Transistoren (T3) durch ein zweites Betriebsartenauswahl-Signal (Ø3) gesteuert sind zur Durchführung eines i-fachen logischen Vergleichs der ausgelesenen, bewerteten Daten mit i = Anzahl der logischen Einheiten (LU),
  - daß der i-fache logische Vergleich eine dritte Betriebsart (MOD3) ist und
  - daß das Ergebnis des i-fachen logischen Vergleiches am Ausgang der Diskriminatorschaltung (DISC) anliegt (FIG 4).
3. Integrierte Halbleiterschaltung nach Anspruch 2, **dadurch gekennzeichnet**, daß die gemeinsame Leitung (L) mit einer Stützkapazität (CL) verbunden ist, die ihrerseits wiederum mit einem der festen Potentiale (VDD;VSS) verbunden ist.
4. Integrierte Halbleiterschaltung nach Anspruch 1, 2 oder 3, **dadurch gekennzeichnet**,
- daß zwischen den Drains der ersten beiden Transistoren (T1,T2) und den beiden Bitleitungshälften (BLH,BLH) je ein erster Transfertransistor (TT1,TT11) und ein zweiter Transfertransistor (TT2,TT12) mit ihren Kanälen in Serie hintereinander angeordnet sind,
5. Integrierte Halbleiterschaltung nach Anspruch 4, **dadurch gekennzeichnet**,
- daß die Gates der beiden zweiten Transfertransistoren (TT2, TT12) jeweils mit einem von zwei dritten Betriebsartenauswahl-Signalen (Ø4,Ø5) verbunden sind,
  - daß das Gate des einen ersten Transfertransistors (TT1) mit der anderen Bitleitungshälfte (BLH) verbunden ist und daß das Gate des anderen ersten Transfertransistors (TT11) mit der einen Bitleitungshälfte (BLH) verbunden ist (FIG 5).
6. Integrierte Halbleiterschaltung nach Anspruch 4, **dadurch gekennzeichnet**,
- daß die Gates der beiden ersten Transfertransistoren (TT1,TT11) zusätzlich mit den ersten Elektroden zweier zwischen-speichernder Kapazitäten (C1,C11) verbunden sind unter Bildung zweier Speicherknoten (S1,S11),
  - daß die zweiten Elektroden der zwischen-speichernden Kapazitäten (C1,C11) mit dem festen Potential (VSS;VDD) verbunden sind,
  - daß zwischen den beiden Speicherknoten (S1,S11) und den entsprechenden Bitleitungshälften (BLH,BLH) Speichertransistoren (ST1,ST11) mit ihren Kanälen angeordnet sind und
  - daß die Gates der Speichertransistoren (ST1,ST11) mit einem vierten Betriebsartenauswahl-Signal (Ø6) verbunden sind (FIG 6).
7. Integrierte Halbleiterschaltung nach Anspruch 4, **dadurch gekennzeichnet**,
- daß die Gates der beiden ersten Transfertransistoren (TT1, TT11) zusätzlich mit den ersten Elektroden zweier zwischen-speichernder Kapazitäten (C1,C11) verbunden sind unter Bildung zweier Speicherknoten (S1,S11),
  - daß die zweiten Elektroden der zwischen-speichernden Kapazitäten (C1,C11) mit dem festen Potential (VSS;VDD) verbunden sind,
  - daß zwischen den beiden Speicherknoten (S1,S11) und den entsprechenden Bitleitungshälften (BLH,BLH) Speichertransistoren (ST1,ST11) mit ihren Kanälen angeordnet sind und
  - daß jedes Gate der Speichertransistoren (ST1,ST11) mit einem von zwei vierten Betriebsartenauswahl-Signalen (Ø6,Ø7) verbunden ist (FIG 7).
7. Integrierte Halbleiterschaltung nach Anspruch 5 oder 6, **dadurch gekennzeichnet**,

- daß bei jeder logischen Einheit (LU) der erste Anschluß des Ladekondensators (C) weiterhin über den Kanal eines Schiebetransistors (TS) mit einer der Bitleitungshälften (BLH, BLH̄) der in Reihenfolge vorhergehenden oder nachfolgenden Bitleitung (BL) verbunden ist und
  - daß am Gate des Schiebetransistors (TS) ein Schiebesignal (ØS) als fünftes Betriebsartenauswahl-Signal anliegt (FIG 8,9).
8. Integrierte Halbleiterschaltung nach Anspruch 7, **dadurch gekennzeichnet**, daß bei der in der Reihenfolge ersten logischen Einheit (LU) der erste Anschluß des Ladekondensators (C) über den Schiebetransistor (TS) mit der in der Reihenfolge letzten Bitleitung (BL) verbunden ist.
9. Integrierte Halbleiterschaltung nach Anspruch 7, **dadurch gekennzeichnet**, daß bei der in der Reihenfolge letzten logischen Einheit (LU) der erste Anschluß des Ladekondensators (C) über den Schiebetransistor (TS) mit der in der Reihenfolge ersten Bitleitung (BL) verbunden ist.
10. Integrierte Halbleiterschaltung nach einem der Ansprüche 5 bis 9, **dadurch gekennzeichnet**, daß die zwischen Speichernden Kapazitäten (C1,C11) als parasitäre Kapazitäten der ersten Transfertransistoren (TT1,TT11) realisiert sind.
11. Integrierte Halbleiterschaltung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der Ladekondensator (C) jeder logischen Einheit (LU) durch eine statische Speicherzelle ersetzt ist.
12. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet**, daß die Speicherzellen (MC) dynamische Random-Access-Speicherzellen sind.
13. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet**, daß die Speicherzellen (MC) statische Random-Access-Speicherzellen sind.
14. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet**, daß die Speicherzellen (MC) Speicherzellen vom nichtflüchtigen Typ sind.

### Claims

**Claims for the following Contracting States :**  
**AT, IT, NL**

- 5 1. Integrated semiconductor circuit having a memory region (MEM),
- which includes at least one memory cell field (MCF) with memory cells (MC) which can be addressed via wordlines (WL) and bitlines (BL), and
- 10 2. Integrated semiconductor circuit having a memory region (MEM),
- which includes a number of evaluator circuits (AMPL) corresponding to the number of bitlines (BL), in which each evaluator circuit (AMPL) is connected to a bitline (BL) so that it divides the latter into two at least approximately identical bitline halves (BLH, BLH̄), characterized by the following features:
  - the semiconductor circuit includes furthermore a block of logic units (LU),
  - each logic unit (LU) is connected to a bitline (BL) via its two bitline halves (BLH, BLH̄),
  - the logic units (LU) serve for a digital processing of evaluated data read out from the memory region (MEM) via the bitlines (BL),
  - the block of logic units (LU) can be operated in differing operating modes (MOD<sub>k</sub>, k = 1...n),
  - the operating modes (MOD<sub>k</sub>) are selectable by operating mode selection signals (Ø<sub>j</sub>, j = 1...m).
- 15 3. Integrated semiconductor circuit to Claim 1, characterized in that in a first operating mode (MOD1) all operating mode selection signals (Ø<sub>j</sub>) are deactivated, so that the read-out evaluated data remain unchanged.
- 20 4. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and
- 25 5. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and
- 30 6. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and
- 35 7. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and
- 40 8. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and
- 45 9. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and
- 50 10. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and
- 55 11. Integrated semiconductor circuit according to Claim 1 or 2, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH̄),
  - the gates of the transistors (T1, T2) are connected to two first operating mode selection signals (Ø<sub>1</sub>, Ø<sub>2</sub>), and

- the data inversion is a second operating mode (MOD2) (FIG. 3).
4. Integrated semiconductor circuit according to Claim 3, characterized in that
- the first connections of the charge capacitors (C) are connected via third transistors (T3) switchably to a common line (L), which is prechargeable to one of the fixed potentials (VDD;VSS),
  - the common line (L) is connected to a discriminator circuit (DISC) for the recognition of the charge state of the common line (L),
  - the third transistors (T3) are controlled by a second operating mode selection signal ( $\phi_3$ ) for the performance of an i-fold logic comparison of the read-out, evaluated data where  $i =$  number of the logic units (LU),
  - the i-fold logic comparison is a third operating mode (MOD3), and
  - the result of the i-fold logic comparison is present at the output of the discriminator circuit (DISC) (FIG. 4).
5. Integrated semiconductor circuit according to Claim 4, characterized in that the common line (L) is connected to a support capacitor (CL), which on its part is in turn connected to one of the fixed potentials (VDD;VSS).
6. Integrated semiconductor circuit according to Claim 3, 4 or 5, characterized in that
- in each instance one first transfer transistor (TT1, TT11) and one second transfer transistor (TT2, TT12) are series-connected with their channels disposed in series between the drains of the first two transistors (T1, T2) and the two bitline halves (BLH,  $\overline{BLH}$ ),
  - the gates of the two second transfer transistors (TT2, TT12) are connected in each instance to one of two third operating mode selection signals ( $\phi_4$ ,  $\phi_5$ ),
  - the gate of the one first transfer transistor (TT1) is connected to the other bitline half ( $\overline{BLH}$ ), and the gate of the other first transfer transistor (TT11) is connected to the one bitline half (BLH) (FIG. 5).
7. Integrated semiconductor circuit according to Claim 6, characterized in that
- the gates of the two first transfer transistors (TT1, TT11) are additionally connected to the first electrodes of two buffer store capacitors (C1, C11) with the formation of two memory nodes (S1,
- 5
- 10
- 15
- 20
- 25
- 30
- 35
- 40
- 45
- 50
- 55
- S11),
- the second electrodes of the buffer store capacitors (C1, C11) are connected to the fixed potential (VSS;VDD),
  - memory transistors (ST1, ST11) are disposed with their channels between the two memory nodes (S1, S11) and the corresponding bitline halves (BLH,  $\overline{BLH}$ ), and
  - the gates of the memory transistors (ST1, ST11) are connected to a fourth operating mode selection signal ( $\phi_6$ ) (FIG. 6).
8. Integrated semiconductor circuit according to Claim 6, characterized in that
- the gates of the two first transfer transistors (TT1, TT11) are additionally connected to the first electrodes of two buffer store capacitors (C1, C11) with the formation of two memory nodes (S1, S11),
  - the second electrodes of the buffer store capacitors (C1, C11) are connected to the fixed potential (VSS;VDD),
  - memory transistors (ST1, ST11) are disposed with their channels between the two memory nodes (S1, S11) and the corresponding bitline halves (BLH,  $\overline{BLH}$ ), and
  - each gate of the memory transistors (ST1, ST11) is connected to one of two fourth operating mode selection signals ( $\phi_6$ ,  $\phi_7$ ) (FIG. 7).
9. Integrated semiconductor circuit according to Claim 7 or 8, characterized in that
- in the case of each logic unit (LU) the first connection of the charge capacitor (C) is furthermore connected via the channel of a shift transistor (TS) to one of the bitline halves (BLH,  $\overline{BLH}$ ) of the bitline (BL) which precedes or follows in sequence, and
  - a shift signal ( $\phi_S$ ) is present as the fifth operating mode selection signal at the gate of the shift transistor (TS) (FIGS. 8, 9).
10. Integrated semiconductor circuit according to Claim 9, characterized in that, in the case of the logic unit (LU) which is the first in the sequence, the first connection of the charge capacitor (C) is connected via the shift transistor (TS) to the bitline (BL) which is the last in the sequence.

11. Integrated semiconductor circuit according to Claim 9, characterized in that, in the case of the logic unit (LU) which is the last in the sequence, the first connection of the charge capacitor (C) is connected via the shift transistor (TS) to the bitline (BL) which is the first in the sequence.

12. Integrated semiconductor circuit according to one of Claims 7 to 11, characterized in that the buffer store capacitors (C1, C11) are realized as stray capacitances of the first transfer transistors (TT1, TT11).

13. Integrated semiconductor circuit according to one of the preceding claims, characterized in that the charge capacitor (C) of each logic unit (LU) is replaced by a static memory cell.

14. Integrated semiconductor circuit according to one of Claims 1 to 13, characterized in that the memory cells (MC) are dynamic random access memory cells.

15. Integrated semiconductor circuit according to one of Claims 1 to 13, characterized in that the memory cells (MC) are static random access memory cells.

16. Integrated semiconductor circuit according to one of Claims 1 to 13, characterized in that the memory cells (MC) are memory cells of the non-volatile type.

**Claims for the following Contracting States :  
DE, FR, GB**

1. Integrated semiconductor circuit having a memory region (MEM),

- which includes at least one memory cell field (MCF) with memory cells (MC) which can be addressed via wordlines (WL) and bitlines (BL),
- which includes a number of evaluator circuits (AMPL) corresponding to the number of bitlines (BL), in which each evaluator circuit (AMPL) is connected to a bitline (BL) so that it divides the latter into two at least approximately identical bitline halves (BLH, BLH),
- which includes a block of logic units (LU),
- in which each logic unit (LU) is connected to a bitline (BL) via its two bitline halves (BLH, BLH),
- in which the logic units (LU) serve for a digital processing of evaluated data read out from the memory region (MEM) via

5

10

15

20

25

30

35

40

45

50

55

the bitlines (BL),

- in which the block of logic units (LU) can be operated in differing operating modes (MOD<sub>k</sub>, k = 1...n), which are selectable by operating mode selection signals ( $\emptyset$ <sub>j</sub>, j = 1...m),
- in which in a first operating mode (MOD1) all operating mode selection signals ( $\emptyset$ <sub>j</sub>) are deactivated, so that the read-out evaluated data remain unchanged, characterized in that
- each logic unit (LU) includes at least two transistors (T1, T2) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
- the drains of the transistors (T1, T2) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
- each source of the transistors (T1, T2) is connected to one of the two bitline halves (BLH;BLH),
- the gates of the transistors (T1, T2) are connected to two first operating mode selection signals ( $\emptyset$ <sub>1</sub>,  $\emptyset$ <sub>2</sub>), and
- the data inversion is a second operating mode (MOD2) (FIG. 3).

2. Integrated semiconductor circuit according to Claim 1, characterized in that

- the first connections of the charge capacitors (C) are connected via third transistors (T3) switchably to a common line (L), which is prechargeable to one of the fixed potentials (VDD;VSS),
- the common line (L) is connected to a discriminator circuit (DISC) for the recognition of the charge state of the common line (L),
- the third transistors (T3) are controlled by a second operating mode selection signal ( $\emptyset$ <sub>3</sub>) for the performance of an i-fold logic comparison of the read-out, evaluated data where i = number of the logic units (LU),
- the i-fold logic comparison is a third operating mode (MOD3), and
- the result of the i-fold logic comparison is present at the output of the discriminator circuit (DISC) (FIG. 4).

3. Integrated semiconductor circuit according to Claim 2, characterized in that the common line (L) is connected to a support capacitor (CL), which on its part is in turn connected to one of the fixed potentials (VDD;VSS).

4. Integrated semiconductor circuit according to Claim 1, 2 or 3, characterized in that

  - in each instance one first transfer transistor (TT1, TT11) and one second transfer transistor (TT2, TT12) are series-connected with their channels disposed in series between the drains of the first two transistors (T1, T2) and the two bitline halves (BLH, BLH),
  - the gates of the two second transfer transistors (TT2, TT12) are connected in each instance to one of two third operating mode selection signals (Ø4, Ø5),
  - the gate of the one first transfer transistor (TT1) is connected to the other bitline half (BLH), and the gate of the other first transfer transistor (TT11) is connected to the one bitline half (BLH) (FIG. 5).

5. Integrated semiconductor circuit according to Claim 4, characterized in that

  - the gates of the two first transfer transistors (TT1, TT11) are additionally connected to the first electrodes of two buffer store capacitors (C1, C11) with the formation of two memory nodes (S1, S11),
  - the second electrodes of the buffer store capacitors (C1, C11) are connected to the fixed potential (VSS;VDD),
  - memory transistors (ST1, ST11) are disposed with their channels between the two memory nodes (S1, S11) and the corresponding bitline halves (BLH, BLH), and
  - the gates of the memory transistors (ST1, ST11) are connected to a fourth operating mode selection signal (Ø6) (FIG. 6).

6. Integrated semiconductor circuit according to Claim 4, characterized in that

  - the gates of the two first transfer transistors (TT1, TT11) are additionally connected to the first electrodes of two buffer store capacitors (C1, C11) with the formation of two memory nodes (S1, S11),
  - the second electrodes of the buffer store capacitors (C1, C11) are connected to the fixed potential (VSS;VDD),
  - memory transistors (ST1, ST11) are disposed with their channels between the two memory nodes (S1, S11) and the corresponding bitline halves (BLH, BLH), and
  - each gate of the memory transistors (ST1, ST11) is connected to one of two

5 fourth operating mode selection signals (Ø6, Ø7) (FIG. 7).

7. Integrated semiconductor circuit according to Claim 5 or 6, characterized in that

  - in the case of each logic unit (LU) the first connection of the charge capacitor (C) is furthermore connected via the channel of a shift transistor (TS) to one of the bitline halves (BLH, BLH) of the bitline (BL) which precedes or follows in sequence, and
  - a shift signal (Ø8) is present as the fifth operating mode selection signal at the gate of the shift transistor (TS) (FIGS. 8, 9).

8. Integrated semiconductor circuit according to Claim 7, characterized in that, in the case of the logic unit (LU) which is the first in the sequence, the first connection of the charge capacitor (C) is connected via the shift transistor (TS) to the bitline (BL) which is the last in the sequence.

20 25 30 35 40 45 50 55

9. Integrated semiconductor circuit according to Claim 7, characterized in that, in the case of the logic unit (LU) which is the last in the sequence, the first connection of the charge capacitor (C) is connected via the shift transistor (TS) to the bitline (BL) which is the first in the sequence.

10. Integrated semiconductor circuit according to one of Claims 5 to 9, characterized in that the buffer store capacitors (C1, C11) are realized as stray capacitances of the first transfer transistors (TT1, TT11).

11. Integrated semiconductor circuit according to one of the preceding claims, characterized in that the charge capacitor (C) of each logic unit (LU) is replaced by a static memory cell.

12. Integrated semiconductor circuit according to one of Claims 1 to 11, characterized in that the memory cells (MC) are dynamic random access memory cells.

13. Integrated semiconductor circuit according to one of Claims 1 to 11, characterized in that the memory cells (MC) are static random access memory cells.

14. Integrated semiconductor circuit according to one of Claims 1 to 11, characterized in that the memory cells (MC) are memory cells of the non-volatile type.

**Revendications****Revendications pour les Etats contractants suivants : AT, IT, NL****1. Circuit intégré à semiconducteurs comportant une zone de mémoire (MEM)**

- qui comporte au moins une zone de cellules de mémoire (MCF) comportant des cellules de mémoire (MC) pouvant être adressées par l'intermédiaire de lignes de transmission de mots (WL) et de lignes de transmission de bits (LB), et
- qui comporte un nombre de circuits d'évaluation (AMPL), qui correspond au nombre des lignes de transmission de bits (BL), chaque circuit d'évaluation (AMPL) étant connecté à une ligne de transmission de bits (BL) de telle sorte qu'il divise cette dernière en deux moitiés au moins approximativement identiques (BLH, BLH),

caractérisé par les particularités suivantes :

- le circuit à semiconducteurs comporte, en outre, un bloc d'unités logiques (LU),
- chaque unité logique (LU) est reliée à une ligne de transmission de bits (BL), par l'intermédiaire de ses deux moitiés (BLH, BLH),
- les unités logiques (LU) servent à réaliser un traitement numérique de données évaluées lues à partir de la zone de mémoire (MEM), par l'intermédiaire des lignes de transmission de bits (BL),
- le bloc d'unités logiques (LU) peut fonctionner selon différentes types de fonctionnement (MODk, k = 1... n),
- les types de fonctionnement (MODk) peuvent être sélectionnés par des signaux de sélection de type de fonctionnement ( $\emptyset j$ , j = 1... m).

**2. Circuit intégré à semiconducteurs suivant la revendication 1, caractérisé par le fait que dans un premier type de fonctionnement (MOD1), tous les signaux de sélection de type de fonctionnement ( $\emptyset i$ ) sont désactivés, de sorte que les données évaluées lues restent inchangées.****3. Circuit intégré à semiconducteurs suivant la revendication 1 ou 2, caractérisé par le fait**

- que chaque unité logique (LU) comporte au moins deux transistors (T1,T2), qui sont utilisés pour inverser les données lues et évaluées, et un condensateur de charge (C),
- que les drains des transistors (T1,T2) utilisés pour l'inversion des données sont

5

10

15

20

25

30

35

40

45

50

55

raccordés à une première borne du condensateur de charge (C), dont la seconde borne est raccordée à un potentiel fixe (VSS,VDD),

- que chaque source des transistors (T1,T2) est raccordée à l'une des deux moitiés (BLH;BLH) de la ligne de transmission de bits,
- que les grilles des transistors (T1,T2) reçoivent les deux premiers signaux de sélection de type de fonctionnement ( $\emptyset 1,\emptyset 2$ ), et
- que l'inversion des données est un second type de fonctionnement (MOD2) (figure 3).

**4. Circuit intégré à semiconducteurs suivant la revendication 3, caractérisé par le fait**

- que les premières bornes des condensateurs de charge (C) sont raccordées, par l'intermédiaire de troisièmes transistors (T3), et d'une manière commutable, à une ligne commune (L), qui peut être préchargée à l'un des potentiels fixes (VDD;VSS),
- que la ligne commune (L) est raccordée à un circuit discriminateur (DISC) pour identifier l'état de charge de la ligne commune (T),
- que les troisièmes transistors (T3) sont commandés par un second signal de sélection du type de fonctionnement ( $\emptyset 3$ ), pour l'exécution d'une i-ème comparaison logique des données lues et évaluées, avec i = nombre des unités logiques (LU),
- que la i-ème comparaison logique est un troisième type de fonctionnement (MOD3), et
- que le résultat de la i-ème comparaison logique est délivré à la sortie du circuit discriminateur (DISC) (figure 4).

**5. Circuit intégré à semiconducteurs suivant la revendication 4, caractérisé par le fait que la ligne commune (L) est raccordée à une capacité d'assistance (CL), qui est à nouveau placée, pour sa part, à l'un des potentiels fixes, (VDD;VSS).****6. Circuit intégré à semiconducteurs suivant la revendication 3, 4 ou 5, caractérisé par le fait**

- que respectivement un premier transistor de transfert (TT1,TT11) et un second transistor de transfert (TT2,TT12) sont branchés en série l'un derrière l'autre, au moyen de leurs canaux, entre les drains des deux premiers transistors (T1,T2), et

- les deux moitiés (BLH,BLH) de la ligne de transmission de bits,
- que les grilles des deux seconds transistors de transfert (TT2,TT12) reçoivent respectivement l'un de deux troisièmes signaux de sélection de type de fonctionnement (04,05),
  - que la grille d'un premier transistor de transfert (TT1) est raccordée à l'autre moitié (BLH) de la ligne de transmission de bits, et que la grille de l'autre premier transistor de transfert (TT11) est raccordée à une moitié (BLH) de la ligne de transmission de bits (figure 5).
7. Circuit intégré à semiconducteurs suivant la revendication 6, caractérisé par le fait
- que les grilles des deux premiers transistors de transfert (TT1,TT11) sont raccordées, en outre, aux premières électrodes de deux capacités (C1,C11) qui réalisent une mémorisation temporaire, moyennant la formation de deux noeuds de mémorisation (S1,S11),
  - que les secondes électrodes des capacités (C1,C11) qui réalisent une mémorisation temporaire, sont placées au potentiel fixe (VSS;VDD),
  - que les transistors de mémorisation (ST1,ST11) sont disposés, par leurs canaux, entre les deux noeuds de mémorisation (S1,S11) et les moitiés correspondantes (BLH,BLH) des lignes de transmission de bits,
  - que les grilles des transistors de mémorisation (ST1,ST11) reçoivent un quatrième signal de sélection de type de fonctionnement (06) (figure 6).
8. Circuit intégré à semiconducteurs suivant la revendication 6, caractérisé par le fait
- que les grilles des deux premiers transistors de transfert (TT1,TT11) sont raccordées, en outre, aux premières électrodes de deux capacités (C1,C11) qui réalisent une mémorisation temporaire, moyennant la formation de deux noeuds de mémoire (S1,S11),
  - que les secondes électrodes des capacités (C1,C11) qui réalisent une mémorisation temporaire, sont placées au potentiel fixe (VSS;VDD),
  - que des transistors de mémorisation (ST1,ST11) sont disposés, par leurs canaux, entre les deux noeuds de mémoire (S1,S11) et les moitiés correspondantes (BLH,BLH) de la ligne de transmission de bits, et
- 5
- que chaque grille des transistors de mémorisation (ST1,ST11) reçoit l'un de deux quatrièmes signaux de sélection de type de fonctionnement (06,07) (figure 7).
9. Circuit intégré à semiconducteurs suivant la revendication 7 ou 8, caractérisé par le fait
- que, dans chaque unité logique (LU), la première borne du condensateur de charge (C) est raccordée, en outre, et par l'intermédiaire du canal d'un transistor de décalage (TS), à l'une des moitiés (BLH, BLH) de la ligne de transmission de bits (BL) qui est la ligne de transmission de bits précédente ou suivante dans la série, et
  - qu'un signal de décalage (0S) est appliqué en tant que cinquième signal de sélection de type de fonctionnement à la grille du transistor de décalage (TS) (figures 8,9).
- 10
10. Circuit intégré à semiconducteurs suivant la revendication 9, caractérisé par le fait que dans le cas de la première unité logique (LU) de la série, la première borne du condensateur de charge (C) est raccordée, par l'intermédiaire du transistor de décalage (TS), à la dernière ligne de transmission de bits (BL) de la série.
- 15
11. Circuit intégré à semiconducteurs suivant la revendication 9, caractérisé par le fait que dans le cas de la dernière unité logique (LU) de la série, la première borne du condensateur de charge (C) est raccordée, par l'intermédiaire du premier transistor de décalage (TS), à la première ligne de transmission de bits (BL) de la série.
- 20
12. Circuit intégré à semiconducteurs suivant l'une des revendications 7 à 11, caractérisé par le fait que les capacités (C1,C11) qui réalisent une mémorisation intermédiaire sont agencées sous la forme de capacités parasites des premiers transistors de transfert (TT1,TT11).
- 25
13. Circuit intégré à semiconducteurs suivant l'une des revendications précédentes, caractérisé par le fait que le condensateur de charge (C) de chaque unité logique (LU) est remplacé par une cellule de mémoire statique.
- 30
14. Circuit intégré à semiconducteurs suivant l'une des revendications 1 à 13, caractérisé par le fait que les cellules de mémoire (MC) sont des cellules de mémoire dynamiques à accès direct.
- 35
- 40
- 45
- 50
- 55

15. Circuit intégré à semiconducteurs suivant l'une des revendications 1 à 13, caractérisé par le fait que les cellules de mémoire (MC) sont des cellules de mémoire statiques à accès direct.

5

16. Circuit intégré à semiconducteurs suivant l'une des revendications 1 à 13, caractérisé par le fait que les cellules de mémoire (MC) sont des cellules de mémoire de type non volatile.

10

**Revendications pour les Etats contractants suivants : DE, FR, GB**

1. Circuit intégré à semiconducteurs comportant une zone de mémoire (MEM)

15

- qui comporte au moins une zone (MFC) de cellules de mémoire à cellules de mémoire (MC) pouvant être adressées par l'intermédiaire de lignes de transmission de mots (WL) et de lignes de transmission de bits (BL),
- qui comporte un nombre de circuits d'évaluation (AMPL), qui correspond au nombre des lignes de transmission de bits (BL), un circuit d'évaluation (AMPL) étant connecté à une ligne de transmission de bits (BL) de telle sorte qu'il subdivise cette dernière en deux moitiés au moins approximativement identiques (BLH, BLH),
- qui comporte un bloc d'unités logiques (LU),
- dans lequel chaque unité logique (LU) est raccordée à une ligne de transmission de bits (BL), par l'intermédiaire des deux moitiés (BLH, BLH) de cette ligne, et
- dans lequel les unités logiques (LU) servent à réaliser un traitement numérique de données évaluées, lues à partir de la zone de mémoire (MEM), par l'intermédiaire des lignes de transmission de bits (BL),
- dans lequel le bloc d'unités logiques (LU) peut fonctionner selon différents types de fonctionnement (MOD<sub>k</sub>, k = 1...n), qui peuvent être sélectionnés au moyen de signaux de sélection de types de fonctionnement ( $\theta_j$ , j = 1...m), et
- dans lequel, dans un premier type de fonctionnement (MOD1), tous les signaux ( $\theta_j$ ) de sélection du type de fonctionnement sont désactivés de sorte que les données lues et évaluées restent inchangées, caractérisé par le fait
- que chaque unité logique (LU) comporte au moins deux transistors (T1,T2), qui

20

25

30

35

40

45

50

55

servent à inverser des données lues et évaluées, et un condensateur de charge (C),

- que les drains des transistors (T1,T2), qui servent à inverser les données, sont connectés à une première borne du condensateur de charge (C), dont la seconde borne est placée à un potentiel fixe (VSS;VDD),
- que chaque source des transistors (T1,T2) est raccordée à l'une des deux moitiés (BLH;BLH) de la ligne de transmission de bits,
- que les grilles des transistors (T1,T2) reçoivent deux premiers signaux ( $\theta_1,\theta_2$ ) de sélection du type de fonctionnement, et
- que l'inversion des données est un second type de fonctionnement (MOD2) (figure 3).

2. Circuit intégré à semiconducteurs suivant la revendication 1, caractérisé par le fait

- que les premières bornes des condensateurs de charge (C) sont connectées par l'intermédiaire d'un troisième transistor (T3), d'une manière commutable, à une ligne commune (L), qui peut être préchargée à l'un des potentiels fixes (VDD;VSS),
- que la ligne commune (L) est raccordée à un circuit discriminateur (DISC) pour l'identification de l'état de charge de la ligne commune (L),
- que les troisièmes transistors (T3) sont commandés par un second signal ( $\theta_3$ ) de sélection du type de fonctionnement, pour l'exécution d'une i-ème comparaison logique des données lues et évaluées, avec i = nombre des unités logiques (LU),
- que la i-ème comparaison logique est un troisième type de fonctionnement (MOD3), et
- que le résultat de la i-ème comparaison logique est délivré à la sortie du circuit discriminateur (DISC) (figure 4).

3. Circuit intégré à semiconducteurs suivant la revendication 2, caractérisé par le fait que la ligne commune (L) est connectée à une capacité d'assistance (CL) qui, pour sa part, est placée à nouveau à l'un des potentiels fixes (VDD;VSS).

4. Circuit intégré à semiconducteurs suivant la revendication 1,2 ou 3, caractérisé par le fait

- que respectivement un premier transistor de transfert (TT1,TT11) et un second transistor de transfert (TT2,TT12) sont disposés, en série l'un derrière l'autre par leurs canaux, entre les drains des deux premiers transistors (T1,T2) et les deux moitiés (BLH,BLH) de la ligne de transmission de bits,
- que les grilles des deux seconds transistors de transfert (TT2,TT12) reçoivent respectivement l'un de deux troisièmes signaux de sélection de type de fonctionnement (Ø4,Ø5),
- que la grille du premier transistor de transfert (TT1) est connectée à l'autre moitié (BLH) de la ligne de transmission de bits et que la grille de l'autre premier transistor de transfert (TT11) est raccordée à une moitié (BLH) de la ligne de transmission de bits (figure 5).
5. Circuit intégré à semiconducteurs selon la revendication 4, caractérisé par le fait
- que les grilles des deux premiers transistors de transfert (TT1,TT11) sont connectées, en outre, aux premières électrodes de deux capacités (C1,C11) réalisant une mémorisation intermédiaire, moyennant la formation de deux noeuds de mémoire (S1,S11),
  - que les deux électrodes des capacités (C1,C11) réalisant une mémorisation intermédiaire, sont placées au potentiel fixe (VSS;VDD),
  - que des transistors de mémorisation (ST1,ST11) sont disposés, par leurs canaux, entre les deux noeuds de mémoire (S1,S11) et les moitiés correspondantes (BLH,BLH) de la ligne de transmission de bits, et
  - que les grilles des transistors de mémoire (ST1,ST11) reçoivent un quatrième signal de sélection de type de fonctionnement (Ø6) (figure 6).
6. Circuit intégré à semiconducteurs suivant la revendication 4, caractérisé par le fait
- que les grilles des deux premiers transistors de transfert (TT1,TT11) sont connectées, en outre, à la première électrode de deux capacités (C1,C11) qui réalisent une mémorisation intermédiaire, moyennant la formation de deux noeuds de mémoire (S1,S11),
  - que les secondes électrodes des capacités (C1,C11) qui réalisent une mémorisation intermédiaire, sont placées au potentiel fixe (VSS;VDD),
- 5 que des transistors de mémoire (ST1,ST11) sont disposés, avec leurs canaux, entre les deux noeuds de mémoire (S1,S11) et les moitiés correspondantes (BLH,BLH) des lignes de transmission de bits, et
- 10 - que chaque grille des transistors de mémoire (ST1,ST11) reçoit l'un de deux quatrièmes signaux de sélection de type de fonctionnement (Ø6,Ø7) (figure 7).
- 15 7. Circuit intégré à semiconducteurs suivant la revendication 5 ou 6, caractérisé par le fait
- que dans chaque unité logique (LU1), la première borne du condensateur de charge (C) est, en outre, raccordée, par l'intermédiaire du canal d'un transistor de décalage (TS), à l'une des moitiés (BLH,BLH) de la ligne de transmission de bits (BL) qui est la ligne précédente ou suivante dans la série, et
  - qu'un signal de décalage (ØS) est appliqué à la grille du transistor de transfert (TS) en tant que cinquième signal de sélection de type de fonctionnement (figures 8,9).
- 20 8. Circuit intégré à semiconducteurs suivant la revendication 7, caractérisé par le fait que dans la première unité logique (LU) de la série, la première borne du condensateur de charge (C) est connectée, par l'intermédiaire du transistor de décalage (TS), à la dernière ligne de transmission de bits (BL) de la série.
- 25 9. Circuit intégré à semiconducteurs suivant la revendication 7, caractérisé par le fait que dans la dernière unité logique (LU) de la série, la première borne du condensateur de charge (C) est connectée, par l'intermédiaire du transistor de transfert (TS), à la première ligne de transmission de bits (BL) de la série.
- 30 40 35 45 50 55 10. Circuit intégré à semiconducteurs suivant l'une des revendications 5 à 9, caractérisé par le fait que les capacités (C1,C11) qui réalisent une mémorisation intermédiaire, sont réalisées sous la forme de capacités parasites des premiers transistors de transfert (TT1,TT11).
11. Circuit intégré à semiconducteurs suivant l'une des revendications précédentes, caractérisé par le fait que le condensateur de charge (C) de chaque unité logique (LU) est remplacé par une cellule de mémoire statique.
12. Circuit intégré à semiconducteurs suivant l'une des revendications 1 à 11, caractérisé par le

fait que les cellules de mémoire (MC) sont des cellules de mémoire dynamiques à accès direct.

13. Circuit intégré à semiconducteurs suivant l'une des revendications 1 à 11, caractérisé par le fait que les cellules de mémoire (MC) sont des cellules de mémoire statiques à accès direct. 5
14. Circuit intégré à semiconducteurs suivant l'une des revendications 1 à 11, caractérisé par le fait que les cellules de mémoire (MC) sont des cellules de mémoire du type non volatile. 10

15

20

25

30

35

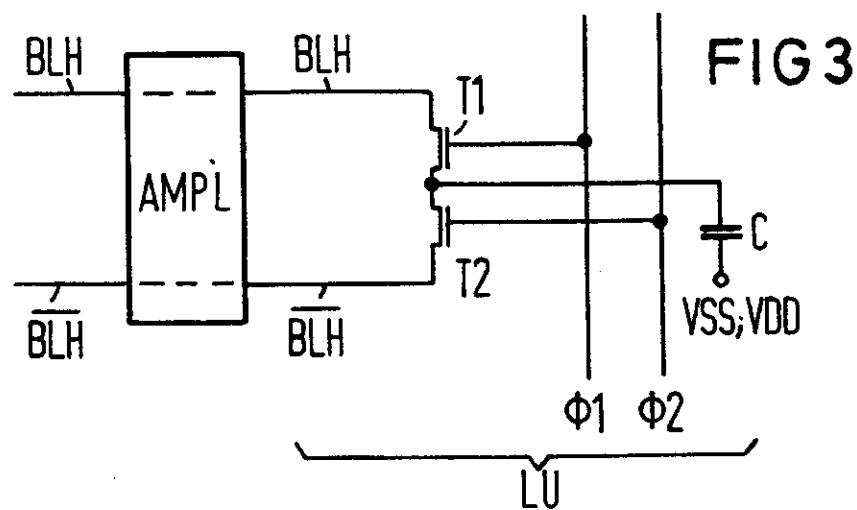
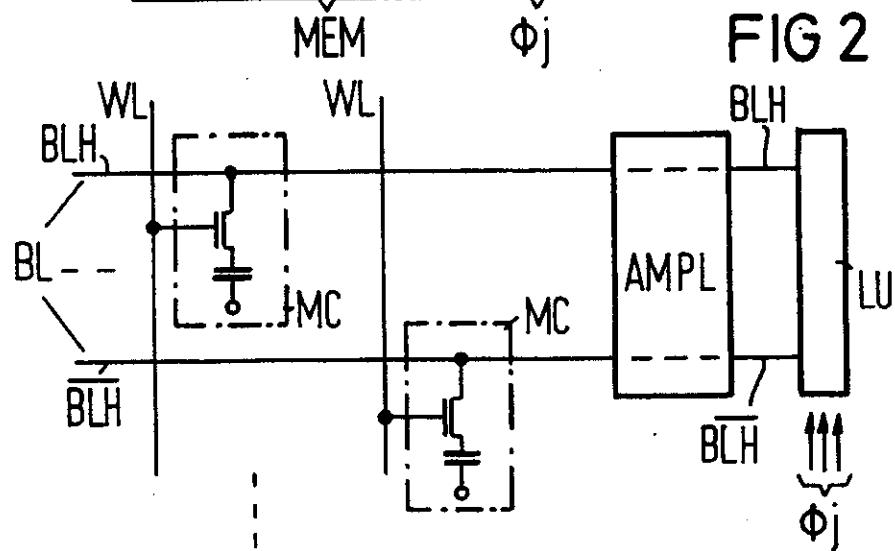
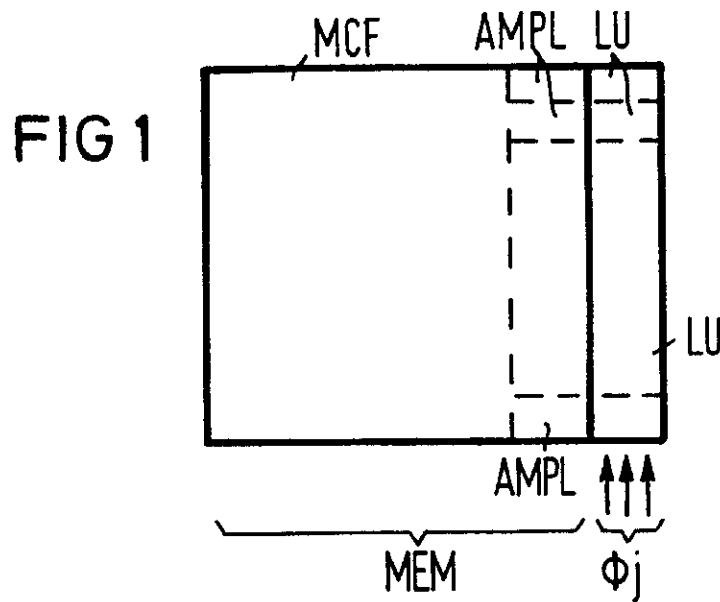
40

45

50

55

30



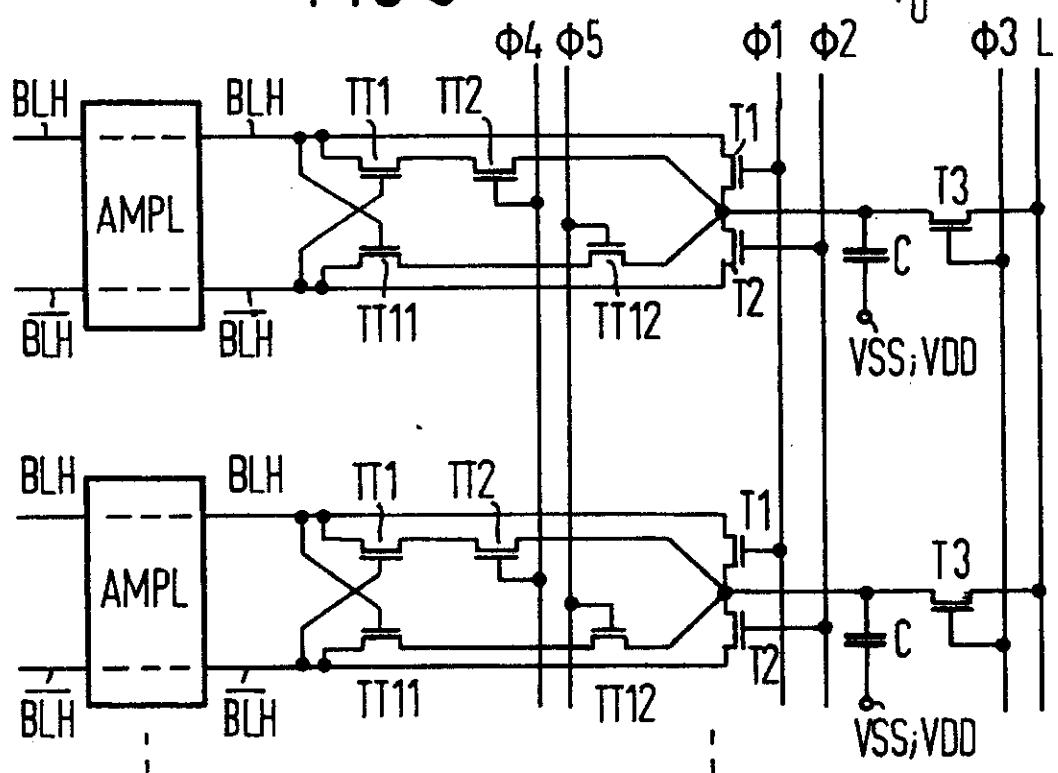
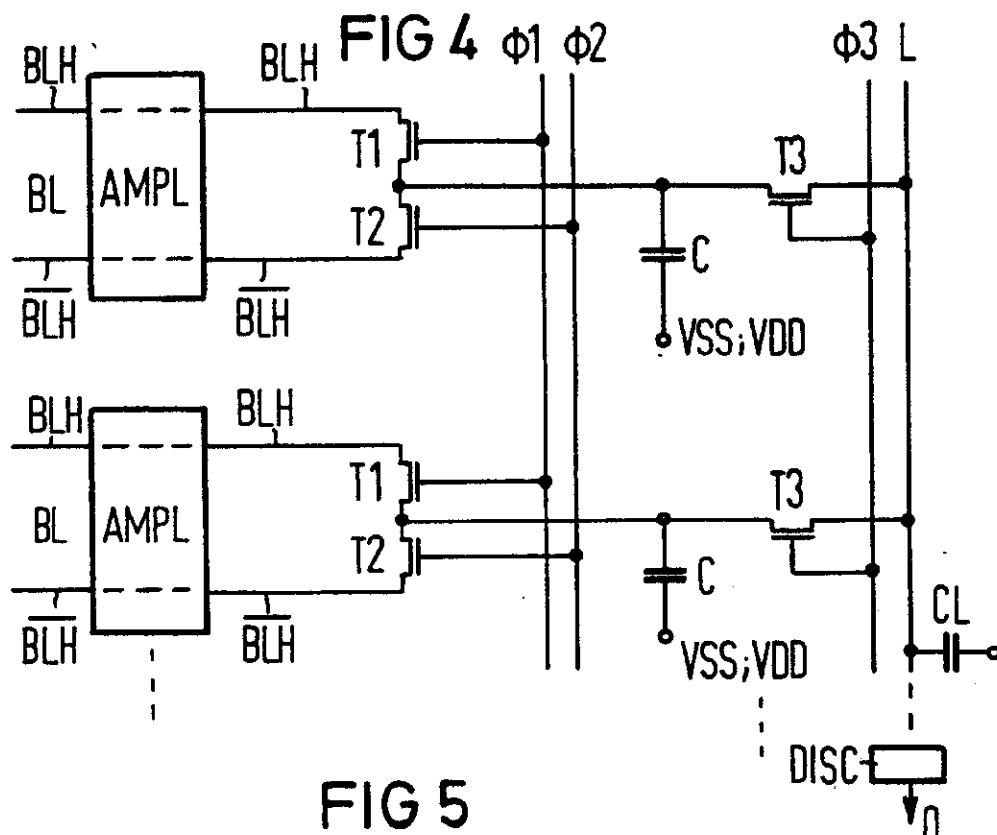


FIG 6

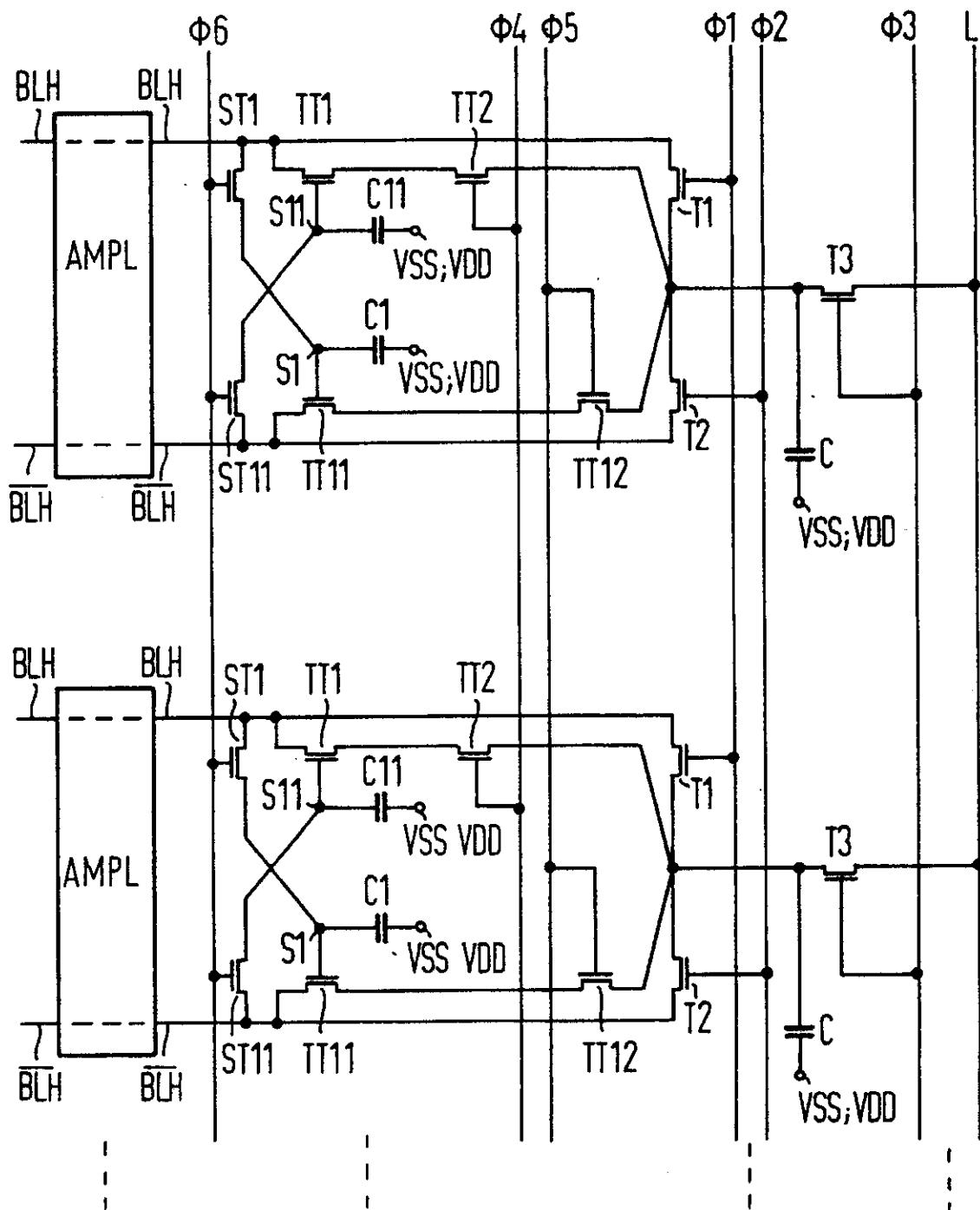


FIG 7

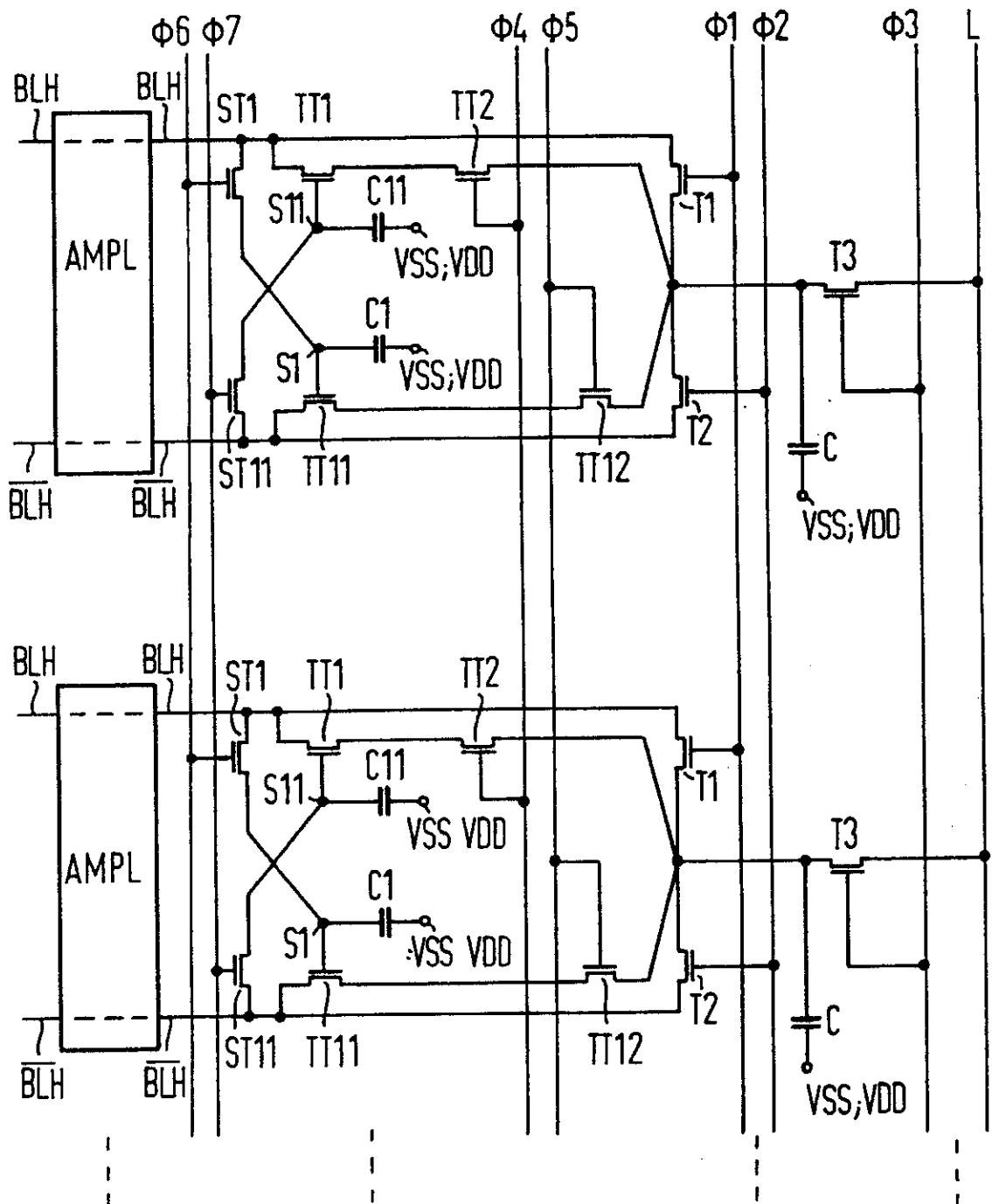


FIG 8

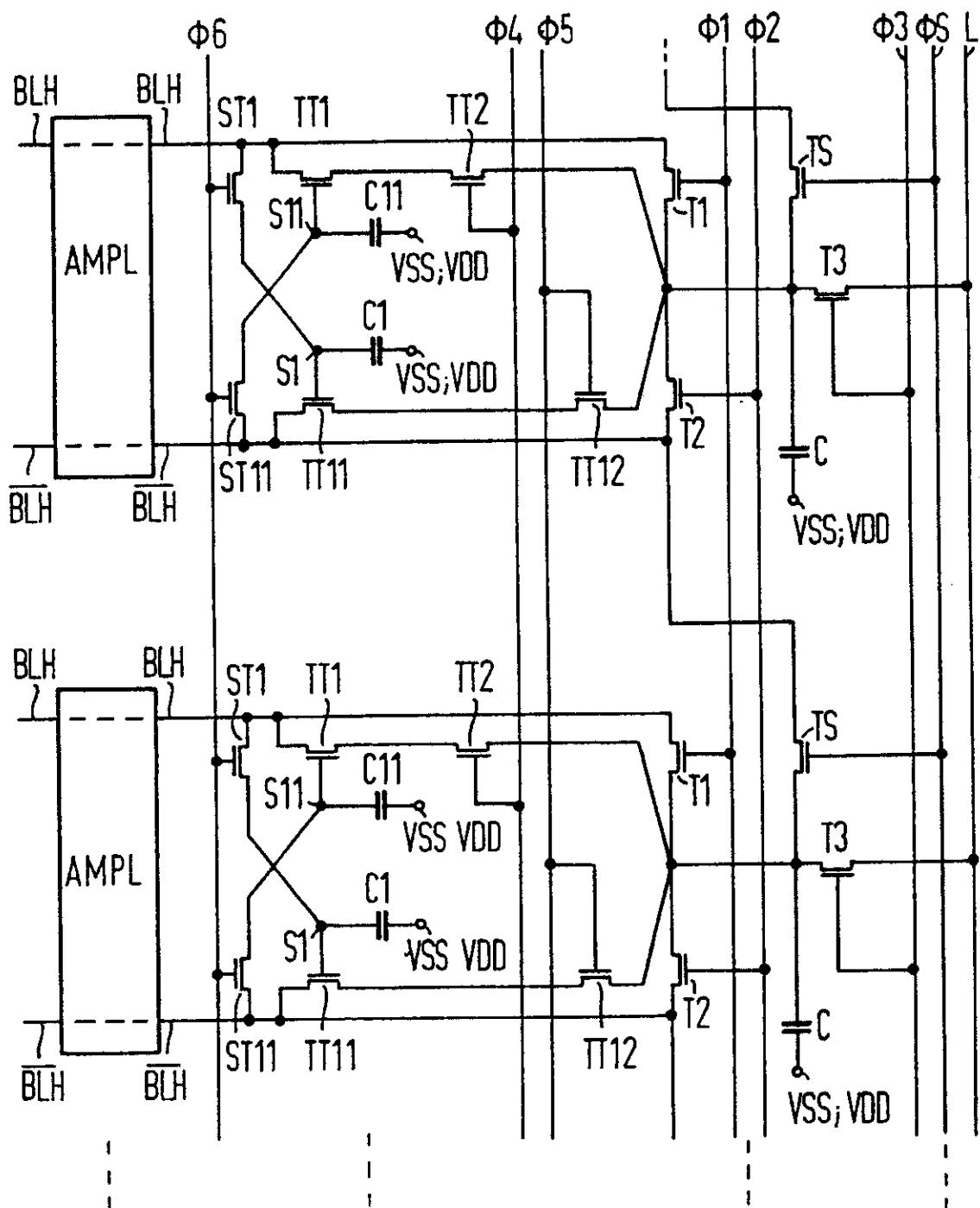
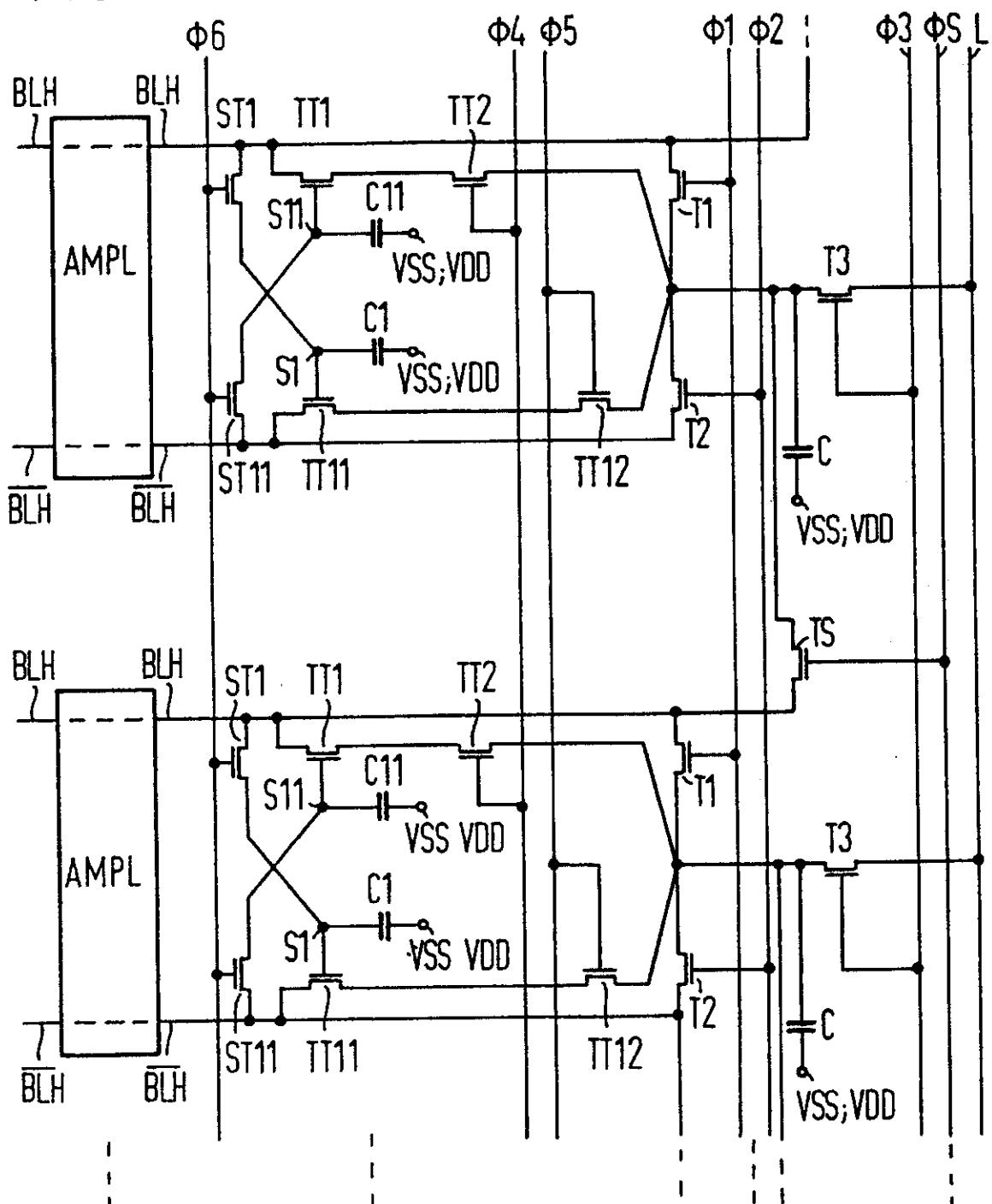


FIG 9



THE PATENT OFFICE

PATENTS ACT 1977

FILING OF TRANSLATION OF EUROPEAN  
PATENT (UK) UNDER SECTION 77(6)(a)

-2MAR'94H00260358 PAT 54 77 UC 35.00

1. European Patent  
Number

0 354 265

2. Name Siemens Aktiengesellschaft

Address WITTELSBACHERPLATZ 2

D-80333 MUNCHEN

FEDERAL REPUBLIC OF GERMANY

3. European Patent Bulletin Date:

29 12 93

Day Month Year

4. Name of Agent (if any)

Agent's Patent Office  
ADP number (if known)

5. Address for Service

SIEMENS  
INTELLECTUAL PROPERTY DEPT., GR VPA 88 P  
ROKE MANOR  
OLD SALISBURY LANE  
ROMSEY  
HAMPSHIRE Postcode SO51 0ZN

6. Signature:

Date: 28 02 94

Day Month Year

K. Muggendorf  
pp RWS TRANSLATIONS LTD

Reminder

Have you attached

One duplicate copy of this  
formTwo copies of the  
TranslationAny continuation sheets  
(if appropriate)

RECEIVED IN

3 - MAR 1994

EUROPEAN  
TRANSLATIONSA UK Address for Service MUST  
be provided to which all  
communications from the Patent  
Office will be sent

Please sign here ►

Attention is drawn to rules 90 and  
106 of the Patents Rules 1982This form must be filed in duplicate  
and must be accompanied by a  
translation into English in duplicate  
of:

- 1) the whole description
  - 2) those claims appropriate to the UK  
(in the language of the proceedings),
  - 3) all drawings, whether or not these  
contain any textual matter
- but excluding the front page which  
contains bibliographic information.  
The translation must be verified to the  
satisfaction of the comptroller as  
corresponding to the original text.

069000

GREAT BRITAIN )  
ENGLAND )  
LONDON )

IN THE MATTER OF an Application  
for a Hong Kong Registration  
Patent

I, Derek Ernest LIGHT BA BDÜ,  
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of  
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,  
England and known as such to the undersigned Notary Public;  
THAT I have a competent knowledge of the German and English  
languages;

AND THAT, to the best of my knowledge and belief, the attached  
document is a true and correct translation of the cover page of  
the European Patent in the name of  
**SIEMENS AKTIENGESELLSCHAFT**  
granted under No. 0,354,265

Signed by DEREK ERNEST LIGHT )

For and on behalf of RWS Translations Ltd.)

This 24<sup>th</sup> day of June )

1995 )

DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of  
DEREK ERNEST LIGHT whose identity I attest.

London, the 26<sup>th</sup> day of June 1995

*nick rack & funnel*

NOTARY PUBLIC OF LONDON ENGLAND

19 European Patent Office  
European Patent Office  
European Patent Office

11 Publication No.: 0 354 265 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the  
patent specification: 29.12.93

51 Int. Cl.<sup>5</sup>: G11C 7/00

21 Application No.: 88113074.4

22 Filing date: 11.08.88

---

54 Integrated semiconductor circuit having a memory space.  
[Title as printed]

---

43 Date of publication of the  
application:  
14.02.90 Bulletin 90/07

73 Patent proprietor: SIEMENS  
AKTIENGESELLSCHAFT  
Wittelsbacherplatz 2  
D-80333 Munich(DE)

45 Publication of the notice  
of the patent grant:  
29.12.93 Bulletin 93/52

72 Inventor: Prof. Dr. Kurt Hoffmann  
Nelkenweg 20  
D-8021 Taufkirchen(DE)  
Inventor: Dr. Rainer Kraus  
Weidener Strasse 21  
D-8000 Munich 83(DE)  
Inventor: Dr. Oskar Kowarik  
Goethering 70  
D-8018 Graefing(DE)

84 Designated contracting States:  
AT DE FR GB IT NL

56 Cited documents:  
EP-A- 0 278 391  
US-A- 3 699 538  
US-A- 4 025 907

EP 0 354 265 B1

---

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Bulletin, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid (Art. 99(1) of the European Patent Convention).

PATENTS ACT 1977

and

PATENTS (AMENDMENT) RULES 1987

I, Derek Ernest LIGHT, B.A., B.D.Ü.,  
translator to RWS Translations Ltd., of Europa House, Marsham  
Way, Gerrards Cross, Buckinghamshire, England, hereby declare  
that I am conversant with the German and English languages and  
that to the best of my knowledge and belief the accompanying  
document is a true translation of the text on which the European  
Patent Office intends to grant or has granted European Patent  
No. 0,354,265  
in the name of SIEMENS AKTIENGESELLSCHAFT

Signed this 23rd day of February 1994



D. E. LIGHT

For and on behalf of RWS Translations Ltd.

The present invention relates to an integrated semiconductor circuit according to the preamble to Patent Claim 1.

In modern data processing graphics, pattern processing and linkages of mass data in data bank systems are becoming increasingly important. A common feature of these activities is that very large quantities of data must be processed. Traditional data processing systems perform the processing serially. This takes a large amount of time, because, for instance, when searching for a certain term, a very large amount of data must be read serially out of a memory region and compared in the processor with the term sought, until the desired term has been found.

A partial solution to this problem is the use of content-addressable integrated semiconductor memories (CAMs). However, this has two disadvantages: firstly, the CAM memories available at this time have very little memory capacity (a maximum of 8 kbits; cf. IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 5, October 1985, pp. 951-956) as compared with modern RAM or ROM memory modules that are available (1 Mbit of memory capacity) and secondly, these memory modules can perform only associative functions, but not other digital functions (such as logical or arithmetic functions). Moreover, CAM memory modules cannot be operated like conventional RAM or ROM memory modules.

Another partial solution is the combination of special processors with memory modules in parallel computers ("transputers"). Transputers, however, are expensive, tedious to configure and not universally usable, or in other words they are not usable for any desired applications.

For the designated states of Germany, France and Great Britain only the post-published EP-A-0,278,391 is prior art under Art. 54 (3) EPC. It discloses the features of the preamble of the Claim 1 on file for these states.

It is an object of the present invention to develop a conventional semiconductor memory module with as little effort as possible, in such a way that its use shortens the time usually required and in such a way that 5 it is usable as universally as possible.

With a semiconductor circuit of the generic type, this object is achieved by the characterizing features of Patent Claim 1. Advantageous refinements and further developments are characterized in subclaims.

10 The invention is explained in greater detail herebelow with reference to the drawing. In the drawing:

FIG. 1 shows a global overview of the circuit, not to scale;

FIG. 2 shows a portion thereof; and

15 FIGS. 3 to 9 show advantageous refinements of individual logic units of the circuit.

According to Fig. 1, the integrated semiconductor circuit includes not only a memory region MEM, which is known per se, but also a block of logic units LU. The 20 memory region MEM includes one or more memory cell fields MCF, with memory cells MC that are addressable via wordlines WL and bitlines BL. It also includes a number of evaluator circuits AMPL corresponding to the number of bitlines BL. Each evaluator circuit AMPL, as shown in 25 detail in Fig. 2, is connected to a bitline BL in such a way that it divides the bitline into two at least approximately identical bitline halves BLH,  $\bar{BL}$ . For the present invention, it does not matter whether this division is carried out according to the open bitline 30 concept or the folded bitline concept.

The integrated semiconductor circuit furthermore includes a block of logic units LU. Each logic unit LU is connected to one bitline BL through its two bitline halves BLH,  $\bar{BL}$  [sic]. The connection may be carried out 35 inside or outside the particular logic unit LU, for instance by extending the bitline BL as far as the applicable logic unit LU, as shown.

The logic units LU serve to provide digital

processing of data A, read out of the memory region MEM via the bitlines BL and evaluated and amplified in the evaluator circuits AMPL, as well as data  $\bar{A}$  which are complementary to the data A and are produced in a known 5 fashion in the evaluation and amplification process. The term "digital processing" is understood in particular to mean the logical linkage of two bits (OR, AND etc.), inversion of one or more bits, logical comparisons of words with one another, and arithmetic operations. The 10 block of logic units LU can be operated in differing operating modes MOD $k$  ( $k = 1 \dots n$ ) for this purpose. The selection of the operating modes MOD $k$  is effected by operating mode selection signals  $\theta_j$  ( $j = 1 \dots m$ ).

The structure and function of the invention will 15 be described below, mostly in conjunction with a single logic unit LU. Regardless, all of the logic units LU of the block are, however, operated in parallel with one another.

In a first operating mode MOD1, all of the 20 operating mode selection signals  $\theta_j$  are deactivated, which likewise deactivates all of the logic units LU. In operation, the read-out, evaluated data A thus remain unmodified. The operation of the integrated semiconductor circuit is accordingly identical in the first operating 25 mode MOD1 with that of a comparable semiconductor memory module that does not include the block of logic units LU. This makes the semiconductor circuit electrically compatible with a corresponding semiconductor memory module.

30 In the embodiment of Fig. 3, each logic unit LU includes at least two transistors T1, T2 and one charge capacitor C. The transistors T1, T2 serve to provide an inversion of the evaluated data A present on the bitlines BL. The drains of the transistors T1, T2 are jointly 35 connected to a first connection of the charge capacitor C. The second connection of the charge capacitor C is connected to a fixed potential. It is recommended that one of the potentials serving to provide voltage to the

integrated semiconductor circuit, VSS (corresponding to earth) or VDD, be used as the fixed potential. The source of the first transistor T1 is connected to one bitline half BLH; the source of the second transistor T2 is connected to the other bitline half  $\bar{BLH}$ . Two first operating mode selection signals  $\emptyset 1$ ,  $\emptyset 2$  are connected to the gates of the first and second transistors T1, T2, respectively.

The inversion of the data A that thus becomes possible constitutes the second operating mode MOD2. The inversion of the data A in operation is effected as follows: first, as is usual with every semiconductor memory in the prior art, a data item A is read out of a memory cell MC, fed through the bitline half associated with the memory cell MC (in this example, this is assumed to be the one bitline half BLH) to the evaluator circuit AMPL, and is evaluated and amplified there. The data item A is also present at the source of the first transistor T1. Then, one ( $\emptyset 1$ ) of the two first operating mode selection signals  $\emptyset 1$ ,  $\emptyset 2$  that is connected to the first transistor T1 is activated. The data item A reaches the charge capacitor C and charges or discharges it, depending on the value (logic "1", logic "0") of the data item A. Next, one first operating mode selection signal  $\emptyset 1$  is deactivated and the other first operating mode selection signal  $\emptyset 2$  is activated. Consequently the one transistor T1 blocks; the other transistor T2 conducts. The charge stored on the charge capacitor C accordingly reaches the evaluator circuit AMPL, through the other bitline half (in this example,  $\bar{BLH}$ ). The evaluator circuit AMPL is then activated again, so that it evaluates the data item that is present. However, since the data item A in this new evaluation is present on the other bitline half  $\bar{BLH}$  (compared with the original evaluation), the evaluator circuit AMPL flips into its complementary state, and as a result a data item  $\bar{A}$  that is inverted with respect to the originally read-out evaluated data item A is then present on the original one bitline half BLH. This data

item can then be read out of the semiconductor circuit via the usual memory devices, and/or written into any desired memory cell MC on the same bitline half BLH. The original data item A can be written into memory cells MC 5 which are connected to the other bitline half  $\bar{BLH}$ .

However, if the read-out, evaluated data item A prior to the data inversion is present on the other bitline half  $\bar{BLH}$  (this is conventionally decided, in a known manner, by a predetermined, freely selectable bit 10 of the wordline address), then the function of the two first operating mode selection signals  $\varnothing 1$ ,  $\varnothing 2$  can be correspondingly exchanged with one another (and optionally also controlled by the aforementioned bit of the wordline address). The exchange is not necessary, however, because once evaluation has taken place, data that 15 are always complementary to one another are present on both bitline halves BLH,  $\bar{BLH}$  (assuming intact memories); in that case, when performing the second operating mode MOD2, in the strict sense, it is not the data item A 20 originally read out (on the other bitline half  $\bar{BLH}$ ) and evaluated that is inverted on the one bitline half BLH, but rather the data item  $\bar{A}$  complementary to it. However, this is of no significance, because subsequent to the 25 activation of the operating mode selection signals  $\varnothing 1$ ,  $\varnothing 2$  by the new evaluation in the evaluator circuit AMPL, a data item  $\bar{A}$  complementary to the originally read-out data item A is produced on the second bitline half  $\bar{BLH}$ .

As is well known, in an integrated semiconductor memory, by addressing a single memory cell MC via an 30 addressed wordline WL and a bitline address, the data  $A_i$  stored in all the memory cells MC on the addressed wordline WL are read out in parallel form via the bitlines  $BL_i$  and are evaluated and amplified by means of all the evaluator circuits AMPL. The selection of a specific 35 data item A from the multitude of data  $A_i$  by means of a bitline address takes place next; in this operation, that data item A that is present on the addressed bitline  $BL$  and that was evaluated and amplified is fed to an

external bitline. Based on these conditions, the second operating mode MOD2 described accordingly also runs in parallel for the entire block of logic units LU. The second operating mode MOD2 thus permits simultaneous 5 inversion of data  $A_i$  of all memory cells MC of one wordline WL.

In the embodiment of Fig. 4, the block of logic units LU also includes a common line L which, as is generally normal with longer lines, has a certain 10 intrinsic capacitance (not shown in Fig. 4). The common line L is accordingly prechargeable to a fixed potential, for example to the potential VDD or VSS, in a manner similar to a capacitor. It is also connected to a 15 discriminator circuit DISC. The discriminator circuit DISC serves to recognize the charge state of the common line L.

In a further embodiment of the invention, shown 20 in Fig. 4, the common line L is connected to an energy-storage capacitor CL. The energy-storage capacitor CL is connected in turn to one of the fixed potentials VDD; VSS. In operation, the energy-storage capacitor CL has a supporting effect in terms of the prechargeability of the common line L, since it reinforces the effect of the aforementioned intrinsic capacitance.

25 In each logic unit LU, the common line L is connected via the current-carrying path (=channel in MOS transistors) of a third transistor T3, to the first connection of the charge capacitor C. The third transistors T3 are controlled by a second operating mode selection signal  $\theta_3$ , so that they are switchable. This configuration permits the comparison of i data items with 30 one another ( $i = \text{number of logic units LU}$ ) in the sense of a logical linkage serving as a third operating mode MOD3 of the integrated semiconductor circuit according to 35 the invention.

Depending on the circuit configuration of the block of logic units LU (third transistors T3; p- or n-channel transistors; second operating mode selection

signal  $\phi_3$  "positive-going" or "negative-going", which depends on the channel type of the third transistors T3; common line L precharged to the supply potential VDD or to the earth VSS of the integrated semiconductor circuit; 5 dimensioning of the discriminator circuit DISC), the third operating mode MOD3, as a logical linkage, makes the following Boolean operations possible: AND, OR, NAND, NOR. For further information on the operation and detailed configuration of the discriminator circuit DISC 10 and of a possible precharging device for the common line L, reference is made to the older, non-prior-published International Application WO 88/07292 of the present applicant.

The operation will be explained briefly hereinbelow: first, by activation of a selected wordline WL, the data  $A_i$  stored in all the memory cells MC connected to the wordline WL are read through the respectively associated bitline BL and evaluated and amplified by means of the associated evaluator circuits AMPL. Subsequently, all 20 bitlines BLi, on a respective one of their bitline halves BLH,  $\bar{BLH}$  (for instance, the first bitline halves BLH), have that logical data item A that has been read out of the memory cell MC associated with the wordline WL through the respective bitline BL. By activation of the 25 applicable one of the first operating mode selection signals  $\phi_1$ ,  $\phi_2$  (in this example,  $\phi_1$ ), the data  $A_i$  travel in parallel form through the transistor (for example, T1) associated with the activated first operating mode select signal ( $\phi_1$  is assumed) to the first connections of the 30 charge capacitors C, and charge or discharge these depending on the value of the applicable data item A (logic 1 or logic 0), and advantageously the activated one first operating mode selection signal ( $\phi_1$  has been assumed) remains activated, in order to keep the evaluator 35 circuits AMPL connected in an electrically conductive manner to the charge capacitors C. However, it is also possible for the one first operating mode selection signal  $\phi_1$  to be deactivated.

The common line L must be precharged to one of the fixed potentials VDD, VSS no later than at this time. If the energy-storage capacitor CL is used, it is connected to one of the fixed potentials VDD, VSS.

5 Some of the logical comparisons that are possible by this method with the present apparatus will be described hereinbelow:

AND comparison: The common line L is assumed to be precharged to the fixed potential VDD (VDD would, for 10 instance, correspond in value to the level of a data item at "logic 1"). The second operating mode selection signal  $\theta_3$  is then activated. If previously a data item A having the value "logic 1" was stored in all the charge capacitors C, which would be quantitatively equal to the 15 value of the fixed potential VDD, then all third transistors T3 are blocked (assuming n-channel transistors); the common line L remains precharged. This is recognized by the discriminator circuit DISC; at its output 0, it emits a corresponding signal, which in this 20 case indicates that the result of the logical "AND" linkage equals "logic 1".

On the other hand, if a logic 0 was stored as data item A on least at one of the charge capacitors C, which would be quantitatively equal to the value of the 25 fixed potential VSS, then the third transistor T3 associated with this at least one charge capacitor C conducts, which leads to a drop in the potential of the common line L. This is recognized in turn by the discriminator circuit DISC; at its output 0 it emits a 30 signal which is complementary to the above signal, which indicates that the result of the logical "AND" linkage is equal to "logic 0".

Depending on the selected level of the output signal 0 of the discriminator circuit DISC for the case 35 of a logic 1 being present on all the charge capacitors C, it is thus possible to perform both an AND and a NAND comparison.

If the common line L is precharged to the value

of the fixed potential VSS (= earth), then, depending on the selection of the value of the signal at the output 0 of the discriminator circuit DISC for the case in which all data stored in the charge capacitors C are equal to 5 logic 0, the functions OR or NOR can be attained as the third operating mode MOD3 (that is, logical comparison). A person skilled in the art can readily carry this out, with the aid of the above discussions of AND/NAND comparisons. It is also favourable for activating the 10 second operating mode selection signal  $\phi 3$  to provide a level whose magnitude is between the fixed potentials VSS and VDD. Additionally in this connection, reference is once again made to the older, non-prior-published International Application WO 88/07292 of the present applicant, the disclosure of which, where relevant, is hereby 15 incorporated by reference. In particular, an arrangement is also disclosed in that application which makes it possible to perform the logical comparisons AND, NAND, OR, NOR selectively during operation.

20 However, if the second operating mode MOD2 is intended to be performed with the configuration of Fig. 4, then the third transistors T3 must be kept continuously blocked; that is, the second operating mode selection signal  $\phi 3$  should be kept constantly inactive.

25 A further advantageous embodiment of the invention is shown in Fig. 5. In addition to the features already described, Fig. 5 shows the following features of each logic unit LU:

30 One first transfer transistor TT1; TT11 and one second transfer transistor TT2; TT12 are each disposed between the drains of the first two transistors T1, ST2, which serve the purpose of data inversion, and each of the two bitline halves BLH;  $\bar{BLH}$  of one bitline BL with their current-carrying paths (or channels, in MOS transistors) in series one after the other. The gates of the 35 two second transfer transistors TT2; TT12 are respectively connected to one of two third operating mode selection signals  $\phi 4$ ;  $\phi 5$ . The gate of one first transfer

transistor TT1 is connected to the other bitline half  $\bar{BLH}$ . The gate of the other first transfer transistor TT11 is connected to the one bitline half BLH.

This embodiment allows the Boolean operations 5 XNOR, OR and NAND to be carried one or more times per bitline BL, as a fourth operating mode MOD4. If carried out once, a single data item A which is read out of one memory cell MC and evaluated is compared with a comparison data item X, to be applied to the applicable logic 10 unit LU by means of the desired Boolean operation. That is, two bits are compared with one another. If carried out more than once, a plurality of evaluated data items Ap (p = number of data items) read out of a plurality of memory cells MC in succession along a single bitline BL 15 are compared with a plurality of comparison data items Xp, to be applied in succession to the applicable logic unit LU by means of the desired Boolean operations (word for word comparison).

In detail, the fourth operating mode MOD4 takes 20 the following course: initially, the charge capacitors C of all the logic units LU are charged to the fixed potential VDD (the value of which corresponds in turn to the value of the logic 1 level). The charging may be effected either via the common line L and the associated 25 third transistors T3, or via the bitlines BL. In the latter case, the evaluator circuits AMPL are put in an arbitrary evaluation state, as a result of which a logic 1 is present in each instance on one of the bitline halves BLH,  $\bar{BLH}$ . The means for doing this are well known 30 to a person skilled in the art. For each logic unit LU, one of the two first transistors T1, T2 that is connected to the particular bitline half BLH,  $\bar{BLH}$  on which the logic 1 is present is then made conductive by means of one or the other of the two first operating mode selection signals  $\varnothing 1$ ;  $\varnothing 2$  associated therewith. Thus the logic 35 1 reaches each charge capacitor C as a fixed potential VDD; the charge capacitors are precharged. Subsequently, both first operating mode selection signals  $\varnothing 1$ ,  $\varnothing 2$ , like

the second operating mode selection signal  $\theta 3$ , remain deactivated.

For the ensuing operations, a single bitline BL, with the logic unit LU connected thereto, will be considered; the corresponding operations on the remaining bitlines BL and logic units LU will not be described.

In a known manner, a data item A, which is stored in a memory cell MC connected to the bitline BL and addressed by a wordline WL, is then read out and evaluated and amplified by means of the evaluator circuit AMPL. In the following discussion it is assumed that the data item A is present on one bitline half BLH. Thus a data item  $\bar{A}$  which is complementary to the data item A is present on the other bitline half  $\bar{BLH}$ . One third operating mode selection signal  $\theta 4$  then assumes the value of the comparison data item X, while the other third operating mode selection signal  $\theta 5$  assumes the value of a comparison data item  $\bar{X}$  complementary to the comparison data item X.

If the read-out, evaluated data item A and the comparison data item X are identical, then either one first transfer transistor TT1 and the other second transfer transistor TT12 are blocked (data item A = comparison data item X = logic 1), or the other first transfer transistor TT11 and the one second transfer transistor TT2 are blocked (data item A = comparison data item X = logic 0). In both cases, the logic 1 (= fixed potential VDD) stored on the charge capacitor C is thus maintained. Accordingly, the result of the Boolean operation "data item A XNOR comparison data item X" = "logic 1 XNOR logic 1", or "logic 0 XNOR logic 0" = "logic 1" is present on the charge capacitor C.

However, if the read-out, evaluated data item A and the comparison data item X are not identical, then either both the one first transfer transistor TT1 and the one second transfer transistor TT2 (data item A = logic 0; comparison data item X = logic 1), or the other first transfer transistor TT11 and the other second transfer

transistor TT12 (data item A = logic 1; comparison data item X = logic 0) conduct. In each of these two cases, the particular bitline half BLH,  $\bar{BLH}$  that is in the logic 0 state (= fixed potential VSS = earth) (because either 5 data item A = logic 0 or complementary data item  $\bar{A}$  = logic 0) is connected via the aforementioned conducting transfer transistors to the first electrode of the charge capacitor C; the charge capacitor is thus discharged to the fixed potential VSS = earth.

10 In this way, a bit (data item A) stored in memory is compared with a comparison bit X.

If the aforementioned steps are repeated several times one after another (with the exception of the step of "precharging the charge capacitor C to the fixed 15 potential VDD"), then a plurality of data items  $A_p$  (stored in various memory cells MC along the one bitline BL) are compared (in chronological succession) with a plurality of data items  $X_p$  (for example, Boolean operation XNOR); the final outcome is determined by the final 20 state of the charge capacitor C (which in the meantime is never charged again to the fixed potential VDD). This final result can be applied via one of the two first transistors T1, T2 and the corresponding first operating mode selection signal  $\theta_1$ ,  $\theta_2$  to the evaluator circuit 25 AMPL and can be evaluated by it, so that it is available in stable form on the evaluator circuit AMPL and can, for instance, be read out via a data output of the memory region MEM. In this way, a word (data  $A_p$ ), for instance, stored in memory cells MC along a bitline BL, can be 30 compared very quickly in the integrated semiconductor circuit with a search term (comparison data item  $X_p$ ) present in word form. The comparison itself takes place simultaneously in parallel for all bitlines BL. The results on each individual bitline BL are capable of 35 being read out successively by the individual evaluator circuits AMPL, for instance via the aforementioned data output, by application of the individual bitline addresses.

With the present refinement, the logic operations OR and NAND can also be performed, however, as follows:

a) OR operation:

The fourth operating mode MOD4 is performed as described 5 above in connection with the XNOR operation, with the following exception: upon application of the data item A to one bitline half BLH, one third operating mode selection signal Ø4 is connected to a data item  $\bar{X}$  that is complementary to the comparison data item X; the other 10 third operating mode selection signal Ø5 is always deactivated. If the comparison data item X has the value logic 1, then both second transfer transistors TT2, TT12 are always blocked; the precharging is maintained at the charge capacitor C; as a result, this means logic 1. If 15 the comparison data item X, in contrast, has the value logic 0, then the one second transfer transistor TT2 always conducts, because of the data item  $\bar{X}$ . One first transfer transistor TT1, in contrast, conducts precisely whenever the data item A has the value logic 0; in this 20 case, the charge capacitor C is discharged to logic 0 = fixed potential VSS. Otherwise, one first transfer transistor TT1 is blocked; as a result, the charge capacitor C remains charged.

b) NAND operation:

25 In contrast to the OR operation, one third operating mode selection signal Ø4 is always deactivated while the comparison data item X is present on the other third operating mode selection signal Ø5. The charge capacitor C is discharged to logic 0 only in the event that both 30 the data item A (concerning which it is again assumed that it is present on the one bitline half BEH) and the data item X are equal to logic 1. Otherwise, at least one of the first and one of the second transfer transistors TT1, TT11, TT2, TT12 are always blocked.

35 Fig. 6 shows a further advantageous refinement of the invention. It is distinguished from the refinement in Fig. 5 by the following features:

The gates of the first transfer transistors TT1,

TT11 are additionally connected to the first electrodes of two buffer store capacitors C1, C11, forming two memory nodes S1, S11. The second electrodes of the two buffer store capacitors C1, C11 are connected to one of 5 the two fixed potentials VSS, VDD. Additionally, memory transistors ST1; ST11 are disposed with their channels between the two memory nodes S1; S11 and the corresponding bitline halves  $\bar{BLH}$ ; BLH. The gates of these memory transistors are connected to a fourth operating 10 mode selection signal  $\phi 6$ .

This embodiment makes it possible to operate the integrated semiconductor circuit according to the invention in a fifth operating mode MOD5. In the fifth operating mode MOD5, various operations are possible, for 15 instance the Boolean operations AND, NAND, OR, NOR, XOR, XNOR. To this end, in each case in parallel for the entire block of logic units LU, a comparison data item X is applied to each bitline half BLH (or  $\bar{BLH}$ ) (for instance, as already described, the same comparison data 20 item X to all of the bitline halves BLH via the common line L and to the one first transistor T1 or via the data input of the semiconductor memory and the individual evaluator circuits AMPL; in the latter case, it is possible to apply various logic values of the comparison 25 data item X to the various bitline halves BLH). The comparison data X (or  $X_i$  in the case of various comparison data) applied to the individual bitline halves BLH are then evaluated via the evaluator circuits AMPL, so that a data item  $\bar{X}$  complementary to the comparison data 30 item X is formed on the respective other bitline halves  $\bar{BLH}$  (the familiar flip-flop function of the evaluator circuits AMPL). Next, the fourth operating mode selection signal  $\phi 6$  is activated, so that, per bitline BL, the comparison data item X or its complementary data item  $\bar{X}$  35 present on the bitline halves BLH,  $\bar{BLH}$  reaches the first electrode of the associated memory node S1; S11 and is stored there. Subsequently, the fourth operating mode selection signal  $\phi 6$  is deactivated again.

Alternatively to this manner of precharging the memory nodes  $S_1, S_{11}$ , it is also possible to read the comparison data  $X_i$  out of the memory cell field MCF in parallel for all bitlines BL. To this end, as usual, a 5 specific wordline WL is addressed, so that the data stored in all the memory cells MC connected to the wordline WL reach the bitlines BL in parallel with one another and are evaluated and amplified by the evaluator circuits AMPL. The storage in the memory nodes  $S_1, S_{11}$  is 10 then effected by means of the fourth operating mode selection signal  $\theta_6$ , as already described.

Then, the charge capacitors C of the block of logic units LU are precharged to the fixed potential VDD or VSS, as already explained for the above-described 15 operating modes MODk. From then on, the actual logic operations can be performed.

This can be carried out in two different ways:

- a) with bitline orientation, and
- b) with wordline orientation.

20 a) First, the bitline oriented way will be explained. The specific stated objective for that purpose is, for instance, as follows: for each data item A stored in memory cells MC on (one and the same) bitline BL, the Boolean operation NAND must be used by means of a 25 comparison data item X, which may have a different value for each data item A (that is, a succession of data  $A_p$  ( $p$  = number of wordlines WL) is compared with a data word  $X_p$  that includes  $p$  different comparison data items X).

If the data A are read out via the one bitline 30 half BLH, then in order to perform the NAND operation, the one third operating mode selection signal  $\theta_4$  should be set constantly to logic 0, and the other third operating mode selection signal  $\theta_5$  to logic 1. However, if the data A are read out via the other bitline half  $\bar{BLH}$ , then, 35 in order to perform the NAND operation, one third operating mode selection signal  $\theta_4$  must be set constantly to logic 1, and the other third operating mode selection signal  $\theta_5$  to logic 0. The actual Boolean operation is

then performed analogously to that described above in connection with the fourth operating mode MOD4, with the following substantial differences:

1.) The third operating mode selection signals 5  $\phi_4$ ,  $\phi_5$  have their above-given values of logic 0 or logic 1 constantly; they function as genuine control signals and not as a comparison data item X or a data item  $\bar{X}$  complementary thereto, as in the fourth operating mode MOD4. Consequently, one second transfer transistor TT2 is 10 always blocked and the other second transfer transistor TT12 always conduct.

2.) If the logical comparison is to be performed in such a way that each data item A to be read out is to be compared with one (other) value of the comparison data 15 item X (in the sense of the aforementioned data word  $X_p$ ), then the corresponding comparison data item X of the data word  $X_p$  must be stored at the memory node S1 (or S11), before the corresponding data item A is read out and evaluated. However, if the various data  $A_p$  are to be 20 compared in each instance with one and the same comparison data item X, then the latter needs to be stored in memory only once (that is, prior to the beginning of the read-out process for the first data item A).

25 Due to the parallels with the already-described fourth operating mode MOD4, a person skilled in the art will require no further explanation. However, it should be noted that the charge states of the individual charge capacitors C (that is, the result of the logic operations) can be stored in memory cells MC in the memory 30 cell field MCF, via the bitline BL associated with the particular logic unit LU.

A Boolean AND operation is performed in such a way that the Boolean NAND operation is performed first, 35 and its final result (that is, the charge state at the first connection of the charge capacitor C) is inverted by means of the already-described second operating mode MOD2.

In order to perform the Boolean OR operation, the to the [sic] third operating mode selection signals  $\varnothing 4$ ,  $\varnothing 5$  are exchanged as compared with the previously described NAND operation (that is, in the example, one 5 third operating mode selection signal  $\varnothing 4$  constantly has the value logic 1, while the other third operating mode selection signal  $\varnothing 5$  constantly has the value logic 0).

The NOR operation is performed, analogously to the already-described AND operation, by first performing 10 the OR operation as a fifth operating mode MOD5, and then performing the second operating mode MOD2 (inversion).

The XOR operation is similar: for this, both third operating mode selection signals  $\varnothing 4$ ,  $\varnothing 5$  are to be kept at logic 1; the XNOR function is attained through 15 use of the second operating mode MOD2 after performing the fifth operating mode MOD5.

b) The wordline oriented type of the fifth operating mode MOD5 will now be explained:

The specific stated objective for this purpose is, for 20 example, as follows: for each data item A stored in memory cells MC on (one and the same) wordline WL, the Boolean NAND operation is to be used by means of a comparison data item X, and a different comparison data item X can (simultaneously) be present at each logic unit 25 LU (that is, one complete comparison word  $X_i$ , where  $i =$  total number of the number of [sic] logic units LU, is present at the entire block of logic units LU). The individual comparison data X are first stored in the manner already described in the memory nodes  $S_1$ ,  $S_{11}$ . 30 Then, if it has not yet been done, the charge capacitors C of the logic units LU are precharged to the fixed potential VDD or VSS.

A specific wordline WL is now addressed, and the data A stored in the associated memory cells MC are read 35 out on the bitlines BL and evaluated and amplified by the evaluator circuits AMPL. The third operating mode selection signals  $\varnothing 4$ ,  $\varnothing 5$  then assume the values already described under item a) of the fifth operating mode MOD5

(NAND/AND operation:  $\theta 4$  = logic 0,  $\theta 5$  = logic 1; OR/NOR operation:  $\theta 4$  = logic 1,  $\theta 5$  = logic 0; XOR/XNOR operation:  $\theta 4 = \theta 5$  = logic 1; in each case for readout of the data item A on the one bitline half BLH).

5       As a result, for each logic unit LU, the data item A present on the particular bitline half BLH is compared, in accordance with the applied third operating mode selection signals  $\theta 4$ ,  $\theta 5$ , with the comparison data item X stored in the associated memory node S1 (or, the 10 complementary data item  $\bar{A}$  present on the other bitline half  $\bar{BLH}$  is compared with the complementary data item  $\bar{X}$  stored in the associated memory node S11). The result of the Boolean operation (in the selected example: NAND operation) resulting from the comparison in each 15 individual logic unit LU determines the potential state of the associated charge capacitor C, analogously to the operating modes already described. As has also already been described, this result can in turn be inverted (second operating mode MOD2), and can be read out via the 20 evaluator circuits AMPL and the data output of the semiconductor memory and can be stored in the memory cell field MCF. Moreover, the third operating mode MOD3 can be used in parallel for the charge capacitors C of the entire block of logic units LU.

25       The embodiment of Fig. 7 is distinguished from that of Fig. 6 in that, instead of a single fourth operating mode selection signal  $\theta 6$ , it has two mutually independently triggerable fourth operating mode selection signals  $\theta 6$ ,  $\theta 7$ . One fourth operating mode selection signal  $\theta 6$  is connected, in each logic unit LU, to the gate of one memory transistor ST1. The other fourth operating mode selection signal  $\theta 7$ , in contrast, is connected in each logic unit LU to the gate of the other memory transistor ST11. With this embodiment, the above- 30 described fifth operating mode MOD5 is possible, with its individual various operations, by using "masking bits": if one specific logic unit LU (or more) of the block of logic units LU is not intended to be used for performing 35

the fifth operating mode MOD5 (that is, for instance, if the charge state of its charge capacitor C is intended to be maintained without change, regardless of any data), 5 then a value must be stored in both memory nodes S1, S11 of the logic unit LU, which value reliably blocks both first transfer transistors TT1, TT11 (in the case of n-channel transistors, accordingly, "logic 0"). Thus the charge capacitor C cannot be discharged.

The two bitline halves BLH,  $\bar{BLH}$  via which the 10 comparison data item X (and the data item  $\bar{X}$  complementary to it) is loaded into the memory nodes S1, S11 are known always to have electrical states complementary to one another. Accordingly, by activation of the fourth operating mode selection signal  $\theta 6$  in Fig. 6, both memory 15 nodes S1, S11 cannot simultaneously store that same value that blocks both first transfer transistors TT1, TT11. This can be attained, however, by using two different operating mode selection signals  $\theta 6$ ,  $\theta 7$  independent of one another: on the assumption that the value to be 20 stored, "logic 0", blocks both first transfer transistors TT1, TT11, the procedure is as follows:

First, one bitline half BLH is loaded (by known measures, already described) with the value "logic 0". One fourth operating mode selection signal  $\theta 6$  is then 25 activated, so that the applied "logic 0" reaches the one memory node S1. By ensuing deactivation of the one fourth operating mode selection signal  $\theta 6$ , the "logic 0" remains stored on the one memory node S1, and the other first transfer transistor TT11 connected to it remains reliably 30 blocked.

Next, the other bitline half  $\bar{BLH}$  is loaded with the value "logic 0". The other fourth operating mode selection signal  $\theta 7$  is then activated, so that the applied "logic 0" reaches the other memory node S11. By 35 ensuing deactivation of the other fourth operating mode selection signal  $\theta 7$ , the "logic 0" remains stored on the other memory node S11, and the one first transfer transistor TT1 connected to it likewise remains reliably

blocked.

If in a refinement according to Fig. 6 or Fig. 7 the operating modes MOD3 or MOD4 are intended to be performed, then the fourth operating mode selection signals  $\theta_6$ ,  $\theta_7$  must be kept constantly activated. When the second operating mode MOD2 is performed, the state of the fourth operating mode selection signals  $\theta_6$ ,  $\theta_7$  have no influence because the third mode selection signals  $\theta_4$ ,  $\theta_5$  are deactivated. In order to perform the first operating mode MOD1, as already described, all operating mode selection signals  $\theta_j$  must be kept inactive.

Figs. 8 and 9 show further possible refinements of the invention. With them, data  $A_i$ , which are stored in memory cells MC along a wordline WL and read out of it (in parallel) and evaluated, can be added to or subtracted from comparison data  $X_i$ , which are stored in the memory nodes S1. They also enable multiplication and division, because these operations, as is well known, are merely an iterative performance of addition and subtraction, respectively. These arithmetic operations are a sixth operating mode MOD6 of the circuit according to the invention. Compared with the embodiment of Fig. 7, the circuits of Figs. 8 and 9 additionally each have one shift transistor TS which has its current-carrying path (= channel) disposed between the first connection of the charge capacitor C of a logic unit LU and the bitline BL upstream (Fig. 8) or downstream of it (Fig. 9) in the order of the individual logic units LU. Whether the connection is made to one bitline half (BLH) or to the other ( $\bar{BLH}$ ) is of no significance in principle for the functions that can be performed. The gates of the shift transistors TS are jointly connected to a shift signal  $\theta_S$ , which acts as a fifth operating mode selection signal. This configuration makes a shift register function possible: the potential stored on one charge capacitor C can thus be shifted onward to the corresponding adjacent bitline BL, and from there, via one of the two transistors T1, T2, it can be shifted to the charge

capacitor C connected thereto.

In the embodiment of Fig. 8, the most significant bit of one operand (for instance, of the data  $A_i$ ) is located on the first bitline, in an observed order (from 5 to bottom) of the bitlines BL. In contrast, in the embodiment of Fig. 9, the most significant bit is on the last bitline BL in the order observed.

In principle, addition is carried out as follows: first, one operand (one comparison data item X per logic 10 unit LU) is stored in one memory node S1 (or S11) of the logic units LU. The other operand (as data item A per bitline) is read out in parallel from all the memory cells MC connected to a certain addressed wordline WL, and evaluated and amplified. Both operands, as described 15 already as the fourth operating mode MOD4, are then linked together by means of the Boolean XOR operation (this is equivalent to a so-called "half-addition"); the result is dictated by the charge state then ensuing of each individual charge capacitor C. This result is then 20 written back into the memory cell field MCF, by addressing another wordline WL. Next, the originally addressed wordline WL is addressed once again, as a result of which the data A stored therein reach the bitlines BL (again). Then the Boolean AND operation is 25 performed, as a fourth operating mode MOD4, for the data A and the (still-stored) comparison data X. Thus, per logic unit LU, the result is the so-called remainder ("carry bit") on the charge capacitor C. By activation of the shift signal  $\bar{OS}$ , this remainder is then shifted on to 30 the adjacent bitline, on which it is evaluated and amplified by means of the evaluator circuit AMPL. The shift signal  $\bar{OS}$  is deactivated again. The remainders handled in this way are then stored in the one memory node S1 of the particular logic unit LU. Then, that 35 wordline by means of which the result of the previously described XOR operation was stored in memory is addressed. This result is again read out onto the bitlines, evaluated, amplified, and by means of the

fourth operating mode MOD4 subjected to the Boolean XOR operation in terms of the remainder stored in the memory node S1. The result of this is then the overall result of the addition.

5 In subtraction, the second operating mode MOD2 (inversion) is performed first, and then the sixth operating mode MOD6. Division is also possible by iterative performance of subtraction.

10 It is particularly advantageous if, for the first logic unit LU in the sequence, the first connection of the charge capacitor C is connected via the shift transistor TS to the last bitline BL in the sequence or if, for the last logic unit LU in the sequence, the first connection of the charge capacitor C is connected via the 15 shift transistor TS to the first bitline the sequence. With these refinements, the operations known as modulo addition and modulo subtraction are then possible.

20 The buffer store capacitors C1, C11 need not necessarily be implemented in the form of separate switching elements. For this purpose, it is advantageous to exploit the parasitic capacitance effects of the first transfer transistors TT1, TT11 (for example, their gate oxide capacitance).

25 It is also advantageous if the charge capacitors C are replaced by static memory cells.

30 The memory cells MC in the memory cell field MCF can advantageously be either of the dynamic random access cell type or of the static random access cell type, or of the non-volatile type (such as, for example, EEPROM or EEPROM).

The integrated semiconductor circuit according to the invention also offers the opportunity for performing still further operations which are not described, by combining the various described operating MODk modes.

New Patent Claims for DE, FR, GB:

1. Integrated semiconductor circuit having a memory region (MEM),
  - which includes at least one memory cell field (MCF) with memory cells (MC) which can be addressed via wordlines (WL) and bitlines (BL),
  - which includes a number of evaluator circuits (AMPL) corresponding to the number of bitlines (BL), in which each evaluator circuit (AMPL) is connected to a bitline (BL) so that it divides the latter into two at least approximately identical bitline halves (BLH,  $\bar{BLH}$ ),
  - which includes a block of logic units (LU),
  - in which each logic unit (LU) is connected to a bitline (BL) via its two bitline halves (BLH,  $\bar{BLH}$ ),
  - in which the logic units (LU) serve for digital processing of evaluated data read out from the memory region (MEM) via the bitlines (BL),
  - in which the block of logic units (LU) can be operated in differing operating modes (MOD<sub>k</sub>, k = 1...n), which are selectable by operating mode selection signals ( $\theta_j$ , j = 1...m),
  - in which in a first operating mode (MOD1) all operating mode selection signals ( $\theta_j$ ) are deactivated, so that the read-out evaluated data remain unchanged, characterized in that
  - each logic unit (LU) includes at least two transistors (T<sub>1</sub>, T<sub>2</sub>) serving for a data inversion of the read-out, evaluated data, and a charge capacitor (C),
  - the drains of the transistors (T<sub>1</sub>, T<sub>2</sub>) serving for the data inversion are connected to a first connection of the charge capacitor (C), the second connection of which is connected to a fixed potential (VSS;VDD),
  - each source of the transistors (T<sub>1</sub>, T<sub>2</sub>) is connected to one of the two bitline halves (BLH;  $\bar{BLH}$ ),

- the gates of the transistors (T1, T2) are connected to two first operating mode selection signals ( $\theta_1$ ,  $\theta_2$ ), and
  - the data inversion is a second operating mode (MOD2) (FIG. 3).
- 5 2. Integrated semiconductor circuit according to Claim 1, characterized in that
- the first connections of the charge capacitors (C) are connected via third transistors (T3) switchably
- 10 to a common line (L), which is prechargeable to one of the fixed potentials (VDD;VSS),
- the common line (L) is connected to a discriminator circuit (DISC) for the recognition of the charge state of the common line (L),
- 15 - the third transistors (T3) are controlled by a second operating mode selection signal ( $\theta_3$ ) for the performance of an i-fold logic comparison of the read-out, evaluated data where  $i$  = number of the logic units (LU),
- 20 - the i-fold logic comparison is a third operating mode (MOD3), and
- the result of the i-fold logic comparison is present at the output of the discriminator circuit (DISC) (FIG. 4).
- 25 3. Integrated semiconductor circuit according to Claim 2, characterized in that the common line (L) is connected to an energy-storage capacitor (CL), which for its part is in turn connected to one of the fixed potentials (VDD;VSS).
- 30 4. Integrated semiconductor circuit according to Claim 1, 2 or 3, characterized in that
- in each instance one first transfer transistor (TT1, TT11) and one second transfer transistor (TT2, TT12) are series-connected with their channels disposed in
- 35 series between the drains of the first two transistors (T1, T2) and the two bitline halves (BLH,  $\bar{BLH}$ ),
- the gates of the two second transfer transistors (TT2, TT12) are connected in each instance to one of

- two third operating mode selection signals ( $\theta 4$ ,  $\theta 5$ ),  
- the gate of the one first transfer transistor (TT1) is connected to the other bitline half ( $\bar{BLH}$ ) and the gate of the other first transfer transistor (TT11) is connected to the one bitline half (BLH) (FIG. 5).
- 5 5. Integrated semiconductor circuit according to Claim 4, characterized in that
- the gates of the two first transfer transistors (TT1, TT11) are additionally connected to the first electrodes of two buffer store capacitors (C1, C11) with the formation of two memory nodes (S1, S11),
  - the second electrodes of the buffer store capacitors (C1, C11) are connected to the fixed potential (VSS;VDD),
- 10 15 - memory transistors (ST1, ST11) are disposed with their channels between the two memory nodes (S1, S11) and the corresponding bitline halves (BLH,  $\bar{BLH}$ ), and
- the gates of the memory transistors (ST1, ST11) are connected to a fourth operating mode selection signal ( $\theta 6$ ) (FIG. 6).
- 20 25 6. Integrated semiconductor circuit according to Claim 4, characterized in that
- the gates of the two first transfer transistors (TT1, TT11) are additionally connected to the first electrodes of two buffer store capacitors (C1, C11) with the formation of two memory nodes (S1, S11),
  - the second electrodes of the buffer store capacitors (C1, C11) are connected to the fixed potential (VSS;VDD),
- 30 35 - memory transistors (ST1, ST11) are disposed with their channels between the two memory nodes (S1, S11) and the corresponding bitline halves (BLH,  $\bar{BLH}$ ), and
- each gate of the memory transistors (ST1, ST11) is connected to one of two fourth operating mode selection signals ( $\theta 6$ ,  $\theta 7$ ) (FIG. 7).

7. Integrated semiconductor circuit according to Claim 5 or 6, characterized in that

- in the case of each logic unit (LU) the first connection of the charge capacitor (C) is furthermore connected via the channel of a shift transistor (TS) to one of the bitline halves (BLH,  $\bar{BLH}$ ) of the bitline (BL) which precedes or follows in sequence, and
- a shift signal ( $\phi S$ ) is present as the fifth operating mode selection signal at the gate of the shift transistor (TS) (FIGS. 8, 9).

8. Integrated semiconductor circuit according to Claim 7, characterized in that, in the case of the logic unit (LU) which is the first in the sequence, the first connection of the charge capacitor (C) is connected via the shift transistor (TS) to the bitline (BL) which is the last in the sequence.

9. Integrated semiconductor circuit according to Claim 7, characterized in that, in the case of the logic unit (LU) which is the last in the sequence, the first connection of the charge capacitor (C) is connected via the shift transistor (TS) to the bitline (BL) which is the first in the sequence.

10. Integrated semiconductor circuit according to one of Claims 5 to 9, characterized in that the buffer store capacitors (C1, C11) are implemented as parasitic capacitances of the first transfer transistors (TT1, TT11).

11. Integrated semiconductor circuit according to one of the preceding claims, characterized in that the charge capacitor (C) of each logic unit (LU) is replaced by a static memory cell.

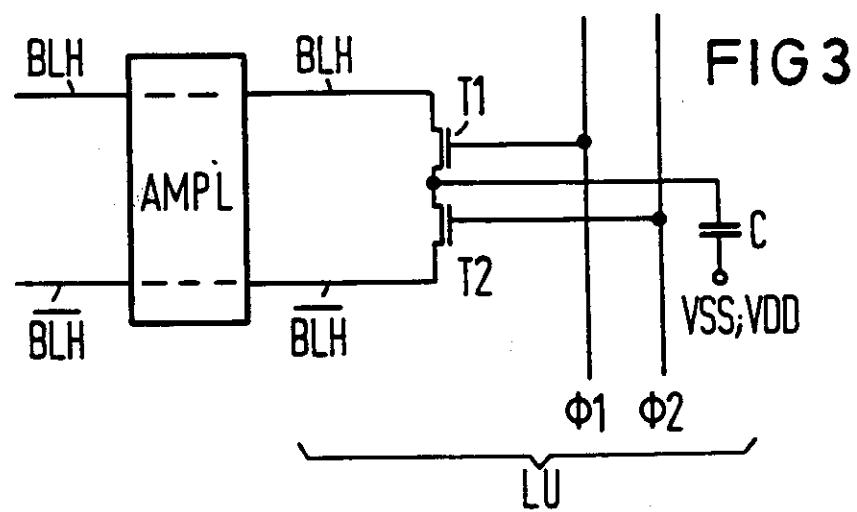
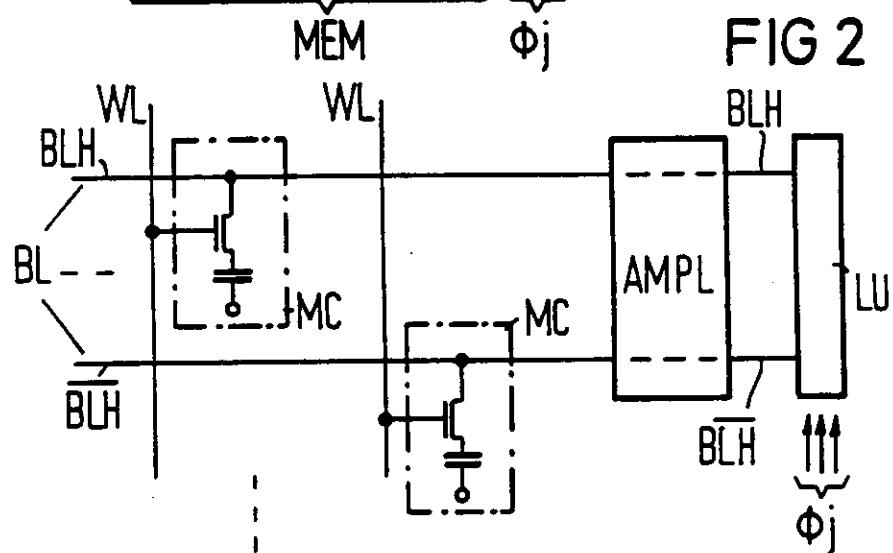
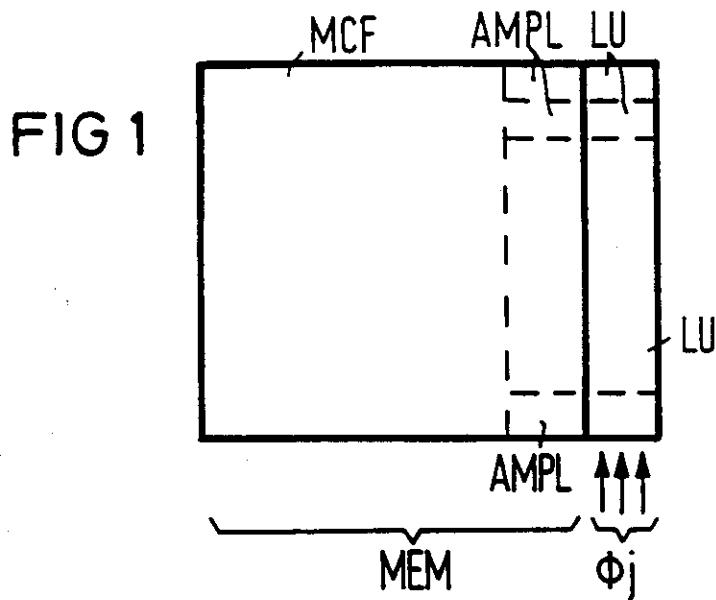
12. Integrated semiconductor circuit according to one of Claims 1 to 11, characterized in that the memory cells (MC) are dynamic random access memory cells.

35 13. Integrated semiconductor circuit according to one of Claims 1 to 11, characterized in that the memory cells (MC) are static random access memory cells.

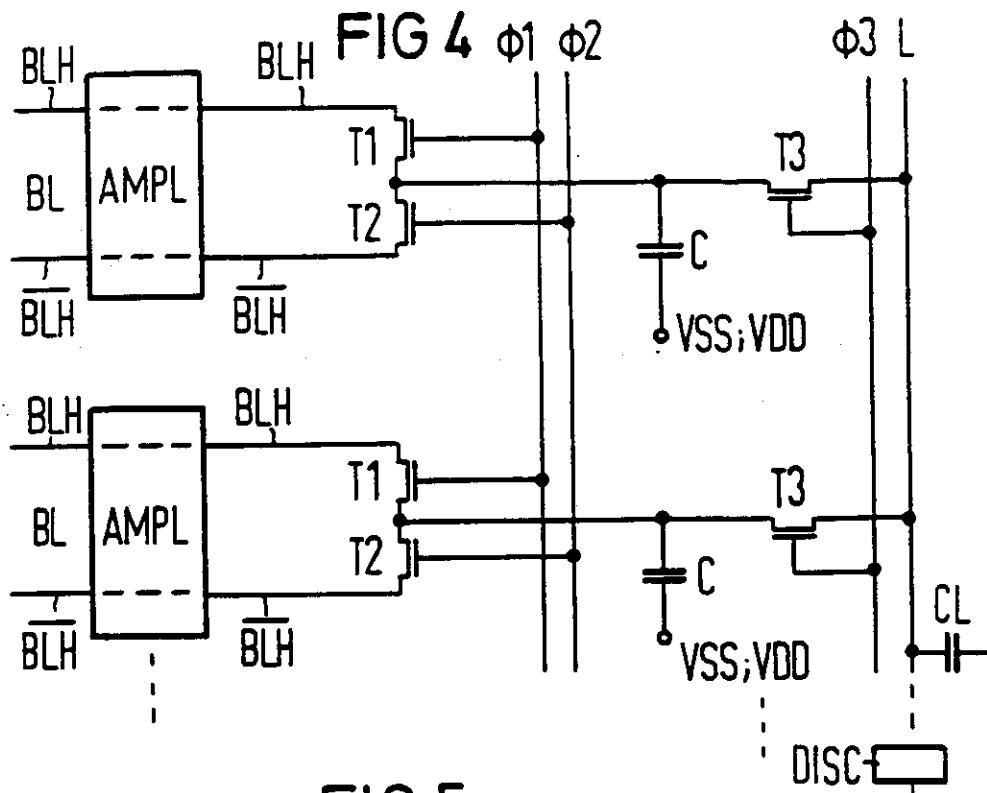
14. Integrated semiconductor circuit according to one

of Claims 1 to 11, characterized in that the memory cells (MC) are memory cells of the non-volatile type.

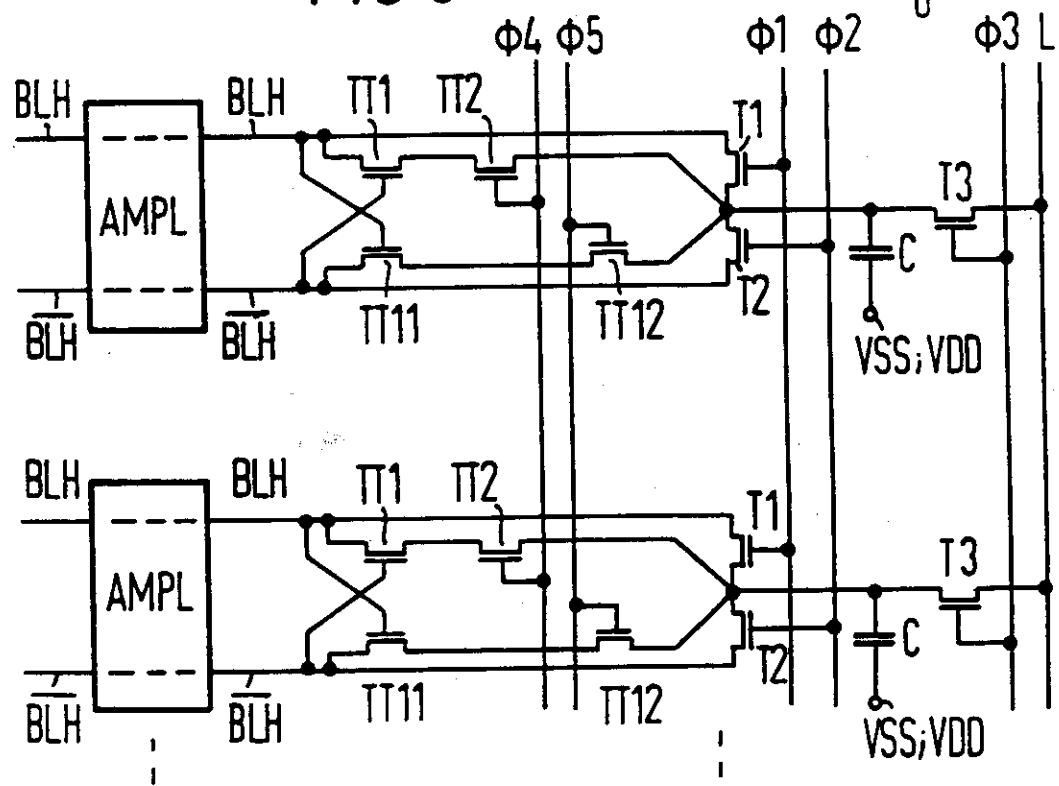
1/6



2/6

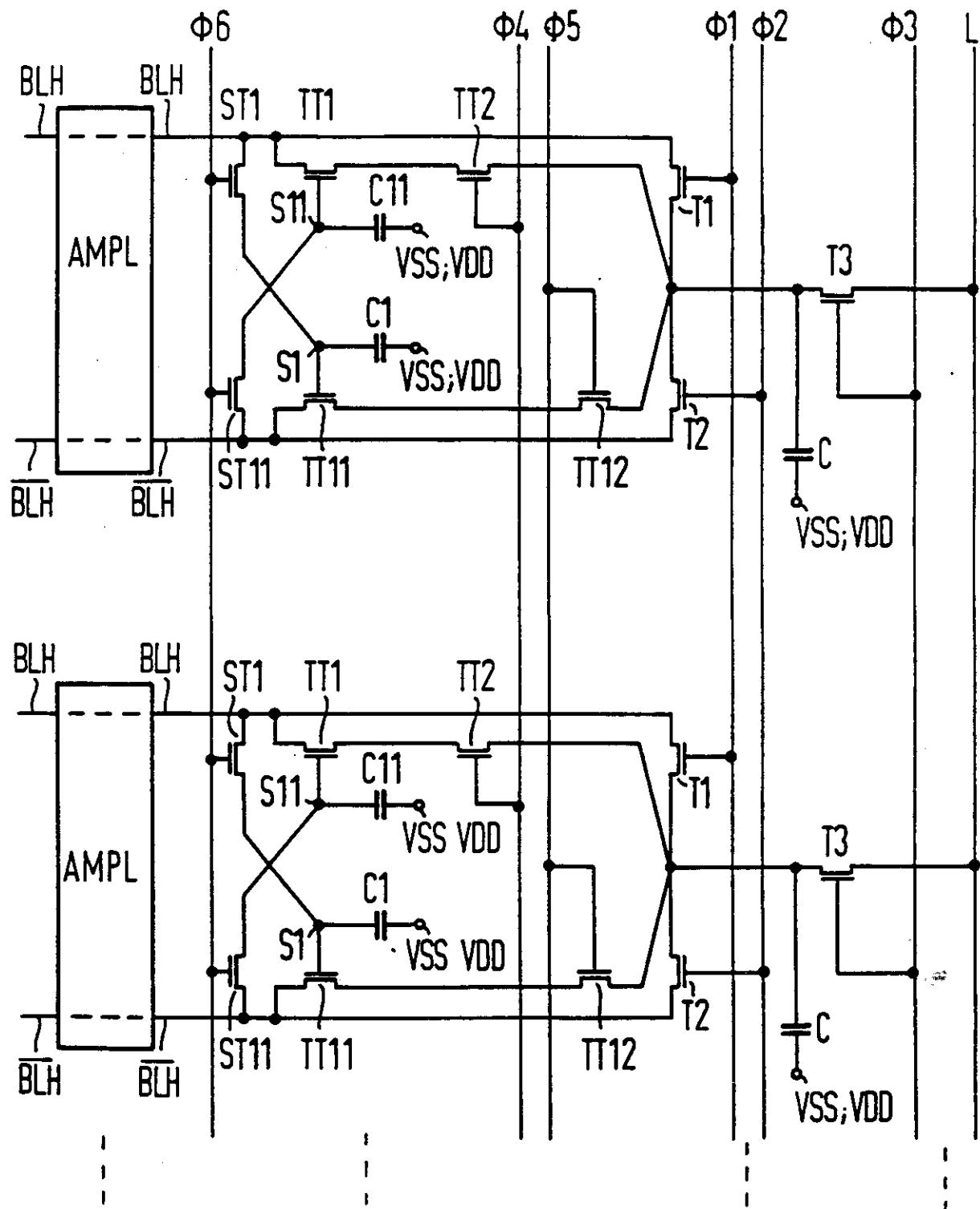


**FIG 5**



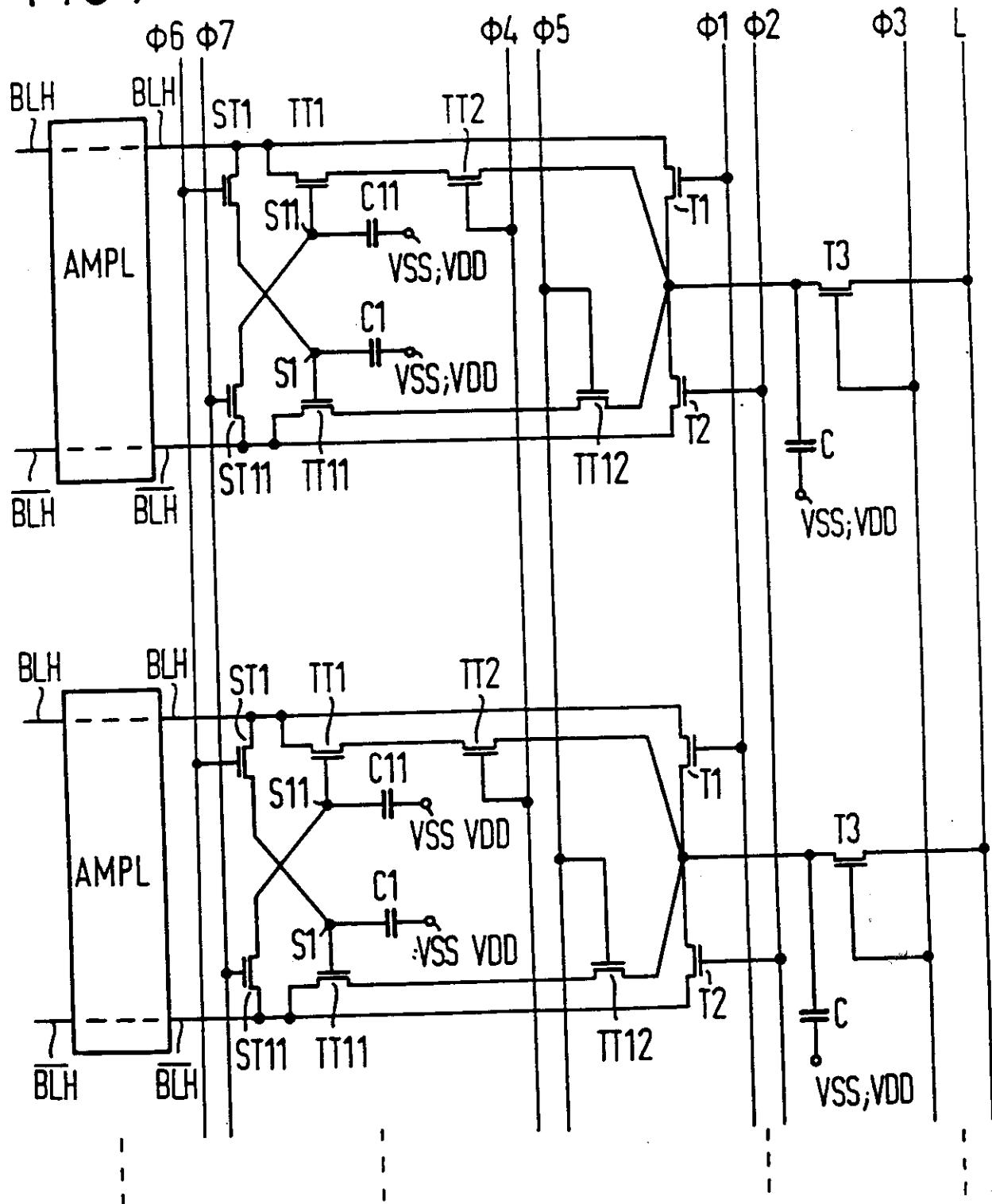
3/6

FIG 6



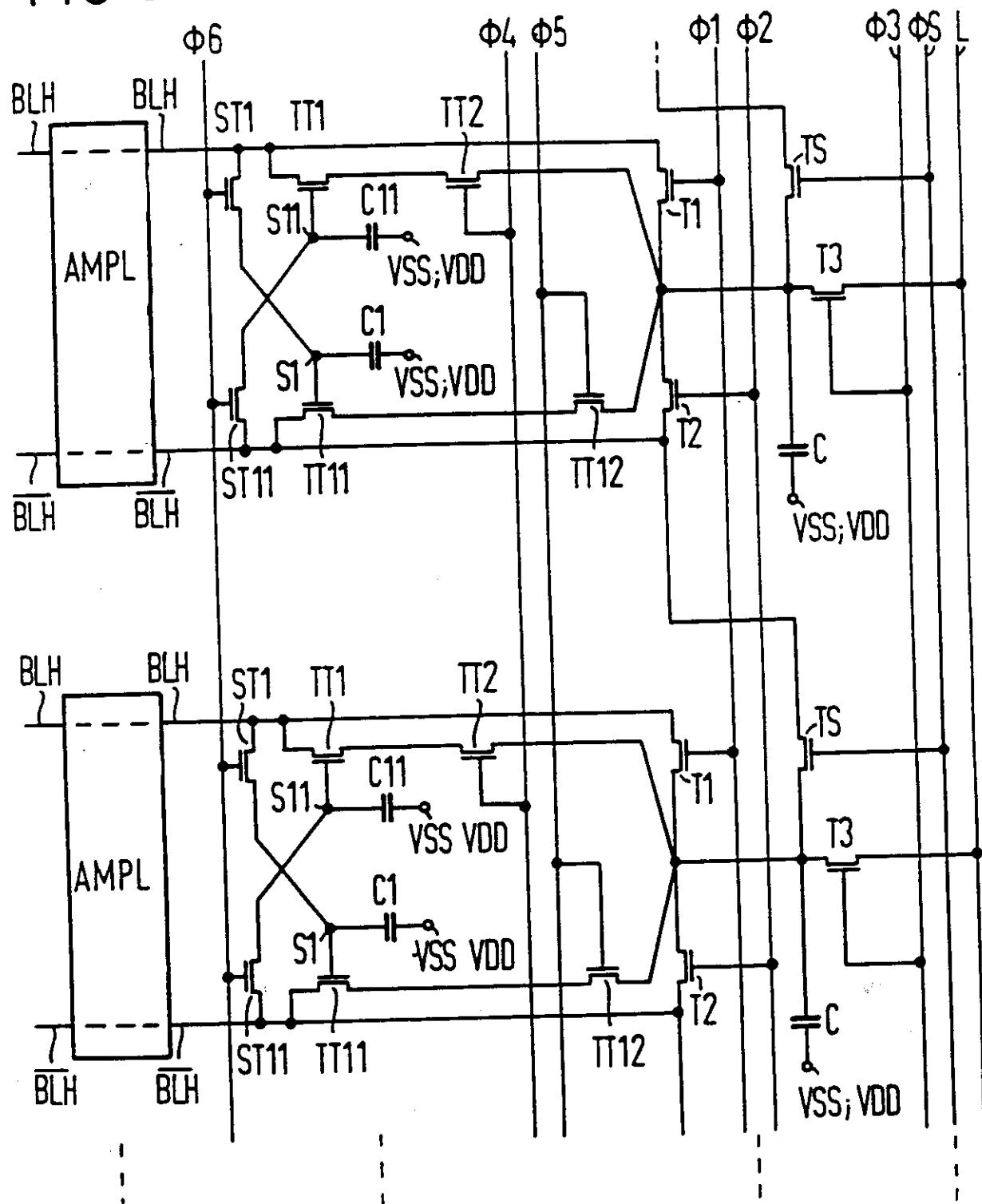
4/6

FIG 7



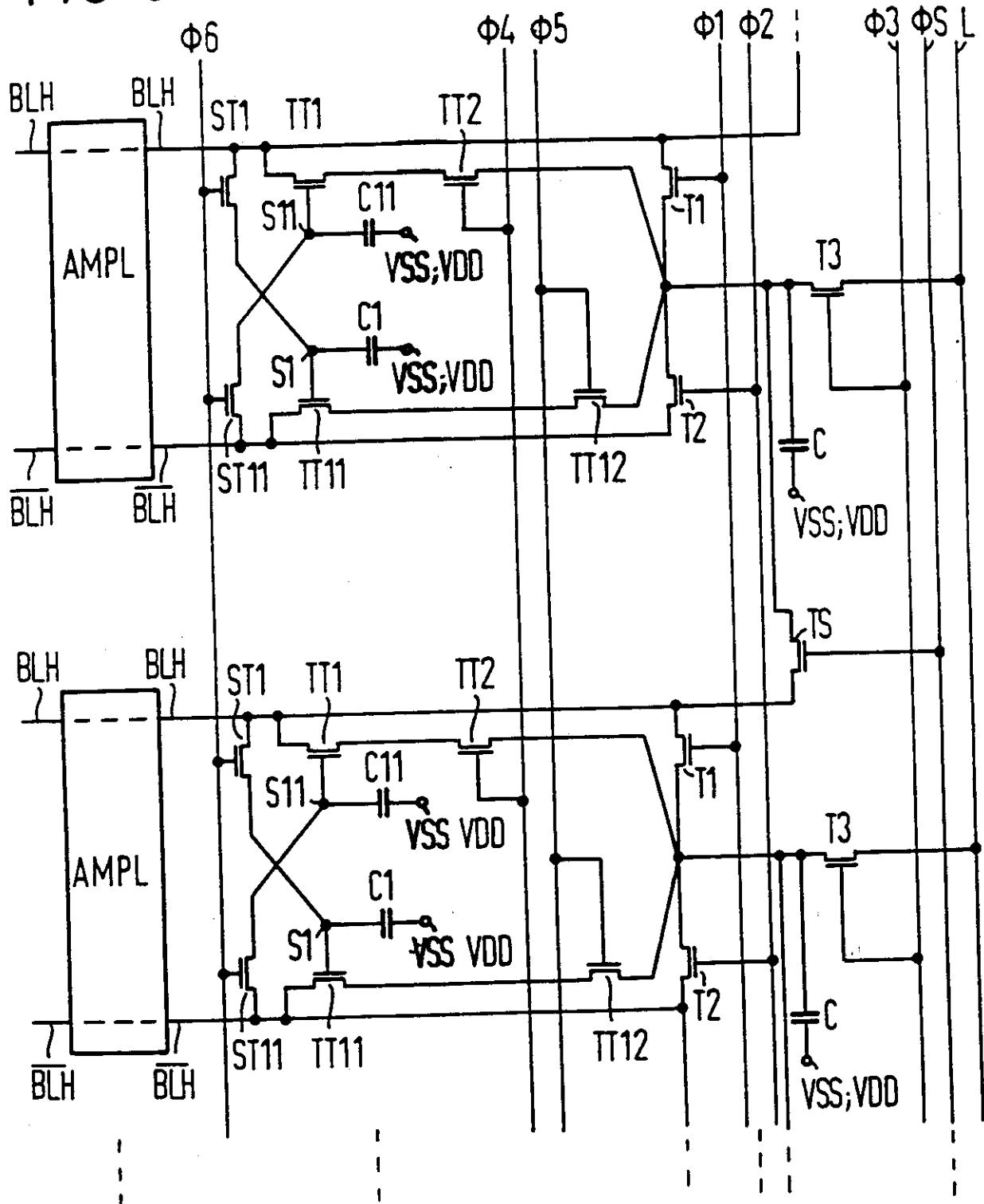
5/6

FIG 8



6/6

FIG 9



REGISTER ENTRY FOR EP0354265

European Application No EP88113074.4 filing date 11.08.1988

Application in German

Designated States DE FR GB IT NL AT

Title INTEGRATED SEMICONDUCTOR CIRCUIT HAVING A MEMORY SPACE.

## Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

## Inventors

DR. PROF. KURT HOFFMANN, Nelkenweg 20, D-8021 Taufkirchen, Federal Republic of Germany [ADP No. 57207730001]

DR. RAINER KRAUS, Weidener Strasse 21, D-8000 München 83, Federal Republic of Germany [ADP No. 57207748001]

DR. OSKAR KOWARIK, Goethering 70, D-8018 Grafing, Federal Republic of Germany [ADP No. 55752687001]

## Classified to

G11C

## Address for Service

SIEMENS GROUP SERVICES LIMITED, Intellectual Property Department, Roke Manor, Old Salisbury Lane, ROMSEY, Hampshire, SO51 0ZN, United Kingdom [ADP No. 05886494002]

Publication No EP0354265 dated 14.02.1990 and granted by EPO 29.12.1993.

Publication in German

Examination requested 07.08.1990

Patent Granted with effect from 29.12.1993 (Section 25(1)) with title INTEGRATED SEMICONDUCTOR CIRCUIT HAVING A MEMORY SPACE, Translation filed 28.02.1994

26.11.1993 Notification from EPO of change of Applicant/Proprietor details from

SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

to  
SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-80333 München, Federal Republic of Germany [ADP No. 50908391001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

29.11.1993 FILE RAISED.

Entry Type 10.1 Staff ID. SS2 Auth ID. AA

\*\*\*\*\* END OF REGISTER ENTRY \*\*\*\*\*

OA80-01  
EP

OPTICS - PATENTS

18/05/95 11:04:55  
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER

EP0354265

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of  
Germany, Wittelsbacherplatz 2, D-80333 München, Federal Republic of  
Germany

DATE FILED 11.08.1988

DATE GRANTED 29.12.1993

DATE NEXT RENEWAL DUE 11.08.1995

DATE NOT IN FORCE

DATE OF LAST RENEWAL 18.07.1994

YEAR OF LAST RENEWAL 07

STATUS PATENT IN FORCE  
\*\*\*\*\* END OF REPORT \*\*\*\*\*