

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7672820号

(P7672820)

(45)発行日 令和7年5月8日(2025.5.8)

(24)登録日 令和7年4月25日(2025.4.25)

(51)国際特許分類

F I

G 0 9 G 3/32 (2016.01)

G 0 9 G 3/32 A

G 0 9 G 3/3233(2016.01)

G 0 9 G 3/3233

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 2 4 B

H 1 0 H 20/00 (2025.01)

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 4 1 E

請求項の数 19 (全26頁) 最終頁に続く

(21)出願番号 特願2020-528056(P2020-528056)

(86)(22)出願日 令和1年6月28日(2019.6.28)

(65)公表番号 特表2021-529333(P2021-529333
A)

(43)公表日 令和3年10月28日(2021.10.28)

(86)国際出願番号 PCT/CN2019/093785

(87)国際公開番号 WO2020/001635

(87)国際公開日 令和2年1月2日(2020.1.2)

審査請求日 令和4年6月22日(2022.6.22)

(31)優先権主張番号 201810696655.5

(32)優先日 平成30年6月29日(2018.6.29)

(33)優先権主張国・地域又は機関
中国(CN)

前置審査

(73)特許権者 510280589

京東方科技集團股▲ふん▼有限公司

BOE TECHNOLOGY GROU
P CO., LTD.中華人民共和國100015北京市朝陽
區酒仙橋路10號No. 10 Jiuxianqiao R
d., Chaoyang Distri
ct, Beijing 100015,
CHINA

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 玄 明▲花▼

最終頁に続く

(54)【発明の名称】 駆動回路及びその駆動方法、表示装置

(57)【特許請求の範囲】

【請求項1】

駆動デバイス及び発光素子を備える駆動回路であって、

前記駆動デバイスと前記発光素子は、第1の作動電圧端子と第2の作動電圧端子の間に直列に接続され、前記駆動デバイスは、前記発光素子に駆動信号を提供して、前記第1の作動電圧端子と前記第2の作動電圧端子との間の電流経路のオン時間を制御し、

前記駆動デバイスは、駆動サブ回路と、書き込みサブ回路と、階調制御サブ回路とを含み、

前記書き込みサブ回路は、第1の走査信号端子、第1のデータ信号端子及び前記駆動サブ回路に接続され、前記書き込みサブ回路は、前記第1の走査信号端子の制御の下、前記第1のデータ信号端子から提供される第1のデータ電圧を前記駆動サブ回路に書き込み、

前記階調制御サブ回路は、駆動制御信号端子、第2の走査信号端子、第2のデータ信号端子及び前記駆動サブ回路に接続され、

前記階調制御サブ回路は、前記駆動制御信号端子の制御の下、前記第1の作動電圧端子が提供する第1の作動電圧を前記駆動サブ回路に提供し、

前記駆動サブ回路は、前記第1のデータ電圧と前記第1の作動電圧に基づいて前記駆動信号を生成し、

前記階調制御サブ回路はさらに、前記駆動制御信号端子、前記第2の走査信号端子及び前記第2のデータ信号端子の制御の下、前記電流経路のオン時間を制御し、

前記階調制御サブ回路は、第1の制御サブ回路と第2の制御サブ回路とを含み、

10

20

前記第 1 の制御サブ回路は前記駆動制御信号端子、前記駆動サブ回路及び前記第 2 の制御サブ回路に接続され、前記第 1 の制御サブ回路は、前記駆動制御信号端子の制御の下、前記第 1 の作動電圧端子が提供する第 1 の作動電圧を前記駆動サブ回路に伝送し、

前記第 1 の制御サブ回路はさらに、前記駆動制御信号端子の制御の下、前記駆動サブ回路によって生じる駆動電流を前記第 2 の制御サブ回路に伝送して、前記電流経路のオン時間を制御し、

前記第 2 の制御サブ回路はさらに、前記第 2 の走査信号端子及び前記第 2 のデータ信号端子に接続され、第 2 の制御サブ回路は、前記第 2 の走査信号端子及び前記第 2 のデータ信号端子の制御の下、前記電流経路のオン時間を制御し、

前記第 2 の制御サブ回路が第 1 の電圧端子にさらに接続され、前記第 2 の制御サブ回路は、第 3 のトランジスタと、第 4 のトランジスタと、第 1 のコンデンサとを有し、

前記第 3 のトランジスタのゲートが前記第 2 の走査信号端子に接続され、前記第 3 のトランジスタの第 1 の極が前記第 2 のデータ信号端子に接続され、前記第 3 のトランジスタの第 2 の極が前記第 4 のトランジスタのゲートに接続され、

前記第 1 のコンデンサの一端が前記第 3 のトランジスタの第 2 の極に接続され、前記第 1 のコンデンサの他端が前記第 1 の電圧端子に接続され、

前記発光素子のカソードが前記第 2 の作動電圧端子に接続され、前記第 4 のトランジスタの第 1 の極が前記第 1 の制御サブ回路に接続され、前記第 4 のトランジスタの第 2 の極が前記発光素子のアノードに接続される

駆動回路。

【請求項 2】

駆動デバイス及び発光素子を備える駆動回路であって、

前記駆動デバイスと前記発光素子は、第 1 の作動電圧端子と第 2 の作動電圧端子の間に直列に接続され、前記駆動デバイスは、前記発光素子に駆動信号を提供して、前記第 1 の作動電圧端子と前記第 2 の作動電圧端子との間の電流経路のオン時間を制御し、

前記駆動デバイスは、駆動サブ回路と、書き込みサブ回路と、階調制御サブ回路とを含み、

前記書き込みサブ回路は、第 1 の走査信号端子、第 1 のデータ信号端子及び前記駆動サブ回路に接続され、前記書き込みサブ回路は、前記第 1 の走査信号端子の制御の下、前記第 1 のデータ信号端子から提供される第 1 のデータ電圧を前記駆動サブ回路に書き込み、

前記階調制御サブ回路は、駆動制御信号端子、第 2 の走査信号端子、第 2 のデータ信号端子及び前記駆動サブ回路に接続され、

前記階調制御サブ回路は、前記駆動制御信号端子の制御の下、前記第 1 の作動電圧端子が提供する第 1 の作動電圧を前記駆動サブ回路に伝送し、

前記駆動サブ回路は、前記第 1 のデータ電圧と前記第 1 の作動電圧に基づいて前記駆動信号を生成し、

前記階調制御サブ回路はさらに、前記駆動制御信号端子、前記第 2 の走査信号端子及び前記第 2 のデータ信号端子の制御の下、前記電流経路のオン時間を制御し、

前記階調制御サブ回路は、第 1 の制御サブ回路と第 2 の制御サブ回路とを含み、

前記第 1 の制御サブ回路は前記駆動制御信号端子、前記駆動サブ回路及び前記第 2 の制御サブ回路に接続され、前記第 1 の制御サブ回路は、前記駆動制御信号端子の制御の下、前記第 1 の作動電圧端子が提供する第 1 の作動電圧を前記駆動サブ回路に伝送し、

前記第 1 の制御サブ回路はさらに、前記駆動制御信号端子の制御の下、前記駆動サブ回路によって生じる駆動電流を前記第 2 の制御サブ回路に伝送して、前記電流経路のオン時間を制御し、

前記第 2 の制御サブ回路はさらに、前記第 2 の走査信号端子及び前記第 2 のデータ信号端子に接続され、第 2 の制御サブ回路は、前記第 2 の走査信号端子及び前記第 2 のデータ信号端子の制御の下、前記電流経路のオン時間を制御し、

前記第 2 の制御サブ回路が第 1 の電圧端子にさらに接続され、前記第 2 の制御サブ回路は、第 3 のトランジスタと、第 4 のトランジスタと、第 1 のコンデンサとを有し、

10

20

30

40

50

前記第 3 のトランジスタのゲートが前記第 2 の走査信号端子に接続され、前記第 3 のトランジスタの第 1 の極が前記第 2 のデータ信号端子に接続され、前記第 3 のトランジスタの第 2 の極が前記第 4 のトランジスタのゲートに接続され、

前記第 1 のコンデンサの一端が前記第 3 のトランジスタの第 2 の極に接続され、前記第 1 のコンデンサの他端が前記第 1 の電圧端子に接続され、

前記発光素子のアノードが前記第 1 の作動電圧端子に接続され、前記発光素子のカソードが前記第 1 の制御サブ回路に接続され、前記第 4 のトランジスタの第 1 の極が前記第 1 の制御サブ回路に接続され、前記第 4 のトランジスタの第 2 の極が前記第 2 の作動電圧端子に接続される

駆動回路。

10

【請求項 3】

前記駆動回路は補償サブ回路をさらに含み、

前記補償サブ回路は、前記第 1 の走査信号端子及び前記駆動サブ回路に接続され、前記補償サブ回路は、前記第 1 の走査信号端子の制御の下、前記駆動サブ回路の閾値電圧を補償する

請求項 1 に記載の駆動回路。

【請求項 4】

前記駆動回路はリセットサブ回路をさらに備え、

前記リセットサブ回路は、リセット電圧端子、リセット制御信号端子及び前記駆動サブ回路に接続され、前記リセットサブ回路は、前記リセット制御信号端子の制御の下、前記リセット電圧端子が提供するリセット電圧を前記駆動回路に伝送する

20

請求項 1 に記載の駆動回路。

【請求項 5】

前記第 1 の制御サブ回路は第 1 のトランジスタ及び第 2 のトランジスタを含み、

前記発光素子のアノードが前記第 2 の制御サブ回路に接続され、前記発光素子のカソードが前記第 2 の作動電圧端子に接続され、前記第 1 のトランジスタのゲートが前記駆動制御信号端子に接続され、第 1 の極が前記第 1 の作動電圧端子に接続され、第 2 の極が前記駆動サブ回路に接続され、

前記第 2 のトランジスタのゲートが前記駆動制御信号端子に接続され、第 1 の極が前記駆動サブ回路に接続され、第 2 の極が前記第 2 の制御サブ回路に接続される

30

請求項 1 に記載の駆動回路。

【請求項 6】

前記第 1 の制御サブ回路は第 1 のトランジスタ及び第 2 のトランジスタを含み、

前記発光素子のアノードが前記第 1 の作動電圧端子に接続され、前記第 1 のトランジスタのゲートが前記駆動制御信号端子に接続され、第 1 の極が前記発光素子のカソードに接続され、第 2 の極が前記駆動サブ回路に接続され、

前記第 2 のトランジスタのゲートが前記駆動制御信号端子に接続され、第 1 の極が前記駆動サブ回路に接続され、第 2 の極が前記第 2 の制御サブ回路に接続される

請求項 2 に記載の駆動回路。

【請求項 7】

40

前記駆動サブ回路が第 2 の電圧端子にさらに接続され、前記駆動サブ回路は駆動トランジスタをさらに備え、

前記駆動トランジスタのゲートが前記第 2 の電圧端子に接続され、第 1 の極が前記書き込みサブ回路に接続され、第 2 の極が前記階調制御サブ回路に接続される

請求項 1 に記載の駆動回路。

【請求項 8】

前記駆動サブ回路が第 2 の電圧端子にさらに接続され、前記駆動サブ回路は駆動トランジスタと第 2 のコンデンサを備え、

前記駆動トランジスタのゲートが前記第 2 のコンデンサの一端に接続され、第 1 の極が前記書き込みサブ回路に接続され、第 2 の極が前記階調制御サブ回路に接続され、

50

前記第 2 のコンデンサの他端が、前記第 2 の電圧端子に接続される
請求項 3 又は 4 に記載の駆動回路。

【請求項 9】

前記書き込みサブ回路は第 5 のトランジスタを含み、

前記第 5 のトランジスタのゲートが前記第 1 の走査信号端子に接続され、第 1 の極が前記第 1 のデータ信号端子に接続され、第 2 の極が前記駆動サブ回路に接続される

請求項 1 に記載の駆動回路。

【請求項 10】

前記補償サブ回路は第 6 トランジスタを含み、

前記第 6 トランジスタのゲートが前記第 1 の走査信号端子に接続され、第 1 の極及び第 2 の極が共に前記駆動サブ回路に接続される

請求項 3 に記載の駆動回路。

【請求項 11】

前記リセットサブ回路は第 7 のトランジスタを備え、

前記第 7 のトランジスタのゲートが前記リセット制御信号端子に接続され、第 1 の極が前記リセット電圧端子に接続され、第 2 の極が前記駆動サブ回路に接続される

請求項 4 に記載の駆動回路。

【請求項 12】

前記発光素子はマイクロ発光ダイオードである

請求項 1 に記載の駆動回路。

【請求項 13】

第 1 ～第 7 のトランジスタと、第 1 のコンデンサと、第 2 のコンデンサと、駆動トランジスタと、リセット制御信号端子と、駆動制御信号端子と、第 1 のデータ信号端子と、第 2 のデータ信号端子と、第 1 の走査信号端子と、第 2 の走査信号端子と、第 1 の作動電圧端子と、第 1 の電圧端子と、第 2 の電圧端子と、リセット電圧端子を備え、発光素子を駆動して作動させる駆動回路であって、

前記駆動制御信号端子が、前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートに接続され、

前記第 1 のデータ信号端子が前記第 5 のトランジスタの第 1 の極に接続され、

前記第 2 のデータ信号端子が前記第 3 のトランジスタの第 1 の極に接続され、

前記第 1 の走査信号端子が第 5 のトランジスタのゲートと第 6 のトランジスタのゲートに接続され、

前記第 2 の走査信号端子が前記第 3 のトランジスタのゲートに接続され、

前記第 1 の作動電圧端子が前記第 1 のトランジスタの第 1 の極に接続され、

前記第 1 の電圧端子が前記第 1 のコンデンサの一端に接続され、

前記第 2 の電圧端子が前記第 2 のコンデンサの一端に接続され、

前記リセット制御信号端子が前記第 7 のトランジスタのゲートに接続され、

前記リセット電圧端子が前記第 7 のトランジスタの第 1 の極に接続され、

前記第 1 のトランジスタの第 2 の極、前記第 5 のトランジスタの第 2 の極が前記駆動トランジスタの第 1 の極に接続され、

前記第 2 のコンデンサの他端、前記第 6 のトランジスタの第 2 の極、前記第 7 のトランジスタの第 2 の極とが前記駆動トランジスタのゲートに接続され、

前記第 2 のトランジスタの第 1 の極、前記第 6 のトランジスタの第 1 の極が前記駆動トランジスタの第 2 の極に接続され、

前記第 2 のトランジスタの第 2 の極が前記第 4 のトランジスタの第 1 の極に接続され、

前記第 1 のコンデンサの他端、前記第 3 のトランジスタの第 2 の極が前記第 4 のトランジスタのゲートに接続され、

前記第 4 のトランジスタの第 2 の極が発光素子に接続され、

前記第 5 のトランジスタは書き込みサブ回路に含まれ、前記書き込みサブ回路は、前記第 1 の走査信号端子の制御の下、前記第 1 のデータ信号端子から提供される第 1 のデータ電

10

20

30

40

50

圧を駆動サブ回路に書き込み、

前記第1のトランジスタ及び前記第2のトランジスタは第1の制御サブ回路に含まれ、前記第1の制御サブ回路は、前記駆動制御信号端子の制御の下、第1の作動電圧端子が提供する第1の作動電圧を駆動サブ回路に伝送し、

前記駆動トランジスタ及び前記第2のコンデンサは前記駆動サブ回路に含まれ、前記駆動サブ回路は、前記第1のデータ電圧と前記第1の作動電圧に基づいて駆動信号を生成し、前記第3のトランジスタ、前記第4のトランジスタ、および前記第1のコンデンサは第2の制御サブ回路に含まれ、前記第2の制御サブ回路は、前記第2の走査信号端子及び前記第2のデータ信号端子の制御の下、前記第1の作動電圧端子と第2の作動電圧端子との間の電流経路のオン時間を制御する駆動回路。

10

【請求項14】

第1～第7のトランジスタと、第1のコンデンサと、第2のコンデンサと、駆動トランジスタと、リセット制御信号端子と、駆動制御信号端子と、第1のデータ信号端子と、第2のデータ信号端子と、第1の走査信号端子と、第2の走査信号端子と、電源電圧端子と、第1の電圧端子と、第2の電圧端子と、リセット電圧端子を備え、発光素子を駆動して作動させる駆動回路であって、

前記駆動制御信号端子が前記第1のトランジスタのゲートと前記第2のトランジスタのゲートに接続され、

前記第1のデータ信号端子が前記第5のトランジスタの第1の極に接続され、

前記第2のデータ信号端子が前記第3のトランジスタの第1の極に接続され、

20

前記第1の走査信号端子が第5のトランジスタのゲートと第6トランジスタのゲートに接続され、

前記第2の走査信号端子が前記第3のトランジスタのゲートに接続され、

前記電源電圧端子が前記第4のトランジスタの第2の極に接続され、

前記第1の電圧端子が前記第1のコンデンサの一端に接続され、

前記第2の電圧端子が前記第2のコンデンサの一端に接続され、

前記リセット制御信号端子が前記第7のトランジスタのゲートに接続され、

前記リセット電圧端子が前記第7のトランジスタの第1の極に接続され、

前記第1のトランジスタの第2の極、前記第5のトランジスタの第2の極が前記駆動トランジスタの第1の極に接続され、

30

前記第2のコンデンサの他端、前記第6のトランジスタの第2の極、前記第7のトランジスタの第2の極とが前記駆動トランジスタのゲートに接続され、

前記第2のトランジスタの第1の極、前記第6のトランジスタの第1の極が前記駆動トランジスタの第2の極に接続され、

前記第2のトランジスタの第2の極が前記第4のトランジスタの第1の極に接続され、

前記第1のコンデンサの他端、前記第3のトランジスタの第2の極が前記第4のトランジスタのゲートに接続され、

前記第1のトランジスタの第1の極が前記発光素子に接続され、

前記第5のトランジスタは書き込みサブ回路に含まれ、前記書き込みサブ回路は、前記第1の走査信号端子の制御の下、前記第1のデータ信号端子から提供される第1のデータ電圧を駆動サブ回路に書き込み、

40

前記第1のトランジスタ及び前記第2のトランジスタは第1の制御サブ回路に含まれ、前記第1の制御サブ回路は、前記駆動制御信号端子の制御の下、第1の作動電圧端子が提供する第1の作動電圧を駆動サブ回路に伝送し、

前記駆動トランジスタ及び前記第2のコンデンサは前記駆動サブ回路に含まれ、前記駆動サブ回路は、前記第1のデータ電圧と前記第1の作動電圧に基づいて駆動信号を生成し、前記第3のトランジスタ、前記第4のトランジスタ、および前記第1のコンデンサは第2の制御サブ回路に含まれ、前記第2の制御サブ回路は、前記第2の走査信号端子及び前記第2のデータ信号端子の制御の下、前記第1の作動電圧端子と第2の作動電圧端子との間の電流経路のオン時間を制御する

50

駆動回路。

【請求項 15】

表示基板を備え、前記表示基板の表示領域に複数のサブピクセルを有し、少なくとも 1 つのサブピクセル内に請求項 1～12 の何れか 1 項に記載の駆動回路と発光素子とを備え、前記駆動回路が前記発光素子に駆動信号を供給する表示装置。

【請求項 16】

1 つの画像フレーム内において、駆動回路が複数の走査周期を有し、前記階調制御サブ回路は、第 1 の制御サブ回路と第 2 の制御サブ回路とを有し、1 つの前記走査周期において、前記駆動回路の駆動方法は、

前記第 1 の走査信号端子に第 1 の走査信号を提供し、前記第 1 のデータ信号端子に第 1 のデータ電圧を提供し、前記第 1 のデータ電圧が書き込みサブ回路を介して駆動サブ回路に書き込まれるステップと、

第 2 の走査信号端子に第 2 の走査信号を提供し、前記第 2 のデータ信号端子に第 2 のデータ電圧を提供し、第 2 の制御サブ回路が、前記第 2 の走査信号及び前記第 2 のデータ電圧の制御の下、開放又は閉鎖するようにするステップと、

駆動制御信号端子に駆動制御信号を提供し、前記第 1 の作動電圧端子に第 1 の作動電圧を提供し、前記駆動制御信号、前記第 1 の走査信号、前記第 2 の走査信号及び前記第 2 のデータ電圧の制御の下、前記発光素子が前記第 1 のデータ電圧及び前記第 1 の作動電圧に基づいて作動するように、前記第 1 の作動電圧が第 1 の制御サブ回路を介して駆動サブ回路に伝送されるステップと、を含む

請求項 1 に記載の駆動回路の駆動方法。

【請求項 17】

前記駆動方法はさらに、

1 つの前記走査周期内において、前記第 2 の走査信号端子がアクティブな信号を出力する時間は、前記第 1 の走査信号端子がアクティブな信号を出力する時間より遅いことを含む請求項 16 に記載の駆動方法。

【請求項 18】

前記駆動回路はリセットサブ回路をさらに備え、前記第 1 の走査信号端子に第 1 の走査信号を提供し、第 1 のデータ信号端子に第 1 のデータ電圧を提供し、前記第 1 のデータ電圧が書き込みサブ回路を介して駆動サブ回路に書き込まれる前に、前記駆動回路の駆動方法はさらに、

リセット制御信号端子にリセット制御信号を提供し、リセット電圧端子にリセット電圧を提供し、前記リセット電圧が前記リセットサブ回路を介して前記駆動サブ回路に伝送されることを含む

請求項 16 に記載の駆動方法。

【請求項 19】

前記駆動サブ回路は駆動トランジスタと第 2 のコンデンサとを含み、前記駆動トランジスタのゲートが前記第 2 のコンデンサの一端に接続され、前記第 2 のコンデンサの他端が第 2 の電圧端子に接続され、前記第 2 の電圧端子と前記第 1 の作動電圧端子に入力される電圧は同一である

請求項 16 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

【関連出願の相互参照】

本願は、2018年6月29日に提出された中国特許出願No.201810696655.5の優先権を主張し、当該中国特許出願で公開の内容を引用によりここに援用する。

【技術分野】

【0002】

本願は表示技術分野に関し、特に、駆動回路及びその駆動方法、表示装置に関するものである。

【背景技術】

【0003】

OLED (Organic Light Emitting Diode、有機発光ダイオード) 表示装置に関して、マイクロ発光ダイオード表示装置 (例えば、Micro LED表示装置又は μ LED表示装置) は、駆動電圧が低く、寿命が長く、耐温幅が広い等の利点があり、携帯端末分野に徐々に適用されてきている。

【発明の概要】

【課題を解決するための手段】

【0004】

一態様において、本願は、駆動待ち素子を駆動する駆動素子を備える駆動回路であって、前記駆動素子と前記駆動待ち素子は、第1の作動電圧端子と第2の作動電圧端子の間に直列に接続され、前記駆動素子は、前記駆動待ち素子に駆動信号を提供して、前記第1の作動電圧端子と前記第2の作動電圧端子との間の信号経路のオン時間を制御し、

前記駆動素子は、駆動サブ回路と、書き込みサブ回路と、階調制御サブ回路とを含み、

前記書き込みサブ回路は、第1の走査信号端子、第1のデータ信号端子及び前記駆動サブ回路に接続され、前記書き込みサブ回路は、前記第1の走査信号端子の制御の下、前記第1のデータ信号端子から提供される第1のデータ電圧を前記駆動サブ回路に書き込み、

前記階調制御サブ回路は、駆動制御信号端子、第2の走査信号端子、第2のデータ信号端子及び前記駆動サブ回路に接続され、

前記階調制御サブ回路は、前記駆動制御信号端子の制御の下、前記第1の作動電圧端子が提供する第1の作動電圧を前記駆動サブ回路に提供し、

前記駆動サブ回路は、前記第1のデータ電圧と前記第1の作動電圧に基づいて前記駆動信号を生成し、

前記階調制御サブ回路はさらに、前記駆動制御信号端子、前記第2の走査信号端子及び前記第2のデータ信号端子の制御の下、前記電流経路のオン時間を制御する駆動回路を提供する。

【0005】

本願の実施例によれば、前記階調制御サブ回路は、第1の制御サブ回路と第2の制御サブ回路とを含み、

前記第1の制御サブ回路は前記駆動制御信号端子、前記駆動サブ回路及び前記第2の制御サブ回路に接続され、前記第1の制御サブ回路は、前記駆動制御信号端子の制御の下、前記第1の作動電圧端子が提供する第1の作動電圧を前記駆動サブ回路に伝送し、

前記第1の制御サブ回路はさらに、前記駆動制御信号端子の制御の下、前記駆動サブ回路によって生じる駆動電流を前記第2の制御サブ回路に伝送して、前記電流経路のオン時間を制御し、

前記第2の制御サブ回路はさらに、前記第2の走査信号端子及び前記第2のデータ信号端子に接続され、第2の制御サブ回路は、前記第2の走査信号端子及び前記第2のデータ信号端子の制御の下、前記電流経路のオン時間を制御する。

【0006】

本願の実施例によれば、前記駆動回路は補償サブ回路をさらに含み、

前記補償サブ回路は、前記第1の走査信号端子及び前記駆動サブ回路に接続され、前記補償サブ回路は、前記第1の走査信号端子の制御の下、前記駆動サブ回路の閾値電圧を補償する。

【0007】

本願の実施例によれば、前記駆動回路はリセットサブ回路をさらに備え、

前記リセットサブ回路は、リセット電圧端子、リセット制御信号端子及び前記駆動サブ回路に接続され、前記リセットサブ回路は、前記リセット制御信号端子の制御の下、前記リセット電圧端子が提供するリセット電圧を前記駆動回路に伝送する。

10

20

30

40

50

【0008】

本願の実施例によれば、前記第1の制御サブ回路は第1のトランジスタ及び第2のトランジスタを含み、

前記駆動待ち素子のアノードが前記第2の制御サブ回路に接続され、前記駆動待ち素子のカソードが前記第2の作動電圧端子に接続され、前記第1のトランジスタのゲートが前記駆動制御信号端子に接続され、第1の極が前記第1の作動電圧端子に接続され、第2の極が前記駆動サブ回路に接続され、

前記第2のトランジスタのゲートが前記駆動制御信号端子に接続され、第1の極が前記駆動サブ回路に接続され、第2の極が前記第2の制御サブ回路に接続される。

【0009】

本願の実施例によれば、前記第1の制御サブ回路は第1のトランジスタ及び第2のトランジスタを含み、

前記駆動待ち素子のアノードが前記第1の作動電圧端子に接続され、前記第1のトランジスタのゲートが前記駆動制御信号端子に接続され、第1の極が前記駆動待ち素子のカソードに接続され、第2の極が前記駆動サブ回路に接続され、

前記第2のトランジスタのゲートが前記駆動制御信号端子に接続され、第1の極が前記駆動サブ回路に接続され、第2の極が前記第2の制御サブ回路に接続される。

【0010】

本願の実施例によれば、前記第2の制御サブ回路が第1の電圧端子にさらに接続され、前記第2の制御サブ回路は、第3のトランジスタと、第4のトランジスタと、第1のコンデンサとを有し、

前記第3のトランジスタのゲートが前記第2の走査信号端子に接続され、第1の極が前記第2のデータ信号端子に接続され、第2の極が前記第4のトランジスタのゲートに接続され、

、

前記第1のコンデンサの一端が前記第3のトランジスタの第2の極に接続され、前記第1のコンデンサの他端が前記第1の電圧端子に接続され、

前記駆動待ち素子のカソードが前記第2の作動電圧端子に接続され、前記第4のトランジスタの第1の極が前記第1の制御サブ回路に接続され、第2の極が前記駆動待ち素子のアノードに接続される。

【0011】

本願の実施例によれば、前記第2の制御サブ回路が第1の電圧端子にさらに接続され、前記第2の制御サブ回路は、第3のトランジスタと、第4のトランジスタと、第1のコンデンサとを有し、

前記第3のトランジスタのゲートが前記第2の走査信号端子に接続され、第1の極が前記第2のデータ信号端子に接続され、第2の極が前記第4のトランジスタのゲートに接続され、

、

前記第1のコンデンサの一端が前記第3のトランジスタの第2の極に接続され、前記第1のコンデンサの他端が前記第1の電圧端子に接続され、

前記駆動待ち素子のアノードが前記第1の作動電圧端子に接続され、前記駆動待ち素子のカソードが前記第1の制御サブ回路に接続され、前記第4のトランジスタの第1の極が前記第1の制御サブ回路に接続され、第2の極が前記第2の作動電圧端子に接続される。

【0012】

本願の実施例によれば、前記駆動サブ回路が第2の電圧端子にさらに接続され、前記駆動サブ回路は駆動トランジスタをさらに備え、

前記駆動トランジスタのゲートが前記第2の電圧端子に接続され、第1の極が前記書き込みサブ回路に接続され、第2の極が前記階調制御サブ回路に接続される。

【0013】

本願の実施例によれば、前記駆動サブ回路が第2の電圧端子にさらに接続され、前記駆動サブ回路は駆動トランジスタと第2のコンデンサを備え、

前記駆動トランジスタのゲートが前記第2のコンデンサの一端に接続され、第1の極が前

10

20

30

40

50

記書き込みサブ回路に接続され、第2の極が前記階調制御サブ回路に接続され、
前記第2のコンデンサの他端が、前記第2の電圧端子に接続される。

【0014】

本願の実施例によれば、前記書き込みサブ回路は第5のトランジスタを含み、
前記第5のトランジスタのゲートが前記第1の走査信号端子に接続され、第1の極が前記
第1のデータ信号端子に接続され、第2の極が前記駆動サブ回路に接続される。

【0015】

本願の実施例によれば、前記補償サブ回路は第6トランジスタを含み、
前記第6トランジスタのゲートが前記第1の走査信号端子に接続され、第1の極及び第2
の極が共に前記駆動サブ回路に接続される。

【0016】

本願の実施例によれば、前記リセットサブ回路は第7のトランジスタを備え、
前記第7のトランジスタのゲートが前記リセット制御信号端子に接続され、第1の極が前
記リセット電圧端子に接続され、第2の極が前記駆動サブ回路に接続される。

【0017】

もう1つの態様において、本願は、第1～第7のトランジスタと、第1のコンデンサと、
第2のコンデンサと、駆動トランジスタと、リセット制御信号端子と、駆動制御信号端子
と、第1のデータ信号端子と、第2のデータ信号端子と、第1の走査信号端子と、第2の走
査信号端子と、第1の作動電圧端子と、第1の電圧端子と、第2の電圧端子とを備え、駆動
待ち素子を駆動して作動させる駆動回路であって、

前記駆動制御信号端子が、前記第1のトランジスタのゲートと前記第2のトランジスタの
ゲートに接続され、

前記第1のデータ信号端子が前記第5のトランジスタの第1の極に接続され、

前記第2のデータ信号端子が前記第3のトランジスタの第1の極に接続され、

前記第1の走査信号端子が第5のトランジスタのゲートと第6のトランジスタのゲートに
接続され、

前記第2の走査信号端子が前記第3のトランジスタのゲートに接続され、

前記第1の作動電圧端子が前記第1のトランジスタの第1の極に接続され、

前記第1の電圧端子が前記第1のコンデンサの一端に接続され、

前記第2の電圧端子が前記第2のコンデンサの一端に接続され、

前記リセット制御信号端子が前記第7のトランジスタのゲートに接続され、

前記リセット電圧端子が前記第7のトランジスタの第1の極に接続され、

前記第1のトランジスタの第2の極、前記第5のトランジスタの第2の極が前記駆動トラ
ンジスタの第1の極に接続され、

前記第2のコンデンサの他端、前記第6のトランジスタの第2の極、前記第7のトランジ
スタの第2の極とが前記駆動トランジスタのゲートに接続され、

前記第2のトランジスタの第1の極、前記第6のトランジスタの第1の極が前記駆動トラ
ンジスタの第2の極に接続され、

前記第2のトランジスタの第2の極が前記第4のトランジスタの第1の極に接続され、

前記第1のコンデンサの他端、前記第3のトランジスタの第2の極が前記第4のトランジ
スタのゲートに接続され、

前記第4のトランジスタの第2の極が駆動待ち素子に接続される駆動回路を提供する。

【0018】

もう1つの態様において、本願は、第1～第7のトランジスタと、第1のコンデンサと、
第2のコンデンサと、駆動トランジスタと、リセット制御信号端子と、駆動制御信号端子
と、第1のデータ信号端子と、第2のデータ信号端子と、第1の走査信号端子と、第2の走
査信号端子と、電源電圧端子と、第1の電圧端子と、第2の電圧端子とを備え、駆動待ち
素子を駆動して作動させる駆動回路であって、

前記駆動制御信号端子が前記第1のトランジスタのゲートと前記第2のトランジスタのゲ
ートに接続され、

10

20

30

40

50

前記第1のデータ信号端子が前記第5のトランジスタの第1の極に接続され、
前記第2のデータ信号端子が前記第3のトランジスタの第1の極に接続され、
前記第1の走査信号端子が第5のトランジスタのゲートと第6トランジスタのゲートに接続され、

前記第2の走査信号端子が前記第3のトランジスタのゲートに接続され、
前記電源電圧端子が前記第4のトランジスタの第2の極に接続され、
前記第1の電圧端子が前記第1のコンデンサの一端に接続され、
前記第2の電圧端子が前記第2のコンデンサの一端に接続され、
前記リセット制御信号端子が前記第7のトランジスタのゲートに接続され、
前記リセット電圧端子が前記第7のトランジスタの第1の極に接続され、
前記第1のトランジスタの第2の極、前記第5のトランジスタの第2の極が前記駆動トランジスタの第1の極に接続され、

前記第2のコンデンサの他端、前記第6のトランジスタの第2の極、前記第7のトランジスタの第2の極とが前記駆動トランジスタのゲートに接続され、

前記第2のトランジスタの第1の極、前記第6のトランジスタの第1の極が前記駆動トランジスタの第2の極に接続され、

前記第2のトランジスタの第2の極が前記第4のトランジスタの第1の極に接続され、
前記第1のコンデンサの他端、前記第3のトランジスタの第2の極が前記第4のトランジスタのゲートに接続され、

前記第1のトランジスタの第1の極が前記駆動待ち素子に接続される駆動回路を提供する。

【0019】

もう1つの態様において、本願は、基板を備え、前記表示基板の表示領域に複数のサブピクセルを有し、少なくとも1つのサブピクセル内に本願の実施例による駆動回路と駆動待ち素子とを備え、前記駆動回路が前記駆動待ち素子に駆動信号を供給する表示装置を提供する。

【0020】

もう1つの態様において、本願は、1つの画像フレーム内において、駆動回路が複数の走査周期を有し、前記階調制御サブ回路は、第1の制御サブ回路と第2の制御サブ回路とを有し、1つの前記走査周期において、前記駆動回路の駆動方法は、

前記第1の走査信号端子に第1の走査信号を提供し、前記第1のデータ信号端子に第1のデータ電圧を提供し、前記第1のデータ電圧が書き込みサブ回路を介して駆動サブ回路に書き込まれるステップと、

第2の走査信号端子に第2の走査信号を提供し、前記第2のデータ信号端子に第2のデータ電圧を提供し、第2の制御サブ回路が、前記第2の走査信号及び前記第2のデータ電圧の制御の下、開放又は閉鎖するようにするステップと、

駆動制御信号端子に駆動制御信号を提供し、前記第1の作動電圧端子に第1の作動電圧を提供し、前記駆動制御信号、前記第1の走査信号、前記第2の走査信号及び前記第2のデータ電圧の制御の下、前記駆動待ち素子が前記第1のデータ電圧及び前記第1の作動電圧に基づいて作動するように、前記第1の作動電圧が第1の制御サブ回路を介して駆動サブ回路に伝送されるステップと、を含む、本願の実施例による駆動回路の駆動方法を提供する。

【0021】

本願の実施例によれば、前記方法はさらに、

1つの前記走査周期内において、前記第2の走査信号端子がアクティブな信号を出力する時間は、前記第1の走査信号端子がアクティブな信号を出力する時間より遅いことを含む。

【0022】

本願の実施例によれば、前記駆動回路はリセットサブ回路をさらに備え、前記第1の走査信号端子に第1の走査信号を提供し、第1のデータ信号端子に第1のデータ電圧を提供し、前記第1のデータ電圧が書き込みサブ回路を介して駆動サブ回路に書き込まれる前に、前記駆動回路の駆動方法はさらに、

リセット制御信号端子にリセット制御信号を提供し、リセット電圧端子にリセット電圧を提供し、前記リセット電圧が前記リセットサブ回路を介して前記駆動サブ回路に伝送されることを含む。

【0023】

本願の実施例によれば、前記駆動サブ回路は駆動トランジスタと第2のコンデンサとを含み、前記駆動トランジスタのゲートが前記第2のコンデンサの一端に接続され、前記第2のコンデンサの他端が第2の電圧端子に接続され、前記第2の電圧端子と前記第1の作動電圧端子に入力される電圧は同一である。

【0024】

本願の実施例又は従来技術の技術案をより明確に説明するため、以下では、実際例又は従来技術に使用される図面について簡単に説明する。以下で説明する図面は本願の一部の実施例に過ぎず、創造力を働かせないという前提において、これら図面からその他の図面も得られるということは当業者にとって自明である。

【図面の簡単な説明】

【0025】

【図1】本願の一部の実施例が提供する駆動回路の構造概念図である。

【図2】本願の一部の実施例が提供するもう1つの駆動回路の構造概念図である。

【図3】図1に示す駆動回路の具体的な構造概念図である。

【図4】図2に示す駆動回路の具体的な構造概念図である。

【図5】図3に示す駆動回路における各サブ回路の具体的な構造概念図である。

【図6】図4に示す駆動回路における各サブ回路の具体的な構造概念図である。

【図7】本願の一部の実施例が提供するもう1つの駆動回路の構造概念図である。

【図8】本願の一部の実施例が提供するもう1つの駆動回路の構造概念図である。

【図9】本願の一部の実施例が提供するタイミング信号図である。

【図10】本願の一部の実施例が提供する表示パネルの構造概略図である。

【図11】本願の一部の実施例が提供する駆動回路の駆動方法のフローチャートである。

【図12】本願の一部の実施例が提供するもう1つのタイミング信号図である。

【図13】別の実施例の駆動回路における各サブ回路の具体的な構造概念図である。

【図14】別の実施例の駆動回路における各サブ回路の具体的な構造概念図である。

【発明を実施するための形態】

【0026】

以下では本願実施例における図面を組み合わせる本願実施例における技術案を明瞭かつ全体的に説明する。明らかに、説明する実施例は本願の一部の実施例に過ぎず、すべての実施例ではない。本願における実施例に基づいて当業者が創造力を働かせることなく得られるすべてのその他の実施例は、いずれも本願の請求範囲内にある。

【0027】

本願の一部の実施例は駆動回路01を提供し、図1又は図2に示すように、前記駆動回路01は駆動素子100と、駆動待ち素子Lとを備える。

駆動素子100と駆動待ち素子Lは、第1の作動電圧端子VL1と第2の作動電圧端子VL2との間に直列に接続される。

例えば、図1に示すように、駆動素子100が第1の作動電圧端子VL1と駆動待ち素子Lのアノードとの間に接続され、当該駆動待ち素子Lのカソードが第2の作動電圧端子VL2に接続される。

或いは、例えば、図2に示すように、駆動素子100が第2の作動電圧端子VL2と駆動待ち素子Lのカソードとの間に接続され、当該駆動待ち素子Lのアノードが第1の作動電圧端子VL1に接続される。

【0028】

駆動待ち素子Lは、マイクロ発光ダイオード、 μ LED又はMicro LED等の発光素子であってもよい。 μ LED又はMicro LEDのサイズレベルはミクロン(μm)レベルである。本願の実施例では、発光素子として駆動待ち素子Lを、駆動回路として駆動回路01を例とし

10

20

30

40

50

て説明する。なお、駆動待ち素子Lは、その他の流量制御式電子部品であってもよい。

本願の実施例において、駆動素子100は駆動電流Iを提供し、第1の作動電圧端子VL1と第2の作動電圧端子VL2との間の電流経路のオン時間を制御する。

電流経路がオンのとき、第1の作動電圧端子VL1から出力された第1の作動電圧VDDと第2の作動電圧端子VL2から出力された第2作動電圧VSSとが電流経路に電位差を提供し、駆動電流Iが電流経路に沿って発光素子Lに伝送されるようにする。

なお、第1の作動電圧VDDは一定なハイレベル、第2作動電圧VSSは一定なローレベルであってもよい。

発光素子Lは電流経路において駆動電流Iを受けて発光する。

【0029】

図3又は図4に示すように、駆動素子10は、駆動サブ回路10と、書き込みサブ回路20と、階調制御サブ回路30とを備える。

書き込みサブ回路20は、第1の走査信号端子G_A、第1のデータ信号端子D_A及び駆動サブ回路10に接続される。当該書き込みサブ回路20は、第1の走査信号端子G_Aの制御の下、第1のデータ信号端子D_Aから提供される第1のデータ電圧Vdata_Aを駆動サブ回路10に書き込む。

階調制御サブ回路30は、駆動制御信号端子としての発光制御信号端子EM、第2の走査信号端子G_B、第2のデータ信号端子D_B、駆動サブ回路10に接続される。

【0030】

駆動回路01が図1に示す構造を採る場合、図3に示すように、当該駆動回路01における階調制御サブ回路30は第1の作動電圧端子VL1に直接接続でき、発光素子Lを介して第2の作動電圧端子VL2に接続してもよい。或いは、駆動回路01が図2に示す構造を採る場合、図4に示すように、当該駆動回路01における階調制御サブ回路30は、発光素子Lを介して第1の作動電圧端子VL1に接続され、第2の作動電圧端子VL2に直接接続することができる。図3に示す駆動回路01の場合、階調制御サブ回路30は、発光制御信号端子EMの制御の下、第1の作動電圧端子VL1から提供される第1の作動電圧VDDを駆動サブ回路10に伝送する。

駆動サブ回路10は、第1のデータ電圧Vdata_Aと第1の作動電圧VDDとに基づいて駆動電流Iを生成する。

階調制御サブ回路30はさらに、発光制御信号端子EM、第2の走査信号端子G_B及び第2のデータ信号端子D_Bの制御の下、電流経路のオン時間を制御するために用いられる。

【0031】

以上から、書き込みサブ回路20は、表示階調に関わる第1のデータ電圧Vdata_Aを駆動サブ回路10に出力することができ、駆動サブ回路10は発光素子Lを発光させる駆動電流Iを生成することができる。また、階調制御サブ回路30は、駆動電流Iが発光素子Lに流入する過程において、形成される電流経路のオン時間を制御することにより、発光素子Lの発光時間を制御することができる。駆動電流Iの大きさと発光時間は発光素子Lの実効輝度に影響するため、1つの走査周期内において第1のデータ電圧Vdata_Aの大きさと階調制御サブ回路30によって発光素子Lの実効発光輝度を制御でき、表示階調を調整するという目的を達成する。本願の実施例によれば、駆動回路01の各々には何れも階調制御サブ回路30が設けられ、同一行のサブピクセルに対応する駆動回路の各々は含まれる階調制御サブ回路30の各々が互いに異なるデータ信号線に接続される（すなわち、互いに独立した第2のデータ電圧Vdata_Bによって制御される）ため、本願の実施例が提供する駆動回路01は、当該駆動回路01における発光素子L（例えば、 μ LED）の輝度を個別に制御することができる。また、本願の実施例が提供する駆動回路01は、パターンニング工程を介して、表示装置の表示パネルにおけるガラス基板又は透明樹脂基板上に製造される。発光素子が μ LEDの場合、低コストで、製造工程が簡単で、量産可能な μ LED表示装置の実現方式を提供することができる。

【0032】

以下、駆動回路01における各サブ回路の構造について詳細に説明する。

10

20

30

40

50

図3に示す構造を例として説明すると、階調制御サブ回路30は、図5に示すように、第1の制御サブ回路301と、第2の制御サブ回路302とを備えてよい。

【0033】

図5を参照すると、第1の制御サブ回路301は、発光制御信号端子EM、駆動サブ回路10及び第2の制御サブ回路302に接続される。当該第1の制御サブ回路301は、発光制御信号端子EMの制御の下、第1の作動電圧端子VL1から提供される第1の作動電圧VDDを駆動サブ回路10に伝送することに用いられる。

第1の制御サブ回路301はさらに、発光制御信号端子EMの制御の下、駆動サブ回路10によって生じる駆動電流Iを第2の制御サブ回路302に伝送し、電流経路のオン時間を制御することに用いられる。

10

第2の制御サブ回路302はさらに、第2の走査信号端子G_B及び第2のデータ信号端子D_Bに接続される。第2の制御サブ回路302は、第2の走査信号端子G_B及び第2のデータ信号端子D_Bの制御の下、電流経路が1つの走査周期でオンするかどうか、及び複数の走査周期における合計のオン時間を制御することに用いられる。

【0034】

上述の内容から分かるように、第1の制御サブ回路301及び第2の制御サブ回路302が共にオン状態の場合にのみ電流経路がオン可能となり、駆動サブ回路10によって生じる駆動電流Iが電流経路を介して発光素子Lに出力される。これにより、発光素子Lの実効発光輝度は、駆動電流Iと第1の制御サブ回路301及び第2の制御サブ回路302との連携制御を受け、発光素子Lの実効発光輝度に影響する要素を増やしており、当該駆動回路01を有するサブピクセルの表示可能な階調値がより多様化する。

20

【0035】

本願の実施例によれば、図5に示すように、第1の制御サブ回路301は、第1のトランジスタT1及び第2のトランジスタT2を含んでもよい。

図5は、図3に示す構造を例とし、図3の各サブ回路の構造について説明している。この場合、図5に示すように、発光素子Lのカソードは第2の作動電圧端子VL2に接続される。

第1のトランジスタT1のゲートが発光制御信号端子EMに接続され、第1の極が第1の作動電圧端子VL1に接続され、第2の極が駆動サブ回路10に接続される。

第2のトランジスタT2のゲートが発光制御信号端子EMに接続され、第1の極が駆動サブ回路10に接続され、第2の極が第2の制御サブ回路302に接続される。

30

また、第2の制御サブ回路302は第1の電圧端子V1にさらに接続される。当該第1の電圧端子V1は接地端子GNDであってもよい。

第2の制御サブ回路302は、第3のトランジスタT3、第4のトランジスタT4及び第1キャパシタC1を備える。

第3のトランジスタT3のゲートが第2の走査信号端子G_Bに接続され、第1の極が第2のデータ信号端子D_Bに接続され、第2の極が第4のトランジスタT4のゲートに接続される。

第1のコンデンサC1の一端が第3のトランジスタT3の第2の極に接続され、第1のコンデンサC1の他端が第1の電圧端子V1に接続される。

【0036】

図5に示すように、発光素子Lのアノードが第2の制御サブ回路302に接続され、発光素子Lのカソードが第2の作動電圧端子VL2に接続された場合、第4のトランジスタT4の第1の極が第1の制御サブ回路301に接続され、第2の極は発光素子Lのアノードに接続される。

40

第1の制御サブ回路301の構造が上記のようなものである場合、第4のトランジスタT4の第1の極が第2のトランジスタT2の第2の極に接続される。

本願の別の実施例により、図4に示す構造を例として、図4における各サブ回路の構造について説明する。

【0037】

図6は図4における各サブ回路の構造概念図であり、図6を参照すると、これは図5の各サブ回路の構造に類似しており、相違点は、発光素子L、第1の制御サブ回路、第2の制御サブ回路の接続方式が異なるという点である。具体的には、図4及び図6を参照すると、発

50

光素子Lのアノードが第1の作動電圧端子VL1に接続され、発光素子Lのカソードが第1のトランジスタT1の第1の極に接続される。第4のトランジスタT4の第1の極が第1の制御サブ回路301に接続され、第2の極が第2の作動電圧端子VL2に接続される。

【0038】

本願の実施例によれば、図7に示すように、駆動サブ回路10は、駆動トランジスタTd及び第2コンデンサC2を含み、当該駆動トランジスタTdのゲートが第2コンデンサC2の一端に接続され、第2コンデンサC2の他端が第2の電圧端子V2に接続される。当該第2の電圧端子V2は第1電圧端子V1と同一であってよく、何れも接地端子GNDである。或いは、第2の電圧端子V2は第1の作動電圧端子VL1の位置に近いため、レイアウト設計をより容易にするために、第2の電圧端子V2は第1の作動電圧端子VL1に接続され、第1の作動電圧端子VL1から出力される第1の作動電圧VDDを受信するようにしてもよい。

10

駆動トランジスタTdのゲートが第2のコンデンサC2の一端に接続され、第1の極が書き込みサブ回路20に接続され、第2の極が階調制御サブ回路30に接続される。階調制御サブ回路30の構造が上記のようなものである場合、駆動トランジスタTdの第2の極が第2のトランジスタT2の第1の極に接続される。

【0039】

本願の実施例によれば、書き込みサブ回路20は第5のトランジスタT5を備える。

第5のトランジスタT5のゲートが第1の走査信号端子G_Aに接続され、第1の極が第1のデータ信号端子D_Aに接続され、第2の極は駆動サブ回路10に接続される。駆動サブ回路10の構造が上記のようなものである場合、第5のトランジスタT5の第2の極が駆動トランジスタTdの第1の極に接続される。

20

駆動サブ回路10における駆動トランジスタTdが飽和領域で作動するとき、当該駆動トランジスタTdはそのゲート電圧及びソース電圧に応じて駆動電流Iを生成することができる。駆動電流式 $I = K(V_{gs} - V_{th})^2$ から、駆動電流Iは、駆動トランジスタTdの閾値電圧 V_{th} の影響を受けることがわかる。駆動トランジスタTdは作動中にその閾値電圧 V_{th} がドリフトし、異なるサブピクセルに位置する駆動トランジスタTdの閾値電圧 V_{th} のドリフト量は必ずしも同一ではないため、同一の階調データを表示する場合、異なるサブピクセルの駆動トランジスタTdが生じる駆動電流Iは異なり、異なるサブピクセルの発光素子Lの輝度が不均一になり、表示効果に影響を与える。

【0040】

30

上記課題を解決するために、本願の実施例が提供する駆動回路01は、図7に示すように、補償サブ回路40をさらに備える。

当該補償サブ回路40は、第1の走査信号端子G_A及び駆動サブ回路10に接続される。補償サブ回路40は、第1の走査信号端子G_Aの制御の下、駆動サブ回路10の閾値電圧を補償する。駆動サブ回路10の構造が上記のようなものである場合、当該補償サブ回路40は、駆動トランジスタTdの閾値電圧 V_{th} を補償することができる。閾値電圧 V_{th} を補償する具体的な手順については後述する。

【0041】

例示的に、補償サブ回路40は第6のトランジスタT6を備えてもよい。

当該第6のトランジスタT6のゲートが第1の走査信号端子G_Aに接続され、第1の極及び第2の極が共に駆動サブ回路10に接続される。駆動サブ回路10の構造が上記のようなものである場合、当該第6のトランジスタT6の第1の極が駆動トランジスタTdの第2の極に接続され、当該第6のトランジスタT6の第2の極が、駆動トランジスタTdのゲートに接続される。

40

また、前の画像フレームで駆動サブ回路10に残った信号が、次の画像フレームの表示画面に影響を与えるため、本願の実施例が提供する駆動サブ回路01は、図7に示すように、リセットサブ回路50をさらに備える。

当該リセットサブ回路50は、リセット電圧端子VINT、リセット制御信号端子RS及び駆動サブ回路10に接続される。当該リセットサブ回路50は、リセット制御信号端子RSの制御の下、リセット電圧端子VINTから提供されるリセット電圧を駆動サブ回路10に伝送す

50

るために用いられる。

【0042】

リセットサブ回路50は第7のトランジスタT7を備える。

当該第7のトランジスタT7のゲートがリセット制御信号端子RSに接続され、第1の極がリセット電圧端子VINTに接続され、第2の極が駆動サブ回路10に接続される。駆動サブ回路10の構造が上記のようなものである場合、第7のトランジスタT7の第1の極が駆動トランジスタTdのゲートに接続される。

【0043】

なお、図7は、駆動素子100と発光素子Lとが図1に示す接続方式を採ることについて説明している。駆動素子100と発光装置Lとが図2のような接続方式を採る場合、補償サブ回路40及びリセットサブ回路50の具体的な構造及び接続方式は上述の通りであり、駆動サブ回路10、書き込みサブ回路20、階調制御サブ回路30、補償サブ回路40及びリセットサブ回路50を有する駆動回路01の構造は図8に示す通りである。

【0044】

なお、図5～図8では、各トランジスタがいずれもP型トランジスタである場合を例として説明する。本願の一部の実施例において、各サブ回路のトランジスタは、N型トランジスタであってもよい。トランジスタの第1の極はソース、第2の極はドレインであってよく、或いは、第1の極はドレイン、第2の極はソースであってよい。

【0045】

以下、図7に示す駆動回路01の構造を例として、当該駆動回路01の1つの画像フレーム内における作動過程について詳細に説明する。

本願の一部の実施例において、駆動回路01を備えるサブピクセルがより多くの階調値を表示できるようにし、表示効果をよりよくするために、当該駆動回路01は、1つの画像フレーム内に複数の走査周期Sを有することができる。例えば、図9に示すように、画像フレームが3つの走査周期S1、S2及びS3を有する場合を例として説明する。

【0046】

各走査周期は、第1の段階t1、第2の段階t2、第3の段階t3の3つの段階に分けることができる。

第1の走査周期S1を例とすると、第1の段階t1では、リセット制御信号端子RSにローレベルが入力され、第7のトランジスタT7がオンし、リセット電圧端子VINTから提供されるリセット電圧が第7のトランジスタT7を介して駆動トランジスタTdのゲートに伝送されて、駆動トランジスタTdのゲートをリセットし、前の画像フレームで駆動トランジスタTdに残った電圧が、本画像フレームの表示に影響を与えることを回避する。このとき、ノードN1の電圧は、リセット電圧端子VINTから提供されるリセット電圧である。

【0047】

本願の実施例によれば、リセット電圧はローレベルであってよく、駆動トランジスタがオンに近づくが駆動トランジスタTdがオンにならない状態にすることで、次のデータ書き込み段階時間に駆動トランジスタTdのゲートを充電する準備を行い、第1のデータ電圧Vdata_Aをより速く駆動トランジスタTdのゲートに充電することができる。したがって、後続のデータ書き込み段階において、駆動トランジスタに異なるデータ電圧を入力する場合に、データ電圧の書き込み時間を短くすることができ、これにより、表示パネル全体のすべての駆動回路において、すべての駆動トランジスタTdの応答時間はほぼ同じで、データ電圧の書き込み時間はほぼ同じであり、このような設置方式により、表示パネル全体として、表示効果の均一性がより高まる。

【0048】

第1の段階t1はリセット段階と呼ぶことができる。

第2の段階t2では、第1の走査信号端子G_Aと第2の走査信号端子G_Bにローレベルが入力される。第1の走査信号端子G_Aの制御の下、第5のトランジスタT5及び第6のトランジスタT6はオンする。第1のデータ信号端子D_Aから提供される第1のデータ電圧Vdata_Aは、第5のトランジスタT5を介して駆動トランジスタTdの第1の極に伝送される。

【0049】

第6のトランジスタT6がオンした後、駆動トランジスタTdのゲートと第2の極が電氣的に接続され、これにより、駆動トランジスタTdはダイオードとなる。このとき、第1のデータ電圧Vdata_Aは、駆動トランジスタTdがオフになるまで駆動トランジスタTdのゲートに充電する。駆動トランジスタTdがオフしたとき、駆動トランジスタTdのゲートソース間電圧Vgs=Vth、つまり、Vg-Vs=Vthである。このとき、駆動トランジスタTdのゲートソース間電圧（N1ノードの電圧）Vg=Vs+Vth=Vdata_A+Vthである。この場合、駆動トランジスタTdのゲートに第1のデータ電圧Vdata_Aが入力される。

また、第2の走査信号端子G_Bの制御の下、第3のトランジスタT3がオンし、第2のデータ信号端子D_Bから提供される第2のデータ電圧Vdata_Bは、第3のトランジスタT3を介して第4のトランジスタT4のゲートに伝送される。ノードN2の電圧はVdata_Bである。

10

【0050】

第1のコンデンサC1と第2のコンデンサC2の作用下において、第1の走査信号端子G_Aと第2の走査信号端子G_Bが再びローレベルを出力する前に、ノードN1とノードN2の電位は変化しない。

第2の段階t2はデータ書き込み段階であってもよい。

第3の段階t3では、図9に示すように、発光制御信号端子EMがローレベルを提供し、第1のトランジスタT1及び第2のトランジスタT2がオンする。

【0051】

また、第2のデータ信号端子D_Bから出力される第2のデータ電圧Vdata_Bは、ハイレベル（VGH）とローレベル（VGL）の2パターンである。第4のトランジスタT4のゲートがハイレベルを受信すると当該第4のトランジスタT4はオフ状態になり、第4のトランジスタT4のゲートがローレベルを受信すると当該第4のトランジスタT4はオンになるように設定してもよい。

20

【0052】

図9において、第3の段階t3では、第2のデータ電圧Vdata_Bがローレベルであり、このとき、第2の走査信号端子G_Bはローレベルからハイレベルに変化し、第3のトランジスタT3はオフする。しかし、第1のコンデンサC1の存在により、ノードN2の電位は第2の段階t2においてもハイレベルを維持するため、第4のトランジスタT4はオフし、このときの発光素子Lは発光しない。当該走査周期において発光素子Lを非発光状態に制御することにより、1つの画像フレームにおける発光素子の発光段階を全体的に短くすることができる。

30

【0053】

或いは、図9に示すタイミングチャートと比べて、第2の段階t2においてVdata_Bをローレベルにすることで、第3の段階t3で第4のトランジスタT4をオンしてよく、この場合、第1の作動電圧端子VL1と第2の作動電圧端子VL2との間の電流経路がオンする。このとき、飽和領域で作動する駆動トランジスタTdによって生じる駆動電流Iが電流経路を通して発光素子Lに伝送され、当該発光素子Lが発光する。

駆動電流 $I = K (V_{gs} - V_{th})^2 = K (V_g - V_s - V_{th})^2 = K (V_{data_A} + V_{th} - V_{DD} - V_{th})^2 = K (V_{data_A} - V_{DD})^2$ 。

式中、 $K = 1/2 C_{ox} (\mu W/L)$ で、Coxは駆動トランジスタTdの単位面積当たりのチャネルキャパシタンス、 μ はチャネル遷移率、Wはチャネル幅、Lはチャネル長である。よって、Kは定数である。

40

駆動電流Iの式から分かるように、駆動電流Iは駆動トランジスタTdの閾値電圧Vthとは無関係である。したがって、駆動電流Iの大きさは駆動トランジスタTdの閾値電圧Vthの遷移によって変化することはない。

第3の段階t3は発光段階であってもよい。

【0054】

なお、第1の走査周期S1における駆動回路01の作動過程について説明する。残りの走査周期における駆動回路01の作動過程は上述の通りであるので、ここでは詳細な説明を省略する。

50

相違点は、第1のデータ信号端子D_Aから提供される第1のデータ電圧Vdata_Aの大きさを変更することで、発光素子Lに流れる駆動電流Iの大きさを変更できるというものである。一方、第2のデータ信号端子D_Bから提供される第2のデータ電圧Vdata_Bの大きさも変更可能である。例えば、図9を参照すると、第2の走査周期S2の第2の段階t2においてVdata_Bがローレベルに設定されることで、第2の走査周期S1において第4のトランジスタT4がオンするため、第2の走査周期S2において発光素子Lが発光し、1つの画像フレームにおける発光素子Lの実効発光輝度が変化する。従って、Vdata_Bは、いつ駆動電流Iを発光素子Lに伝送するかを決めることができる。また、発光制御信号端子EMによって提供されるローレベルの時間を制御することもでき、発光制御信号端子EMによって提供される信号デューティ比を制御して、第1のトランジスタT1及び第2のトランジスタT2のオン時間を制御することで、駆動電流Iが流れる電流経路のオン時間を制御することもできる。

10

【0055】

以上のように、駆動回路01における発光素子Lの、1つの画像フレーム内の実効発光輝度は、1つの画像フレーム内の走査周期の数、1走査周期あたりの時間、第1のデータ電圧Vdata_A、第2のデータ電圧Vdata_B、発光制御信号端子EMから提供される発光制御信号という複数の要因によって決定されるので、駆動回路01を有するサブピクセル表示の階調値をより多くすることができ、表示パネルに表示される画面をより豊かに繊細にすることができる。

【0056】

また、図7に示すように、第5のトランジスタT5及び第6のトランジスタT6のゲートが第1の走査信号端子G_Aに接続され、第3のトランジスタT3のゲートが第2の走査信号端子G_Bに接続される。図9では、第1の走査信号端子G_Aと第2の走査信号端子G_Bに入力される信号が同じである場合を例として説明する。

20

【0057】

本願の一部の実施例においては、図12に示すように、1つの走査周期S内において第2の走査信号端子G_Bに入力されるアクティブな信号に遅延があるようにしてよく、例えば、第2の段階t2において、第2の走査信号端子G_Bに入力されるアクティブな信号は、第1の走査信号端子G_Aに入力されるアクティブな信号よりも遅い。

アクティブな信号とは、当該アクティブな信号を受信したサブ回路をオン状態にすることが可能なレベル信号であり、例えばローレベルである。この場合、当該第2の走査信号端子G_Bに入力されるアクティブな信号を受信する階調制御サブ回路30のオン時間は、第1の走査信号端子G_Aに入力されるアクティブな信号を受信する書き込みサブ回路20のオン時間よりも遅い。

30

【0058】

また、サブ回路がトランジスタを備える場合、アクティブな信号とは、当該アクティブな信号によって制御されるトランジスタをオン状態にすることが可能なレベル信号をいう。例えば、階調制御サブ回路30が第3のトランジスタT3を備え、書き込みサブ回路20が第5のトランジスタT5を備え、補償サブ回路40が第6のトランジスタT6を備える場合、第1の走査信号端子G_Aによって制御される第5のトランジスタT5及び第6のトランジスタT6のオン時間は、第2の走査信号端子G_Bによって制御される第3のトランジスタT3のオン時間よりも優先される。トランジスタがP型トランジスタである場合、アクティブな信号はローレベルである。

40

【0059】

こうすることで、第4のトランジスタT4のオン時間を遅延させることができ、第2のトランジスタT2により生じたリーク電流が第4のトランジスタT4を介して発光素子Lに流れて誤発光を生じることを回避できる。つまり、本願の実施例によれば、第1のデータ信号端子D_Aから提供される第1のデータ電圧Vdata_Aが駆動トランジスタTdに書き込まれる状態が安定した後、かつ当該駆動トランジスタTdが発生する駆動電流Iが安定した後、第3のトランジスタT3を再びオンし、第4のトランジスタT4をオン制御することにより、安定した駆動電流Iを発光素子Lに伝達し、発光素子Lの発光輝度を安定させる。

50

以上は、図7に示す構造を例として説明したものであるが、図8に示す駆動回路01の作動過程は、上述のものと同一であるので、ここでは詳細な説明を省略する。

【0060】

本願の一部の実施例においては、表示パネルを含む表示装置を提供し、当該表示パネルの表示領域には図10に示す複数のサブピクセル02を備え、少なくとも1つのサブピクセル02内に上述の何れかの駆動回路01を備える。

サブピクセル02は、縦横に交差する第1の走査信号線G_Aと第1のデータ信号線D_Aとが交差することにより画定される。また、第2の走査信号線G_Bは第1の走査信号線G_Aと平行に配置され、第2のデータ信号線D_Bは第1のデータ信号線D_Aと平行に配置される。

【0061】

図10から見て取れるように、同一行に位置するサブピクセルは、その駆動回路01における第1のトランジスタT1が同一の発光制御信号端子EMに接続される。この場合、当該発光制御信号端子EMからアクティブな信号、例えば図9に示すようなローレベルが提供されると、同一行に位置する各第1のトランジスタT1及び第2のトランジスタT2が共にオンする。

【0062】

これに基づいて、同一行の異なるサブピクセルの発光輝度を個別に制御するために、第2の走査信号端子G_Bに入力されるアクティブな信号を介して第3のトランジスタT3をオンに制御し、第3のトランジスタT3がオンした後、第2のデータ信号端子D_Bによって提供される第2のデータ電圧Vdata_Bがアクティブな信号である場合、第4のトランジスタT4がオンすることで、第1の作動電圧端子VL1と第2の作動電圧端子VL2との間の電流経路がオンになるように制御する。

【0063】

駆動トランジスタTdによって生じる駆動電流Iは電流経路を介して発光素子Lに伝送される。当該電流経路がオンとなる時間が長いほど、1つの走査周期S内における発光素子Lの実効発光輝度は高くなる。また、第1のデータ信号端子D_Aから提供される第1のデータ電圧Vdata_Aの大きさを調整することで、駆動電流Iの大きさを調整することもできる。当該駆動電流Iが大きいほど、1つの走査周期S内における発光素子Lの実効発光輝度が高くなる。

【0064】

本願の実施例によれば、図9に示すように、1つの画像フレーム内に3つの走査周期S1、S2及びS3が存在する。この3つの走査周期における第3の段階t3は互いに異なる。よって、発光素子の所望の発光時間に応じて、対応する1又は複数の走査周期を選択することができ、当該1又は複数の走査周期内の第3の段階t3において発光素子を発光させることで、8種類の異なる階調輝度を得ることができる。本願の別の実施例によれば、1つの画像フレームの複数の走査周期の第3の段階は互いに同一でありえる。したがって、発光素子の所望の発光時間に応じて1又は複数の走査周期を選択し、当該1又は複数の走査周期内の第3の段階t3において発光素子を発光させて、発光素子の発光時間を変化させることによって、4種類の異なる階調を得ることもできる。

【0065】

ここから分かるように、1つの画像フレーム内に複数の走査周期が存在し、かつ各走査周期の長さが異なる場合には、発光素子の発光時間及び実効輝度の調整可能な範囲を広げることができ、表示パネルの表示可能な階調数を豊富にすることができる。

上記を踏まえ、関連技術において、発光制御信号端子EMから提供される発光制御信号の制御の下、1行の駆動回路01内の全てのサブピクセルを同時に発光させることを実現できるが、各サブピクセルの発光輝度及び発光時間を個別に制御することはできない。しかし、本願が提供する駆動回路によれば、発光制御信号端子EM、第1の走査信号端子G_A、第2の走査信号端子G_B、第1のデータ信号端子D_A及び第2のデータ信号端子D_Bの連携により、単一サブピクセルの発光輝度の調整を実現することができる。

【0066】

10

20

30

40

50

なお、表示装置は、ディスプレイ、テレビ、デジタルフォトフレーム、携帯電話又はタブレットPC等、表示機能を有するあらゆる製品又は部材であってよい。そのうち、当該表示装置は、前述の実施例が提供する駆動回路01と同一の技術効果を奏するので、ここでは詳細な説明を省略する。

【0067】

本願の一部の実施例は、1つの画像フレーム内において駆動回路が複数の走査周期を有する、上記のような駆動回路01を駆動するための方法を提供する。

駆動回路01における階調制御サブ回路30は、第1の制御サブ回路301と第2の制御サブ回路302とを有する。

1つの走査周期S（例えば第1の走査周期S1）内において、当該駆動回路を駆動する方法は、図11に示すようにステップS100～S103を備える。

10

【0068】

ステップS101は、第1の走査信号端子G_Aに第1の走査信号を提供し、第1のデータ信号端子D_Aに第1のデータ電圧Vdata_Aを提供し、第1のデータ電圧Vdata_Aが書き込みサブ回路20によって駆動サブ回路10に書き込まれることを含む。

【0069】

図9に示すように、1つの走査周期Sにおいて、第1の走査信号端子G_Aによって提供される信号は、ハイレベル及びローレベルの2つの状態を有し、本願の実施例において、第1の走査信号端子G_Aがローレベルを入力するとき、上記書き込みサブ回路20をオンにするためのアクティブな信号として使用することができる。第1の走査信号端子G_Aがハイレベルを入力するとき、書き込みサブ回路20は閉鎖する。

20

【0070】

ステップS102は、第2の走査信号端子G_Bに第2の走査信号を提供し、第2のデータ信号端子D_Bに第2のデータ電圧Vdata_Bを提供し、第2の制御サブ回路302が第2の走査信号及び第2のデータ電圧Vdata_Bの制御下で開放又は閉鎖されることを含む。

【0071】

第1の制御サブ回路301及び第2の制御サブ回路302の開放される時間を制御することにより、電流経路のオン時間を制御するという目的を達成することができる。

第2の走査信号端子G_B及び第2のデータ電圧端子D_Bは、図9に示すように、ハイレベルとローレベルの2つの状態を有し、本願の実施例では、第2の走査信号端子G_Bにローレベルを入力し、かつ第2のデータ電圧端子D_Bにローレベルを入力する場合に、第2の制御サブ回路302を開放させるためのアクティブな信号としてもよい。その他の状態では、第2の制御サブ回路302は閉鎖状態である。

30

なお、ステップS101及びステップS102は、図9に示す1つの走査周期内の第2の段階t2で実行することができる。

【0072】

また、駆動回路01が補償サブ回路40をさらに備える場合、第2の段階t2において、第1の走査信号端子G_Aに第1の走査信号を提供するとき、補償サブ回路40が開放され、駆動サブ回路10における駆動トランジスタTdの閾値電圧Vthを補償する。

【0073】

40

ステップS103は、発光制御信号端子EMに発光制御信号を提供し、第1の作動電圧端子V_L1が提供する第1の作動電圧VDDを第1の制御サブ回路301によって駆動サブ回路10に伝送し、発光制御信号、第1の走査信号、第2の走査信号及び第2のデータ電圧Vdata_Bの制御の下、前記第1の作動電圧VDD及び前記第1のデータ電圧Vdata_Aに基づいて発光素子Lを発光させる。そのうち、発光制御信号端子EMは、図9に示すように、ハイレベルとローレベルの2つの状態を有するが、本願の実施例では、発光制御信号端子EMがローレベルを提供するとき、第1の制御サブ回路301を開放するためのアクティブな信号として使用することができる。発光制御信号端子EMがハイレベルを提供するとき、第1の制御サブ回路301は閉鎖される。

【0074】

50

具体的には、駆動サブ回路10は、第1のデータ電圧Vdata_Aと第1の作動電圧VDDとに基づいて駆動電流Iを生成する。駆動電流Iは、第1の制御サブ回路301を介して第2の制御サブ回路302に伝送される。第1の制御サブ回路301と第2の制御サブ回路302の両方が開放であるため、第1の動作電圧端子VL1と第2の動作電圧端子VL2との間の電流経路がオンし、駆動電流Iが当該電流経路を介して発光素子Lに伝達される。発光素子Lは電流経路内で駆動電流Iを受けて発光する。

なお、ステップS103は、図9に示す1つの走査周期内の第3の段階t3で実行されてもよい。

【0075】

また、駆動回路10がリセットサブ回路50をさらに備える場合、S101の前に、当該駆動回路の駆動方法は、図11に示すように、

ステップS100、リセット制御信号端子RSにリセット制御信号を提供し、リセット電圧端子VINTにリセット電圧を提供し、当該リセット電圧がリセットサブ回路50を介して駆動サブ回路10に伝送されるということをさらに含む。

【0076】

リセット制御信号端子RSは図9に示すように、ハイレベルとローレベルの2つの状態を有し、本願の実施例では、リセット制御信号端子RSにローレベルを入力するとき、リセットサブ回路50を開放するためのアクティブな信号として用いることができ、リセット制御信号端子RSにハイレベルを入力するとき、リセットサブ回路50は閉鎖される。

【0077】

ステップS100により、駆動サブ回路10の駆動トランジスタTdのゲートをリセットすることができる。

【0078】

ステップS100は、図9に示す1つの走査周期内の第1の段階t1で実行されてもよい。

なお、駆動回路10における各サブ回路の構造が図7又は図8に示されるようなものである場合、当該駆動回路10の駆動方法は、前記実施例における当該駆動回路10の作動過程の中で詳細に説明されているため、その内容については改めて説明しない。また、駆動回路の駆動方法については、前述の実施例が提供する駆動回路と同一の技術効果を奏するため、ここでは詳細な説明を省略する。

【0079】

また、書き込みサブ回路20によって第1のデータ電圧Vdata_Aが安定して駆動サブ回路10に書き込まれた後に第2の制御サブ回路302が再び開放するように、任意で、図12に示すように、1つの走査周期Sの第2の段階t2において、第2の走査信号端子G_Aがアクティブな信号を出力する時間は第1の走査信号端子G_Bがアクティブな信号を出力する時間よりも遅い。これにより、駆動サブ回路10が生じた駆動電流Iが安定した後、第2の制御サブ回路302が再び開放状態となり、電流経路がオンする。アクティブな信号の説明は上述の通りであるので、ここでは省略する。

【0080】

また、駆動サブ回路10が駆動トランジスタTdと第2のコンデンサC2とを備え、当該駆動トランジスタTdのゲートが第2のコンデンサC2の一端に接続され、第2のコンデンサC2の他端が第2の電圧端子V2に接続された場合、第2の電圧端子V2は第1の作動電圧端子VL1の位置に近いので、回路レイアウトの設計をより容易にするために、当該第2の電圧端子V2と第1の作動電圧端子VL1から入力される電圧は同一である。こうすることで、第1の作動電圧端子VL1が第2の電圧端子V2に電気的に接続される。駆動サブ回路10が作動するとき、第1の作動電圧端子VL1が提供する第1の作動電圧VDDは第2の電圧端子V2に伝送される。

【0081】

本願の別の実施例によれば、図13に示すように、駆動素子100は、第2の階調制御サブ回路302及び駆動トランジスタTd、第2のトランジスタT2のみを備えてもよい。駆動サブ回路Tdは、第3電圧端子V3が提供するソース信号と、第4電圧端子V4が提供するゲート信

10

20

30

40

50

号とに応じて、発光素子Lを駆動する駆動電流を生成することができる。発光素子Lの駆動時間は、第2のトランジスタT2及び第2の制御サブ回路302によって制御される。

【0082】

図14を参照すると、本願の実施例によれば、駆動サブ回路10は、駆動トランジスタTdのみを備えてもよく、駆動トランジスタのゲートが第4の電圧端子V4に接続され、第1の極が前記書き込みサブ回路に接続され、第2の極が前記階調制御サブ回路に接続される。第4の電圧端子V4は、駆動トランジスタTdをオンさせるための適切な電圧信号を駆動トランジスタTdのゲートに提供するために使用される。

【0083】

以上の記載は本願の具体的な実施の形態に過ぎず、本願の請求範囲はこれにより制限されない。本願で開示した技術範囲内において当業者が容易に想到できるいかなる変更又は置換もすべて本公開の請求範囲に含まれる。よって、本公開の請求範囲は請求項の請求範囲を基準とする。

【符号の説明】

【0084】

10 駆動サブ回路

20 サブ回路

30 階調制御サブ回路

100 駆動素子

10

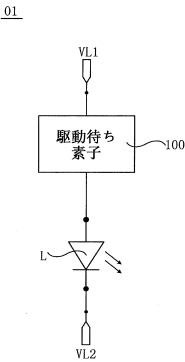
20

30

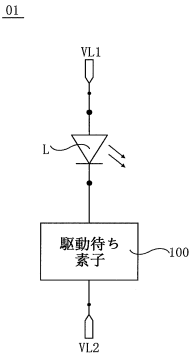
40

50

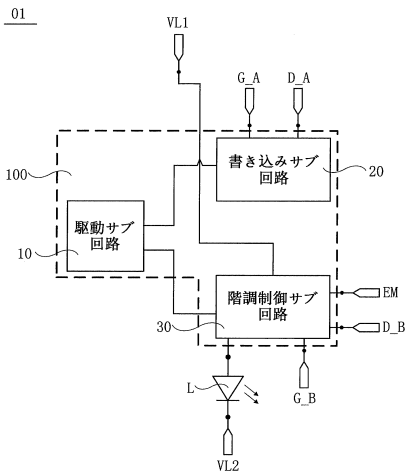
【図面】
【図 1】



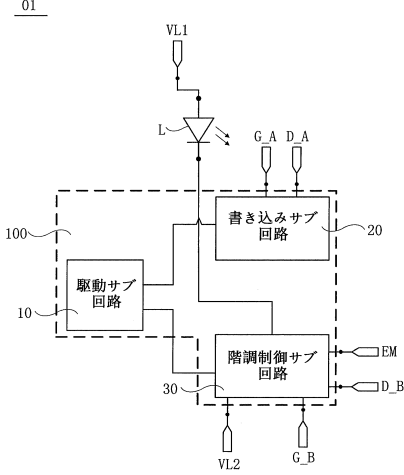
【図 2】



【図 3】



【図 4】



10

20

30

40

50

【圖 9】

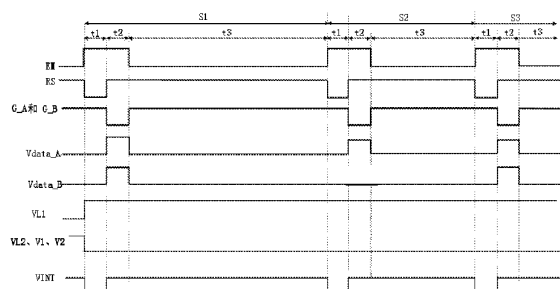


图 9

【図 10】

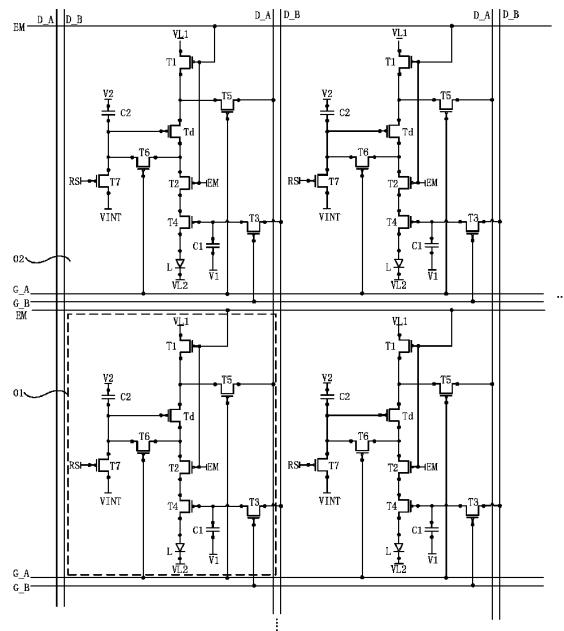
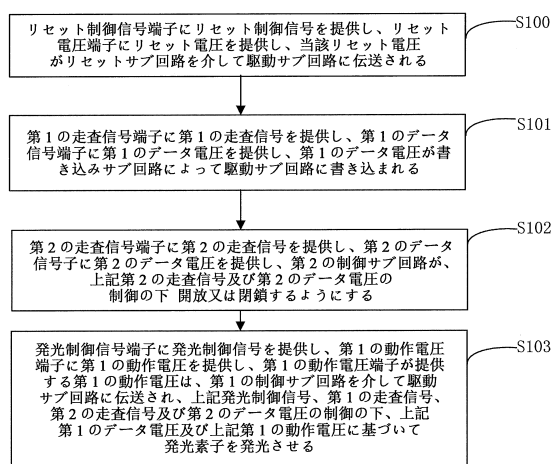


图 10

【図 1 1】



【圖 12】

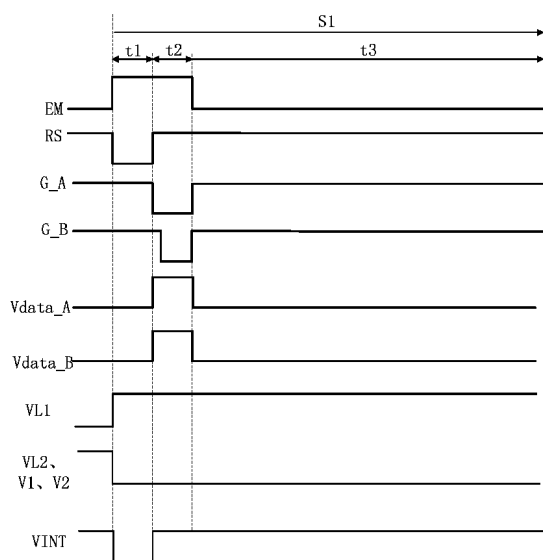


图 12

【図 13】

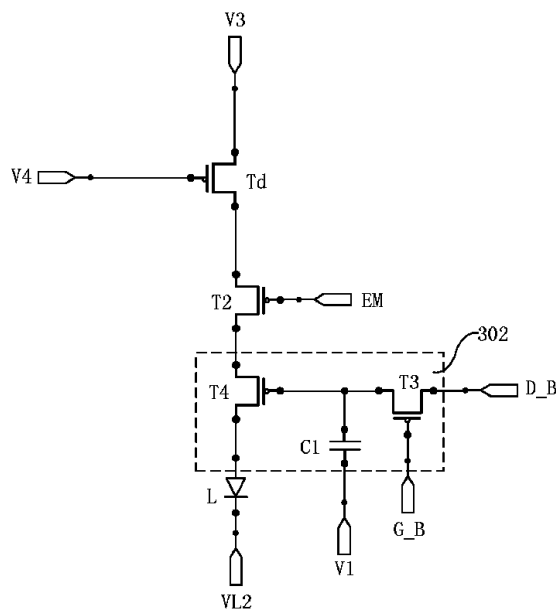


图 13

【图 14】

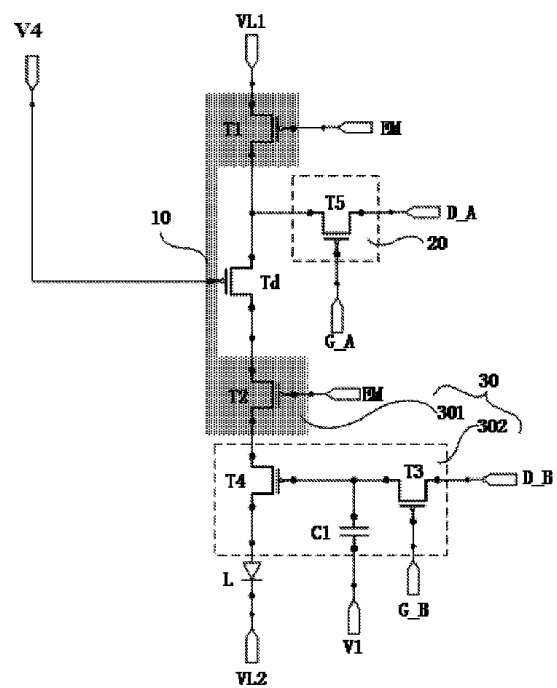


图 14

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
 G 0 9 G 3/20 6 1 1 H
 G 0 9 G 3/20 6 4 2 A
 H 1 0 H 20/00 J

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
 ▲陳▼ 小川

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
 岳 ▲ハン▼

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
 ▲叢▼ ▲寧▼

審査官 中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
 塚本 丈二

(56)参考文献 米国特許出願公開第 2 0 1 7 / 0 0 6 9 2 6 0 (US, A1)

特開 2 0 1 4 - 0 0 2 4 1 7 (JP, A)

米国特許出願公開第 2 0 1 8 / 0 0 0 5 5 7 8 (US, A1)

特開 2 0 1 1 - 0 8 1 2 6 7 (JP, A)

特開 2 0 1 3 - 1 0 4 9 0 8 (JP, A)

特開 2 0 0 5 - 1 3 4 5 4 6 (JP, A)

韓国公開特許第 1 0 - 2 0 1 7 - 0 0 3 0 7 2 4 (KR, A)

韓国公開特許第 1 0 - 2 0 1 7 - 0 1 1 4 0 2 3 (KR, A)

米国特許出願公開第 2 0 1 7 / 0 2 8 7 4 0 4 (US, A1)

中国特許出願公開第 1 0 5 9 8 9 7 9 4 (CN, A)

米国特許出願公開第 2 0 1 7 / 0 3 3 0 5 1 2 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

G 0 9 G 3 / 3 2

G 0 9 G 3 / 3 2 3 3

G 0 9 G 3 / 2 0

H 1 0 H 2 0 / 0 0