【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成17年10月13日(2005.10.13)

【公開番号】特開2003-186568(P2003-186568A)
【公開日】平成15年7月4日(2003.7.4)
【出願番号】特願2002-265283(P2002-265283)
【国際特許分類第７版】
　Ｇ０６Ｆ　1/10
　Ｈ０３Ｋ　5/15
【ＦＩ】
　Ｇ０６Ｆ　1/04　３３０Ａ
　Ｈ０３Ｋ　5/15　Ｐ

【手続補正書】
【提出日】平成17年6月10日(2005.6.10)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　クロックを分配するための装置であって、ａ．その構造がほぼ一致しており、差動入力クロックを受信して、第１のクロックを出力する第１の差動受信器、及び、差動フィードバック・クロックを受信して、第２のクロックを出力する第２の差動受信器と、ｂ．前記第１及び第２のクロックを受信し、それに応答して、遅延補正クロック及びフィードバック・クロックを発生する遅延比較及び補正装置と、ｃ．前記遅延比較及び補正装置からの前記フィードバック・クロックを伝送するための第１の信号経路、前記フィードバック・クロックを前記差動フィードバック・クロックに変換するための変換器、及び、前記変換器を前記第２の差動受信器に結合するための第２の信号経路を含むフィードバック回路が含まれている、クロック分配装置。
【請求項２】
　前記第１及び第２の差動受信器のそれぞれに、前記差動受信器の差動クロックを受信するための少なくとも１つのＭＯＳ差動対が含まれる、請求項１に記載のクロック分配装置。
【請求項３】
　前記第１及び第２の差動受信器のそれぞれに、複数のカスケードＭＯＳ差動対が含まれることと、各差動受信器における１つのＭＯＳ差動対が、前記差動受信器の差動クロックを受信する、請求項１に記載のクロック分配装置。
【請求項４】
　前記第１及び第２の差動受信器の構造がぴったり一致する、請求項１に記載のクロック分配装置。
【請求項５】
　前記第１及び第２の差動受信器がＣＭＯＳ論理受信器である、請求項１に記載のクロック分配装置。
【請求項６】
　前記フィードバック回路の前記変換器に、並列反転及び非反転バッファが含まれることと、前記並列バッファが、十分に整合した遅延を生じる、請求項１に記載のクロック分配装置。

【請求項７】
前記遅延補正クロック及び前記フィードバック・クロックが、単一エンドクロックである、請求項１に記載のクロック分配装置。
【請求項８】
さらに、クロック分配回路が含まれることと、前記クロック分配回路によって、前記遅延補正クロックが、少なくとも１つのレジスタ素子に経路指定されることと、前記フィードバック回路の１つ以上の様相が、前記クロック分配回路の１つ以上の様相とほぼ一致する、請求項１に記載のクロック分配装置。
【請求項９】
ａ．前記クロック分配回路に、ローカル・クロック・バッファ及び大域クロック分配回路が含まれており、前記大域クロック分配回路によって、前記遅延補正クロックが前記ローカル・クロック・バッファに経路指定されることと、ｂ．前記フィードバック回路内の前記変換器の１つ以上の様相が、前記ローカルクロック・バッファの１つ以上の様相とほぼ一致する、請求項８に記載のクロック分配装置。
【請求項１０】
前記フィードバック回路の前記第１の信号経路の１つ以上の様相が、前記大域クロック分配回路の１つ以上の様相とほぼ一致する、請求項９に記載のクロック分配装置。