CH 653825 A5

(19) CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

(11) CH 653825 A5

(51) Int. Cl.⁴: H 03 F 3/45
H 03 F 1/34
H 03 F 1/26

Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

(12) FASCICULE DU BREVET A5

(21) Numéro de la demande: 1624/83

(22) Date de dépôt: 24.03.1983

(30) Priorité(s): 25.03.1982 JP U/57-42267

(24) Brevet délivré le: 15.01.1986

(45) Fascicule du brevet publié le: 15.01.1986

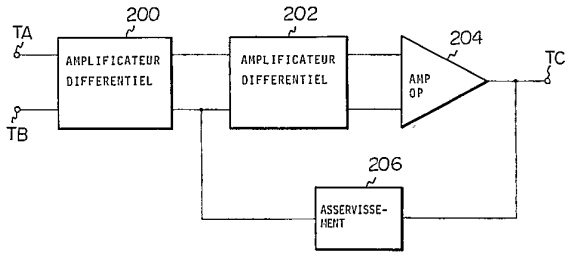
(73) Titulaire(s):
Victor Company of Japan, Limited,
Yokohama-shi/Kanagawa-ken (JP)

(72) Inventeur(s):
Sasamura, Kouhei,
Sagamihara-shi/Kanagawa-ken (JP)

(74) Mandataire:
Jean S. Robert, Landecy-Genève

(54) Circuit amplificateur.

(57) L'amplificateur comprend un amplificateur différentiel et un amplificateur opérationnel. Un signal d'entrée est amplifié par l'amplificateur différentiel et envoyé ensuite à l'amplificateur opérationnel qui le délivre après amplification. Une partie de la sortie de l'amplificateur opérationnel est renvoyée négativement à l'une des entrées de l'amplificateur différentiel par un élément d'asservissement. Deux amplificateurs différentiels (200 et 202) peuvent être installés dans le circuit amplificateur, le premier (200) pour amplifier le signal d'entrée et le second (202) pour amplifier une sortie du premier. La sortie du second amplificateur différentiel (202) est envoyée à l'amplificateur opérationnel (204) alors qu'une partie d'une sortie de l'amplificateur opérationnel (204) est renvoyée négativement à une des entrées du second amplificateur différentiel (202) par un élément d'asservissement (206). L'asservissement négatif supprime la tension de bruit de tout le circuit amplificateur en termes d'une entrée et augmente le produit GB.



REVENDICATIONS

1. Circuit amplificateur, caractérisé par le fait qu'il comprend:
— un dispositif amplificateur différentiel alimenté par un signal;
— un amplificateur opérationnel alimenté par la sortie dudit amplificateur différentiel, et
— un élément d'asservissement destiné à renvoyer négativement une partie d'une sortie dudit amplificateur opérationnel à l'une des entrées du dispositif amplificateur différentiel.

2. Circuit amplificateur suivant la revendication 1, caractérisé par le fait que ledit dispositif amplificateur différentiel comporte un amplificateur différentiel auquel est renvoyée négativement ladite partie d'une sortie de l'amplificateur opérationnel.

3. Circuit amplificateur suivant la revendication 2, caractérisé par le fait qu'un élément actif constituant l'amplificateur différentiel a une haute impédance d'entrée.

4. Circuit amplificateur suivant la revendication 2, caractérisé par le fait qu'un élément actif constituant l'amplificateur différentiel comprend un groupe d'éléments actifs fait d'une pluralité d'éléments actifs parallèles.

5. Circuit amplificateur suivant la revendication 3, caractérisé par le fait qu'un élément actif constituant l'amplificateur différentiel comprend un groupe d'éléments actifs fait d'une pluralité d'éléments actifs parallèles.

6. Circuit amplificateur suivant la revendication 1, caractérisé par le fait que le dispositif amplificateur différentiel comporte deux amplificateurs dont l'un est alimenté par un signal et le second par une sortie du premier, l'amplificateur opérationnel étant alimenté par la sortie dudit second amplificateur différentiel alors que la sortie de l'amplificateur opérationnel est renvoyée négativement à une des entrées dudit second amplificateur différentiel.

7. Circuit amplificateur suivant la revendication 6, caractérisé par le fait qu'un élément actif constituant chacun desdits premier et second amplificateurs différentiels a une haute impédance d'entrée.

8. Circuit amplificateur suivant la revendication 6, caractérisé par le fait qu'un élément actif constituant le premier amplificateur différentiel comprend un groupe d'éléments actifs fait d'une pluralité d'éléments actifs parallèles.

9. Circuit amplificateur suivant la revendication 7, caractérisé par le fait qu'un élément actif constituant le premier amplificateur différentiel comprend un groupe d'éléments actifs fait d'une pluralité d'éléments actifs parallèles.

La présente invention a pour objet, d'une façon générale, les circuits amplificateurs et, plus particulièrement, un circuit amplificateur du type utilisant un amplificateur différentiel ou un amplificateur opérationnel et qui convient à l'intégration.

Un amplificateur opérationnel présente généralement un niveau de bruit important dû à la procédure inhérente à la production, qui peut même s'élever de 3 nV/$\sqrt{\text{Hz}}$ à 20 nV/$\sqrt{\text{Hz}}$. Il en résulte un mauvais rapport signal/bruit ou S/N lorsque le niveau de signal est faible. En outre, le produit gain par la largeur de bande, ou GB, d'un amplificateur opérationnel est généralement faible. Un produit GB élevé n'est pas atteignable à moins que la construction du circuit soit disproportionnellement compliquée et, par conséquent, chère.

Pour résoudre ces problèmes, on a proposé un circuit qui utilise un amplificateur différentiel à son étage d'entrée initial et qui relie une sortie de cet amplificateur différentiel à un amplificateur opérationnel. Ce circuit connu aboutit à une tension de bruit en termes d'une entrée qui est de 3-4 nV/$\sqrt{\text{Hz}}$, par exemple, ce qui est une amélioration sensible par rapport au circuit amplificateur à un amplificateur opérationnel seulement. Une autre amélioration réside dans le fait que le produit GB est d'environ 10 fois le produit GB du circuit amplificateur n'ayant qu'un amplificateur opérationnel.

Un but de la présente invention est de fournir un circuit amplificateur qui réalise une diminution supplémentaire dans la tension de bruit et, de ce fait, un rapport S/N favorable.

Un autre but de la présente invention est de fournir un circuit amplificateur qui augmente le produit GB de façon à assurer d'excellentes caractéristiques d'amplification.

Un autre but de la présente invention est de réduire la tension de bruit et d'augmenter le produit GB au moyen d'une circuiterie simple, ce qui est désirable pour l'intégration.

Un autre but de la présente invention est de supprimer la distorsion du signal.

Un autre but de la présente invention est de fournir un circuit amplificateur qui réponde à ces exigences pour un faible prix de revient.

Un autre but de la présente invention est de fournir un circuit amplificateur amélioré d'une façon générale.

Ces buts sont atteints grâce aux moyens définis dans la revendication 1.

Ces buts et d'autres aussi, comme aussi les caractères et avantages de la présente invention, apparaîtront de la description détaillée qui suit, qui se rapporte au dessin.

La fig. 1 est un schéma d'un circuit amplificateur connu.

La fig. 2 est un schéma bloc représentant la construction de base d'un circuit amplificateur suivant l'invention.

La fig. 3 est un schéma d'un circuit amplificateur mettant en œuvre la présente invention.

La fig. 4 est un schéma représentant un circuit équivalent du circuit amplificateur représenté à la fig. 3.

La fig. 5 est un diagramme représentant la caractéristique de fréquence à boucle fermée d'un amplificateur opérationnel utilisé pour le circuit amplificateur de la présente invention.

La fig. 6 est un diagramme d'une caractéristique de gain par rapport à la fréquence atteignable avec le circuit amplificateur de la présente invention.

La fig. 7 est un diagramme représentant une tension de sortie par rapport à la caractéristique de fréquence du circuit amplificateur de la présente invention par rapport à une source de tension oscillante, et

la fig. 8 est un schéma représentant une autre forme d'exécution de la présente invention.

Alors que le circuit amplificateur suivant la présente invention est susceptible de nombreuses formes d'exécution physique, dépendant de l'environnement et des exigences de l'emploi, un nombre substantiel de celles-ci représentées et décrites ont été réalisées, testées et utilisées, et toutes ont répondu de façon éminemment satisfaisante.

Pour faciliter la compréhension de la présente invention, une brève référence sera faite aux circuits amplificateurs connus dont l'un a été représenté à la fig. 1. Ce circuit amplificateur de la fig. 1 est destiné à conduire à un plus grand produit GB et à une tension de bruit inférieure en termes d'une entrée.

A la fig. 1, un transistor double à effet de champ (FET) comprend des FETs 12 et 14 qui constituent un amplificateur différentiel. Les FETs 12 et 14 peuvent être du type à canal P ou du type à canal N. En admettant l'utilisation d'un type à canal N, par exemple, le collecteur du FET 12 est relié à une résistance 16 et à l'entrée non inversante d'un amplificateur opérationnel 18. Le collecteur du FET 14 est relié à une résistance 20 et à l'entrée inversante de l'amplificateur opérationnel 18. Les résistances 16 et 20 utilisées dans un but de polarisation sont communément reliées à une borne 22 à laquelle une tension de polarisation +V est appliquée. La source de FET 12 est reliée à une résistance 24 qui, à son tour, est reliée à une résistance 28. De même, la source de FET 14 est reliée à une résistance 26 qui est elle-même reliée à une résistance 28.

Un transistor double 30 sert de second amplificateur différentiel 16 et comporte des transistors 32 et 34. Le transistor 32 est relié par son collecteur aux résistances 24 et 28 et par son émetteur à une résistance 36. Le transistor 34 est relié par son collecteur aux résis-

tances 26 et 28 et par son émetteur à une résistance 38. La base du transistor 34 est reliée à des résistances 40 et 42, cette dernière étant elle-même reliée à la masse. La base du transistor 32 est reliée aux résistances 44 et 46 et la résistance 48 est reliée à une borne de sortie 48 de l'amplificateur opérationnel 18. Des résistances 36, 38, 40 et 44 sont reliées ensemble à une borne 50 à laquelle une tension de polarisation $-V$ est appliquée.

Les signaux d'entrée VA et VB sont envoyés au circuit amplificateur par des bornes d'entrée 52 et 54 qui sont reliées aux grilles des FETs 12 et 14 respectivement. La sortie VC du circuit amplificateur apparaît à la borne de sortie 48 de l'amplificateur opérationnel 18. Les signaux d'entrée VA et VB sont amplifiés respectivement par les FETs 12 et 14 encore amplifiés par l'amplificateur opérationnel 18 et ensuite envoyés à la borne de sortie 52 sous forme de signal de sortie VC. Le signal VC est démultiplié par les résistances 46 et 44 pour être envoyé à la base du transistor 32.

En supposant que les courants de source des FETs 12 et 14 soient IA et IB, respectivement, que le courant s'écoulant par la résistance 28 soit IS, que la résistance des résistances 42 et 46 soit Ra, que la résistance des résistances 40 et 44 soit Rb, que la résistance des résistances 36 et 38 soit Rc et que la résistance de la résistance 28 soit Rs, on aurait les équations suivantes:

$$IA = \frac{Rb\,(V + VC)}{(Ra + Rb)\,Rc} \tag{1}$$

$$IB = \frac{Rb \cdot V}{(Ra + Rb)\,Rc} \tag{2}$$

$$IA - IB = 2IS \tag{3}$$

$$IS = \frac{2\,(VB - VA)}{Rs} \tag{4}$$

Dans les équations (1-4), le gain à boucle fermée de la circuiterie est supposé être suffisamment haut. Les équations (1-4) montrent que le courant de source du FET 14 dépend seulement de la résistance et de la tension de polarisation et reste constant. Le courant de source IA du FET 12 est affecté par le signal de sortie VC de l'amplificateur opérationnel 18 alors même qu'il reste pratiquement constant comme le courant de source IB. Le courant IS passant par la résistance 28 est un courant proportionnel à la différence entre les signaux d'entrée VA et VB. On voit ainsi que l'amplificateur différentiel constitué par le transistor double 30 fonctionne comme circuit de courant constant pour l'amplificateur différentiel constitué par le double FET 10 et, également, comme partie d'un circuit d'asservissement pour le signal de sortie VC.

Des équations (1-4), il apparaît que le degré d'amplification Av est exprimé par:

$$Av = K \cdot \frac{1}{Rs} \tag{5}$$

où

$$K = 2Rc(Ra + Rb)/Rb \tag{6}$$

Si le degré d'amplification Av du circuit amplificateur est de 60 dB, par exemple, le produit GB est sensiblement 10 fois le produit GB obtenable avec un circuit amplificateur qui ne comprend que l'amplificateur opérationnel 18 seulement.

Il est connu que, lorsque l'amplificateur opérationnel 18 a une tension de bruit de 15 $nV/\sqrt{Hz}$ et que le double FET 10 et le transistor double 30 ont une tension de bruit commune de 1 $nV/\sqrt{Hz}$, tout le circuit amplificateur développe une tension de bruit qui se situe entre 3 et 4 $nV/\sqrt{Hz}$. Comme cela est généralement accepté, la tension de bruit produite dans un circuit amplificateur est déterminée par la valeur du bruit produit dans l'élément du premier étage d'entrée. Ainsi, la tension de bruit du circuit amplificateur représenté à la fig. 1 est prévue pour être déterminée par la tension de bruit (1 $nV/\sqrt{Hz}$) dans le double FET 10 qui constitue le premier étage d'entrée du circuit amplificateur. Dans la pratique, cependant, la tension de bruit du circuit amplificateur se situe entre 3 et 4 $nV/\sqrt{Hz}$ comme indiqué ci-dessus. Cette tension de bruit est plusieurs fois la tension de bruit du double FET 10 (1 $nV/\sqrt{Hz}$) et, de ce fait, non satisfaisante bien qu'améliorée par rapport au circuit amplificateur qui ne comprend que l'amplificateur opérationnel 18.

La fig. 2 représente un circuit amplificateur réalisé suivant la présente invention qui comprend un amplificateur différentiel 200 à son premier étage d'entrée. Cet amplificateur différentiel 200 est relié à un second amplificateur différentiel 202 qui, à son tour, est relié à un amplificateur opérationnel 204. Un élément d'asservissement 206 est inclus dans la circuiterie de telle manière que la sortie de l'amplificateur 204 puisse être renvoyée négativement à l'amplificateur différentiel 202.

Alors que l'amplificateur différentiel 200 au premier étage d'entrée n'est pas essentiel, sa présence est préférée du fait qu'un manque d'amplification de signal par l'amplificateur 200 abaisserait le gain et permettrait à l'impédance d'entrée d'être affectée par l'asservissement. Particulièrement, l'utilisation d'un FET ou autre pour l'amplificateur 200 améliore l'impédance d'entrée de tout le circuit amplificateur.

L'élément d'asservissement 206 est agencé pour produire un asservissement négatif de la partie de la sortie de l'amplificateur opérationnel 204 allant au second étage de l'amplificateur différentiel 202. La quantité d'asservissement et la phase dépendent de la construction de l'élément d'asservissement 206. Habituellement, l'élément d'asservissement 206 est fait d'une résistance, d'une capacité, d'un enroulement et d'autres éléments passifs, comme cela est bien connu. Dans la forme d'exécution décrite ci-après, seule une résistance est utilisée pour constituer l'élément d'asservissement 206.

La fig. 3 représente une construction pratique du circuit amplificateur représenté à la fig. 2. Un double FET 300 comprend une paire de FETs 302 et 304 qui, comme un IC monolithique, est formé d'un substrat commun et est logé dans un boîtier commun. Ainsi les FETs 302 et 304 correspondent bien en caractéristiques et peuvent être considérés comme étant sensiblement identiques dans la constante d'un circuit équivalent.

La grille du FET 302 est reliée à une borne d'entrée TA et à une résistance 306 alors que la grille du FET 304 est reliée à une borne d'entrée TB et à une résistance 308. Les drains des FETs 302 et 304 sont respectivement reliés à des résistances 306 et 312 et les sources en commun à une résistance 314.

La construction décrite jusqu'ici constitue le premier étage de l'amplificateur différentiel 200 représenté à la fig. 2.

Un second double FET 320, analogue au premier, désigné par 300, comprend une paire de FETs 322 et 324 qui sont identiques en caractéristiques. Les grilles de ces FETs 322 et 324 sont respectivement reliées à des capacités 326 et 328 qui sont à leur tour respectivement reliées aux drains des FETs 302 et 304 du double FET 300. Les drains des FETs 322 et 324 sont respectivement reliés aux résistances 330 et 332 alors que les sources sont communément reliées à une résistance 334. Cette partie de la construction forme le second étage de l'amplificateur différentiel 202 représenté à la fig. 2. Il est à remarquer que les capacités 326 et 328 servent à relier les deux amplificateurs différentiels l'un à l'autre et peuvent être omises, si nécessaire.

Le drain du FET 322 est relié à l'entrée non inversante d'un amplificateur opérationnel 340 et le drain de FET 324 à l'entrée inversante de l'amplificateur opérationnel 340. La sortie de l'amplificateur 340 est reliée à une borne de sortie TC reliée elle-même à une résistance 342. Cette résistance 342 est reliée à la grille du FET 322 et assure la fonction de l'élément d'asservissement 206.

Des résistances 310, 312, 330 et 332 et l'amplificateur opérationnel 340 sont reliés ensemble à une borne QA à laquelle une tension de polarisation $+V$ est appliquée de l'extérieur. Les résistances 314 et 334 et l'amplificateur opérationnel 340 sont reliés à une borne QB à laquelle une tension de polarisation $-V$ est appliquée de l'extérieur. Les résistances 306, 308 et 338 sont reliées individuellement à la masse.

En fonctionnement, les tensions VA et VB sont envoyées aux bornes d'entrée TA et TB, respectivement. Des signaux d'entrée VA et VB sont amplifiés par le double FET 300, pris par les drains des FETs 302 et 304, puis envoyés, via les capaciteurs 326 et 328, aux grilles des FETs 322 et 324 qui constituent le double FET 320. Les signaux sont amplifiés par le double FET 320 et envoyés respectivement des drains des FETs 322 et 324 vers l'amplificateur opérationnel 340. L'amplificateur 340 traite ces signaux d'entrée pour délivrer un signal de sortie VC à la borne de sortie TC. Une partie de ce signal de sortie VC est renvoyée au FET 322 via la résistance 342. La fig. 4 illustre le fonctionnement d'asservissement mentionné ci-dessus. Elle montre un circuit équivalent du double FET 320 incluant l'amplificateur opérationnel 340, les grilles des FETs 302 et 304 qui sont désignées respectivement par les lettres EGA et EGB alors que les drains le sont par EDA et EDB. Les sources des FETs 302 et 304 sont désignées en commun par les lettres ES en raison de leur connexion commune.

Une capacité existe entre la grille et la source de chacun des FETs 302 et 304. Pour cette raison, une capacité 400 est branchée entre la grille EGA et la source ES et une capacité 402 entre la grille EGB et la source ES. Du fait qu'une capacité et qu'une résistance sont en parallèle entre la grille et le drain de chaque FET 302 et 304, une liaison parallèle d'une capacité 404 et d'une résistance 406 est branchée entre la grille EGA et le drain EDA et une connexion parallèle d'une capacité 408 et d'une résistance 410 entre la grille EGB et le drain EDB. De même, une capacité et une résistance interviennent entre le drain et la source de chacun des FETs 302 et 304, cela étant obtenu par une connexion parallèle d'une capacité 402 et d'une résistance 414 entre le drain EDA et la source ES et une connexion parallèle d'une capacité 416 et d'une résistance 418 entre le drain EDB et la source ES. Une source de courant 420 est branchée entre le drain EDA et la source ES alors qu'une source de courant 422 est branchée entre le drain EDB et la source ES. En supposant que la conductance mutuelle des FETs 302 et 304 soit Gm, la grandeur du courant envoyé par la source de courant 420 est GmVA et celle du courant envoyé par l'autre source de courant 422 est GmVB. La direction de chaque courant dépend de la polarité du signal d'entrée VA ou VB.

Comme représenté à la fig. 3, des résistances 310 et 312 sont respectivement reliées aux drains EDA et EDB des FETs 302, 304. Ces résistances 310 et 312 sont reliées à la borne QA et, en outre, à une source de courant de polarisation non représentée et, de ce fait, à la masse dans un circuit équivalent. Ainsi une résistance 310 est branchée entre le drain EDA et la masse et une résistance 312 entre le drain EDB et la masse, comme indiqué à la fig. 4.

Les capacités 326 et 328 représentées à la fig. 3 ont été omises à la fig. 4 du fait que leur impédance est faible par rapport au signal. De ce fait le drain EDB du FET 304 est relié à la résistance 306 et celle-ci à la masse.

L'amplificateur opérationnel constitué par le double FET 320 et l'amplificateur opérationnel 340 sont considérés comme fonctionnant comme un seul amplificateur opérationnel. Le circuit équivalent est représenté par un Nullateur 424 et un Norateur 426. Le Nullateur 424 est branché entre les drains EDA et EDB des FETs 302 et 304 alors que le Norateur 426 est branché entre la borne de sortie TC et la masse. Bien qu'un amplificateur opérationnel ordinaire n'ait rien qui soit branché entre un Nullateur et un Norateur dans son circuit équivalent, la résistance d'asservissement 342 est branchée dans la forme d'exécution représentée.

Dans le circuit équivalent décrit et représenté, le signal de sortie VC peut être exprimé par:

$$VC = Zf \cdot Gm(VA - VB) + R\ell \cdot Gm \cdot VA \qquad (7)$$

où $R\ell$ est la résistance des résistances 310 et 312 et Zf la résistance de la résistance 342.

En supposant $Zf \gg R$, alors:

$$VC \simeq Zf \cdot Gm(VA - VB) \qquad (8)$$

De ce fait, le degré d'amplification Av_1 du circuit amplificateur représenté à la fig. 3 est produit par:

$$Av_1 = \frac{VC}{VA - VB} = Gm \cdot Zf \qquad (9)$$

Il s'ensuit que le degré d'amplification du circuit amplificateur dépend de la conductance mutuelle Gm du double FET 300 qui est l'étage initial de l'amplificateur différentiel et de la résistance de la résistance d'asservissement 342.

L'amplificateur opérationnel 340 du circuit représenté à la fig. 3 peut comporter l'amplificateur opérationnel représenté à la fig. 5 qui a une caractéristique de fréquence à boucle fermée, un produit GB de sensiblement 20 MHz, et une tension de bruit de 15 $nV/\sqrt{Hz}$. Les doubles FETs 300 et 320 peuvent avoir une tension de bruit de 1 $nV/\sqrt{Hz}$.

Lorsque le degré d'amplification Av_1 de l'équation (9) est de 80 dB, par exemple, dans les conditions décrites ci-dessus, le gain de la caractéristique de fréquence du circuit amplificateur représenté à la fig. 3 suivra la courbe indiquée à la fig. 6. Comme représenté, la courbe reste plate jusqu'à une fréquence de 2 MHz et le produit GB est de 20 GHz. Les mesures montrent que la tension de bruit est sensiblement déterminée par le premier étage du double FET 300 et est d'approximativement 0,6 $nV/\sqrt{Hz}$. Une telle tension de bruit est beaucoup plus petite que la tension de bruit (3-4 $nV/\sqrt{Hz}$) du circuit connu représenté à la fig. 1, ce qui conduit à une réduction sensible dans le bruit.

En se référant à la fig. 7, on voit que la courbe représente une tension de sortie oscillante par rapport à la caractéristique de fréquence du circuit amplificateur représenté à la fig. 3, qui a été obtenue par l'application d'une tension de polarisation de +15V et de −15V aux bornes QA et QB respectivement. On verra d'après la courbe qu'une tension de sortie sensiblement identique à la tension de source est atteinte dans la plage de fréquence de 0 Hz à sensiblement 2 MHz. Des mesures réelles ont montré que le signal de sortie VC à la borne de sortie TC est sensiblement dépourvu de distorsion.

Dans la caractéristique gain par rapport à la fréquence représentée à la fig. 6, le gain devient plus faible du côté basse fréquence, et cela grâce aux capacités de couplage 326 et 328. Le degré d'une telle chute de gain dépend de la constante de temps déterminée par la capacité 326 et la résistance 310 ou de la constante de temps déterminée par la capacité 328 et la résistance 312. Si désiré, les capacités 326 et 328 peuvent être omises pour relier directement les drains du double FET 302 aux grilles du double FET 320.

La fig. 8 représente une autre forme d'exécution de la présente invention. Comme indiqué précédemment, il a été confirmé par des mesures que la tension de bruit du circuit amplificateur représenté à la fig. 3 est sensiblement dépendante de la tension de bruit dans le premier étage de l'amplificateur différentiel. Cela implique que la diminution de la tension de bruit dans le premier étage de l'amplificateur différentiel est apte à réduire la tension de bruit de tous les circuits. La construction représentée à la fig. 8 met en œuvre une telle conception. Dans la fig. 8, les mêmes éléments structurels que ceux de la première forme d'exécution sont désignés par les mêmes chiffres de référence et ne seront pas décrits plus loin, dans un but de simplification.

A la fig. 8, un double FET 800 comporte un premier groupe de FETs 810 et un second groupe de FETs 830 qui, en combinaison, servent de premier étage à l'amplificateur différentiel. Le groupe de FETs 810 comprend une connexion parallèle de FETs 812, 814, 816, 818 et 820 et le groupe de FETs 830 une connexion parallèle de FETs 832, 834, 838 et 840. La construction représentée à la fig. 8 est sensiblement identique à celle de la fig. 3 à l'exception du premier étage du double FET. Les bornes QC et QD sont respectivement reliées aux grilles du double FET 320 représenté à la fig. 3.

Comme cela est généralement connu dans ce domaine, le circuit amplificateur représenté à la fig. 8 réduit la tension de bruit à $1/\sqrt{5}$.

Le degré d'amplification Av_2 est obtenu à partir de l'équation (9) comme suit:

$$Av_2 = Gm_2 \cdot Zf \quad (10)$$

Généralement, la tension de bruit diminue jusqu'à $1/\sqrt{n}$, n représentant le nombre des FETs de chacun des groupes FETs 810 et 830.

En résumé, on voit que la présente invention réduit de façon notable la tension de bruit, augmente le produit GB et supprime toute distorsion du signal avec une circuiterie simple et économique qui permet une intégration.

Diverses modifications seront rendues possibles pour les gens du métier qui auront reçu les enseignements de la présente description sans qu'ils aient à sortir du cadre de l'invention. Par exemple, les éléments actifs constituant les amplificateurs différentiels peuvent comporter des éléments bipolaires tels que des transistors à jonction au lieu des éléments unipolaires décrits et représentés. Alors que les résistances, capacités et sources de courant peuvent constituer une source bruit s'ajoutant aux éléments actifs, le bruit dû à de tels éléments est d'un niveau très faible et, en pratique, négligeable.

Fig. 1

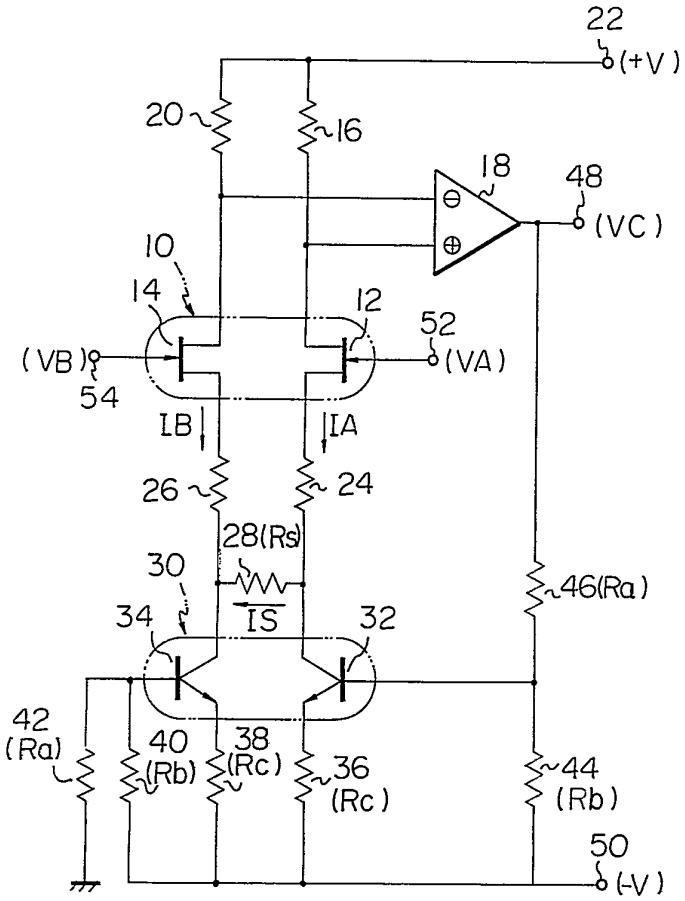
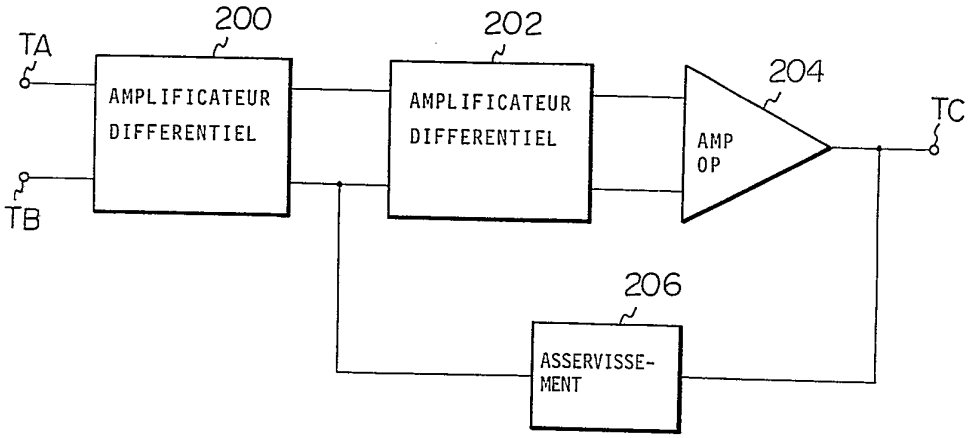

22
(+V)
20
16
18
48
(VC)
10
14
12
52
(VB)
54
(VA)
LB
IA
26
24
28(Rs)
30
IS
46(Ra)
34
32
42
(Ra)
40
(Rb)
38
(Rc)
36
(Rc)
44
(Rb)
50
(-V)

Fig. 2


TA
TB
200
AMPLIFICATEUR DIFFERENTIEL
202
AMPLIFICATEUR DIFFERENTIEL
204
AMP OP
TC
206
ASSERVISSE-MENT

653 825
3 feuilles No 2*

Fig. 3

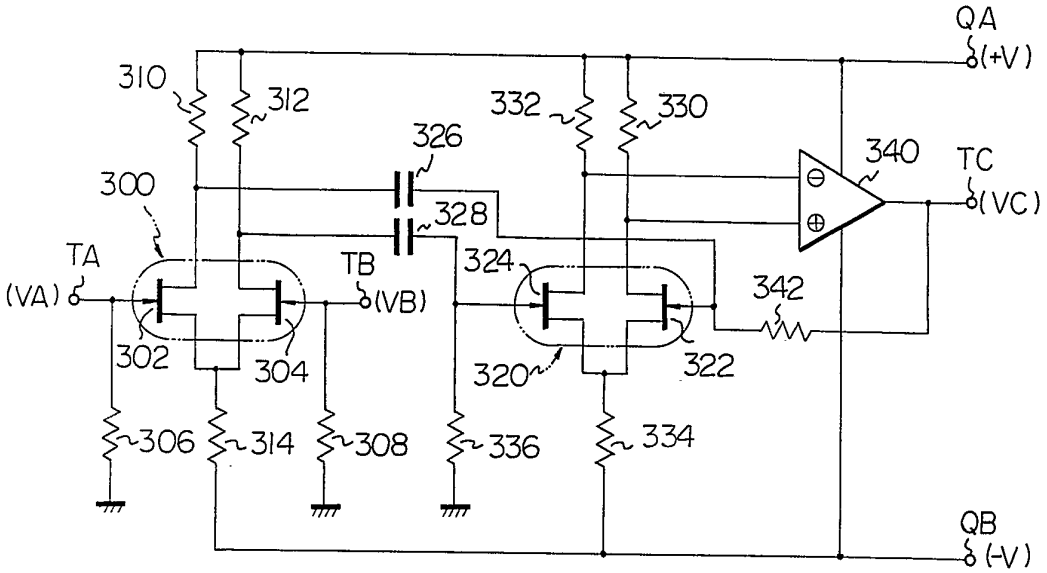
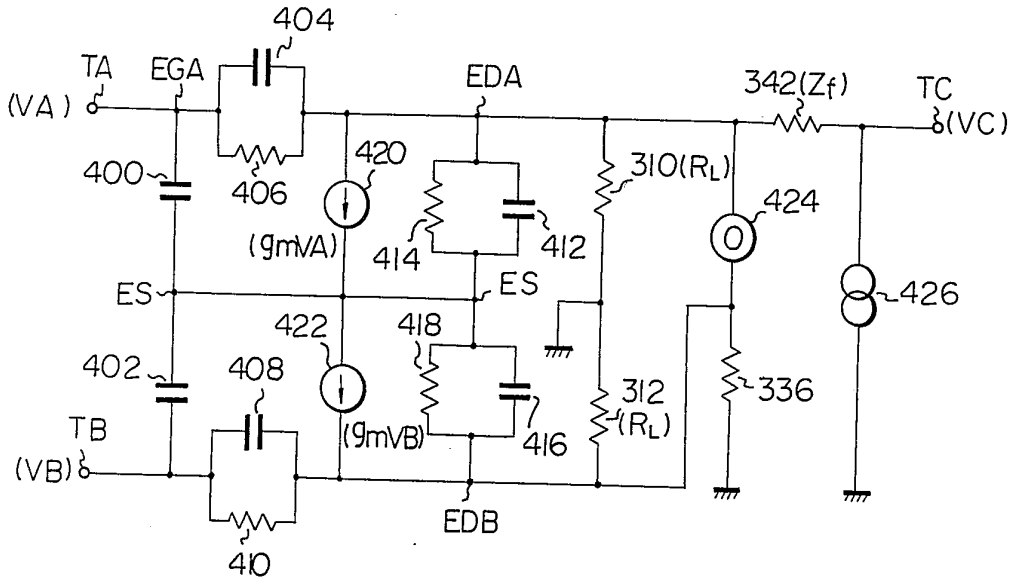


Fig. 4



653 825
3 feuilles No 3*

Fig. 5

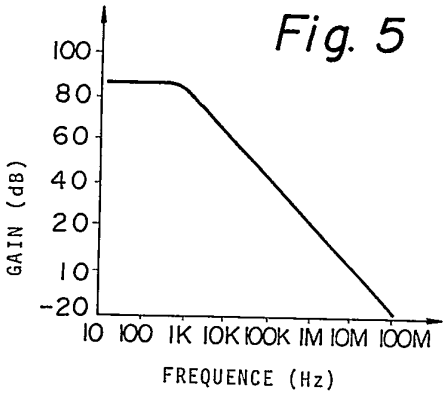


Fig. 6

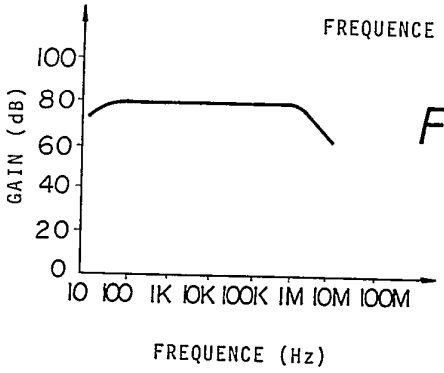


Fig. 7

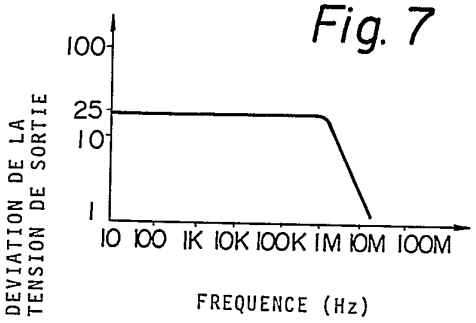


Fig. 8

