

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4245437号
(P4245437)

(45) 発行日 平成21年3月25日 (2009.3.25)

(24) 登録日 平成21年1月16日 (2009.1.16)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C	17/00	6 4 1
G 1 1 C	17/00	6 1 1 A
G 1 1 C	17/00	6 1 1 E
G 1 1 C	17/00	6 1 1 C

請求項の数 10 (全 30 頁)

(21) 出願番号 特願2003-289838 (P2003-289838)
 (22) 出願日 平成15年8月8日 (2003.8.8)
 (65) 公開番号 特開2005-63516 (P2005-63516A)
 (43) 公開日 平成17年3月10日 (2005.3.10)
 審査請求日 平成17年8月10日 (2005.8.10)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100114476
 弁理士 政木 良文
 (72) 発明者 小野 剛史
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 渡邊 雅彦
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 外山 毅

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の書き込み方法

(57) 【特許請求の範囲】

【請求項 1】

チャネル領域と制御ゲート間に絶縁膜を介して電荷蓄積領域の形成されたトランジスタを有し、前記電荷蓄積領域の電荷量に応じて決定される閾値電圧のレベルに応じて2以上の書き込み状態を含む3以上の記憶状態を取り得るメモリセルを行方向及び列方向に夫々複数配列し、同一行の前記メモリセルの前記制御ゲートを相互に接続して共通のワード線とし、同一列の前記メモリセルのドレインを相互に接続して共通のビット線として構成されたメモリセルアレイを備えてなる不揮発性半導体記憶装置の書き込み方法であって、

前記2以上の書き込み状態に各別に対応する複数の書き込みゲート電圧を予め設定しておき、

同一の前記ワード線に接続する2以上の書き込み対象メモリセルに同時に書き込む場合において、

前記2以上の書き込み対象メモリセルに接続する前記ワード線に、書き込み後の書き込み状態を含む2以上の書き込み状態に対応する2以上の前記書き込みゲート電圧を電圧値の低い順に順次印加し、前記書き込みゲート電圧の各印加と同時に、前記書き込み対象メモリセルに接続する前記ビット線の少なくとも1つに、所定の書き込みドレイン電圧を印加する書き込み工程と、

前記書き込み工程を実行した後に、前記2以上の書き込み対象メモリセルが夫々書き込まれたか否かを検証するベリファイ工程を有し、

前記ベリファイ工程において、前記書き込み対象メモリセルの少なくとも1つが書き込

まれていないと判定された場合、前記書き込み工程を再度実行し、

1 回目の実行及び 2 回目以降所定回までの再実行に係る前記書き込み工程では、電圧値の低い順に前記書き込みゲート電圧を順次印加する各印加前に、前記書き込み対象メモリセルが印加される前記書き込みゲート電圧に対応する前記書き込み状態への書き込みを要するか否かを判定する要否判定を、前記書き込みゲート電圧の各印加の少なくとも低電圧側の 2 回の印加前には実行せずに、前記書き込みゲート電圧及び前記書き込みドレイン電圧の印加を強制的に実行し、

前記所定回より後の再実行に係る前記書き込み工程では、電圧値の低い順に前記書き込みゲート電圧を順次印加する各印加前に、前記要否判定を行い、その判定結果に基づいて前記書き込みゲート電圧及び前記書き込みドレイン電圧の印加を実行することを特徴とする不揮発性半導体記憶装置の書き込み方法。

10

【請求項 2】

前記書き込み工程を実行する前に、何回目の実行であるかを判定し、1 回目の実行及び 2 回目以降前記所定回までの再実行である場合には、当該書き込み工程において、電圧値の低い順に前記書き込みゲート電圧を順次印加する各印加前に、前記要否判定を実行しないことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 3】

前記書き込み工程において印加する 2 以上の前記書き込みゲート電圧に、書き込み後の書き込み状態に対応する前記書き込みゲート電圧より低い電圧値の前記書き込みゲート電圧が含まれることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置の書き込み方法。

20

【請求項 4】

前記書き込み工程において、前記所定の書き込みドレイン電圧の印加される前記ビット線は、そのビット線に接続する前記書き込み対象メモリセルの前記所定の書き込みドレイン電圧印加前の記憶状態に対応する閾値電圧範囲が、前記所定の書き込みドレイン電圧印加時に印加される前記書き込みゲート電圧を決定する書き込み状態に対応する閾値電圧範囲より低いことを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 5】

再度実行される 2 回目以降の前記書き込み工程における前記書き込み対象メモリセルから、前記ベリファイ工程で書き込まれていると判定された書き込み済みメモリセルを除外することを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の不揮発性半導体記憶装置の書き込み方法。

30

【請求項 6】

1 回目及び再度実行される 2 回目以降の前記書き込み工程の内、少なくとも 1 回目の前記書き込み工程において印加する 2 以上の前記書き込みゲート電圧に、書き込み後の書き込み状態に対応する前記書き込みゲート電圧より低い電圧値の前記書き込みゲート電圧が含まれることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 7】

40

チャネル領域と制御ゲート間に絶縁膜を介して電荷蓄積領域の形成されたトランジスタを有し、前記電荷蓄積領域の電荷量に応じて決定される閾値電圧のレベルに応じて 2 以上の書き込み状態を含む 3 以上の記憶状態を取り得るメモリセルを行方向及び列方向に夫々複数配列し、同一行の前記メモリセルの前記制御ゲートを相互に接続して共通のワード線とし、同一列の前記メモリセルのドレインを相互に接続して共通のビット線として構成されたメモリセルアレイと、

書き込み対象メモリセルに接続する前記ワード線に前記 2 以上の書き込み状態に各別に対応して予め設定された複数の書き込みゲート電圧を選択的に印加し、前記書き込み対象メモリセルに接続する前記ビット線に所定の書き込みドレイン電圧を印加する書き込み手段と、

50

前記書き込み対象メモリセルが書き込まれたか否かを検証するベリファイ手段と、を備えてなる不揮発性半導体記憶装置であって、

前記書き込み対象メモリセルが、印加する前記書き込みゲート電圧に対応する前記書き込み状態への書き込みを要するか否かを判定する要否判定を実行する判定手段を、更に備え、

同一の前記ワード線に接続する2以上の書き込み対象メモリセルに同時に書き込む場合において、

前記書き込み手段が、前記2以上の書き込み対象メモリセルに接続する前記ワード線に、書き込み後の書き込み状態を含む2以上の書き込み状態に対応する2以上の前記書き込みゲート電圧を電圧値の低い順に順次印加し、前記書き込みゲート電圧の各印加と同時に、前記書き込み対象メモリセルに接続する前記ビット線の少なくとも1つに、所定の書き込みドレイン電圧を印加する書き込み工程を実行するように構成され、

前記ベリファイ手段が、前記2以上の書き込み対象メモリセルが夫々書き込まれたか否かを検証するベリファイ工程を実行するように構成され、

前記ベリファイ手段が、前記ベリファイ工程において、前記書き込み対象メモリセルの少なくとも1つが書き込まれていないと判定した場合、前記書き込み手段が、前記書き込み工程を再度実行し、

1回目の実行及び2回目以降所定回までの再実行に係る前記書き込み工程では、前記書き込み手段が電圧値の低い順に前記書き込みゲート電圧を順次印加する各印加の少なくとも低電圧側の2回の印加前には、前記判定手段が前記要否判定を実行せずに、前記書き込み手段が前記書き込みゲート電圧及び前記書き込みドレイン電圧の印加を強制的に実行し

、前記所定回より後の再実行に係る前記書き込み工程では、前記書き込み手段が電圧値の低い順に前記書き込みゲート電圧を順次印加する各印加前に、前記判定手段が前記要否判定を実行し、その判定結果に基づいて、前記書き込み手段が前記書き込みゲート電圧及び前記書き込みドレイン電圧の印加を実行することを特徴とする不揮発性半導体記憶装置。

【請求項8】

前記書き込み手段が、前記書き込み工程を実行する前に、当該書き込み工程が何回目の実行であるかを判定する第2判定手段を備え、

前記第2判定手段の判定結果が、1回目の実行及び2回目以降前記所定回までの再実行である場合には、当該書き込み工程において、電圧値の低い順に前記書き込みゲート電圧を順次印加する各印加前に、前記判定手段が前記要否判定を実行しないことを特徴とする請求項7に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項9】

前記ベリファイ手段が、同時に前記ベリファイ工程を実行するベリファイ対象メモリセル毎に、前記メモリセルが取り得る前記書き込み状態の数に応じた複数のセンスアンプを備えてなり、

前記複数のセンスアンプの夫々に異なる固有の電圧値の参照電圧が用いられることを特徴とする請求項7または8に記載の不揮発性半導体記憶装置。

【請求項10】

前記ベリファイ手段が、同時に前記ベリファイ工程を実行するベリファイ対象メモリセル毎に1つのセンスアンプを備えてなり、

前記センスアンプに前記メモリセルが取り得る前記書き込み状態の数に応じた複数の夫々異なる電圧値の参照電圧がスイッチ回路を介して選択的に用いられることを特徴とする請求項7または8に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チャネル領域と制御ゲート間に絶縁膜を介して形成された電荷蓄積領域を有するメモリセルを行方向及び列方向に夫々複数配列して構成されたメモリセルアレイを備

10

20

30

40

50

えてなる不揮発性半導体記憶装置、及び、そのメモリセルアレイの書き込み方法に関し、特に、各メモリセルが3値以上のデータを記憶可能な不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、この種の不揮発性半導体記憶装置として最も一般的なフラッシュメモリとして、例えば、ETOX (EPROM Thin Oxide、米国インテル社の登録商標) 型フラッシュメモリがある。

【0003】

図12は、ETOX型フラッシュメモリのメモリセルを構成するメモリセルトランジスタの模式的な断面図及びその等価回路である。図12に示すように、ソース45、ドレイン46間のチャネル領域41上に、トンネル酸化膜43を介して電荷蓄積領域となるフローティングゲート40が形成され、さらに、層間絶縁膜44を介して、制御ゲート42が形成されている。

10

【0004】

このETOX型のフラッシュメモリセルの動作原理について述べる。メモリセルへの書き込み時は、制御ゲートに V_{pp} (例えば9V) を印加し、ソースを基準電圧 V_{ss} (例えば0V)、ドレインに V_{dp} (例えば5V) の電圧を印加する。これにより、ソース、ドレイン間のチャネル領域では、多くの電流が流れ、ドレイン近傍の電界が高い部分で、ホットエレクトロンが発生し、フローティングゲートに電子が注入され、閾値電圧が上昇する。すなわち、図13(b)に示すように、フローティングゲート内に多くの電子が注入された状態になる。

20

【0005】

また、書き込みがなされたメモリセルの消去では、制御ゲートに V_{nn} (例えば-9V)、ソースに V_{pe} (例えば6V) を印加し、ソース近傍で電子を引き抜くことで、閾値電圧を低下させる。すなわち、図13(a)に示すように、書き込み状態と比較してフローティングゲート内の電子が少ない状態になっている。

【0006】

実際のフラッシュメモリでは、メモリセルは単体ではなく、図2に示すように、複数のメモリセルがアレイ状に配列されメモリセルアレイが構成されている。ワード線($WL_0 \sim WL_n$)には複数(図2では $n+1$ 個)のフラッシュメモリセルの制御ゲートが接続され、ビット線($BL_0 \sim BL_m$)には複数(図2では $m+1$ 個)のフラッシュメモリセルのドレインが接続される。図2の場合、メモリセルアレイは $(n+1) \times (m+1)$ 個のフラッシュメモリセルから構成される。

30

【0007】

このように複数のメモリセルからなるメモリセルアレイでは、異なる閾値電圧を持つメモリセルが複数混在し得るため、これらの閾値電圧はメモリセルの個数分の分布を有することになる。

【0008】

これらの閾値電圧状態を図14に示す。図14は上述のフラッシュメモリセルが複数配置されたメモリセルアレイに関して各メモリセルの閾値電圧の分布を示したものであり、横軸はメモリセルの閾値電圧、縦軸は横軸で示される閾値電圧を有するメモリセルアレイ内のメモリセルの数を示している。図14で閾値電圧が高い4.5V以上の分布(閾値電圧範囲)が書き込み状態(プログラム状態)のメモリセルを現しており、閾値電圧が低い3V以下の分布(閾値電圧範囲)が消去状態(イレース状態)のメモリセルを現している。フラッシュメモリセルの閾値電圧が図14に示す2つの閾値電圧範囲の何れかに属することになれば、1つのフラッシュメモリセルによって2つの状態(記憶状態)を識別できることが分かる。

40

【0009】

このようなメモリセルの記憶状態の読み出しは、ドレインに V_{dr} (例えば1V) を印加し、制御ゲートに V_{gr} (例えば5V) を印加する。例えば、閾値電圧がイレース状態

50

で低い閾値電圧範囲内にある場合、メモリセルに電流が流れ、データ“1”と判定される。一方、閾値電圧がプログラム状態で高い閾値電圧範囲にある場合、メモリセルに電流が流れず、データ“0”と判定される。

【0010】

ETOX型フラッシュメモリの書き込み動作シーケンスにおいて、所望の閾値電圧範囲内に閾値電圧が変化したか否か、つまり正常に書き込みがなされたか否かを検証する読み出しステップとして、制御ゲートに V_{gv} （例えば5V）ドレインに V_{dv} （例えば1V）を印加してデータを読み出し、所定の基準電圧と比較する書き込みベリファイが行われる。

【0011】

ETOX型フラッシュメモリにおいて、図14に示した閾値電圧範囲を3領域以上設けることにより1つのメモリセルで1ビット（2値）より大きい多値記憶を実現することができる。3値以上のデータを設定する多値化の方法として閾値電圧範囲の低い状態から高い状態へ向かって書き込みとベリファイを繰り返し実行する、随時書き込み方法が一般的である。これは、例えば下記の非特許文献1～3に記載されている。

【0012】

図4に閾値電圧範囲を4領域設けた場合の閾値電圧分布例を示す。図4に示すように、閾値電圧の低い状態から、2ビットの記憶状態“11”、“10”、“01”、“00”を順番に割り当てる。また、図4に示す4つの閾値電圧範囲とフラッシュメモリセルのフローティングゲートに注入される電子数の関係を図15に示す。

【0013】

フローティングゲート内の電子数が増加するとフラッシュメモリセルの閾値電圧も上昇する。つまり、フローティングゲート内の電子が無い（少ない）状態が、閾値電圧の一番低い状態（ここでは記憶状態“11”（図4のData“11”））となりメモリセルの閾値電圧範囲は3.0V以下である。記憶状態“11”よりもフローティングゲートに電子が注入しフラッシュメモリセルの閾値電圧範囲が3.7V～4.2Vとなる状態を記憶状態“10”（図4のData“10”）とする。記憶状態“10”よりもフローティングゲートに電子が注入されフラッシュメモリセルの閾値電圧範囲が4.7V～5.2Vとなる状態を記憶状態“01”（図4のData“01”）とする。記憶状態“01”よりも更に多くの電子がフローティングゲートに注入され、閾値電圧範囲が5.7V以上となる状態を記憶状態“00”（図4のData“00”）とする。

【0014】

図16は、このように1つのメモリセルに4値を記憶させる場合の従来の随時書き込みシーケンスを示すフロー図である。また、図17は、図16に示す書き込みシーケンスに従った動作をワード線電圧及びビット線電圧によって時系列的に表現したものである。図17の各矩形の波形は、書き込み及びベリファイの両動作におけるワード線電圧及びビット線電圧を表しており、図16と図17で、対応する動作ステップには同じステップ番号を付している。

【0015】

メモリセルの初期状態の閾値電圧は、記憶状態“11”に対応する閾値電圧範囲にあるとする。このメモリセルを記憶状態“10”に対応する閾値電圧範囲に設定するワード線電圧を V_{g10} 、記憶状態“01”の閾値電圧範囲に設定するワード線電圧を V_{g01} 、記憶状態“00”の閾値電圧範囲に設定するワード線電圧を V_{g00} とする。ここで、各ワード線電圧の相互の関係は、 $V_{g10} < V_{g01} < V_{g00}$ である。これは、非特許文献3に記述されているように、メモリセルの制御ゲートに V_{gp} で書き込んだ後の閾値電圧を V_t とすると、制御ゲートに与える電圧を V_{gp} だけ増加させて書き込みを行うと、メモリセルの閾値電圧は V_t から V_{gp} だけ上昇する。つまり、メモリセルの閾値電圧を高くするためには、制御ゲートに印加する電圧を閾値電圧の上昇分だけ高くする必要がある。

【0016】

図 16 を参照しながら、従来の随時書き込みシーケンスを説明する。記憶状態 “ 1 1 ” をメモリセルの初期状態とし (S T 1)、記憶状態 “ 0 0 ” に書き込む場合、先ず、ワード線電圧を V_{g10} とし電圧が安定するまで待ち、ビット線に振幅 V_{dp} (例えば 5 V) の電圧でパルス幅 W_p (例えば 1 μ s e c) の電圧パルス印加して、記憶状態 “ 1 0 ” への書き込みを行い (S T 2)、ワード線電圧をベリファイ用の電圧 V_{gv} に、ビット線電圧をベリファイ用の電圧 V_{dv} に切り替え、各電圧が安定した後、読み出し動作により記憶状態 “ 1 0 ” のベリファイを行う (S T 3)。ベリファイの結果書き込みを行ったすべてのメモリセルが記憶状態 “ 1 0 ” に対応する閾値電圧範囲に閾値電圧が達しているか判定し (S T 4)、達していないメモリセルに対しては、書き込み時のワード線電圧 V_{g10} を V_{g10} だけ増加させ (S T 5)、当該ワード線電圧とビット線電圧パルス印加する書き込み (S T 2) とベリファイ (S T 3) を再度行い、全てのメモリセルが記憶状態 “ 1 0 ” に対応する閾値電圧範囲に閾値電圧が達するまで (S T 4)、S T 2 ~ 5 のステップを繰り返す。図 17 では、ここまでが “ 1 0 ” 書き込み期間に相当する。

【 0 0 1 7 】

全ての書き込み対象メモリセルの閾値電圧が、記憶状態 “ 1 0 ” に対応する閾値電圧範囲に達した後、ワード線電圧を V_{g01} に切り替えワード線電圧が安定した後パルス幅 W_p だけビット線に振幅 V_{dp} の電圧パルス印加し、記憶状態 “ 0 1 ” への書き込みを行う (S T 6)。続いて、ワード線電圧をベリファイ用の電圧 V_{gv} に、ビット線電圧をベリファイ用の電圧 V_{dv} に切り替え、各電圧が安定した後、読み出し動作により記憶状態 “ 0 1 ” のベリファイを行う (S T 7)。記憶状態 “ 1 0 ” への書き込みと同様に、全ての書き込み対象メモリセルが記憶状態 “ 0 1 ” に対応する閾値電圧範囲に達するまで (S T 8 で判定)、ワード線電圧を V_{g01} ずつ増加させ (S T 9)、当該ワード線電圧とビット線電圧パルス印加する書き込み (S T 6) とベリファイ (S T 7) を繰り返す。図 17 では、ここまでが “ 0 1 ” 書き込み期間に相当する。

【 0 0 1 8 】

全ての書き込み対象メモリセルの閾値電圧が、記憶状態 “ 0 1 ” に対応する閾値電圧範囲にまで達した後、ワード線電圧を V_{g00} に切り替えワード線電圧が安定した後、ステップ S T 6 と同じ要領で、記憶状態 “ 0 0 ” への書き込みを行う (S T 10)。続いて、ベリファイ用の電圧 V_{gv} に、ビット線電圧をベリファイ用の電圧 V_{dv} に切り替え、各電圧が安定した後、読み出し動作により記憶状態 “ 0 0 ” のベリファイを行う (S T 11)。全ての書き込み対象メモリセルが記憶状態 “ 0 0 ” に対応する閾値電圧範囲になるまで (S T 12) ワード線電圧を V_{g00} ずつ増加させ (S T 13)、当該ワード線電圧とビット線電圧パルス印加する書き込み (S T 10) とベリファイ (S T 11) を繰り返し、全ての書き込み対象メモリセルの閾値電圧が、記憶状態 “ 0 0 ” に対応する閾値電圧範囲に達する (S T 13) と、書き込みが完了する。図 17 では、ここまでが “ 0 0 ” 書き込み期間に相当する。

【 0 0 1 9 】

上述のように、従来の随時書き込みシーケンスでは、記憶状態 “ 0 0 ” への書き込み完了までに、記憶状態 “ 1 0 ” の書き込み工程 (S T 2 ~ 5)、記憶状態 “ 0 1 ” の書き込み工程 (S T 6 ~ 9)、記憶状態 “ 0 0 ” の書き込み工程 (S T 10 ~ 13) が夫々存在し、各書き込み工程において、全ての書き込み対象メモリセルの閾値電圧が、各記憶状態 “ 1 0 ” に対応する閾値電圧範囲に達するまで完了せず、次の書き込み工程に移行しない。尚、書き込み対象メモリセルの一部が、記憶状態 “ 0 0 ” に書き込むのではなく、記憶状態 “ 1 0 ” または記憶状態 “ 0 1 ” への書き込みである場合は、当該メモリセルに対しては、記憶状態 “ 1 0 ” の書き込み工程、または、記憶状態 “ 1 0 ” と “ 0 1 ” の書き込み工程だけが実行されることになるが、書き込みに要する時間は、記憶状態 “ 0 0 ” に書き込む場合が最大となる。

【非特許文献 1】 “ A Double - Level - Vth Select Gate Array Architecture for Multilevel NAND Flash Memories ” IEEE Journal Of Solid - Sta

10

20

30

40

50

te Circuits, Vol. 31, No. 4, 1996年4月

【非特許文献2】“A 117-mm² 3.3-V Only 128-Mb Multilevel NAND Flash Memory for Mass Storage Applications” IEEE Journal Of Solid-State Circuits, Vol. 31, No. 11, 1996年11月

【非特許文献3】“40-mm² 3-V-Only 50-MHz 64-Mb 2-b/Cell CHE NOR Flash Memory” IEEE Journal Of Solid-State Circuits, Vol. 35, No. 11, 2000年11月

【発明の開示】

10

【発明が解決しようとする課題】

【0020】

ETOX型フラッシュメモリセルの多値書き込み方法として、上述の従来の随時書き込みシーケンスを採用すると、ある初期状態から別の記憶状態への書き込みを行う場合に、その中間に別の記憶状態が存在する場合に、当該中間の記憶状態への書き込みを段階的に完了させるため、中間の記憶状態への書き込みにおいてもペリファイ工程が必要となる。その結果、その中間的なペリファイ工程のために、ワード線電圧及びビット線電圧の切替えが必要となり、これらの電圧が安定するまでの待ち時間が長くなり、書き込み動作が完了するまでの書き込み時間が長くなるという不都合が生じる。また、最終的な書き込みが完了するまでのペリファイ回数が増えるため、更に、書き込み時間が長くなる。

20

【0021】

複数のメモリセルからなるメモリセルアレイに対しては、更に、読み出し時のマージンを確保するために、各記憶状態に対応する閾値電圧範囲を狭くする必要があるので書き込み時の閾値電圧変化を高い精度で制御するために、書き込み時のワード線電圧を低く設定する、或いは、書き込みパルス幅を狭くする等の対策を講じるとすると、書き込み及びペリファイの回数が増加し、更に書き込み時間が長くなるという問題がある。

【0022】

本発明は、上記問題点に鑑みてなされたもので、その目的は、メモリセルが3値以上のデータを記憶可能な不揮発性半導体記憶装置において、多値データを高速に書き込める書き込み方法を提供することにある。

30

【課題を解決するための手段】

【0023】

上記目的を達成するための本発明に係る不揮発性半導体記憶装置の書き込み方法は、チャネル領域と制御ゲート間に絶縁膜を介して電荷蓄積領域の形成されたトランジスタを有し、前記電荷蓄積領域の電荷量に応じて決定される閾値電圧のレベルに応じて2以上の書き込み状態を含む3以上の記憶状態を取り得るメモリセルを行方向及び列方向に夫々複数配列し、同一行の前記メモリセルの前記制御ゲートを相互に接続して共通のワード線とし、同一列の前記メモリセルのドレインを相互に接続して共通のビット線として構成されたメモリセルアレイを備えてなる不揮発性半導体記憶装置の書き込み方法であって、前記2以上の書き込み状態に各別に対応する複数の書き込みゲート電圧を予め設定しておき、書き込み対象メモリセルに、書き込み前の記憶状態に対応する閾値電圧範囲と書き込み後の記憶状態に対応する閾値電圧範囲との間に、他の記憶状態に対応する閾値電圧範囲が少なくとも1つ存在する場合において、前記書き込み対象メモリセルに接続する前記ワード線に、少なくとも1つの前記他の記憶状態に各別に対応する少なくとも1つの第1書き込みゲート電圧を夫々印加し、前記書き込み対象メモリセルに接続する前記ビット線に、所定の書き込みドレイン電圧を印加する第1書き込み工程と、前記書き込み対象メモリセルに接続する前記ワード線に、前記書き込み後の書き込み状態に対応する第2書き込みゲート電圧を印加し、前記書き込み対象メモリセルに接続する前記ビット線に、所定の書き込みドレイン電圧を印加する第2書き込み工程を夫々実行した後に、前記書き込み対象メモリセルが書き込まれたか否かを検証するペリファイ工程を実行することを第1の特徴とする

40

50

。

【 0 0 2 4 】

上記第 1 の特徴を備えた本発明に係る不揮発性半導体記憶装置の書き込み方法は、メモリセルが 2 以上の書き込み状態を含む 3 以上の記憶状態を取り得る多値メモリセルへの多値データの書き込み方法であって、メモリセルを構成するトランジスタの閾値電圧を、書き込み後の記憶状態に対応した書き込みゲート電圧を、ワード線を閉して制御ゲートに印加することで、書き込み対象メモリセルの閾値電圧を目的とする記憶状態に対応した閾値電圧範囲に収めることができる。ここで、書き込み対象メモリセルの書き込み前の閾値電圧が低く、書き込み後の閾値電圧が高い場合に、印加する書き込みゲート電圧も高くなるため、メモリセルに過大なドレイン電流が流れ、書き込み時の消費電流、特にピーク電流が増大するという問題が生じるので、これを回避するために、書き込み前の記憶状態に対応する閾値電圧範囲と書き込み後の記憶状態に対応する閾値電圧範囲との間に、他の記憶状態に対応する閾値電圧範囲が少なくとも 1 つ存在する場合には、他の記憶状態への書き込みを実行してから最終的に目的とする書き込み状態に到達するように段階的な書き込みを実行する。ところで、本特徴の書き込み方法によれば、他の記憶状態への書き込みを実行しても、そのベリファイ動作を行わずに、最終的に目的とする書き込み状態までの書き込み動作を連続して行うため、中間的なベリファイ動作に伴う遅延時間を回避でき、最終的に書き込みが完了するまでの書き込み時間の大幅な短縮が可能となる。更に、中間的なベリファイ動作を省略しても、中間に存在する他の記憶状態への書き込みは、完全か不完全かは別として、対応する書き込みゲート電圧が印加されていることから、メモリセルの閾値電圧は、確実に高くなっているので、消費電流の抑制効果は十分に果たされ、しかも最終的な書き込み状態に対するベリファイ動作は確実に実行されるので、書き込み後の閾値電圧は、目的とする記憶状態に対応する閾値電圧範囲内に収めることができる。

【 0 0 2 5 】

ここで、書き込み対象メモリセルの書き込み前の閾値電圧が最も低い閾値電圧範囲にあるときに、消費電流の面では最悪条件となるが、書き込み前の閾値電圧が最も低い閾値電圧範囲にあっても、その分、中間の他の記憶状態が増えれば、第 1 書き込み工程での第 1 書き込みゲート電圧が増えて、段階的に書き込み対象メモリセルの閾値電圧が徐々に高くなっていくので、過大なドレイン電流が流れるという問題は解決される。また、1 つのメモリセルの取り得る記憶状態が増えるほどに、中間の他の記憶状態が増えることになり、1 回の第 1 書き込み工程での第 1 書き込みゲート電圧の印加回数が増えるが、ベリファイ工程は、記憶状態の数、つまり、多値レベルに拘わらず一連の第 1 書き込み工程と第 2 書き込み工程に対し 1 回に固定されているので、多値レベルが大きいほど、書き込み時間は長くなるが、書き込み時間の短縮効果も大きくなる。

【 0 0 2 6 】

同書き込み方法は、更に、上記第 1 の特徴に加え、前記ベリファイ工程において、前記書き込み対象メモリセルが書き込まれていないと判定された場合、前記第 1 書き込み工程と前記第 2 書き込み工程の内、少なくとも前記第 2 書き込み工程を再度実行することを第 2 の特徴とする。

【 0 0 2 7 】

上記第 2 の特徴を備えた同書き込み方法によれば、最終的には、書き込み対象メモリセルの閾値電圧を目的とする記憶状態に対応する閾値電圧範囲内に収めることができる。つまり、ベリファイ工程において、書き込み対象メモリセルが書き込まれている（閾値電圧が目的とする記憶状態に対応する閾値電圧範囲に収まる）ことが確認できるまで、第 1 書き込み工程と第 2 書き込み工程の内、少なくとも第 2 書き込み工程を繰り返し実行することで、当該メモリセルが、完全な不良セルでない限り、最終的に書き込み対象メモリセルの閾値電圧を目的とする記憶状態に対応する閾値電圧範囲内に収めることができる。ここで、1 回目の第 1 書き込み工程で、書き込み前の閾値電圧が高くなっているため、2 回目以降において、第 1 書き込み工程を省略したとしても消費電流の抑制効果は十分に期待される。

【 0 0 2 8 】

尚、書き込み対象メモリセルが同一ワード線上に複数ある場合に、ペリファイ工程で書き込みがなされていないと判定されたためメモリセルが複数で、その1つの最終的な書き込み状態が、他のメモリセルの最終的な書き込み状態に対し中間の他の記憶状態に該当する場合も当然にあり得るので、その他のメモリセルについては、第1書き込み工程で少なくとも第1書き込みゲート電圧は印加されるので、第1書き込み工程と第2書き込み工程の両方を実行する場合もあり得る。但し、フラッシュメモリセルを想定した場合、第1書き込みゲート電圧は、第2書き込みゲート電圧より低いので、第1書き込み工程の実行は閾値電圧の変化に大きな影響は与えない。

【 0 0 2 9 】

10

同書き込み方法は、更に、上記第2の特徴に加え、再度実行される2回目以降の前記第1書き込み工程と前記第2書き込み工程の少なくとも一方において印加される前記第1書き込みゲート電圧または前記第2書き込みゲート電圧が、1回目に印加された前記第1書き込み工程または前記第2書き込み工程における夫々の電圧値より高く設定されていることを第3の特徴とする。

【 0 0 3 0 】

上記第3の特徴を備えた同書き込み方法によれば、再度実行される2回目以降の第1書き込み工程または第2書き込み工程において、書き込みゲート電圧が高く設定されるので、書き込まれ難いメモリセルに対し、書き込みを促進させて、第1書き込み工程または第2書き込み工程の繰り返し回数を少なく抑えることができ、書き込まれ難いメモリセルで

20

【 0 0 3 1 】

同書き込み方法は、更に、上記第2または第3の特徴に加え、再度実行される2回目以降の前記第1書き込み工程と前記第2書き込み工程の少なくとも一方において印加される前記第1書き込みゲート電圧または前記第2書き込みゲート電圧が、前記書き込みドレイン電圧と同時に前記書き込み対象メモリセルに印加される書き込み期間が、1回目の前記書き込み期間より長く設定されていることを第4の特徴とする。

【 0 0 3 2 】

上記第4の特徴を備えた同書き込み方法によれば、第3の特徴と同様に、再度実行される2回目以降の第1書き込み工程または第2書き込み工程において、1回の書き込み工程でのゲート電圧の実質的な印加期間が長く設定されるので、書き込まれ難いメモリセルに対し、書き込みを促進させて、第1書き込み工程または第2書き込み工程の繰り返し回数を少なく抑えることができ、書き込まれ難いメモリセルで律速されるワーストの書き込み時間をトータルで短縮することができる。

30

【 0 0 3 3 】

同書き込み方法は、チャネル領域と制御ゲート間に絶縁膜を介して電荷蓄積領域の形成されたトランジスタを有し、前記電荷蓄積領域の電荷量に応じて決定される閾値電圧のレベルに応じて2以上の書き込み状態を含む3以上の記憶状態を取り得るメモリセルを行方向及び列方向に夫々複数配列し、同一行の前記メモリセルの前記制御ゲートを相互に接続して共通のワード線とし、同一列の前記メモリセルのドレインを相互に接続して共通のビット線として構成されたメモリセルアレイを備えてなる不揮発性半導体記憶装置の書き込み方法であって、前記2以上の書き込み状態に各別に対応する複数の書き込みゲート電圧を予め設定しておき、同一の前記ワード線に接続する2以上の書き込み対象メモリセルに同時に書き込む場合において、前記2以上の書き込み対象メモリセルに接続する前記ワード線に、書き込み後の書き込み状態を含む2以上の書き込み状態に対応する2以上の前記書き込みゲート電圧を電圧値の低い順に順次印加し、前記書き込みゲート電圧の各印加と同時に、前記書き込み対象メモリセルに接続する前記ビット線の少なくとも1つに、所定の書き込みドレイン電圧を印加する書き込み工程を実行した後に、前記2以上の書き込み対象メモリセルが夫々書き込まれたか否かを検証するペリファイ工程を実行することを第5の特徴とする。

40

50

【 0 0 3 4 】

上記第5の特徴を備えた同書き込み方法は、メモリセルが2以上の書き込み状態を含む3以上の記憶状態を取り得る多値メモリセルへの多値データの書き込み方法であって、メモリセルを構成するトランジスタの閾値電圧を、書き込み後の記憶状態に対応した書き込みゲート電圧を、ワード線に関して制御ゲートに印加することで、同一のワード線に接続する2以上の書き込み対象メモリセルの閾値電圧を夫々の目的とする記憶状態に対応した閾値電圧範囲に収めることができる。ここで、目的とする記憶状態に対応した閾値電圧範囲の高い方のメモリセルの方がメモリセル単位の書き込み時間が長くなるが、当該メモリセルについては、少なくとも他方のメモリセルの書き込み後の書き込み状態に対応する書き込みゲート電圧の印加が、上記第1の特徴の書き込み方法における第1書き込み工程となつて、上記第1の特徴の書き込み方法と同じ、書き込み時間の短縮効果と消費電流の低減効果が同時に発揮される。この結果、同時に書き込む全ての書き込み対象メモリセルについても書き込み時間の短縮が図れる。

10

【 0 0 3 5 】

また、2以上の書き込み対象メモリセルの全てが同じ書き込み後の書き込み状態である場合でも、2以上の書き込みゲート電圧を電圧値の低い順に順次印加するので、電圧値の低い方の書き込みゲート電圧を、書き込み後の書き込み状態に対応する書き込みゲート電圧より低く設定すれば、最初に印加する書き込みゲート電圧は、上記第1の特徴の書き込み方法における第1書き込み工程となつて、上記第1の特徴の書き込み方法と同じ、書き込み時間の短縮効果と消費電流の低減効果が同時に発揮される。

20

【 0 0 3 6 】

同書き込み方法は、更に、上記第5の特徴に加え、前記書き込み工程において印加する2以上の前記書き込みゲート電圧に、書き込み後の書き込み状態に対応する前記書き込みゲート電圧より低い電圧値の前記書き込みゲート電圧が含まれることを第6の特徴とする。

【 0 0 3 7 】

上記第6の特徴を備えた同書き込み方法によれば、2以上の書き込み対象メモリセルの内、目的とする記憶状態に対応した閾値電圧範囲の低い方のメモリセルについても、書き込み後の書き込み状態に対応する書き込みゲート電圧より低い電圧値の書き込みゲート電圧が印加されるので、当該印加が上記第1の特徴の書き込み方法における第1書き込み工程となつて、上記第1の特徴の書き込み方法と同じ、消費電流の低減効果が発揮される。また、当該印加は、目的とする記憶状態に対応した閾値電圧範囲の高い方のメモリセルについても、消費電流の低減効果が発揮される。

30

【 0 0 3 8 】

同書き込み方法は、更に、上記第5または第6の特徴に加え、前記書き込み工程において、前記所定の書き込みドレイン電圧の印加される前記ビット線は、そのビット線に接続する前記書き込み対象メモリセルの前記所定の書き込みドレイン電圧印加前の記憶状態に対応する閾値電圧範囲が、前記所定の書き込みドレイン電圧印加時に印加される前記書き込みゲート電圧を決定する書き込み状態に対応する閾値電圧範囲より低いことを第7の特徴とする。

40

【 0 0 3 9 】

上記第7の特徴を備えた同書き込み方法によれば、書き込み対象メモリセルの閾値電圧が高くなる場合にのみ所定の書き込みドレイン電圧が印加されるので、既に閾値電圧が目的とする記憶状態に対応する閾値電圧範囲内に収まっている書き込み対象メモリセルに、書き込みゲート電圧と書き込みドレイン電圧が印加され、当該適正な閾値電圧範囲を超えて過剰に書き込まれるのを防止できる。

【 0 0 4 0 】

同書き込み方法は、更に、上記第5～第7の何れかの特徴に加え、前記ベリファイ工程において、前記書き込み対象メモリセルの少なくとも1つが書き込まれていないと判定された場合、前記書き込み工程を再度実行することを第8の特徴とする。

50

【 0 0 4 1 】

上記第 8 の特徴を備えた同書き込み方法によれば、最終的には、2 以上の書き込み対象メモリセルの閾値電圧を全て目的とする記憶状態に対応する閾値電圧範囲内に収めることができる。

【 0 0 4 2 】

同書き込み方法は、更に、上記第 8 の特徴に加え、再度実行される 2 回目以降の前記書き込み工程における前記書き込み対象メモリセルから、前記ペリファイ工程で書き込まれていると判定された書き込み済みメモリセルを除外することを第 9 の特徴とする。

【 0 0 4 3 】

上記第 9 の特徴を備えた同書き込み方法によれば、2 回目以降の書き込み工程を未書き込みの書き込み対象メモリセルに対してのみ実行することで、書き込み済みの書き込み対象メモリセルに接続するビット線を不必要に充放電することがなく、消費電流の低減が図れるとともに、上述の過剰書き込みも防止できる。

【 0 0 4 4 】

同書き込み方法は、更に、上記第 8 の特徴に加え、1 回目及び再度実行される 2 回目以降の前記書き込み工程の内、少なくとも 1 回目の前記書き込み工程において印加する 2 以上の前記書き込みゲート電圧に、書き込み後の書き込み状態に対応する前記書き込みゲート電圧より低い電圧値の前記書き込みゲート電圧が含まれることを第 10 の特徴とする。

【 0 0 4 5 】

上記第 10 の特徴を備えた同書き込み方法によれば、2 以上の書き込み対象メモリセルの全てに対して、少なくとも 1 回は、書き込み状態に対応する書き込みゲート電圧が段階的に印加されるために、メモリセルに過大なドレイン電流が流れ、書き込み時の消費電流、特にピーク電流が増大するのを防止できる。また、2 回目以降の書き込み工程では、任意に、書き込み後の書き込み状態に対応する書き込みゲート電圧より低い電圧値の書き込みゲート電圧の印加を中止することで、書き込み時間の短縮が図れる。

【 0 0 4 6 】

本発明に係る不揮発性半導体記憶装置は、チャネル領域と制御ゲート間に絶縁膜を介して電荷蓄積領域の形成されたトランジスタを有し、前記電荷蓄積領域の電荷量に応じて決定される閾値電圧のレベルに応じて 2 以上の書き込み状態を含む 3 以上の記憶状態を取り得るメモリセルを行方向及び列方向に夫々複数配列し、同一行の前記メモリセルの前記制御ゲートを相互に接続して共通のワード線とし、同一列の前記メモリセルのドレインを相互に接続して共通のビット線として構成されたメモリセルアレイと、書き込み対象メモリセルに接続する前記ワード線に前記 2 以上の書き込み状態に各別に対応して予め設定された複数の書き込みゲート電圧を選択的に印加し、前記書き込み対象メモリセルに接続する前記ビット線に所定の書き込みドレイン電圧を印加する書き込み手段と、前記書き込み対象メモリセルが書き込まれたか否かを検証するペリファイ手段と、を備えてなる不揮発性半導体記憶装置であって、前記書き込み対象メモリセルに、書き込み前の記憶状態に対応する閾値電圧範囲と書き込み後の記憶状態に対応する閾値電圧範囲との間に、他の記憶状態に対応する閾値電圧範囲が少なくとも 1 つ存在する場合において、前記書き込み手段が、前記書き込み対象メモリセルに接続する前記ワード線に、少なくとも 1 つの前記他の記憶状態に各別に対応する少なくとも 1 つの第 1 書き込みゲート電圧を夫々印加し、前記書き込み対象メモリセルに接続する前記ビット線に、所定の書き込みドレイン電圧を印加する第 1 書き込み工程と、前記書き込み対象メモリセルに接続する前記ワード線に、前記書き込みデータに対応する第 2 書き込みゲート電圧を印加し、前記書き込み対象メモリセルに接続する前記ビット線に、所定の書き込みドレイン電圧を印加する第 2 書き込み工程を夫々実行した後に、前記ペリファイ手段が、前記書き込み対象メモリセルに前記書き込みデータが書き込まれたか否かを検証するペリファイ工程を実行することを第 1 の特徴とする。

【 0 0 4 7 】

上記第 1 の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、書き込み手段

10

20

30

40

50

が、上記第 1 ～ 第 4 の特徴の本発明に係る不揮発性半導体記憶装置の書き込み方法における第 1 書き込み工程と第 2 書き込み工程を実行し、ペリファイ手段が第 1 書き込み工程と第 2 書き込み工程の実行後にペリファイ工程を実行するので、上記第 1 ～ 第 4 の特徴の本発明に係る不揮発性半導体記憶装置の書き込み方法の作用効果を奏することができ、書き込み時間の大幅な短縮が図れる。

【 0 0 4 8 】

同不揮発性半導体記憶装置は、更に、チャネル領域と制御ゲート間に絶縁膜を介して電荷蓄積領域の形成されたトランジスタを有し、前記電荷蓄積領域の電荷量に応じて決定される閾値電圧のレベルに応じて 2 以上の書き込み状態を含む 3 以上の記憶状態を取り得るメモリセルを行方向及び列方向に夫々複数配列し、同一行の前記メモリセルの前記制御ゲートを相互に接続して共通のワード線とし、同一列の前記メモリセルのドレインを相互に接続して共通のビット線として構成されたメモリセルアレイと、書き込み対象メモリセルに接続する前記ワード線に前記 2 以上の書き込み状態に各別に対応して予め設定された複数の書き込みゲート電圧を選択的に印加し、前記書き込み対象メモリセルに接続する前記ビット線に所定の書き込みドレイン電圧を印加する書き込み手段と、前記書き込み対象メモリセルが書き込まれたか否かを検証するペリファイ手段と、を備えてなる不揮発性半導体記憶装置であって、同一の前記ワード線に接続する 2 以上の書き込み対象メモリセルに同時に書き込む場合において、前記書き込み手段が、前記 2 以上の書き込み対象メモリセルに接続する前記ワード線に、書き込み後の書き込み状態を含む 2 以上の書き込み状態に対応する 2 以上の前記書き込みゲート電圧を電圧値の低い順に順次印加し、前記書き込みゲート電圧の各印加と同時に、前記書き込み対象メモリセルに接続する前記ビット線の少なくとも 1 つに、所定の書き込みドレイン電圧を印加する書き込み工程を実行した後に、前記ペリファイ手段が、前記 2 以上の書き込み対象メモリセルが夫々書き込まれたか否かを検証するペリファイ工程を実行することを第 2 の特徴とする。

【 0 0 4 9 】

上記第 2 の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、書き込み手段が、上記第 1 ～ 第 4 の特徴の本発明に係る不揮発性半導体記憶装置の書き込み方法における書き込み工程を実行し、ペリファイ手段が書き込み工程の実行後にペリファイ工程を実行するので、上記第 5 ～ 第 10 の特徴の本発明に係る不揮発性半導体記憶装置の書き込み方法の作用効果を奏することができ、書き込み時間の大幅な短縮が図れる。

【 0 0 5 0 】

同不揮発性半導体記憶装置は、更に、上記第 1 または第 2 の特徴に加えて、前記ペリファイ手段が、同時に前記ペリファイ工程を実行するペリファイ対象メモリセル毎に、前記メモリセルが取り得る前記書き込み状態の数に応じた複数のセンスアンプを備えてなり、前記複数のセンスアンプの夫々に異なる固有の電圧値の参照電圧が用いられることを第 3 の特徴とする。

【 0 0 5 1 】

同不揮発性半導体記憶装置は、更に、上記第 1 または第 2 の特徴に加えて、前記ペリファイ手段が、同時に前記ペリファイ工程を実行するペリファイ対象メモリセル毎に 1 つのセンスアンプを備えてなり、前記センスアンプに前記メモリセルが取り得る前記書き込み状態の数に応じた複数の夫々異なる電圧値の参照電圧がスイッチ回路を介して選択的に用いられることを第 4 の特徴とする。

【 0 0 5 2 】

上記第 3 または第 4 の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、目的とする記憶状態に対応する閾値電圧範囲の下限値をセンスアンプの参照電圧とすることで、書き込み対象メモリセルの閾値電圧が書き込みゲート電圧と書き込みドレイン電圧の印加により高くなって、当該閾値電圧範囲に入ったことを判定でき、ペリファイ手段が、書き込み対象メモリセルが書き込まれたか否かを検証することができる。

【 発明を実施するための最良の形態 】

【 0 0 5 3 】

本発明に係る不揮発性半導体記憶装置（以下、適宜「本発明装置」という。）及びその書き込み方法（以下、適宜「本発明方法」という。）の一実施の形態につき、図面に基づいて説明する。

【0054】

第1実施形態

図1は、本発明装置10の一実施の形態の機能的な概略構成を示すブロック構成図である。尚、図1では、複数のアドレス入力信号（図中ADD）、複数のデータ入力信号（図中DI）、複数の制御信号（図中CTRL）等の入力回路、複数のデータ出力信号（図中DO）等の出力回路、及び、アドレス入力信号のデコーダ回路等の周辺回路の詳細は、公知のフラッシュメモリ等の不揮発性半導体記憶装置と同様であるため、その記載を省略してある。図1は、専ら、本発明装置10のメインメモリアレイ11（以下、単にメモリアレイ11と称す。）の書き込み動作に係る回路部分を中心に記載してある。

10

【0055】

図1に示すように、本発明装置10は、メモリアレイ11、リファレンスメモリアレイ12、メモリアレイ11とリファレンスメモリアレイ12のワード線にワード線電圧を供給するワード線電圧供給回路13、メモリアレイ11とリファレンスメモリアレイ12のビット線にビット線電圧を供給するビット線電圧供給回路14、メモリアレイ11の選択されたビット線から読み出された読み出し電圧と、リファレンスメモリアレイ12の選択されたビット線から読み出された参照電圧と、を比較してメモリアレイ11の選択された複数のメモリスルの書き込み状態を検証する複数のセンスアンプで構成されるセンスアンプ・アレイ15、書き込み工程中に、ワード線電圧として供給される書き込みゲート電圧とビット線電圧として供給される書き込みドレイン電圧を発生する書き込み電圧発生回路16、ベリファイ工程中に、ワード線電圧として供給されるベリファイゲート電圧とビット線電圧として供給されるベリファイドレイン電圧を発生する読み出し電圧発生回路17、及び、上記各回路13～17の動作を制御する制御回路18を備えて構成される。

20

【0056】

メモリアレイ11は、図2に示すように、メモリスル100を行方向及び列方向に夫々複数配列し、同一行のメモリスル100の制御ゲートを複数個相互に接続して共通のワード線WL0～WLnとし、同一列のメモリスル100のドレインを複数個相互に接続して共通のビット線BL0～BLmとし、各メモリスル100のソースは相互に接続して共通ソース線SLとして構成される。ユーザのデータはメモリアレイ11に記憶される。メモリスル100は、図12に示すように、従来のETOX型フラッシュメモリ等のフローティングゲート型のフラッシュメモリスルと同様のトランジスタ構造であり、チャンネル領域41と制御ゲート42間に絶縁膜43、44を介して電荷蓄積領域として機能する浮遊ゲート（フローティングゲート）40の形成されたトランジスタで構成され、浮遊ゲート40の電荷量に応じて決定されるトランジスタの閾値電圧のレベルに応じて2以上の書き込み状態を含む3以上の記憶状態を取り得る。

30

【0057】

リファレンスメモリアレイ12も、メモリアレイ11と同様に、図2に示すようなアレイ状にフラッシュメモリスル100を配列して構成される。書き込み動作のベリファイ及び通常のアレイ読み出し動作において、センスアンプに対して参照電圧を供給する。メモリアレイ11と共通のワード線を使用することで、読み出しマージンの劣化を防いでいる。ここで、リファレンスメモリアレイ12の各列のメモリスル100には、アレイ読み出し用、書き込みベリファイ用、消去ベリファイ用に特化して、予め所定の閾値電圧に設定（プログラム）されている。

40

【0058】

ワード線電圧供給回路13は、制御回路18の制御によって、書き込み工程では、書き込み電圧発生回路16が発生する書き込みゲート電圧を、後述する書き込み手順に従って選択し、アドレス入力信号で選択されたワード線に供給し、ベリファイ工程では、読み出し電圧発生回路17が発生するベリファイゲート電圧を同じ選択ワード線に供給する。ビ

50

ット線電圧供給回路 14 は、制御回路 18 の制御によって、書き込み工程では、書き込み電圧発生回路 16 が発生する書き込みドレイン電圧を、アドレス入力信号で選択されたビット線に所定のパルス幅の電圧パルスとして供給し、ベリファイ工程では、読み出し電圧発生回路 17 が発生するベリファイドレイン電圧を同じ選択ビット線に供給する。

【0059】

ベリファイ工程で、読み出し電圧発生回路 17 が発生するベリファイゲート電圧とベリファイドレイン電圧が、夫々ワード線電圧供給回路 13 とビット線電圧供給回路 14 によって、メモリアレイ 11 とリファレンスメモリアレイ 12 の選択されたメモリセルに印加され、メモリアレイ 11 の読み出し電圧とリファレンスメモリアレイ 12 の読み出し電圧（参照電圧）がセンスアンプ・アレイ 15 の各センスアンプに夫々接続され、各センスアンプの出力が、制御回路 18 に出力され、制御回路 18 で、ベリファイの判定（書き込みがなされたか否かの判定）が行われる、判定結果は、本発明方法の書き込みシーケンスの制御に用いられる。尚、詳細については後述する。一方、通常の読み出し時には、各センスアンプの出力は、出力バッファ回路（図 1 では、制御回路 18 に含まれている。）に接続され、データ出力として外部の出力端子に出力する。

10

【0060】

制御回路 18 は、外部からの書き込み信号（制御信号入力、または、データ入力信号によるコマンド入力による書き込み指示）を受け、本発明方法の書き込みシーケンスの制御（書き込み工程とベリファイ工程の切替え）と、ワード線電圧及びビット線電圧の設定及び印加時間の調整等を行う。また、書き込むデータ、または、ベリファイ結果を基に、書き込みパルス（ビット線電圧）を印加するメモリセルの選択も行う。

20

【0061】

本発明方法は、メモリセル、或いは、メモリセルアレイへの多値データの書き込み方法に関するものであり、図 1 中の制御回路 18 で制御される。以下、説明の簡単のため、多値レベルが 4 値の場合を想定して、書き込み時間の短縮化を実現する本発明方法につき、図 3 に示すフローチャートを用いて説明する。

【0062】

図 4 に示すように、メモリセルの記憶状態を、閾値電圧範囲の低い状態から順に 4 値（2 ビット）の記憶状態 “11”（例えば 1.0 V 以上 3.0 V 以下の閾値電圧範囲）、“10”（例えば 3.7 V 以上 4.2 V 以下の閾値電圧範囲）、“01”（例えば 4.7 V 以上 5.2 V 以下の閾値電圧範囲）、“00”（例えば 5.7 V 以上 6.2 V 以下の閾値電圧範囲）と対応付けるものとする。また、図 5 に各メモリセルの制御ゲートとドレインに印加するワード線電圧とビット線電圧の電圧パルス波形を示す。図 5 中、太実線がワード線電圧、破線がビット線電圧を現している。尚、各メモリセルのソース（共通ソース線）は、書き込み及びベリファイ工程中は何れも接地されている。

30

【0063】

以下、図 3 及び図 5 を参照して本発明方法によるメモリセル及びメモリセルアレイへの書き込みシーケンスを説明する。まず、1 つのメモリセルに着目して本発明方法の一実施例を示す。メモリセルの閾値電圧が、記憶状態 “00” に対応する閾値電圧範囲になるよう書き込みを行う場合を考える。ここで、メモリセルの初期状態の閾値電圧は、“11”、“10”、“01”、“00” の何れの記憶状態に対応するものでも構わないが、ここでは、記憶状態 “11” に対応する閾値電圧であるとする。各電圧の初期状態として、例えば、ワード線電圧 0 V、ビット線電圧 0 V、ソース電圧 0 V（ソース電圧は書き込み期間中 0 V に固定）であるとする（ST20）。書き込みデータ（目的とする記憶状態に対応）の読み込み（本実施例では “00”）、及び、書き込み対象メモリセルの現在（書き込み前）の記憶状態の読み出し（本実施例では “11”）は、前処理段階（ST20）で実行される。

40

【0064】

この初期状態からワード線に電圧 $V_{g10}[n]$ （例えば 6 V。図 5 の t_{0-Vgp} の期間）にし、ビット線に振幅 $V_{dp10}[n]$ （例えば 5 V）としパルス幅 $W_{p10}[n]$ （

50

例えば $1 \mu\text{s ec}$ 。図 5 の $Wp10$ の期間) の書き込み電圧パルス印加する (ST21)。ここで、 n は 0 または自然数で、後述する一連の再書き込みサイクルの回数を表す。ここでは初期状態からの書き込みを説明するため、 $n = 0$ とする。この書き込みパルスの印加後、メモリセルの閾値電圧は 3.0 V 以下から 3.7 V 付近へ上昇する。尚、再書き込み回数を示す n は、図 2 に示すメモリアレイ 11 のワード線 WL の本数 n とは無関係である。

【0065】

次に、ワード線電圧を $Vg01[0]$ (例えば 7 V) に切替え (図 5 の $t_{Vgp-Vgp}$ の期間)、ビット線に振幅 $Vdp01[0]$ (例えば 5 V) でパルス幅 $Wp01[0]$ (例えば $1 \mu\text{s ec}$ 。図 5 の $Wp01$ の期間) の書き込みパルス印加する (ST22)。この書き込みパルスにより、メモリセルの閾値電圧は 4.7 V 付近に上昇する。更に、ワード線電圧を $Vg00[0]$ (例えば 8 V) に切替え (図 5 の $t_{Vgp-Vgp}$ 期間)、ビット線に振幅 $Vdp00[0]$ (例えば 5 V) でパルス幅 $Wp00[n]$ (例えば $1 \mu\text{s ec}$ 、図 5 の $Wp00$ の期間) の書き込みパルスの印加を行う (ST23)。このとき、書き込み対象のメモリセルの閾値電圧は約 5.7 V に達する。ここで、各記憶状態への書き込み時のワード線電圧は従来の書き込みシーケンスと同じく、 $Vg10[n] < Vg01[n] < Vg00[n]$ の関係を有するが、本発明方法では従来と異なり、書き込みパルスの印加毎にベリファイ動作を行わない。以上、ステップ ST21 ~ ST23 が本発明方法の書き込み工程で、特に、ステップ ST21、ST22 を第 1 書き込み工程、ステップ ST23 を第 2 書き込み工程と称する。

【0066】

次に、ステップ ST21 ~ ST23 の書き込み工程を一通り終了後に、ベリファイ工程 (ST24、ST25) を実行する。先ず、ベリファイ用にワード線電圧を Vgv (例えば 5.5 V) に、ビット線電圧を Vdv (例えば 1 V) に切替え、メモリセルへの書き込み状態 “00” のベリファイ (読み出し) を行う (ST24)。

【0067】

このベリファイ (ST24) は、例えば、図 6 に示すような複数のセンスアンプ 20 を備えた読み出し回路 21 (図 1 のセンスアンプ・アレイ 15 の一部に相当) で実行される。図 6 の例では、メモリアレイ 11 内の書き込み対象メモリセル 100a に接続されたビット線が、複数のセンスアンプ 20 に接続されており、同時に 3 つの書き込み状態 “00”、“01”、“10” のベリファイが行える。この読み出し回路 21 では、ビット線は複数のセンスアンプ 20 に一方の入力に接続され、センスアンプ 20 は、他方の入力に接続されるベリファイ用リファレンスセル 101a ~ 101c の出力電圧 (参照電圧) と比較したベリファイ結果を出力する。ここで、ベリファイ用リファレンスセル 101a が書き込み状態 “10” 用で、参照電圧 3.7 V を出力し、ベリファイ用リファレンスセル 101b が書き込み状態 “01” 用で、参照電圧 4.7 V を出力し、ベリファイ用リファレンスセル 101c が書き込み状態 “00” 用で、参照電圧 5.7 V を出力する。全てのセンスアンプ 20 に入力される参照電圧が同じならば、ある 1 つのデータのみを判定するベリファイになり、各センスアンプ 20 に入力される参照電圧が各々異なる電圧であれば複数の異なるデータを判定するベリファイを同時に行える。尚、図中、回路ブロック 22 は、書き込み対象メモリセル 100a 及びベリファイ用リファレンスセル 101a ~ 101c に夫々接続するビット線を選択するためのビット線選択回路で、NMOS の転送ゲート等で構成されている。

【0068】

また、上記ベリファイ (ST24) は、図 6 に示す読み出し回路 21 に代えて、例えば、図 7 に示すような書き込み対象メモリセル 100a 毎に 1 つのセンスアンプ 20 を備えた読み出し回路 23 (図 1 のセンスアンプ・アレイ 15 の一部に相当) を用いてもよい。図 7 の例では、メモリアレイ 11 内の書き込み対象メモリセル 100a に接続された各ビット線が、1 つのセンスアンプ 20 の一方の入力に接続されており、他方の入力に接続されるベリファイ用リファレンスセル 101a ~ 101c の出力電圧 (参照電圧) をスイッチ回

路 2 4 で順次切り替えて比較することで、同一ワード線上の複数の書き込み対象メモリセル 1 0 0 a に書き込まれた異なる記憶状態のベリファイが同時に行える。

【 0 0 6 9 】

読出し回路 2 1 または 2 3 のベリファイ結果は、制御回路 1 8 に出力され、ベリファイ結果がパス（本実施例では、書き込み対象メモリセル 1 0 0 a の閾値電圧が 5 . 7 V 以上）であれば、制御回路 1 8 の制御により、ワード線電圧及びビット線電圧を初期状態へ戻し、書き込みシーケンスを終了させる（S T 2 5、図 5 の $t_{Vg v - 0}$ の期間）。

【 0 0 7 0 】

ステップ S T 2 5 で、ベリファイ結果がフェイル（本実施例では、書き込み対象メモリセル 1 0 0 a の閾値電圧が 5 . 7 V 未満）であれば、制御回路 1 8 の制御により、ステップ S T 2 1 に戻り、書き込みシーケンスのステップ S T 2 1 ~ S T 2 4 が繰り返される。尚、図 3 に示す実施例では、2 回目以降に印加されるワード線電圧 $V_{g10}[n]$ 、 $V_{g01}[n]$ 、 $V_{g00}[n]$ ($n = 1, 2, 3 \dots$) は、夫々、1 回目のワード線電圧 $V_{g10}[0]$ 、 $V_{g01}[0]$ 、 $V_{g00}[0]$ と同じである。

【 0 0 7 1 】

次に、書き込み対象メモリセルを、記憶状態 “ 0 1 ” となるように書き込む場合を考える。初期（書き込み前）の記憶状態は “ 1 1 ” または “ 1 0 ” を想定する。つまり、初期の記憶状態 “ 0 0 ” から “ 0 1 ” への書き込みは禁止とし、初期の記憶状態 “ 0 1 ” から “ 0 1 ” への書き込みは、過剰書き込みを防止するために実質的には実行しない。本実施例では、初期の記憶状態が “ 1 0 ” の場合について説明する。

【 0 0 7 2 】

上述の記憶状態 “ 0 0 ” に書き込む場合と同様に、先ず、ワード線電圧を $V_{g10}[0]$ （例えば 6 V）とし、ビット線に振幅 $V_{dp10}[0]$ （例えば 5 V）でパルス幅 $W_{p10}[0]$ （例えば 1 $\mu s e c$ ）の書き込みパルスを印加し（S T 2 1）、次にワード線電圧を $V_{g01}[0]$ （例えば 7 V）に切替え、ビット線に振幅 $V_{dp01}[0]$ （例えば 5 V）でパルス幅 $W_{p01}[0]$ （例えば 1 $\mu s e c$ ）の書き込みパルスの印加を行う（S T 2 2）。次に、記憶状態 “ 0 0 ” に書き込む同じワード線に接続する他の書き込み対象メモリセルのために、ワード線電圧を $V_{g00}[0]$ （例えば 8 V）に設定するが、この記憶状態 “ 0 1 ” に書き込むべきメモリセルに接続するビット線へは振幅 $V_{dp00}[0]$ （例えば 5 V）の書き込みパルスは印加しない（S T 2 3）。記憶状態 “ 0 1 ” に書き込むべきメモリセルについては、ステップ S T 2 1 が第 1 書き込み工程、ステップ S T 2 2 が第 2 書き込み工程となり、ステップ S T 2 3 は実質的には書き込み工程とはならない。

【 0 0 7 3 】

次に、ステップ S T 2 1 ~ S T 2 3 の書き込み工程を一通り終了後に、ベリファイ工程（S T 2 4、S T 2 5）を実行する。先ず、ベリファイ用にワード線電圧を $V_{g v}$ （例えば 5 . 5 V）に、ビット線電圧を $V_{d v}$ （例えば 1 V）に切替え、メモリセルへの書き込み状態 “ 0 1 ” のベリファイを行う（S T 2 4）。先に説明した記憶状態 “ 0 0 ” のベリファイと同様に、図 6 に示す読出し回路 2 1 を用いる場合は、複数のセンスアンプ 2 0 の 1 つが、記憶状態 “ 0 1 ” のベリファイを実行する。図 7 に示す読出し回路 2 3 を用いる場合は、記憶状態 “ 0 1 ” のベリファイ用の参照電圧をスイッチ回路 2 4 で切り替えて実行する。

【 0 0 7 4 】

読出し回路 2 1 または 2 3 のベリファイ結果は、制御回路 1 8 に出力され、ベリファイ結果がパス（本実施例では、書き込み対象メモリセル 1 0 0 a の閾値電圧が 4 . 7 V 以上）であれば、制御回路 1 8 の制御により、ワード線電圧及びビット線電圧を初期状態へ戻し、書き込みシーケンスを終了させる（S T 2 5、図 5 の $t_{Vg v - 0}$ の期間）。

【 0 0 7 5 】

次に、書き込み対象メモリセルを、記憶状態 “ 1 0 ” となるように書き込む場合を考える。初期（書き込み前）の記憶状態は “ 1 1 ” を想定する。つまり、初期の記憶状態 “ 0 0 ” または “ 0 1 ” から “ 1 0 ” への書き込みは禁止とし、初期の記憶状態 “ 1 0 ” か

10

20

30

40

50

ら“ 1 0 ”への書き込みは、過剰書き込みを防止するために実質的には実行しない。本実施例では、初期の記憶状態が“ 1 1 ”の場合について説明する。

【 0 0 7 6 】

上述の記憶状態“ 0 0 ”または“ 0 1 ”に書き込む場合と同様に、先ず、ワード線電圧を $V_{g10}[0]$ （例えば 6 V）とし、ビット線に振幅 $V_{dp10}[0]$ （例えば 5 V）でパルス幅 $W_{p10}[0]$ （例えば 1 μ s e c）の書き込みパルスを印加する（S T 2 1）。次に、記憶状態“ 0 1 ”に書き込む同じワード線に接続する他の書き込み対象メモリセルのために、ワード線電圧を $V_{g01}[0]$ （例えば 7 V）に設定するが、この記憶状態“ 1 0 ”に書き込むべきメモリセルに接続するビット線へは振幅 $V_{dp01}[0]$ （例えば 5 V）の書き込みパルスは印加しない（S T 2 2）。次に、記憶状態“ 0 0 ”に書き込む同じワード線に接続する他の書き込み対象メモリセルのために、ワード線電圧を $V_{g00}[0]$ （例えば 8 V）に設定するが、この記憶状態“ 1 0 ”に書き込むべきメモリセルに接続するビット線へは振幅 $V_{dp00}[0]$ （例えば 5 V）の書き込みパルスは印加しない（S T 2 3）。記憶状態“ 1 0 ”に書き込むべきメモリセルについては、ステップ S T 2 1 が第 2 書き込み工程となり、ステップ S T 2 2、S T 2 3 は実質的には書き込み工程とはならない。

【 0 0 7 7 】

次に、ステップ S T 2 1 ~ S T 2 3 の書き込み工程を一通り終了後に、ベリファイ工程（S T 2 4、S T 2 5）を実行する。先ず、ベリファイ用にワード線電圧を V_{gv} （例えば 5 . 5 V）に、ビット線電圧を V_{dv} （例えば 1 V）に切替え、メモリセルへの書き込み状態“ 1 0 ”のベリファイを行う（S T 2 4）。先に説明した記憶状態“ 0 0 ”または“ 0 1 ”のベリファイと同様に、図 6 に示す読出し回路 2 1 を用いる場合は、複数のセンスアンプ 2 0 の 1 つが、記憶状態“ 1 0 ”のベリファイを実行する。図 7 に示す読出し回路 2 3 を用いる場合は、記憶状態“ 1 0 ”のベリファイ用の参照電圧をスイッチ回路 2 4 で切り替えて実行する。

【 0 0 7 8 】

読出し回路 2 1 または 2 3 のベリファイ結果は、制御回路 1 8 に出力され、ベリファイ結果がパス（本実施例では、書き込み対象メモリセル 1 0 0 a の閾値電圧が 3 . 7 V 以上）であれば、制御回路 1 8 の制御により、ワード線電圧及びビット線電圧を初期状態へ戻し、書き込みシーケンスを終了させる（S T 2 5、図 5 の $t_{V_{gv}-0}$ の期間）。

【 0 0 7 9 】

第 2 実施形態

次に、書き込み対象メモリセルが同一ワード線上に複数有り、目的の記憶状態（閾値電圧）が異なる場合について、第 1 実施形態の説明の中で若干言及したが、図 3 を用いて詳細に説明する。以下の説明では、記憶状態“ 1 0 ”に書き込むメモリセルの集合を A 0、記憶状態“ 0 1 ”に書き込むメモリセルの集合を B 0、記憶状態“ 0 0 ”に書き込むメモリセルの集合を C 0 とする。尚、第 2 実施形態に係る本発明方法は、第 1 実施形態と同様に図 1 及び図 2 に示す本発明装置 1 0 で実行される。

【 0 0 8 0 】

まず初期状態（S T 2 0）から、ワード線電圧を $V_{g10}[0]$ に充電し、A 0、B 0、C 0 に含まれる全てのメモリセルに、ビット線電圧 $V_{dp10}[0]$ をパルス幅 $W_{p10}[0]$ で印加し、全ての書き込み対象メモリセルの閾値電圧を 3 . 7 V 付近まで上昇させる（S T 2 1）。次に、ワード線にワード線電圧 $V_{g01}[0]$ を印加し、B 0、C 0 に含まれる全てのメモリセルにのみ、ビット線電圧 $V_{dp01}[0]$ をパルス幅 $W_{p01}[0]$ で印加し、B 0、C 0 に含まれる全てのメモリセルの閾値電圧を 4 . 7 V 付近まで上昇させる（S T 2 2）。更に、引き続き、ワード線電圧を $V_{g00}[0]$ とし、C 0 に含まれる全てのメモリセルにビット線電圧 $V_{dp00}[0]$ をパルス幅 $W_{p00}[0]$ で印加し、C 0 に含まれる全てのメモリセルの閾値電圧を 5 . 7 V 付近に上昇させる（S T 2 3）。ここで、ステップ S T 2 1 ~ S T 2 3 が書き込み工程である。

【 0 0 8 1 】

次に、1回目のステップST21～ST23の書き込み工程を一通り終了後に、ベリファイ用のワード線電圧 V_{gv} に切り替え、ベリファイ用のビット線電圧 V_{dv} に設定してベリファイを行った後、ワード線電圧とビット線電圧を初期状態に戻す。A0, B0, C0に含まれる全てのメモリセルの閾値電圧が目的の値まで達していた場合（ベリファイパス）（ST25でYESの場合）、書き込み終了となる。ここで、ステップST24のベリファイ処理は全ての書き込み対象メモリセルについて同時または複数回に分けて実行されるが、メモリセル単位のベリファイは、第1実施形態と同様に、例えば、図6に示す読出し回路21、または、図7に示す読出し回路23を用いて行う。全ての書き込み対象メモリセルについて同時にベリファイ処理する場合は、メモリセル毎に、1つの読出し回路22または23が割り当てられる。メモリセル毎のベリファイ処理は、第1実施形態の場合と同じであり、重複する説明は割愛する。

10

【0082】

次に、ベリファイの結果、例えば、A0に含まれる1または複数のメモリセルA1が、B0に含まれる1または複数のメモリセルB1が、C0に含まれる1または複数のメモリセルC1が、夫々目的の閾値電圧に達していないと判断された場合（ST25がNOの場合）について説明する。初期状態から、メモリセルA1, B1, C1に接続するワード線をワード線電圧 $V_{g10[1]}$ に充電し、メモリセルA1, B1, C1に接続するビット線にのみビット線電圧 $V_{dp10[1]}$ をパルス幅 $W_{p10[1]}$ で印加し、メモリセルA1の閾値電圧を3.7V付近まで上昇させる（ST21）（但し、メモリセルB1とC1の閾値電圧は殆ど変化せず、夫々4.7V及び5.7V未満のままである）。

20

【0083】

次に、ワード線にワード線電圧 $V_{g01[1]}$ を印加し、メモリセルB1, C1に接続するビット線にのみビット線電圧 $V_{dp01[1]}$ をパルス幅 $W_{p01[1]}$ で印加し、メモリセルB1の閾値電圧を4.7V付近まで上昇させる（ST22）（但し、メモリセルC1の閾値電圧は殆ど変化せず、5.7V未満のままである）。更に引き続き、ワード線にワード線電圧 $V_{g00[1]}$ を印加し、メモリセルC1に接続するビット線にのみビット線電圧 $V_{dp00[1]}$ をパルス幅 $W_{p00[1]}$ で印加し、メモリセルC1の閾値電圧を5.7V付近に上昇させる（ST23）。

【0084】

次に、1回目のステップST21～ST23の書き込み工程を一通り終了後に、ベリファイ用のワード線電圧 V_{gv} に切り替え、ベリファイ用のビット線電圧 V_{dv} に設定して1回目と同様にベリファイを行った後、ワード線電圧とビット線電圧を初期状態に戻す。メモリセルA1, B1, C1に含まれる全てのメモリセルの閾値電圧が目的の値まで達していた場合（ベリファイパス。ST25でYESの場合）、書き込み終了となる。尚、A0, B0, C0の内のメモリセルA1, B1, C1以外のメモリセルは、初回のベリファイでパスしているので、2回目のベリファイ結果は当然にパスしているものとして省略する。ベリファイがパスしない場合（ベリファイフェイル。ST25でNOの場合）、ステップST21に戻り、ステップST21～ST24を繰り返す、ステップST25で、全ての書き込み対象セルがYESとなるまで、ベリファイフェイルとなった目的の閾値電圧に達していない書き込み対象メモリセルに書き込みパルスの印加を繰り返す。

30

40

【0085】

第3実施形態

次に、書き込み対象メモリセルが同一ワード線上に複数有り、目的の記憶状態（閾値電圧）が異なる場合の別実施形態について、図8のフローチャートを用いて説明する。ここで、第2実施形態と同様に、記憶状態“10”に書き込むメモリセルの集合をA0、記憶状態“01”に書き込むメモリセルの集合をB0、記憶状態“00”に書き込むメモリセルの集合をC0とする。図8に示す書き込みシーケンスにおける、ステップST30～ST35のフローは、第2実施形態におけるステップST20～ST25（図3参照）と同様であるので説明を省略する。

【0086】

50

1 回目のステップ S T 3 5 で、ベリファイがパスしない書き込み対象メモリセルの集合 A 1 , B 1 , C 1 に対して、ワード線電圧 $V_{g10}[1](=V_{g10}[0]+V_{g10}[1])$ ($V_{g10}[1]$ は 0 V より大きい電圧) を再設定し (S T 3 6)、ワード線にワード線電圧 $V_{g10}[1]$ を印加し、メモリセル A 1 , B 1 , C 1 に接続するビット線に $V_{dp}[1]$ の書き込みパルスを $W_{p10}[1](=W_{p10}[0])$ のパルス幅で印加し (S T 3 1)、次に、ワード線電圧 $V_{g01}[1](=V_{g01}[0]+V_{g01}[1])$ ($V_{g01}[1]$ は 0 V より大きい電圧) (S T 3 6) を再設定し、ワード線にワード線電圧 $V_{g01}[1]$ を印加し、メモリセル B 1 , C 1 に接続するビット線に $W_{p01}[1](=W_{p01}[0])$ のパルス幅で $V_{dp01}[1]$ の電圧を印加し (S T 3 2)、更に引き続き、ワード線電圧 $V_{g00}[1](=V_{g00}[0]+V_{g00}[1])$ ($V_{g00}[1]$ は 0 V より大きい電圧) (S T 3 6) を再設定し、ワード線にワード線電圧 $V_{g00}[1]$ を印加し、メモリセル C 1 に接続するビット線に $W_{p00}[1](=W_{p00}[0])$ のパルス幅で $V_{dp00}[1]$ の電圧を印加する (S T 3 3)。

【 0 0 8 7 】

次に、ワード線にベリファイ用のワード線電圧 V_{gv} 、各メモリセル A 1 , B 1 , C 1 に接続されるビット線にベリファイ用のビット線電圧 V_{dv} を印加し、1 回目と同様のベリファイを行い (S T 3 4)、A 0 , B 0 , C 0 に含まれる前回のベリファイでベリファイフェイルしたメモリセルの閾値電圧が目的値に達したか否かの判定を行い (S T 3 5)、全てのメモリセルの閾値電圧が目的値に達するまで、再書き込みが必要なメモリセルに対し、ステップ S T 3 6、S T 3 1 ~ S T 3 5 を繰り返す。ここで、再度繰り返される S T 3 1 ~ S T 3 3 では、2 回目と同様に、夫々、ワード線電圧 $V_{g10}[n]$ 、 $V_{g01}[n]$ 、 $V_{g00}[n]$ を順次印加し、ビット線に振幅 $V_{dp10}[n]$ 、 $V_{dp01}[n]$ 、 $V_{dp00}[n]$ をパルス幅 $W_{p10}[n]$ 、 $W_{p01}[n]$ 、 $W_{p00}[n]$ で順次印加し、ステップ S T 3 4 で、ベリファイフェイルのメモリセルのベリファイ処理を実行する。また、2 回目以降においても、ステップ S T 3 6 で、ワード線電圧 $V_{g10}[n]$ 、 $V_{g01}[n]$ 、 $V_{g00}[n]$ を段階的に順次増加させ、書き込み困難なメモリセルに対する書き込みが促進する処理を施す。

【 0 0 8 8 】

第 4 実施形態

次に、書き込み対象メモリセルが同一ワード線上に複数有り、目的の記憶状態 (閾値電圧) が異なる場合の更に別の実施形態について、図 9 のフローチャートを用いて説明する。ここで、図 9 に示す書き込みシーケンスにおける、ステップ S T 4 0 ~ S T 4 5 のフローは、第 3 実施形態におけるステップ S T 3 0 ~ S T 3 5 (図 8 参照) と同様であるので説明を省略する。

【 0 0 8 9 】

第 3 実施形態のステップ S T 3 6 (図 8 参照) では、ベリファイがパスするまで、ステップ 3 6 において、ワード線電圧の設定のみを変化させたが、第 4 実施形態では、それに加えて、ステップ S T 4 6 で、書き込みパルス幅の設定をベリファイがフェイルする毎に増加させていく。即ち、j 回目の再書き込み時において、 $W_{p10}[j]=W_{p10}[j-1]+W_{p10}[j]$ 、 $W_{p01}[j]=W_{p01}[j-1]+W_{p01}[j]$ 、 $W_{p00}[j]=W_{p00}[j-1]+W_{p00}[j]$ (但し、 $W_{p10}[j]$ 、 $W_{p01}[j]$ 、 $W_{p00}[j]$ は 0 以上の値) のように段階的にパルス幅を増加させ再書き込みを行う。このように、再書き込みが必要なメモリセルに対して、ワード線電圧 $V_{g10}[n]$ 、 $V_{g01}[n]$ 、 $V_{g00}[n]$ と、各々対応するパルス幅 $W_{p10}[n]$ 、 $W_{p01}[n]$ 、 $W_{p00}[n]$ と共に、順次変化させながら書き込みパルスの印加を行った後にベリファイを行い、全てのメモリセルの閾値電圧が目的値に達するまで、再書き込みが必要なメモリセルに対し、ステップ S T 4 6、S T 4 1 ~ S T 4 5 を繰り返す。

【 0 0 9 0 】

第 5 実施形態

ベリファイ時に所定の閾値電圧に達していないと判定されたメモリセルに対する再書き

込み時に、第 1 及び第 2 実施形態では、前回と同じ振幅のワード線電圧と同じパルス幅のビット線電圧（書き込みパルス）を用い、第 3 実施形態では、ワード線電圧の振幅のみ再書き込み回数に応じて段階的に増加させ、第 4 実施形態では、ワード線電圧の振幅とビット線電圧のパルス幅の両方を再書き込み回数に応じて段階的に増加させた。これに対し、第 5 実施形態では、前回と同じ振幅のワード線電圧を用いながら、ビット線電圧のパルス幅のみ再書き込み回数に応じて段階的に増加させ、再書き込みを行うようにしても構わない。

【 0 0 9 1 】

従来技術の説明で、非特許文献 3 を参照して、メモリセルの閾値電圧を高くするには、メモリセルの制御ゲート（メモリアレイではワード線）に印加する電圧を高くすることを説明したが、パルス幅を長くすることによっても同様の効果が得られる。即ち、第 1 及び第 2 実施形態のように前回と同じ振幅のワード線電圧と同じパルス幅のビット線電圧（書き込みパルス）を用いて再書き込みを行う場合、メモリセルの閾値電圧の変化は小さくなるため、所定の閾値電圧に達するまでに再書き込みの回数が増える可能性が高くなるが、閾値電圧の制御性は向上する。従って、1 つのメモリセルに 4 値以上の記憶状態を持たせる場合等、各記憶状態に対応する閾値電圧の分布を狭くする必要がある場合に有効である。逆に、閾値電圧の制御性よりも書き込み時間の短縮を優先する場合、ワード線電圧の振幅及びパルス幅を増加させた再書き込みを行えば、再書き込みによる閾値電圧の変化量が増大し、目的の閾値電圧に達するまでの再書き込みの回数を減少させることが可能となる。

【 0 0 9 2 】

即ち、第 1 実施形態から第 5 実施形態で説明した書き込み方法は、従来よりも書き込み時間の短縮を図りつつ、更に、第 1 実施形態から第 5 実施形態の範囲で閾値電圧分布の制御性と書き込み時間の短縮効果とのトレードオフを考慮して選択し得る。

【 0 0 9 3 】

第 6 実施形態

上記第 2 実施形態～第 5 実施形態では、書き込み対象メモリセルが同一ワード線上に複数有り、目的の記憶状態（閾値電圧）が異なる場合について、説明したが、書き込み対象メモリセルが同一ワード線上に複数有り、目的の記憶状態（閾値電圧）が 1 つか、或いは、全ての書き込み状態を含まない場合はあり得る。例えば、記憶状態“ 1 0 ”に書き込むメモリセルの集合を A 0、記憶状態“ 0 1 ”に書き込むメモリセルの集合を B 0、記憶状態“ 0 0 ”に書き込むメモリセルの集合を C 0 とした場合に、書き込み対象メモリセルが、A 0、B 0、C 0 の内の A 0、B 0 または A 0 と B 0 には含まれない場合があります。かかる場合に、更に書き込み時間を短縮可能な書き込みシーケンスについて、図 10 のフローチャートを用いて説明する。図 10 中、ステップ S T 5 0、S T 5 2、S T 5 4、S t 5 6、S T 5 7、S T 5 8、S T 5 9 は、夫々、第 4 実施形態のステップ S T 4 0、S T 4 1、S T 4 2、S T 4 3、S T 4 4、S T 4 5、S T 4 6（図 9 参照）に相当し、各処理内容は基本的に同じである。

【 0 0 9 4 】

第 6 実施形態では、前処理（S T 5 0）の後に、先ず、記憶状態“ 1 0 ”に書き込むメモリセル A 0 に含まれるメモリセルが実質的に存在しているか否かをまず判定する（S T 5 1）。これは、例えば、記憶状態“ 0 1 ”、“ 0 0 ”への書き込みが終了するより前の書き込みで記憶状態“ 1 0 ”への書き込みが終了する等して、書き込み対象メモリセルの中に、記憶状態“ 1 0 ”に書き込むメモリセル A 0 に含まれるメモリセルが実質的に存在していない場合に、記憶状態“ 1 0 ”への書き込みを省略することで、ステップ S T 5 2 を省略して書き込み時間の短縮を図るためである。ここで、メモリセル A 0 に含まれるメモリセルが実質的に存在していない場合として、形式的には、A 0 に含まれるが、書き込み前の初期状態が“ 1 0 ”の場合などが該当する。ステップ S T 5 1 で、メモリセル A 0 に含まれるメモリセルが実質的に存在していない場合は、記憶状態“ 1 0 ”への書き込みを行わずに、次のステップ S T 5 3 に進み、メモリセル A 0 に含まれるメモリセルが実質

的に存在している場合は、ステップ S T 5 2 の書き込みを行ってからステップ S T 5 3 に進む。更に、ステップ S T 5 3 で、記憶状態 “ 0 1 ” に書き込むメモリセル B 0 に含まれるメモリセルが実質的に存在しているか否かを判定後、メモリセル B 0 に含まれるメモリセルが実質的に存在していない場合は、記憶状態 “ 0 1 ” への書き込みを行わずに、次のステップ S T 5 5 に進み、メモリセル B 0 に含まれるメモリセルが実質的に存在している場合は、ステップ S T 5 4 の書き込みを行ってからステップ S T 5 5 に進む。更に、ステップ S T 5 5 で、記憶状態 “ 0 0 ” に書き込むメモリセル C 0 に含まれるメモリセルが実質的に存在しているか否かを判定後、メモリセル C 0 に含まれるメモリセルが実質的に存在していない場合は、記憶状態 “ 0 0 ” への書き込みを行わずに、次のステップ S T 5 7 のベリファイ処理に進み、メモリセル C 0 に含まれるメモリセルが実質的に存在している場合は、ステップ S T 5 6 の書き込みを行ってからステップ S T 5 7 に進む。

10

【 0 0 9 5 】

ステップ S T 5 7、S T 5 8 のベリファイ工程、及び、ステップ S T 5 9 のワード線電圧及びパルス幅の再設定処理は、第 4 実施形態と同じであるので、説明は割愛する。

【 0 0 9 6 】

このように、ステップ S T 5 1、S T 5 3、S T 5 5 で、夫々、記憶状態 “ 1 0 ”、“ 0 1 ” または “ 0 0 ” に書き込むメモリセル A 0、B 0 または C 0 に含まれるメモリセルが実質的に存在しているか否かを判定することで、書き込み対象メモリセルの中にメモリセル A 0、B 0、C 0 の中の少なくとも 1 つの集合に含まれない場合は、対応する書き込みステップ S T 5 2、S T 5 4、S T 5 6 の何れかが省略でき、トータルでの書き込み時間の短縮が図れる。

20

【 0 0 9 7 】

ところで、第 6 実施形態の場合、例えば、書き込み対象メモリセルが同一ワード線上に複数有り、全ての書き込み対象メモリセルの初期状態が記憶状態 “ 1 1 ” であり、目的の記憶状態 “ 0 0 ” にのみ書き込む場合を想定すると、1 回目の書き込み工程で、ステップ S T 5 2 と S T 5 4 の書き込みが省略され、つまり、ワード線電圧 $V_{g10}[0]$ 、 $V_{g01}[0]$ が夫々印加されずに、記憶状態 “ 1 1 ” (閾値電圧 3 V 以下) のメモリセルにワード線電圧 $V_{g00}[0]$ (例えば 8 V) が印加され、過大なドレイン電流が同時に複数のメモリセルで流れる場合が生じる。従って、第 6 実施形態は、実用上は上記リスクを回避すべく、第 7 または第 8 の実施形態として使用される。

30

【 0 0 9 8 】

第 7 実施形態

第 7 実施形態では、第 6 実施形態における 1 回目または 1 回目を含む n 回目までの一連の書き込み工程において、ステップ S T 5 1 と S T 5 3 (図 1 0 参照) の判定を行わずに、ステップ S T 5 2 を S T 5 4 (図 1 0 参照) の書き込みを強制的に実行するようにすることで、上記問題 (低閾値電圧のメモリセルに高ゲート電圧が印加され過大なドレイン電流が流れる問題) を解決することができる。つまり、(n + 1) 回目以降の再書き込み時にステップ S T 5 1 と S T 5 3 を行うことで、第 6 実施形態が実施され、再書き込みに係る書き込み時間の短縮が図れる。

【 0 0 9 9 】

40

第 8 実施形態

第 7 実施形態では、ステップ S T 5 1 と S T 5 3 を実施するか否かの判定が、毎回の書き込み工程で必要となる。この煩雑さを回避するために、図 1 1 に示すような書き込みシーケンスを行っても構わない。即ち、1 回目または 1 回目を含む n 回目までの一連の書き込み工程において、別経路で、ステップ S T 6 2 と S T 6 3 (図 1 0 のステップ S T 5 2 と S T 5 4 に対応) の書き込みを行うようにする。

【 0 1 0 0 】

第 8 実施形態におけるステップ S T 6 0、S T 6 4 ~ S T 7 2 は、夫々、第 6 実施形態のステップ S T 5 0、S T 5 1 ~ S T 5 9 と基本的に同じである。但し、S T 6 5、S T 6 7、S T 6 9 の書き込みでは、目的とする書き込み状態が、夫々 “ 1 0 ”、“ 0 1 ”、

50

“ 0 0 ” のメモリセルのみを書き込みの対象としても構わない。

【 0 1 0 1 】

書き込み工程の回数 n は、前処理ステップ S T 6 0 で初期値 0 に設定され、ステップ S T 7 1 でベリファイフェイルする毎に、ステップ S T 7 3 で 1 ずつカウントアップされる。ここで、第 6 実施形態のステップ S T 5 1 と S T 5 3 (図 1 0 参照) の判定を行わない回数を m とすると、ステップ S T 6 1 では、 $n > (m - 1)$ の大小判定を行う。例えば、 $m = 2$ の場合は、ステップ S T 6 1 で、 $n > 1$ の判定を行う。1 回目及び 2 回目は $n = 0$ と 1 であるから、何れも判定は N O となり、記憶状態 “ 1 0 ” と “ 0 1 ” への書き込みに対応するステップ S T 6 2 と S T 6 3 の書き込み処理が実行されるので、全ての書き込み対象セルは、段階的に閾値電圧 3 . 7 V 及び 4 . 7 V 付近に上昇する。結局、1 回目及び 2 回目は、ステップ S T 6 2 , S T 6 3 , S T 6 9 , S T 7 0 , S T 7 1 と推移するので、第 2 乃至第 5 実施形態と同じである。3 回目以降は、 $n = 2$ 以上となるので、ステップ S T 6 1 の判定は Y E S となり、S T 6 4 ~ S T 7 1 と推移し、第 6 実施形態と同じになる。この結果、第 7 実施形態と同様に、少なくとも 1 回目の書き込みで、例えば、初期状態が記憶状態 “ 1 1 ” で目的の記憶状態 “ 0 0 ” に書き込むメモリセルに対して、閾値電圧と印加するワード線電圧を段階的に上昇させることで、過大なドレイン電流の流れるを回避して、 $(m + 1)$ 回目以降の再書き込み工程で書き込み時間の短縮を図ることができる。

【 0 1 0 2 】

尚、ステップ S T 7 3 はステップ S T 7 2 の後に設けてあるが、その他の場所に設けても構わない。但し、再書き込み回数を表す値「 n 」は、書き込み不良メモリセルに対して無限に再書き込み処理を繰り返すのを防止するためにその最大値との比較を行う必要があるので、ステップ S T 7 3 の再書き込み回数のカウントはメインルーチン内、つまり、S T 7 0 - S T 7 1 - S T 7 2 - S T 6 1 の経路内にあるのが好ましい。また、回数 m は、通常 1 ~ 3 回の範囲で設定するのが好ましい。また、回数 m は、再書き込み回数を示す n と同様に、図 2 に示すメモリアレイ 1 1 のビット線 B L の本数 m とは無関係である。

【 0 1 0 3 】

第 9 実施形態

上記第 1 乃至第 8 実施形態では、メモリセルの取り得る記憶状態 (閾値電圧状態) が 4 値の場合を説明したが、第 1 乃至第 8 実施形態で例示した本発明方法は、多値レベルとして 4 値に限定されるものではない。本発明方法の技術的思想は、 N 値 (N は 3 以上の自然数) メモリセルの書き込みに対して適用しても同様の効果を奏する。 N 値の記憶状態を閾値電圧の低い状態から、レベル “ 1 ” ~ レベル “ N ” とすると、4 値の場合と対応付けると、レベル “ 2 ” 以上が書き込み状態となる。ここで、書き込み状態のレベルを M (M は 2 以上 N 以下の自然数) とした場合、各書き込み状態に対応した書き込み処理が $(N - 1)$ 回存在し、夫々の書き込み処理 M (書き込み状態レベル M への書き込み) のワード線電圧 (メモリセルレベルでは書き込みゲート電圧) を $V_{gM}[n]$ とすると (n は再書き込み回数を表し、1 回目の書き込み時は 0)、一般式として $V_{g(M-1)}[n] < V_{gM}[n]$ の関係が成立する (4 値の場合は、第 1 実施形態で示した通り、 $V_{g10}[n] < V_{g01}[n] < V_{g00}[n]$ と表される)。書き込み処理 M のビット線電圧 $V_{dpM}[n]$ (メモリセルレベルでは書き込みドレイン電圧) 及びパルス幅 $W_{pM}[n]$ は、第 1 ~ 第 8 実施形態と同様に、 M の値に拘わらず一定とする。書き込み処理 M は $M = 2 \sim N$ に対し順次実行し、その後に書き込み対象メモリセルの目的の記憶状態に対応するベリファイ処理を行い、ワード線及びビット線の電圧を初期状態に戻す。ベリファイ処理で、全ての書き込み対象メモリセルの目的の記憶状態になるまで、書き込み処理 M ($M = 2 \sim N$) を繰り返す。

【 0 1 0 4 】

次に、第 1 実施形態を例に、本発明方法における書き込み時間の短縮効果について、具体例を用いて説明する。例えば、図 1 9 に示すように、ワード線が 0 V から、書き込み時のワード線電圧 V_{gp} になり、ビット線電圧が 0 V から書き込み時のビット線電圧 V_{dp} に切り替わるまでの時間を t_{0-Vgp} とし (例えば、 $2 \mu s e c$)、ビット線が振幅

V_{dp} の書き込みパルスを印加している期間(パルス幅)を W_p (例えば、 $4\mu sec$)、ワード線がある書き込み状態($M-1$)のワード線電圧 V_{gp} から次の書き込み状態(M)のワード線電圧 V_{gp} まで変化する時間を $t_{V_{gp}-V_{gp}}$ (例えば、 $1\mu sec$)、ワード線が最後の書き込み状態のワード線電圧 V_{gp} から $0V$ まで変化する時間 $t_{V_{gp}-0}$ (例えば、 $0.3\mu sec$)、ワード線が $0V$ からペリファイ用のワード線電圧 V_{gv} まで変化する時間 $t_{0-V_{gv}}$ (例えば、 $8\mu sec$)、ビット線にペリファイ用のビット線電圧 V_{dv} が印加されている時間(ペリファイ期間)を W_v (例えば、 $0.5\mu sec$)、ワード線をらペリファイ用のワード線電圧 V_{dv} から $0V$ に推移させるのに必要な時間を $t_{V_{gv}-0}$ (例えば、 $0.8\mu sec$)とした場合、図16のフローチャートで例示した従来の書き込みシーケンスで各メモリセルの書き込みが1度で終わる場合、書き込み時間は $25.8\mu sec$ となる。図18に、この時のワード線電圧とビット線電圧の推移を示す。これに対し、図3のフローチャートの本発明方法における書き込み時間は、同様に各メモリセルの書き込みが1度で終わる場合、 $18.6\mu sec$ となり、従来の書き込み方法に比べて約30%の高速化が図れる。この時のワード線電圧とビット線電圧の推移は、図5に示す通りである。また、ペリファイ工程と書き込み工程の電圧の切替えが少ないために、ワード線とビット線の充放電に要する電流消費を削減でき、書き込み時の低消費電流化も図られる。

10

【0105】

以上、本発明装置10において、多値レベルの書き込み状態への書き込みを行う場合に、ワード線電圧を切り替えて、目的の書き込み状態に至るまでの夫々の書き込み状態に対応したワード線電圧とビット線電圧を書き込み対象メモリセルに印加した後、ペリファイを行うことで、ワード線及びビット線の充放電時間、及び、ワード線電圧及びビット線電圧が安定するまでの不必要な時間を省略でき、多値書き込みを高速に行うことができる。

20

【0106】

次に、本発明装置10の別実施の形態につき説明する。

【0107】

1 上記実施の形態では、メモリセルを構成するメモリセルトランジスタ構造は、図12に示すようなフローティングゲート型のトランジスタ構造を想定したが、メモリセルトランジスタ構造または電荷蓄積領域の構造はこれに限定されるものではない。例えば、電荷蓄積領域が浮遊ゲート以外にONO膜(酸化膜・窒化膜・酸化膜の積層構造)内に形成される電荷蓄積領域であっても、多値書き込みが可能であれば、本発明方法を応用することが可能である。

30

【0108】

2 上記実施の形態では、メモリアレイ11の構成として、図2に示すものを例示したが、メモリアレイ構成は図2に例示の構成に限定されるものではない。図2に示す構成では、同一ブロック内のソースは全て共通化されて共通ソース線に接続されていたが、例えば、同一列のソース線を共通に接続して、ビット線と平行に複数本を配列する仮想グラウンド線タイプのメモリアレイ構成としても構わない。

【図面の簡単な説明】

【0109】

【図1】本発明に係る不揮発性半導体記憶装置の一実施の形態の機能的なブロック構成を示すブロック構成図。

【図2】本発明に係る不揮発性半導体記憶装置の一実施の形態におけるメモリセル及びメモリセルアレイの構成を示す回路図。

【図3】本発明に係る不揮発性半導体記憶装置の書き込み方法の第1及び第2実施形態の書き込みシーケンスを示すフローチャート。

【図4】不揮発性半導体記憶装置としての4値フラッシュメモリにおけるメモリセルトランジスタの閾値電圧の分布を示す図。

【図5】本発明に係る不揮発性半導体記憶装置の書き込み方法の第1及び第2実施形態の書き込み工程とペリファイ工程におけるワード線とビット線の電圧推移を示す図。

40

50

【図 6】本発明に係る不揮発性半導体記憶装置の読み出し回路の一例を示す回路図。

【図 7】本発明に係る不揮発性半導体記憶装置の読み出し回路の他の一例を示す回路図。

【図 8】本発明に係る不揮発性半導体記憶装置の書き込み方法の第 3 実施形態の書き込みシーケンスを示すフローチャート。

【図 9】本発明に係る不揮発性半導体記憶装置の書き込み方法の第 4 実施形態の書き込みシーケンスを示すフローチャート。

【図 10】本発明に係る不揮発性半導体記憶装置の書き込み方法の第 6 実施形態の書き込みシーケンスを示すフローチャート。

【図 11】本発明に係る不揮発性半導体記憶装置の書き込み方法の第 8 実施形態の書き込みシーケンスを示すフローチャート。

10

【図 12】不揮発性半導体記憶装置としてのフラッシュメモリにおけるメモリセルトランジスタ構造を模式的に示す断面図とその等価回路図。

【図 13】不揮発性半導体記憶装置としての 2 値フラッシュメモリにおけるメモリセルのフローティングゲート内の電子の状態を示す図。

【図 14】不揮発性半導体記憶装置としての 2 値フラッシュメモリにおけるメモリセルトランジスタの閾値電圧の分布を示す図。

【図 15】不揮発性半導体記憶装置としての 4 値フラッシュメモリにおけるメモリセルのフローティングゲート内の電子の状態を示す図。

【図 16】従来の不揮発性半導体記憶装置の多値書き込み方法の一例を示すフローチャート。

20

【図 17】従来の不揮発性半導体記憶装置の多値書き込み方法におけるワード線とビット線の電圧推移を示す図。

【図 18】従来の不揮発性半導体記憶装置の多値書き込み方法における書き込み時のワード線とビット線の電圧推移を示す図。

【図 19】本発明に係る不揮発性半導体記憶装置の書き込み方法における書き込み時間をワード線電圧、ビット線電圧の電圧レベルに応じて分配した経過時間の一覧と、本発明方法の書き込み時間と従来の書き込み方法の書き込み時間の比較を示す表。

【符号の説明】

【 0 1 1 0 】

1 0 : 本発明に係る不揮発性半導体記憶装置

30

1 1 : メモリアレイ (メインメモリアレイ)

1 2 : リファレンスメモリアレイ

1 3 : ワード線電圧供給回路

1 4 : ビット線電圧供給回路

1 5 : センスアンプ・アレイ

1 6 : 書き込み電圧発生回路

1 7 : 読み出し電圧発生回路

1 8 : 制御回路

2 0 : センスアンプ

2 1 : 読出し回路

40

2 2 : ビット線選択回路

2 3 : 読出し回路

2 4 : スイッチ回路

4 0 : 浮遊ゲート (フローティングゲート)

4 1 : チャネル領域

4 2 : 制御ゲート

4 3 : 酸化膜 (絶縁膜)

4 4 : 層間絶縁膜

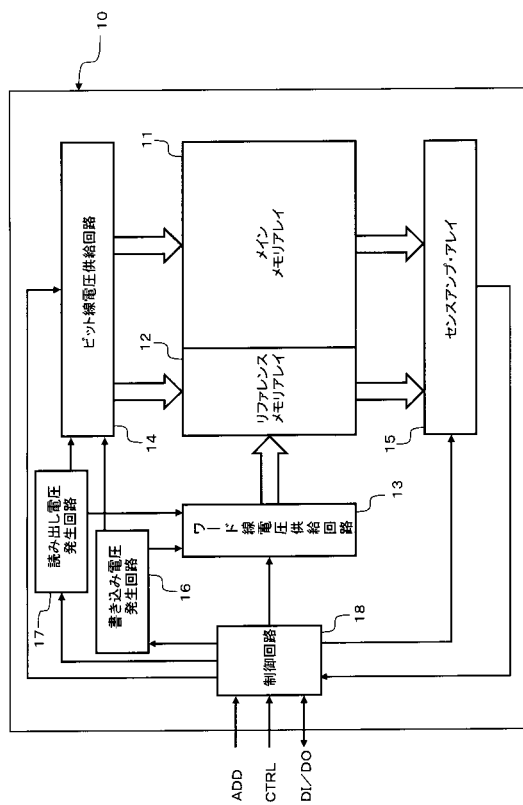
4 5 : ソース領域

4 6 : ドレイン領域

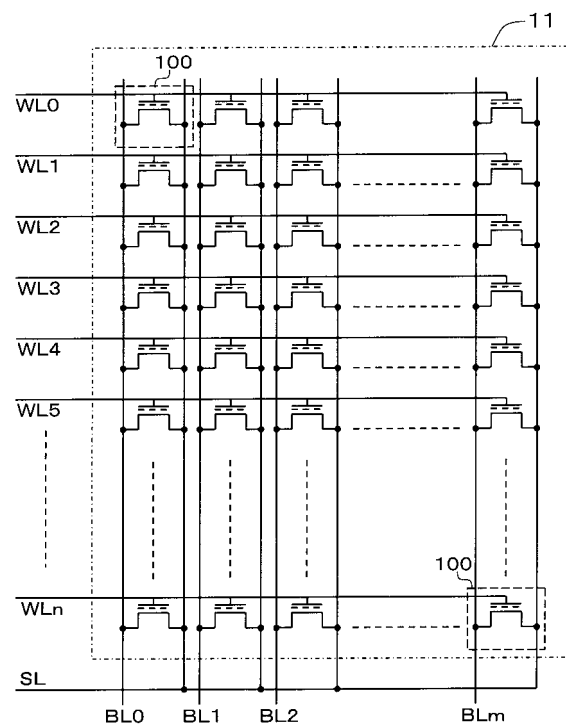
50

100 : メモリセル
 100a : 書き込み対象メモリセル
 101a ~ 101c : ペリファイ用リファレンスセル
 SL : 共通ソース線
 WL0 ~ WLn : ワード線
 BL0 ~ BLm : ビット線

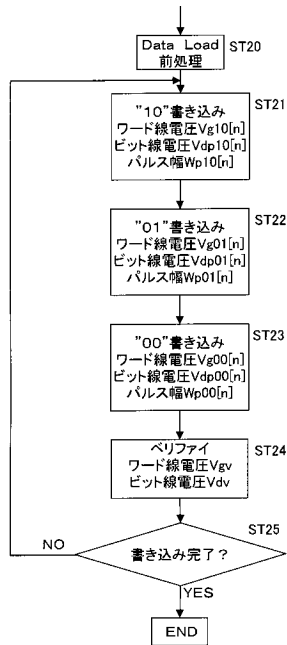
【図1】



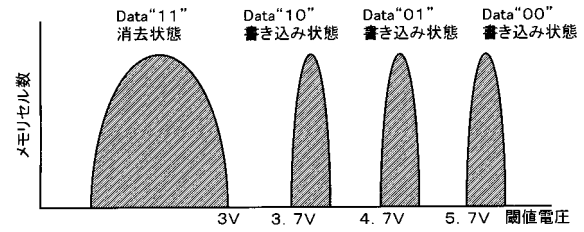
【図2】



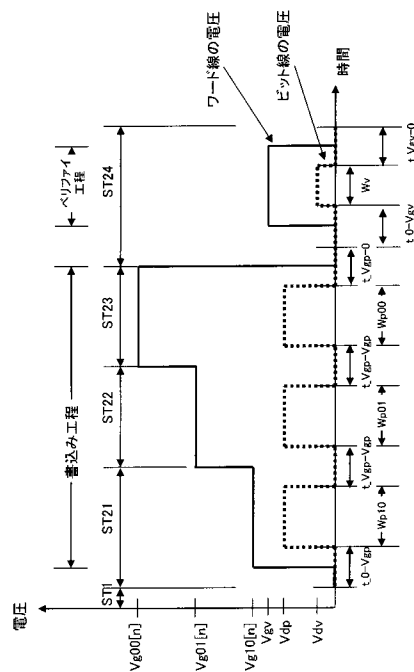
【図3】



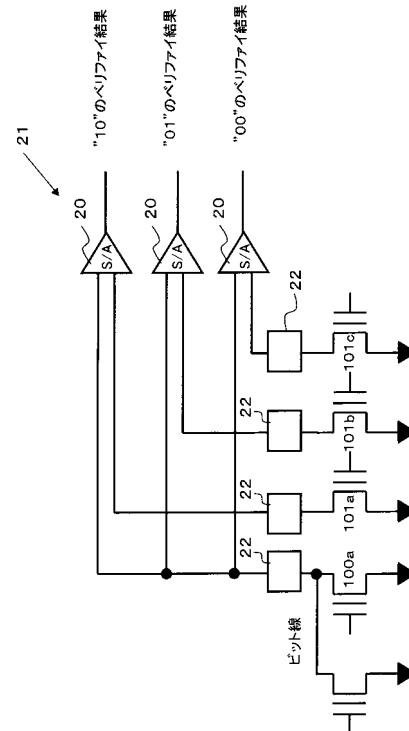
【図4】



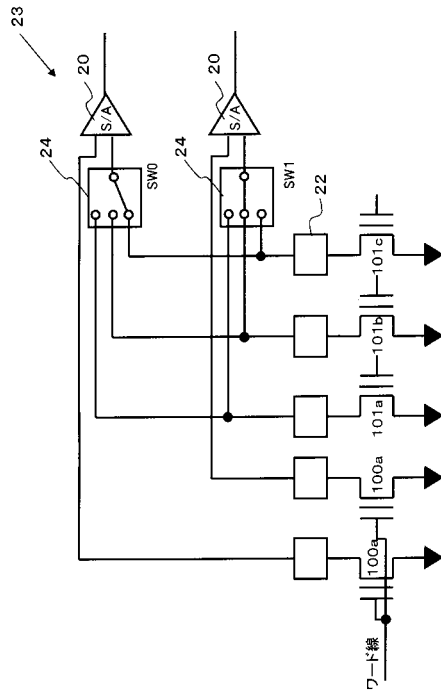
【図5】



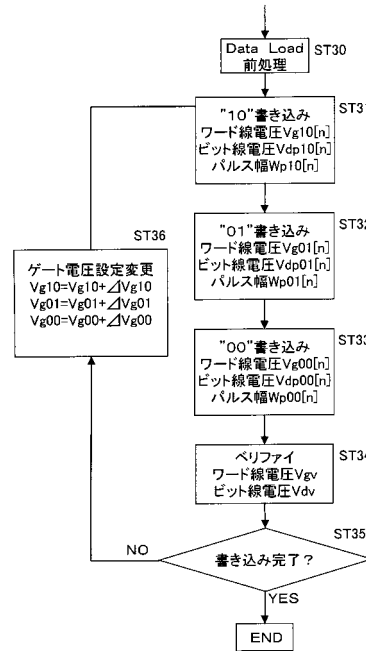
【図6】



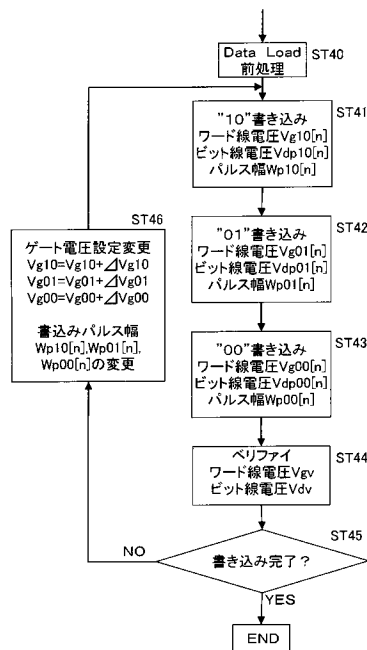
【図 7】



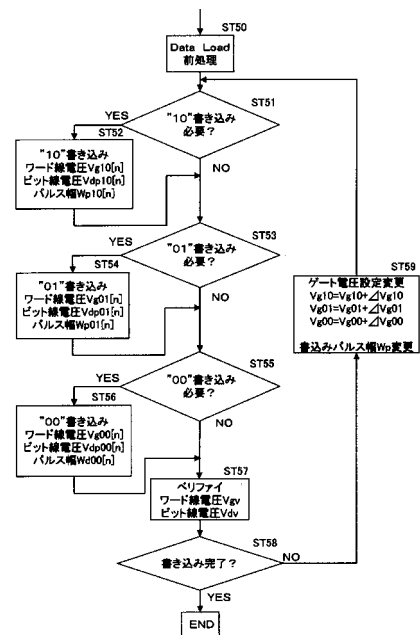
【図 8】



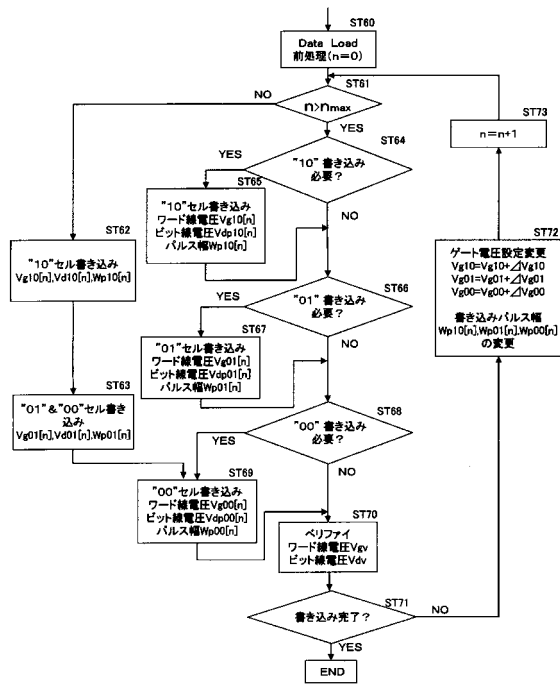
【図 9】



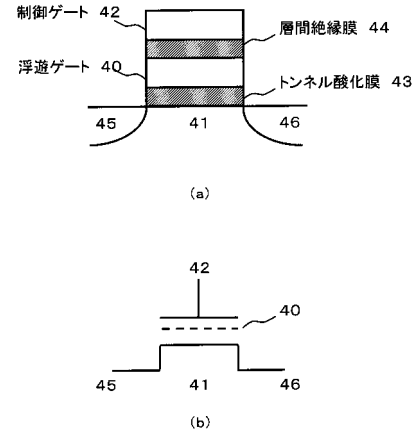
【図 10】



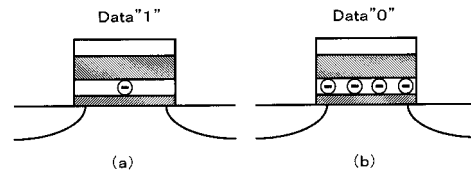
【図 11】



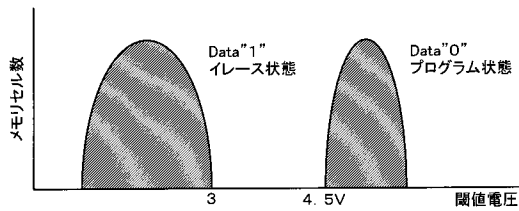
【図 12】



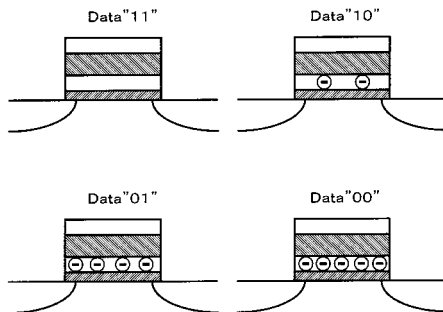
【図 13】



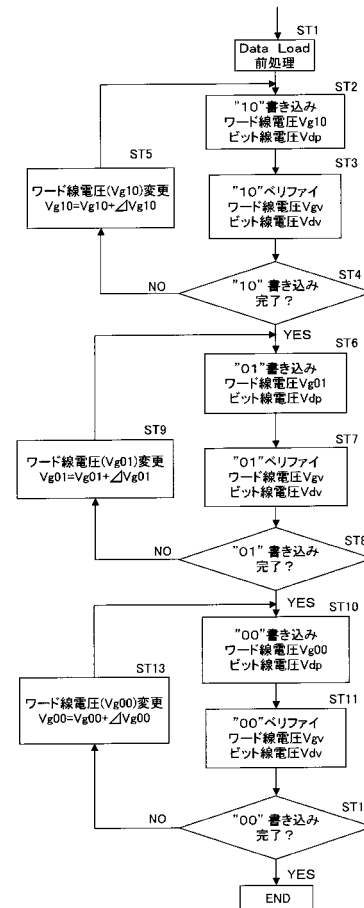
【図 14】



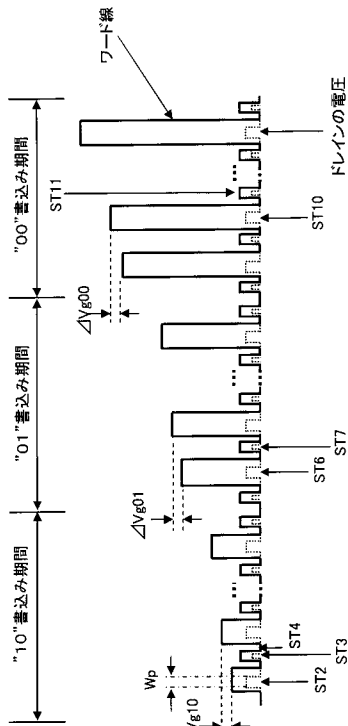
【図 15】



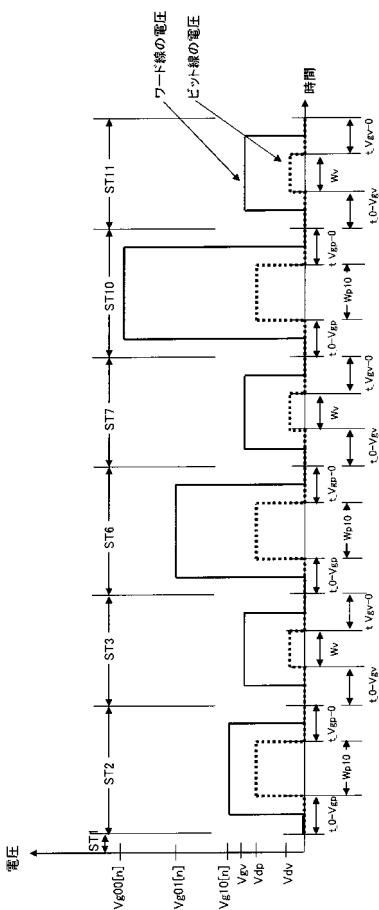
【図 16】



【図 17】



【図 18】



【図 19】

	Initial	After	遷移時間(μsec)
0(V)から $V_{gM}[n](V)$ までの遷移時間 $t_{0-V_{gp}}$	GND	$V_{gM}[n]$	2
$V_{gM}[n](V)$ から0(V)までの遷移時間 $t_{V_{gp}-0}$	GND	V_{gv}	0.3
0(V)から $V_{gv}(V)$ までの遷移時間 $t_{0-V_{gv}}$	$V_{gM}[n]$	GND	0.8
$V_{gv}(V)$ から0(V)までの遷移時間 $t_{V_{gv}-0}$	V_{gv}	GND	1
$V_{gM}[n]$ から $V_{g(M+1)}[n](V)$ までの遷移時間 $t_{V_{gp}-V_{gp}}$	$V_{gM}[n]$	$V_{g(M+1)}[n]$	1
パルス印加時間 $W_{p10}, W_{p01}, W_{p00}$	$V_{gM}[n]$	$V_{gM}[n]$	4
ペリファイ時間 W_v	V_{gv}	V_{gv}	0.5
3値を書込む場合の書き込みサイクル1回分の時間(従来)			25.8
3値を書込む場合の書き込みサイクル1回分の時間(本発明)			18.6
従来技術と本発明の書き込み時間比率			72%

フロントページの続き

(56)参考文献 特開2001-067884(JP,A)
特開2002-367381(JP,A)
特開2002-184190(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 16/02