

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7635677号
(P7635677)

(45)発行日 令和7年2月26日(2025.2.26)

(24)登録日 令和7年2月17日(2025.2.17)

(51)国際特許分類		F I	
G 0 2 F	1/1345(2006.01)	G 0 2 F	1/1345
G 0 2 F	1/133(2006.01)	G 0 2 F	1/133 5 8 0
G 0 2 F	1/1333(2006.01)	G 0 2 F	1/1333
G 0 2 F	1/1343(2006.01)	G 0 2 F	1/1343
G 0 2 F	1/1368(2006.01)	G 0 2 F	1/1368
請求項の数 13 (全30頁) 最終頁に続く			
(21)出願番号	特願2021-147452(P2021-147452)	(73)特許権者	000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目 1 番 6 号
(22)出願日	令和3年9月10日(2021.9.10)	(74)代理人	100179475 弁理士 仲井 智至
(65)公開番号	特開2023-40469(P2023-40469A)	(74)代理人	100216253 弁理士 松岡 宏紀
(43)公開日	令和5年3月23日(2023.3.23)	(74)代理人	100225901 弁理士 今村 真之
審査請求日	令和6年7月3日(2024.7.3)	(72)発明者	藤川 紳介 長野県諏訪市大和 3 丁目 3 番 5 号 セイ コーエプソン株式会社内
		審査官	植田 裕美子
		最終頁に続く	

(54)【発明の名称】 電気光学装置および電子機器

(57)【特許請求の範囲】

【請求項 1】

表示領域の外側に開口部が設けられた配線と、
表示領域の外側で平面視において前記開口部の内側に設けられた温度検出素子と、
を備えることを特徴とする電気光学装置。

【請求項 2】

請求項 1 に記載の電気光学装置において、
平面視で前記開口部の内側に、前記配線と同一層の島状の遮光層が前記配線から離隔し
て設けられていることを特徴とする電気光学装置。

【請求項 3】

請求項 1 または 2 に記載の電気光学装置において、
前記表示領域に複数のデータ線を備え、
前記複数のデータ線は各々、平面視で前記配線と重なる部分を有することを特徴とする
電気光学装置。

【請求項 4】

請求項 3 に記載の電気光学装置において、
前記配線は、定電位が印加されることを特徴とする電気光学装置。

【請求項 5】

請求項 4 に記載の電気光学装置において、
液晶層と、

前記液晶層と前記配線との間で共通電位が印加された導電層と、
を備えることを特徴とする電気光学装置。

【請求項 6】

請求項 1 から 5 までの何れか一項に記載の電気光学装置において、

前記温度検出素子は、第 1 ダイオードと、第 2 ダイオードと、前記第 1 ダイオードと前記第 2 ダイオードとを直列に電氣的に接続する電極と、を有し、

前記第 1 ダイオードと前記第 2 ダイオードとは第 1 方向に沿って配置され、

前記電極は、前記第 1 方向と交差する第 2 方向に沿う方向の幅が、前記第 1 ダイオードを構成する半導体層および前記第 2 ダイオードを構成する半導体層の前記第 2 方向に沿う方向の幅よりも狭い部分を有することを特徴とする電気光学装置。

10

【請求項 7】

請求項 1 から 5 までの何れか一項に記載の電気光学装置において、

前記表示領域の外側に N チャネル型トランジスタおよび P チャネル型トランジスタを有する相補型トランジスタを備え、

前記温度検出素子は、第 1 ダイオードと、第 2 ダイオードと、前記第 1 ダイオードと前記第 2 ダイオードとを直列に電氣的に接続する電極と、を有し、

前記第 1 ダイオードを構成する半導体層と前記第 2 ダイオードを構成する半導体層との間隔は、前記 N チャネル型トランジスタを構成する半導体層と前記 P チャネル型トランジスタを構成する半導体層との間隔以下であることを特徴とする電気光学装置。

20

【請求項 8】

請求項 1 から 5 までの何れか一項に記載の電気光学装置において、

前記表示領域の外側に、交流信号が供給される信号配線を備え、

前記温度検出素子は、第 1 ダイオードと、第 2 ダイオードと、前記第 1 ダイオードと前記第 2 ダイオードとを直列に電氣的に接続する電極と、を有し、

前記第 1 ダイオードと前記第 2 ダイオードとは第 1 方向に沿って配置され、

前記第 1 ダイオードに電氣的に接続されたカソード配線は、平面視において、前記第 1 ダイオードおよび前記第 2 ダイオードと、前記信号配線との間を前記第 1 方向に沿って延在していることを特徴とする電気光学装置。

【請求項 9】

請求項 1 から 5 までの何れか一項に記載の電気光学装置において、

前記表示領域の外側に、交流信号が供給される信号配線を備え、

前記温度検出素子は、第 1 ダイオードと、第 2 ダイオードと、前記第 1 ダイオードと前記第 2 ダイオードとを直列に電氣的に接続する電極と、を有し、

前記第 1 ダイオードと前記第 2 ダイオードとは第 1 方向に沿って配置され、

前記信号配線は、前記第 1 方向と交差する第 2 方向に沿って延在していることを特徴とする電気光学装置。

30

【請求項 10】

請求項 3 から 5 までのいずれか一項に記載の電気光学装置において、

前記複数のデータ線を選択する選択回路と、

プリチャージ期間において、水平走査期間ごとに前記選択回路を制御する制御回路と、

を備えることを特徴とする電気光学装置。

40

【請求項 11】

請求項 10 に記載の電気光学装置において、

前記複数の水平走査期間には、前記複数のデータ線の一部にプリチャージ信号を供給する第 1 水平走査期間と、前記複数のデータ線のうち、前記一部と異なる他の一部のデータ線に前記プリチャージ信号を供給する第 2 水平走査期間と、が含まれていることを特徴とする電気光学装置。

【請求項 12】

請求項 10 に記載の電気光学装置において、

前記複数の水平走査期間には、前記複数のデータ線の全てにプリチャージ信号を供給す

50

る第1水平走査期間と、前記複数のデータ線の全てにプリチャージ信号を供給しない第2水平走査期間と、が含まれていることを特徴とする電気光学装置。

【請求項13】

請求項1から12までの何れか一項に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、温度検出素子が設けられた電気光学装置、および電子機器に関するものである。

10

【背景技術】

【0002】

液晶装置等の電気光学装置において、表示領域の外側に温度検出素子を設け、温度検出素子での検出結果に基づいて、電気光学装置の駆動条件を補正する等の技術が提案されている。この場合、温度検出素子の近傍に交流信号が供給される信号配線が設けられていると、信号配線の電位変化の影響が温度検出素子に及び、温度検出精度が低下することがある。そこで、温度検出素子と信号配線との間に定電位が印加される定電位配線をシールド層として設けることが提案されている。

【先行技術文献】

【特許文献】

20

【0003】

【文献】特開2010-73810号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、シールド層として定電位配線を用いた場合でも、電気光学装置を駆動した際、シールド層として用いた定電位配線に印加した定電位にノイズが発生することがある。その結果、ノイズの影響が定電位配線と温度検出素子との間の寄生容量を介して温度検出素子に及び、温度検出素子の温度検出精度が低下する。それ故、温度検出素子に配線が平面視で重なっている場合、温度検出素子と配線との間の寄生容量の影響が温度検出素子に及びやすいという課題がある。

30

【課題を解決するための手段】

【0005】

上記課題を解決するため、本発明に係る電気光学装置の一態様は、表示領域の外側に開口部が設けられた配線と、表示領域の外側で平面視において前記開口部の内側に設けられた温度検出素子と、を備えることを特徴とする。

【0006】

本発明に係る電気光学装置の別の態様は、表示領域の外側に設けられた温度検出素子と、前記温度検出素子に平面視で重なる部分を有する配線と、を備え、前記温度検出素子は、第1のダイオードと、第2のダイオードと、前記第1のダイオードと前記第2ダイオードとを直列に電氣的に接続する電極と、を有し、前記第1ダイオードと前記第2ダイオードとは第1方向に沿って配置され、前記電極は、前記第1方向と交差する第2方向に沿う方向の幅が、前記第1ダイオードを構成する半導体層および前記第2ダイオードを構成する半導体層の前記第2方向に沿う方向の幅よりも狭い部位を有することを特徴とする。

40

【0007】

本発明に係る電気光学装置のさらに別の態様は、表示領域の外側に設けられた温度検出素子と、前記温度検出素子に平面視で重なる部分を有する配線と、前記表示領域の外側にNチャネル型トランジスタおよびPチャネル型トランジスタを有する相補型トランジスタと、を備え、前記温度検出素子は、第1のダイオードと、第2のダイオードと、前記第1のダイオードと前記第2ダイオードとを直列に電氣的に接続する電極と、を有し、

50

前記第 1 ダイオードを構成する半導体層と前記第 2 ダイオードを構成する半導体層との間隔は、前記 N チャネル型トランジスタを構成する半導体層と前記 P チャネル型トランジスタを構成する半導体層との間隔以下であることを特徴とする。

【 0 0 0 8 】

本発明に係る電気光学装置のさらに別の態様は、表示領域に設けられた複数のデータ線と、前記複数のデータ線の各々と平面視で重なる部分を有する共通電位配線と、前記表示領域の外側で前記配線と平面視で重なる温度検出素子と、前記複数のデータ線の各々と電氣的に接続された選択回路と、プリチャージ期間において、水平走査期間ごとに前記選択回路を制御する制御回路と、を備え、複数の水平走査期間には、前記複数のデータ線の一部にプリチャージ信号を供給する第 1 水平走査期間と、前記複数のデータ線のうち、前記一部と異なる他の一部のデータ線に前記プリチャージ信号を供給する第 2 水平走査期間と、が含まれていることを特徴とする。

10

【 0 0 0 9 】

本発明に係る電気光学装置のさらに別の態様は、表示領域に設けられた複数のデータ線と、前記複数のデータ線の各々と平面視で重なる部分を有する共通電位配線と、前記表示領域の外側で前記配線と平面視で重なる温度検出素子と、前記複数のデータ線の各々と電氣的に接続された選択回路と、プリチャージ期間において、水平走査期間ごとに前記選択回路を制御する制御回路と、を備え、複数の水平走査期間には、前記複数のデータ線の全てにプリチャージ信号を供給する第 1 水平走査期間と、前記複数のデータ線の全てにプリチャージ信号を供給しない第 2 水平走査期間と、が含まれていることを特徴とする。

20

【 0 0 1 0 】

本発明に係る電気光学装置は電子機器に用いられる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本発明の実施形態 1 に係る電気光学装置の構成例を示す平面図。

【図 2】図 1 に示す電気光学装置の断面を模式的に示す説明図。

【図 3】図 2 に示す第 1 基板の電氣的構成を示す回路ブロック図。

【図 4】図 3 に示すデータ線駆動回路等の説明図。

【図 5】図 1 に示す電気光学装置において画像表示を行う際のタイミングチャート。

【図 6】図 3 に示す温度検出回路の説明図。

30

【図 7】図 6 に示す温度検出素子等の断面を模式的に示す説明図。

【図 8】本発明の実施形態 1 に対する比較例の説明図。

【図 9】プリチャージと温度検出回路の出力電圧との関係を示す図。

【図 10】図 3 に示す温度検出素子に寄生する容量が温度検出回路の出力電圧に与える影響を示すグラフ。

【図 11】本発明の実施形態 2 に係る電気光学装置の説明図。

【図 12】図 11 に示す温度検出素子等の断面を模式的に示す説明図。

【図 13】本発明の実施形態 2 の変形例に係る電気光学装置の説明図。

【図 14】本発明の実施形態 3 に係る電気光学装置の説明図。

【図 15】図 14 に示す温度検出素子の断面図。

40

【図 16】本発明の実施形態 3 の変形例 1 に係る電気光学装置の説明図。

【図 17】本発明の実施形態 3 の変形例 2 に係る電気光学装置の説明図。

【図 18】本発明の実施形態 4 に係る電気光学装置の奇数フレームにおけるプリチャージの説明図。

【図 19】本発明の実施形態 4 に係る電気光学装置の偶数フレームにおけるプリチャージの説明図。

【図 20】本発明の実施形態 5 に係る電気光学装置のプリチャージの説明図。

【図 21】本発明を適用した投射型表示装置の構成例を示すブロック図。

【図 22】図 21 に示す光路シフト素子の説明図。

【発明を実施するための形態】

50

【 0 0 1 2 】

図面を参照して、本発明の実施形態を説明する。なお、以下の説明で参照する図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第 1 基板に形成される層の配置を説明する際、上層側あるいは表面側とは第 1 基板の基板本体が位置する側とは反対側（対向基板および液晶層が位置する側）を意味し、下層側とは第 1 基板の基板本体が位置する側を意味する。第 2 基板に形成される層の配置を説明する際、上層側あるいは表面側とは対向基板の基板本体が位置する側とは反対側（第 1 基板および液晶層が位置する側）を意味し、下層側とは第 2 基板の基板本体が位置する側を意味する。また、本発明において、「平面視」とは第 1 基板 1 0 または第 2 基板 2 0 に対する法線方向からみた様子を意味する。

10

【 0 0 1 3 】

1 . 実施形態 1

1 - 1 . 電気光学装置 1 0 0 の具体的構成

図 1 は、本発明の実施形態 1 に係る電気光学装置 1 0 0 の構成例を示す平面図である。図 2 は、図 1 に示す電気光学装置 1 0 0 の断面を模式的に示す説明図である。図 1 および図 2 に示す電気光学装置 1 0 0 は液晶装置であり、液晶パネルからなる電気光学パネル 1 0 0 p を有している。電気光学装置 1 0 0 では、第 1 基板 1 0 と第 2 基板 2 0 とが所定の隙間を介してシール材 1 0 7 によって貼り合わされており、シール材 1 0 7 は第 2 基板 2 0 の外縁に沿うように枠状に設けられている。シール材 1 0 7 は、光硬化樹脂や熱硬化性樹脂等からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー、あるいはガラスビーズ等のギャップ材 1 0 7 a が配合されている。電気光学装置 1 0 0 において、第 1 基板 1 0 と第 2 基板 2 0 との間のうち、シール材 1 0 7 によって囲まれた領域内には、液晶層からなる電気光学層 5 0 が設けられている。シール材 1 0 7 には、液晶注入口として利用される途切れ部分 1 0 7 c が形成されており、かかる途切れ部分 1 0 7 c は、液晶材料の注入後、封止材 1 0 8 によって塞がれている。なお、液晶材料を滴下法で封入する場合は、途切れ部分 1 0 7 c は形成されない。第 1 基板 1 0 および第 2 基板 2 0 はいずれも四角形であり、電気光学装置 1 0 0 の略中央には、表示領域 1 0 a が四角形の領域として設けられている。かかる形状に対応して、シール材 1 0 7 も略四角形に設けられ、表示領域 1 0 a の外側は四角枠状の外周領域 1 0 c になっている。

20

【 0 0 1 4 】

表示領域 1 0 a において、X 方向に延在する 2 辺を第 1 辺 1 0 a 1 および第 2 辺 1 0 a 2 とし、Y 方向に延在する 2 辺を第 3 辺 1 0 a 3 および第 4 辺 1 0 a 4 としたとき、第 1 基板 1 0 の外周領域 1 0 c には、第 1 基板 1 0 の端部と表示領域 1 0 a の第 1 辺 1 0 a 1 との間にデータ線駆動回路 1 0 1 が設けられ、第 1 基板 1 0 の端部と表示領域 1 0 a の第 2 辺 1 0 a 2 との間に検査回路 1 0 5 が設けられる。また、第 1 基板 1 0 の端部と表示領域 1 0 a の第 3 辺 1 0 a 3 との間、および第 1 基板 1 0 の端部と表示領域 1 0 a の第 4 辺 1 0 a 4 との間には走査線駆動回路 1 0 4 が設けられる。第 1 基板 1 0 の端部のうち、データ線駆動回路 1 0 1 の側の端部には、配線基板 7 0 が電氣的に接続される実装用の端子 1 0 2 が配列されている。配線基板 7 0 には、図 5 を参照して後述する画像信号 V I D 1、V I D 2、... V I D 2 n、および選択信号 S E L 1、S E L 2、... S E L 8 等を出力する制御回路 7 6 を含む駆動用 I C 7 5 が実装されている。配線基板 7 0 は、コネクタ 6 1 を介して上位回路 6 0 に電氣的に接続される。上位回路 6 0 には画像制御回路 6 5 が設けられている。また、上位回路 6 0 には、後述する温度検出回路 1 を駆動する温度検出用駆動回路 6 6 が設けられている。上位回路 6 0 は、後述する電子機器において、電気光学装置 1 0 0 に対する上位装置に設けられる。

30

40

【 0 0 1 5 】

第 1 基板 1 0 は、石英基板やガラス基板等の透光性の基板本体 1 0 w を有しており、第 1 基板 1 0 の一方向 1 0 s の側において、表示領域 1 0 a には、複数の画素トランジスタ、および複数の画素トランジスタの各々に電氣的に接続する画素電極 9 a がマトリクス状に形成される。画素電極 9 a の上層側には第 1 配向膜 1 6 が形成されている。第 1 基

50

板 1 0 の一 方 面 1 0 s の 側 に お い て 、 表 示 領 域 1 0 a と シ ー ル 材 1 0 7 と の 間 に 沿 っ て 延 在 する 四 角 形 の 枠 状 領 域 1 0 b に は 、 表 示 領 域 1 0 a の 各 辺 に 沿 っ て 延 在 する 部 分 に 、 画 素 電 極 9 a と 同 時 形 成 さ れ た ダ ミ ー 画 素 電 極 9 b が 設 け ら れ る 。

【 0 0 1 6 】

第 2 基 板 2 0 は 、 石 英 基 板 や ガ ラ ス 基 板 等 の 透 光 性 の 基 板 本 体 2 0 w を 有 し て お り 、 第 2 基 板 2 0 の 一 方 面 2 0 s の 側 に は 共 通 電 極 2 1 が 形 成 さ れ て い る 。 共 通 電 極 2 1 は 、 第 2 基 板 2 0 の 一 方 面 2 0 s の 側 の 略 全 面 に 形 成 さ れ て い る 。 第 2 基 板 2 0 の 一 方 面 2 0 s の 側 に お い て 、 枠 状 領 域 1 0 b に は 、 共 通 電 極 2 1 の 下 層 側 に 遮 光 性 の 見 切 り 2 9 が 形 成 さ れ 、 共 通 電 極 2 1 の 表 面 に は 第 2 配 向 膜 2 6 が 積 層 さ れ て い る 。 表 示 領 域 1 0 a は 、 見 切 り 2 9 の 内 縁 に よ っ て 規 定 さ れ る 。 見 切 り 2 9 と 共 通 電 極 2 1 と の 間 に は 透 光 性 の 平 坦 化 膜 2 2 が 形 成 さ れ て い る 。 見 切 り 2 9 を 構 成 する 遮 光 層 は 、 隣 り 合 う 画 素 電 極 9 a に よ り 挟 ま れ た 画 素 間 領 域 1 0 f に 重 なる ブ ラ ッ ク マ ト リ ク ス 部 と し て 形 成 さ れ る こ と も あ る 。 見 切 り 2 9 は ダ ミ ー 画 素 電 極 9 b と 平 面 的 に 重 なる 位 置 に 形 成 さ れ て い る 。 見 切 り 2 9 は 、 遮 光 性 の 金 属 膜 や 黒 色 の 樹 脂 に よ っ て 構 成 さ れ て い る 。

10

【 0 0 1 7 】

第 1 配 向 膜 1 6 お よ び 第 2 配 向 膜 2 6 は 、 例 え ば 、 SiO_x ($x \geq 2$) 、 TiO_2 、 MgO 、 Al_2O_3 等 の 斜 方 蒸 着 膜 か ら なる 無 機 配 向 膜 で あ り 、 カ ラ ム と 称 せ ら れ る 柱 状 体 が 第 1 基 板 1 0 お よ び 第 2 基 板 2 0 に 対 し て 斜 め に 形 成 さ れ た 柱 状 構 造 体 層 か ら なる 。 従 っ て 、 第 1 配 向 膜 1 6 お よ び 第 2 配 向 膜 2 6 は 、 電 気 光 学 層 5 0 に 用 い た 負 の 誘 電 異 方 性 を 備 え た ネ マ チ ッ ク 液 晶 分 子 を 第 1 基 板 1 0 お よ び 第 2 基 板 2 0 に 対 し て 斜 め 傾 斜 配 向 さ せ 、 液 晶 分 子 に プ レ チ ル ト を 付 し て い る 。 こ の よ う に し て 、 電 気 光 学 装 置 1 0 0 は 、 ノ ー マ リ ブ ラ ッ ク の V A (V e r t i c a l A l i g n m e n t) モ ー ド の 液 晶 装 置 と し て 構 成 さ れ て い る 。

20

【 0 0 1 8 】

第 1 基 板 1 0 に お い て シ ー ル 材 1 0 7 よ り 外 側 に は 、 第 2 基 板 2 0 の 4 つ の 角 部 分 2 4 t と 重 なる 位 置 に 基 板 間 導 通 用 電 極 部 1 4 t が 形 成 さ れ て い る 。 基 板 間 導 通 用 電 極 部 1 4 t は 、 配 線 6 g に 導 通 し て お り 、 配 線 6 g は 、 端 子 1 0 2 の う ち 、 共 通 電 位 L C C O M を 供 給 する ため の 端 子 1 0 2 g に 導 通 し て い る 。 基 板 間 導 通 用 電 極 部 1 4 t と 角 部 分 2 4 t と の 間 に は 、 導 電 粒 子 を 含 ん だ 基 板 間 導 通 材 1 0 9 が 配 置 さ れ て お り 、 第 2 基 板 2 0 の 共 通 電 極 2 1 は 、 基 板 間 導 通 用 電 極 部 1 4 t 、 基 板 間 導 通 材 1 0 9 を 介 し て 、 第 1 基 板 1 0 側 に 電 気 的 に 接 続 さ れ て い る 。 こ の ため 、 共 通 電 極 2 1 は 、 第 1 基 板 1 0 の 側 か ら 共 通 電 位 L C C O M が 印 加 さ れ る 。

30

【 0 0 1 9 】

複 数 の 端 子 1 0 2 は 、 端 子 1 0 2 d 、 1 0 2 h 、 1 0 2 f 、 1 0 2 t 、 1 0 2 s 、 1 0 2 g 、 1 0 2 c 、 1 0 2 a を 含 む 。 端 子 1 0 2 d は 、 走 査 線 駆 動 回 路 1 0 4 に ス タ ー ト パ ル ス S P を 供 給 する ため の 端 子 で あ る 。 端 子 1 0 2 h は 、 走 査 線 駆 動 回 路 1 0 4 に ク ロ ッ ク 信 号 C L Y を 供 給 する ため の 端 子 で あ る 。 端 子 1 0 2 f は 、 走 査 線 駆 動 回 路 1 0 4 に 出 力 制 御 信 号 E N B Y を 供 給 する ため の 端 子 で あ る 。 端 子 1 0 2 t は 、 走 査 線 駆 動 回 路 1 0 4 に 高 レ ベ ル の 定 電 位 V D D Y を 供 給 する ため の 端 子 で あ る 。 端 子 1 0 2 s は 、 走 査 線 駆 動 回 路 1 0 4 に 低 レ ベ ル の 定 電 位 V S S Y を 供 給 する ため の 端 子 で あ る 。 端 子 1 0 2 g は 、 共 通 電 位 L C C O M を 供 給 する ため の 端 子 で あ る 。 カ ソ ード 端 子 1 0 2 c お よ び ア ノ ード 端 子 1 0 2 a は 各 々 、 図 3 を 参 照 し て 後 述 する 温 度 検 出 回 路 1 の カ ソ ード 配 線 L c お よ び ア ノ ード 配 線 L a に 電 気 的 に 接 続 さ れ た 端 子 で あ る 。

40

【 0 0 2 0 】

本 実 施 形 態 の 電 気 光 学 装 置 1 0 0 は 透 過 型 液 晶 装 置 で あ る 。 従 っ て 、 画 素 電 極 9 a お よ び 共 通 電 極 2 1 は 、 I T O (I n d i u m T i n O x i d e) 膜 や I Z O (I n d i u m Z i n c O x i d e) 膜 等 の 透 光 性 導 電 層 に よ り 形 成 さ れ て い る 。 か か る 透 過 型 液 晶 装 置 で は 、 例 え ば 、 第 2 基 板 2 0 の 側 か ら 入 射 し た 光 源 光 が 第 1 基 板 1 0 か ら 出 射 さ れ る 間 に 変 調 さ れ て 画 像 を 表 示 する 。 な お 、 画 素 電 極 9 a に ア ル ミ ニ ウ ム 等 の 反 射 性 金 属 に よ っ て 構 成 す れ ば 、 電 気 光 学 装 置 1 0 0 を 反 射 型 液 晶 装 置 と す る こ と が で き る 。

50

【 0 0 2 1 】

1 - 2 . 電気光学装置 1 0 0 の電気的構成

図 3 は、図 2 に示す第 1 基板 1 0 の電気的構成を示す回路ブロック図である。図 3 において、第 1 基板 1 0 は、略中央領域に複数の画素 1 0 0 a がマトリクス状に配列された表示領域 1 0 a を備えている。第 1 基板 1 0 において、表示領域 1 0 a の内側には、走査線駆動回路 1 0 4 から X 方向に延在する複数本の走査線 3 a、およびデータ線駆動回路 1 0 1 から Y 方向に延在する複数本のデータ線 6 a が設けられており、走査線 3 a とデータ線 6 a との交差に対応して画素 1 0 0 a が構成される。複数本のデータ線 6 a は、表示領域 1 0 a の第 2 辺 1 0 a 2 側に配置した検査回路 1 0 5 が電気的に接続している。複数の画素 1 0 0 a の各々には、N チャネル型トランジスタからなる画素トランジスタ 3 0、および画素トランジスタ 3 0 に電気的に接続された画素電極 9 a が形成される。画素トランジスタ 3 0 のソース領域にはデータ線 6 a が電気的に接続され、画素トランジスタ 3 0 のゲートには走査線 3 a が電気的に接続され、画素トランジスタ 3 0 のドレイン領域には、画素電極 9 a が電気的に接続されている。データ線駆動回路 1 0 1 によってデータ線 6 a には画像信号 V I D が供給され、走査線 3 a には走査信号 G が供給される。

10

【 0 0 2 2 】

また、データ線駆動回路 1 0 1 は、後述するように、各水平走査期間の冒頭に設定されたプリチャージ期間においてデータ線 6 a にプリチャージ信号を印加するプリチャージ回路 1 0 6 の一部として利用される。図示を省略するが、検査回路 1 0 5 はトランジスタアレイである。検査回路 1 0 5 のトランジスタは、一方のソース・ドレイン領域がデータ線 6 a に電気的に接続され、他方のソース・ドレイン領域が検査線（図示せず）に電気的に接続され、ゲートが検査回路 1 0 5 内の制御信号線（図示せず）に電気的に接続されている。

20

【 0 0 2 3 】

各画素 1 0 0 a において、画素電極 9 a は、図 2 を参照して説明した第 2 基板 2 0 の共通電極 2 1 と電気光学層 5 0 を介して対向し、液晶容量 5 0 a を構成する。各画素 1 0 0 a には、液晶容量 5 0 a で保持される画像信号 V I D の変動を防ぐために、液晶容量 5 0 a と並列に保持容量 5 5 が付加されている。本実施形態では、保持容量 5 5 を構成するために、第 1 基板 1 0 には、複数の画素 1 0 0 a に跨って延在する共通電位配線 8 a が容量線として形成されており、共通電位配線 8 a には共通電位 L C C O M が供給されている。共通電位配線 8 a は、走査線 3 a およびデータ線 6 a の少なくとも一方と平面視で重なるように設けられている。図 3 には、共通電位配線 8 a が走査線 3 a およびデータ線 6 a の双方と平面視で重なる態様が例示されている。共通電位配線 8 a は、走査線 3 a およびデータ線 6 a のうち、データ線 6 a と平面視で重なるように構成されることもある。いずれの場合も、共通電位配線 8 a は、データ線 6 a と重なる部分を有する。第 1 基板 1 0 において、表示領域 1 0 a の外側には温度検出回路 1 が構成されている。図 3 では、表示領域 1 0 a の左側に配置された走査線駆動回路 1 0 4 によって奇数行の走査線 3 a を駆動し、表示領域 1 0 a の右側に配置された走査線駆動回路 1 0 4 によって偶数行の走査線 3 a を駆動する構成としたが、同一の走査線 3 a を左右両側にそれぞれ配置された走査線駆動回路 1 0 4 で駆動する構成であってもよい。

30

40

【 0 0 2 4 】

1 - 3 . データ線駆動回路 1 0 1 等の構成例

図 4 は、図 3 に示すデータ線駆動回路 1 0 1 等の説明図である。図 5 は、図 1 に示す電気光学装置 1 0 0 において画像表示を行う際のタイミングチャートである。図 4 に示すように、第 1 基板 1 0 において、表示領域 1 0 a の第 1 辺 1 0 a 1 側にはデータ線駆動回路 1 0 1 が配置される。データ線駆動回路 1 0 1 はデマルチプレクサを含み、デマルチプレクサはサンプル・ホールド回路としての選択回路 1 0 1 a を含む。選択回路 1 0 1 a からはデータ線 6 a が Y 方向、すなわち表示領域 1 0 a の第 2 辺 1 0 a 2 側へ向かって延在している。選択回路 1 0 1 a は、データ線 6 a と画像信号配線 6 j との電気的な接続を制御するトランジスタ 3 0 e を備える。本実施形態において、デマルチプレクサは、例えば

50

、 8 個のトランジスタ 30 e を備える。トランジスタ 30 e は N チャンネル型トランジスタである。従って、FHD 規格であれば $1920 / 8 = 240$ であるから、240 個のデマルチプレクサを備える。かかるデータ線駆動回路 101 は、図 3 に示す駆動用 IC 75 から端子 102 および画像信号配線 6 j を経由した画像信号 VID を各データ線 6 a に供給する。その際、選択回路 101 a のトランジスタ 30 e は、駆動用 IC 75 の制御回路 76 から制御信号線 6 i を介して供給される選択信号 SEL 1、SEL 2、... SEL 8 に基づいて、画像信号 VID を各データ線 6 a に時分割的に供給する。

【0025】

より具体的には、電気光学装置 100 で画像表示を行う際、図 5 に示すように、走査線駆動回路 104 は、垂直同期信号 Vsync によって規定される第 N フレーム期間において、走査信号 G1、G2、G3...Gm を水平走査期間 H 毎に順次排他的に選択レベルとする。水平走査期間 H では、選択信号 SEL 1、SEL 2、... SEL 8 が順に排他的に選択レベルとなり、駆動用 IC 75 は、選択信号 SEL 1、SEL 2、... SEL 8 に同期して画像信号 VID1、VID2...VIDn を供給する。

10

【0026】

例えば、走査信号 G1 が選択レベルとなる水平走査期間 H において、選択信号 SEL 1 が選択レベルとなったときには、第 1 行目の走査線 3 a と、複数のデマルチプレクサの各々において X 方向の第 1 番目に位置するデータ線 6 a との交差に対応する画素 100 a に対して、画像信号 VID1、VID2...VIDn に対応する電圧が書き込まれる。次に、選択信号 SEL 2 が選択レベルとなったとき、第 1 行目の走査線 3 a と、複数のデマルチプレクサの各々において第 1 方向の第 2 番目に位置するデータ線 6 a との交差に対応する画素 100 a に対して、画像信号 VID1、VID2...VIDn に対応する電圧が書き込まれる。以下、同様にして、選択信号 SEL 3 ~ SEL 8 が選択レベルとなったとき、対応する画素 100 a に対して画像信号 VID1 ~ VIDn に対応する電圧の書き込みが行われる。

20

【0027】

また、電気光学装置 100 の駆動としては、表示品質の改善のためにデータ線 6 a に画像信号電圧を書き込む前に予備書き込みが行われる。これを一般的にはプリチャージという。従って、水平走査期間 H の冒頭では、選択信号 SEL 1、SEL 2、... SEL 8 が同時に選択レベルになるプリチャージ期間 tp が設けられている。プリチャージ期間 tp では、選択信号 SEL 1、SEL 2、... SEL 8 が全て選択レベルとなることによって、プリチャージ信号 PRC が全てのデータ線 6 a に供給される。従って、制御回路 76 は、プリチャージ期間 tp において選択回路 101 a を制御することから、制御回路 76 および選択回路 101 a は、プリチャージ回路を構成している。

30

【0028】

かかる動作は、各水平期間 H において実施される。また、第 N フレームの後の第 N + 1 フレームにおいても、同様な動作が実施される。その際、各画素 100 a に対する画像信号極性が入れ替えられることがある。画像信号極性とは、共通電位 LCCOM を基準としたときの、画像信号電圧の極性である。例えば、共通電位 LCCOM に対して画像信号電圧が正であれば正極性であり、共通電位 LCCOM に対して画像信号電圧が負であれば負極性である。例えば、第 N フレームにおいて正極性書き込みが行われたのであれば、次の第 N + 1 フレームにおいては、負極性書き込みが行われる。一方、第 N フレームにおいて負極性書き込みが行われたのであれば、次の第 N + 1 フレームにおいては、正極性書き込みが行われることになる。かかる極性反転を行うことにより、電気光学層 50 の劣化を防止することができる。

40

【0029】

このように、本形態では、プリチャージによって、画像信号電圧の書き込みを補助し、あるいは中間調背景に白ウインドウ表示をした際に、白ウインドウの上部や下部が周辺とは異なった階調に視認されるクロストークを軽減させる。プリチャージ信号 PRC は、例えば、画像信号 VID の電圧範囲の最低電圧付近に設定されることが多い。例えば、ノー

50

マリブラックモードの電気光学装置 100 で、共通電位 L C C O M を固定電位の 7 V に設定し、負極性表示における画像信号電圧を 2 V (白) ~ 7 V (黒)、正極性表示における画像信号電圧を 7 V (黒) ~ 12 V (白) とし、プリチャージ信号を 2 V ~ 4 V 程度とする。実際には、選択回路 101 a のトランジスタ 30 e と画素トランジスタ 30 とにおけるプッシュダウン電圧を考慮して共通電位 L C C O M の調整が行われるが、実施例の説明上は無視しても支障はない。

【0030】

プリチャージは、水平走査期間 H の冒頭に実施することが一般的である。従って、データ線 6 a の電位は一斉に 2 V 近辺に遷移し、寄生容量によって共通電位配線 8 a の電位に対し、比較的大きなノイズを生起させる。詳細には図 5 の L C C O M に示すように、プリチャージに同期して、共通電位配線 8 a には共通電位 L C C O M より低電位側へ向かったスパイクノイズが立つ。各画素への画像信号書き込み時にもノイズは生起するが、時分割動作であるため比較的小さいものである。近年は高精細化により表示領域 10 a のデータ線 6 a の数は増加し、このスパイクノイズは抑えきれないものになっている。

【0031】

1 - 4 . 温度検出回路 1 の構成

図 6 は、図 3 に示す温度検出回路 1 の説明図である。図 6 には、温度検出回路 1 によって温度を検出する際の回路構成を示してある。

【0032】

図 3 に示すように、第 1 基板 10 の表示領域 10 a の外側において、電気光学パネル 100 p の温度を検出する温度検出回路 1 が設けられている。温度検出回路 1 は、温度検出素子 11 と、温度検出素子 11 をサージ電流から保護するための静電保護回路 12 とを備えている。第 1 基板 10 において、温度検出素子 11 は表示領域 10 a の近傍に配置され、静電保護回路 12 は、温度検出素子 11 と第 1 基板 10 において端子 102 が配列された端部との間に設けられている。

【0033】

図 6 に示すように、温度検出素子 11 は、例えば、直列に電氣的に接続された複数のダイオード D を備えている。図 6 には、説明を容易化するために 3 個のダイオード D (D 1 ~ D 3) が直列に電氣的に接続された形態を例示してあるが、ダイオード D は、5 個あるいは 6 個、直列に電氣的に接続されることもある。かかる温度検出素子 11 によれば、温度検出素子 11 に定電流を流したとき、順方向電圧の温度に対する感度を約 - 10 m V / °C にすることができる。温度検出素子 11 のアノード 11 a には、アノード端子 102 a から延在するアノード配線 L a が電氣的に接続されている。温度検出素子 11 のカソード 11 c には、カソード端子 102 c から延在するカソード配線 L c が電氣的に接続されている。カソード配線 L c には、グランド電位 G N D が供給される。

【0034】

従って、電気光学装置 100 を電子機器に搭載した状態で、上位回路 60 の温度検出用駆動回路 66 から配線基板 70 を介してアノード端子 102 a およびカソード端子 102 c を介して温度検出回路 1 に 100 n A ~ 数 μ A 程度の微小な順方向の駆動電流 I F を供給すると、ほとんどの駆動電流 I F が温度検出素子 11 を流れる。ここで、温度検出素子 11 の順方向の電圧は、温度に対して良い線形関係にあるとみなせる。従って、温度検出素子 11 に 100 n A ~ 数 μ A 程度の定電流からなる駆動電流 I F を供給した際のアノード端子 102 a とカソード端子 102 c との間の出力電圧 V F を温度検出用駆動回路 66 によって検出すれば、電気光学パネル 100 p の表示領域 10 a の温度を検出することができる。より具体的には、電気光学装置 100 を後述する投射型表示装置のライトバルブ等として使用した際の仕様温度域において、出力電圧 V F は、温度に対して良い線形性をもって変化するので、予め校正しておけば、電気光学パネル 100 p の温度を検出することができる。その際、温度検出素子 11 は、表示領域 10 a の近傍に配置されているため、温度検出素子 11 は、表示領域 10 a の温度を適正に検出することができる。それ故、温度検出回路 1 の温度検出に基づいて、画像信号の補正等を行えば、表示領域 10 a の温

10

20

30

40

50

度に対応した適正な条件で電気光学装置 100 を駆動することができるので、品位の高い画像を表示することができる。なお、温度検出用駆動回路 66 は、定電流回路 661 と、安定化容量 662 とを備える。安定化容量 662 は、定電流回路 661 とグラウンド電位 GND との間に設けられており、出力電圧 VF の測定値を安定させる。安定化容量 662 の静電容量は、例えば、 $0.1\ \mu\text{F}$ である。

【0035】

本形態において、静電保護回路 12 は、アノード配線 La とカソード配線 Lc との間に接続されたトランジスタ Tr を備えており、トランジスタ Tr は、温度検出素子 11 に並列に電氣的に接続されている。トランジスタ Tr の一方のソース・ドレイン領域 31i は、カソード端子 102c と温度検出素子 11 のカソード 11c との間においてカソード配線 Lc と電氣的に接続され、トランジスタ Tr の他方のソース・ドレイン領域 31j は、アノード端子 102a と温度検出素子 11 のアノード 11a との間においてアノード配線 La と電氣的に接続されている。本形態において、トランジスタ Tr は、画素トランジスタ 30 と同様、N チャネル型トランジスタからなる。

10

【0036】

静電保護回路 12 は、直列に電氣的に接続された第 1 容量素子 C1 と第 2 容量素子 C2 とがアノード配線 La とカソード配線 Lc との間に電氣的に接続されている。より具体的には、アノード配線 La に第 2 容量素子 C2 の一方の電極が電氣的に接続され、カソード配線 Lc に第 1 容量素子 C1 の一方の電極が電氣的に接続され、第 1 容量素子 C1 の他方の電極と第 2 容量素子 C2 の他方の電極とが電氣的に接続されている。第 1 容量素子 C1 の一方の電極は、カソード端子 102c とトランジスタ Tr の一方のソース・ドレイン領域 31i との間においてカソード配線 Lc と電氣的に接続され、第 2 容量素子 C2 の一方の電極は、アノード配線 La のうち、アノード端子 102a とトランジスタ Tr 他方のソース・ドレイン領域 31j との間においてアノード配線 La と電氣的に接続されている。第 1 容量素子 C1 および第 2 容量素子 C2 の静電容量は、例えば、 $5\ \text{pF}$ である。

20

【0037】

アノード配線 La は、アノード端子 102a とアノード配線 La と第 2 容量素子 C2 との接続位置との間に第 1 抵抗素子 R1 を有し、カソード配線 Lc は、カソード端子 102c とカソード配線 Lc と第 1 容量素子 C1 との接続位置との間に第 2 抵抗素子 R2 を有する。また、第 1 容量素子 C1 と第 2 容量素子 C2 との接続ノード Cn は、トランジスタ Tr のゲート電極 33t に電氣的に接続されている。第 1 抵抗素子 R1 および第 2 抵抗素子 R2 は、例えば、 $10\ \text{k}\Omega$ である。

30

【0038】

静電保護回路 12 は、第 1 容量素子 C1 に並列に電氣的に接続された抵抗素子 R3 を有する。より具体的には、トランジスタ Tr のゲート電極 33t から延在するゲート配線 Lg は、第 1 容量素子 C1 と第 2 容量素子 C2 との接続ノード Cn に電氣的に接続し、さらに、抵抗素子 R3 を介してカソード配線 Lc に電氣的に接続されている。抵抗素子 R3 は、例えば、 $500\ \text{k}\Omega$ である。トランジスタ Tr は放電経路として機能する。トランジスタ Tr のゲート電極 33t は、抵抗素子 R3 を介してカソード配線 Lc と電氣的に接続されているため、静的状態ではゲート電極 33t とカソード配線 Lc とは同電位である。つまりトランジスタ Tr のゲート・ソース間電圧は $0\ \text{V}$ である。故にトランジスタ Tr はオフとなり、理想的にはソース・ドレイン間に電流は流れない。従って、温度検出素子 11 によって温度を検出する際、アノード配線 La に供給した駆動電流 IF は、トランジスタ Tr には電流は流れず、温度検出素子 11 に流れる。

40

【0039】

このように、静電保護回路 12 は、温度検出素子 11 に並列に電氣的に接続されたトランジスタ Tr と、トランジスタ Tr に電氣的に接続された第 1 容量素子 C1 と、第 1 容量素子 C1 に並列に電氣的に接続された抵抗素子 R3 とを有する。また、静電保護回路 12 は、第 1 容量素子 C1 と直列に電氣的に接続された第 2 容量素子 C2 を備える。それ故、製造工程等において、アノード端子 102a から静電気によるサージ電流が侵入した

50

際、静電保護回路 1 2 は、温度検出素子 1 1 を静電気から保護する。

【 0 0 4 0 】

より具体的には、静電保護回路 1 2 において、静的状態ではトランジスタ T_r のゲート・ソース間電圧は 0 V であり、トランジスタ T_r はオフである。ここで、アノード端子 1 0 2 a から静電気によるサージ電流が侵入すると、第 1 抵抗素子 R_1 によって電圧変動が抑制されながら、第 1 容量素子 C_1 と第 2 容量素子 C_2 との接続ノード C_n の電位であるトランジスタ T_r のゲート電極 3 3 t の電位が上昇する。このため、トランジスタ T_r がオン状態となるので、サージ電流は、トランジスタ T_r およびカソード配線 L_c を介してカソード端子 1 0 2 c に流れる。その際、第 1 抵抗素子 R_1 は、アノード端子 1 0 2 a から侵入するサージ電流を緩和し、第 2 抵抗素子 R_2 は、カソード端子 1 0 2 c から侵入するサージ電流を緩和する。また、トランジスタ T_r がオンとなる期間は、第 1 容量素子 C_1 、第 2 容量素子 C_2 、抵抗素子 R_3 、およびトランジスタ T_r のゲート容量等で決まる。放電後は、抵抗素子 R_3 によって、トランジスタ T_r のゲート・ソース間電圧は 0 V に復帰する。よって、温度検出素子 1 1 に流れるサージ電流は、静電保護回路 1 2 によって抑制されるので、温度検出素子 1 1 を保護することができる。

10

【 0 0 4 1 】

1 - 5 . 温度検出素子 1 1 等の構成例

図 7 は、図 6 に示す温度検出素子 1 1 等の断面を模式的に示す説明図である。図 7 に示すように、第 1 基板 1 0 において、基板本体 1 0 w にはシリコン酸化膜等からなる透光性の絶縁層 4 1 が形成され、絶縁層 4 1 の表面側に、半導体層 3 1 a を備えた画素トランジスタ 3 0 が形成されている。基板本体 1 0 w と絶縁層 4 1 との間には、半導体層 3 1 a 等と平面視で重なるように遮光層（図示せず）が形成されることがある。なお、図面での判別を容易にするためにゲート絶縁層 3 2 は画素トランジスタ 3 0 のみに描いている。

20

【 0 0 4 2 】

画素トランジスタ 3 0 は、半導体層 3 1 a と、半導体層 3 1 a と交差する走査線 3 a の一部からなるゲート電極 3 3 g とを備えており、半導体層 3 1 a とゲート電極 3 3 g との間に、シリコン酸化膜等からなる透光性のゲート絶縁層 3 2 を有している。ゲート電極 3 3 g は、例えば、タンゲステンシリサイドと導電性ポリシリコンとの積層膜である。半導体層 3 1 a は、ポリシリコン膜からなる。画素トランジスタ 3 0 は、LDD (Lightly Doped Drain) 構造を有している。より具体的には、画素トランジスタ 3 0 において、ソース領域 3 1 s は、チャネル領域 3 1 g から離隔する高濃度領域 3 1 s 1 と、チャネル領域 3 1 g と高濃度領域 3 1 s 1 とに挟まれた低濃度領域 3 1 s 2 とを備え、ドレイン領域 3 1 d は、チャネル領域 3 1 g から離隔する高濃度領域 3 1 d 1 と、チャネル領域 3 1 g と高濃度領域 3 1 d 1 とに挟まれた低濃度領域 3 1 d 2 とを備えている。ゲート絶縁層 3 2 は、例えば、シリコン酸化膜からなる。なお、基板本体 1 0 w と絶縁層 4 1 との間に形成した遮光層を走査線 3 a とし、ゲート電極 3 3 g をゲート絶縁層 3 2 および絶縁層 4 1 を貫通するコンタクトホール（図示せず）を介して遮光層と電氣的に接続することもある。

30

【 0 0 4 3 】

ゲート電極 3 3 g の上層側には、シリコン酸化膜等からなる透光性の絶縁層 4 2、4 3、4 4 が順に積層されており、絶縁層 4 1、4 2、4 3 の層間に導電層を形成して図 3 を参照して説明した保持容量 5 5 が構成される。

40

【 0 0 4 4 】

絶縁層 4 2 と絶縁層 4 3 との層間にはデータ線 6 a、および中継電極 6 b が形成されている。データ線 6 a は、ゲート絶縁層 3 2 および絶縁層 4 2 を貫通するコンタクトホール 4 2 s を介して画素トランジスタ 3 0 のソース領域 3 1 s に電氣的に接続されている。中継電極 6 b は、ゲート絶縁層 3 2 および絶縁層 4 2 を貫通するコンタクトホール 4 2 d を介して画素トランジスタ 3 0 のドレイン領域 3 1 d に電氣的に接続されている。データ線 6 a および中継電極 6 b は、同一層に同時形成された導電層からなり、例えば、アルミニウムを主体とした低抵抗配線である。

50

【 0 0 4 5 】

絶縁層 4 3 と絶縁層 4 4 との層間には共通電位配線 8 a および中継電極 8 d が形成されている。共通電位配線 8 a および中継電極 8 d は、同一層に同時形成された導電層からなる。中継電極 8 d は、絶縁層 4 3 を貫通するコンタクトホール 4 3 d を介して中継電極 6 b に電氣的に接続されている。図示を省略するが、共通電位配線 8 a は、保持容量 5 5 の一方の電極に電氣的に接続され、保持容量 5 5 の他方の電極は、中継電極 6 b、8 d に電氣的に接続されている。また、共通電位配線 8 a は図 1 の配線 6 g にも電氣的に接続される。

【 0 0 4 6 】

絶縁層 4 4 の上層には画素電極 9 a が形成されている。画素電極 9 a は、絶縁層 4 4 を貫通するコンタクトホール 4 4 d を介して中継電極 8 d に電氣的に接続されている。従って、画素電極 9 a は、保持容量 5 5 の他方の電極に電氣的に接続し、さらに、画素トランジスタ 3 0 のドレイン領域 3 1 d に電氣的に接続している。

10

【 0 0 4 7 】

なお、図示を省略するが、第 1 基板 1 0 には、画素トランジスタ 3 0 等の製造工程を利用して、走査線駆動回路 1 0 4 においてインバータ回路等を構成する駆動回路用のトランジスタや、データ線駆動回路 1 0 1 の選択回路 1 0 1 a を構成する駆動回路用のトランジスタも構成されている。

【 0 0 4 8 】

第 1 基板 1 0 には、画素トランジスタ 3 0 や駆動回路用のトランジスタ等の製造工程を利用して、温度検出素子 1 1 のダイオード D が構成されている。より具体的には、第 1 基板 1 0 において、絶縁層 4 1 の上層には、互いに島状に分離した複数の半導体層 3 1 h が設けられており、複数の半導体層 3 1 h の各々には N 型領域および P 型領域が設けられている。本形態において、N 型領域は、高濃度 N 型領域 N + と低濃度 N 型領域 N - とを備え、P 型領域は、高濃度 P 型領域 P + と低濃度 P 型領域 P - とを備えており、低濃度 N 型領域 N - と低濃度 P 型領域 P - とが P N 接合を構成している。なお、ダイオード D は、高濃度の P 型領域 P +、低濃度の N 型領域 N -、および高濃度の N 型領域 N + によっても構成可能である。いずれの場合も、ダイオード D であるか否かはその電気特性を測定することで判別できる。

20

【 0 0 4 9 】

絶縁層 4 2 の上層には電極 6 e 1、6 e 2 が形成されており、複数の電極 6 e 1、6 e 2 は各々、絶縁層 4 2 を貫通するコンタクトホール 4 2 p、4 2 n を介して半導体層 3 1 h の高濃度 P 型領域 P + と、隣りの半導体層 3 1 h の高濃度 N 型領域 N + とに電氣的に接続されている。中継部 P 1 は、第 1 ダイオード D 1 の P N 接合と第 2 ダイオード D 2 の P N 接合とを電氣的に接続する部分であり、第 1 ダイオード D 1 の N 型領域、電極 6 e 1 および第 2 ダイオード D 2 の P 型領域を含み、中継部 P 2 は、第 2 ダイオード D 2 の P N 接合と第 3 ダイオード D 3 の P N 接合とを電氣的に接続する部分であり、第 2 ダイオード D 2 の N 型領域、電極 6 e 2 および第 3 ダイオード D 3 の P 型領域を含む。従って、電極 6 e 1 は第 1 ダイオード D 1 と第 2 ダイオード D 2 とを電氣的に接続する中継部 P 1 に含まれ、電極 6 e 2 は第 2 ダイオード D 2 と第 3 ダイオード D 3 とを電氣的に接続する中継部 P 2 に含まれている。ここで、電極 6 e 1 は、第 1 ダイオード D 1 の半導体層 3 1 h、および第 2 ダイオード D 2 の半導体層 3 1 h を電氣的に接続する部分に相当し、電極 6 e 2 は、第 2 ダイオード D 2 の半導体層 3 1 h、および第 3 ダイオード D 3 の半導体層 3 1 h を電氣的に接続する部分に相当する。

30

40

【 0 0 5 0 】

また、一方の端部に配置された半導体層 3 1 h の高濃度 P 型領域 P + には、コンタクトホール 4 2 p を介してアノード配線 L a が電氣的に接続され、他方の端部に配置された半導体層 3 1 h の高濃度 N 型領域 N + には、コンタクトホール 4 2 n を介してカソード配線 L c が電氣的に接続されている。

【 0 0 5 1 】

50

半導体層 3 1 h は、半導体層 3 1 a と同一層に同時形成されるため、厚さ等は半導体層 3 1 a と等しい。N 型領域および P 型領域は、図 3 に示す走査線駆動回路 1 0 4 等を構成する駆動用トランジスタ、および画素トランジスタ 3 0 の製造工程を利用して形成される。電極 6 e 1、6 e 2 は、例えば、データ線 6 a と同一層に同時形成される。

【 0 0 5 2 】

なお、図示を省略するが、静電保護回路 1 2 のトランジスタ T r、第 1 抵抗素子 R 1、第 2 抵抗素子 R 2、および抵抗素子 R 3 は、図 7 に示す各導電層等を用いて形成される。例えば、第 1 抵抗素子 R 1、第 2 抵抗素子 R 2、および抵抗素子 R 3 は、導電性ポリシリコン膜等によって構成される。例えば、ゲート電極 3 3 g や半導体層 3 1 a と同一層に設けられる。第 1 抵抗素子 R 1、第 2 抵抗素子 R 2、および抵抗素子 R 3 は、これに限らず、タングステンシリサイドやアルミニウム等の金属材料によって構成してもよい。トランジスタ T r は、画素トランジスタ 3 0 と同一層に同時形成される。第 1 容量素子 C 1 および第 2 容量素子 C 2 は保持容量 5 5 と同一層に同時形成される。

10

【 0 0 5 3 】

図 4 および図 7 に示すように、共通電位配線 8 a は、端子 1 0 2 g から温度検出素子 1 1 の形成領域を通して表示領域 1 0 a、および走査線駆動回路 1 0 4 に向けて延在する配線である。ここで、共通電位配線 8 a は、表示領域 1 0 a の外側に開口部 8 a 0 が設けられており、平面視において、温度検出素子 1 1 は、開口部 8 a 0 の内側に形成されている。本形態において、平面視で開口部 8 a 0 の内側には、温度検出素子 1 1 と平面視で重なる遮光層 8 e が形成されている。遮光層 8 e は、共通電位配線 8 a と同一層に同時形成された遮光性の導電層である。また、遮光層 8 e は、共通電位配線 8 a と同一層に同時形成された膜であるが、共通電位配線 8 a と離隔して設けられている。

20

【 0 0 5 4 】

第 2 基板 2 0 の見切り 2 9 は、温度検出素子 1 1 と平面視で重なる領域に形成されており、見切り 2 9 は、さらに、データ線駆動回路 1 0 1 および走査線駆動回路 1 0 4 と平面視で重なる領域に形成されている。

【 0 0 5 5 】

このように構成した第 1 基板 1 0 において、絶縁層 4 2 と絶縁層 4 3 との間に形成されたデータ線 6 a や電極 6 e 1、6 e 2 等は、第 1 導電層に相当し、絶縁層 4 3 と絶縁層 4 4 との間に形成された共通電位配線 8 a や遮光層 8 e 等は、第 2 導電層に相当し、絶縁層 4 4 の上層に形成された画素電極 9 a やダミー画素電極 9 b は、第 3 導電層に相当する。

30

【 0 0 5 6 】

1 - 6 . 実施形態 1 の作用効果

図 8 は、本発明の実施形態 1 に対する比較例の説明図である。図 9 は、プリチャージと温度検出回路 1 の出力電圧 V F との関係の一例を示す図である。図 1 0 は、図 6 に示す温度検出素子 1 1 に寄生する容量 C b が出力電圧 V F に与える影響を示すグラフである。詳細には、図 1 0 は、温度検出素子 1 1 と共通電位配線 8 a との間の寄生容量 C b の静電容量と温度検出回路 1 の出力電圧 V F との関係を示してある。図 1 0 において、寄生容量 C b は、温度検出素子 1 1 のダイオード D の電極 6 e 1 を含む中継部 P 1 と共通電位配線 8 a との間に寄生する容量、および電極 6 e 2 を含む中継部 P 2 と共通電位配線 8 a との間に寄生する容量である。なお、電極 6 e 1 と電氣的に接続されているダイオード D の一方の極は、電極 6 e 1 と同一のノードである。同様にして、電極 6 e 2 と電氣的に接続されているダイオード D の一方の極は、電極 6 e 2 と同一のノードである。

40

【 0 0 5 7 】

図 8 に示す比較例では、共通電位配線 8 a に開口部 8 a 0 が形成されておらず、温度検出素子 1 1 は、共通電位配線 8 a と平面視で重なっている。従って、比較例では、ダイオード D の中継部 P 1、P 2 と共通電位配線 8 a との間に大きな静電容量を有する寄生容量 C b (図 6 参照)が存在する。この寄生容量 C b では、半導体層 3 1 h よりも上層に配置された電極 6 e 1、6 e 2 の影響が大きい。

【 0 0 5 8 】

50

これに対して、図 7 に示すように、本発明の実施形態 1 に係る電気光学装置 100 において、共通電位配線 8a には、温度検出素子 11 と平面視で重なる位置に開口部 8a0 が形成されている。このため、温度検出素子 11 は、平面視において共通電位配線 8a と重なっていない。従って、本発明の実施形態 1 に係る電気光学装置 100 では、ダイオード D の電極 6e1、6e2 と共通電位配線 8a との間に大きな静電容量を有する寄生容量が存在しないので、中継部 P1、P2 と共通電位配線 8a との間に大きな静電容量を有する寄生容量 Cb が存在しない。それ故、以下に説明するように、プリチャージによって、共通電位配線 8a の電位にスパイクノイズが発生した際、比較例では、共通電位配線 8a の電位変化が寄生容量 Cb を介して温度検出素子 11 の出力電圧 VF に影響を及ぼすのに対し、実施形態 1 では、上記の影響が発生しにくい。

10

【0059】

例えば、6 個のダイオード D からなる温度検出素子 11 を含む温度検出回路 1 の駆動電流を 100 nA としたとき、以下の問題が発生した。図 9 に示すように、時刻 $t_0 \sim t_1$ において電気光学装置 100 のプリチャージを停止していると、温度検出回路 1 の出力電圧 VF は 6 個のダイオード D において期待される順方向電圧と略一致した。次に、時刻 $t_1 \sim t_2$ においてプリチャージを実施すると、温度検出回路 1 の出力電圧 VF は ΔVF_1 低下して飽和した。時刻 t_2 以降プリチャージを停止すると、温度検出回路 1 の出力電圧 VF は、時刻 $t_0 \sim t_1$ における出力電圧 VF に復帰した。また、この ΔVF_1 は、第 1 基板 10 の温度検出素子 11 より上層に配置され、共通電位 LCCOM が印加された導電層を電氣的にフローティングにすると軽減した。

20

【0060】

そこで、寄生容量 Ca (図 6 参照) と寄生容量 Cb (図 6 参照) を想定し、ダイオード D は測定データをもとにモデル化し、回路シミュレータを用いて、共通電位配線 8a の電位変化が寄生容量 Ca、Cb を介して温度検出回路 1 の出力電圧 VF に及ぼす影響を計算した。なお、計算時間短縮のため、図 6 に示した安定化容量 662 は 100 pF とした。出力電圧 VF の応答時間は実際の電気光学装置 100 とは異なるが、出力電圧 VF の挙動を検証するには充分である。なお出力電圧 VF は、プリチャージ開始後低下し飽和するが、プリチャージに同期した微小な電圧揺らぎが残る。そこで、1 水平期間よりも十分に長い 0.01 sec 間の平均電圧を出力電圧 VF とした。なお、計算は室温を想定した。

【0061】

30

共通電位配線 8a の電位は、基本的には共通電位 LCCOM としての固定電位、例えば 7V であるが、プリチャージに伴って周期的に以下のノイズが重畳されるものとした。ここで 1 水平走査期間の 3 μ sec は、例えば、WUXGA 規格の電気光学パネルを 240 フレーム毎秒で駆動する場合の 1 水平期間に近いものである。ノイズの電圧の極性が -なのは、共通電位配線 8a には共通電位 LCCOM より低電位側へ向かったスパイクノイズが発生するためである。

1 水平走査期間 = 3 μ sec

ノイズの電圧 = -1.5V

ノイズの電圧の下降時間 = 100 nsec

ノイズの電圧の上昇時間 = 300 nsec

40

【0062】

計算の結果、寄生容量 Ca (図 6 参照) として 0.5 pF を想定したが、温度検出素子 11 の出力電圧 VF に及ぼす影響は小さかった。

【0063】

一方で、寄生容量 Cb の静電容量と出力電圧 VF との関係として図 10 に示す計算結果を得た。図 10 には、駆動電流 IF を 100 nA、200 nA、400 nA、800 nA とした場合における、温度検出回路 1 の出力電圧 VF の計算結果を各々、実線 L100、L200、L400、L800 で示してある。

【0064】

例えば、ダイオード D の中継部 P1、P2、... と共通電位配線 8a との間に、0.03

50

p F の寄生容量 C b が存在すると、温度検出素子 1 1 の出力電圧 V F の変動 $\Delta V F 1$ が 1 0 0 m V を超えてしまう可能性がある計算結果を得た。出力電圧 V F が 1 0 0 m V 変動すると、約 - 1 0 m V / の感度を持つ温度検出素子 1 1 とした場合、測温誤差は 1 0 にも達してしまうから、電気光学装置 1 0 0 の温度制御は困難である。

【 0 0 6 5 】

また、図 1 0 から、上記問題を解決するには寄生容量 C b を小さくするか、駆動電流 I F を大きくすることが効果的であるといえる。従って、本実施形態のように、直列に電気的に接続されたダイオード D の中継部 P 1、P 2、... と共通電位配線 8 a との間の寄生容量 C b を小さくすれば、例えば、図 9 の $\Delta V F 2$ のように出力電圧 V F の変動を抑制できる。つまり、プリチャージによって共通電位配線 8 a の電位が変化しても、温度検出回路 1 の出力電圧 V F の変動が小さいので、温度検出素子 1 1 による温度検出精度を改善できる。

10

【 0 0 6 6 】

なお、駆動電流 I F を大きくすると、共通電位配線 8 a の電位変化が温度検出回路 1 の出力電圧 V F に影響を及ぼしにくくなるが、駆動電流 I F を大きくすると、直列抵抗の影響を受けて、動作点における駆動電流の変動 $\Delta I F$ に対する温度検出素子 1 1 の順方向電圧の変動 $\Delta V F$ が大きくなるから検出温度の信頼性が低下する。従って、温度検出回路 1 としては使い難いものになるからダイオード D の駆動電流を単純に大きくすることは好ましくない。

【 0 0 6 7 】

20

また、駆動電流 I F を大きくすると、動作点である出力電圧 V F が上昇し、定電流回路のコンプライアンス電圧（動作点電圧上限）を守れなくなる場合がある。例えば、トランジスタ、オペアンプ及びシャントレギュレータ等を用いた吐き出し型の定電流回路では、5 V 電源を使用した場合の定電流動作できる動作点電圧上限は 3 . 7 V 程度である。図 1 0 から、例えば、駆動電流 I F を 4 0 0 n A とすると、室温での動作点電圧は約 3 . 8 V であるから、5 V 電源で駆動する定電流回路を使用することができない。その場合、動作点電圧すなわち出力電圧 V F を下げるためにダイオードの直列数を減じることになり、温度検出回路 1 の温度に対する感度が低下する問題が発生する。また、直列ダイオード数を維持するのであれば、外部回路の駆動電圧源を新たに設ける必要があるため、コスト増となる問題がある。かかる観点からすれば、実施形態 1 では、寄生容量 C b を減じる構成であるから、駆動電流 I F を大きくしなくても、共通電位配線 8 a の電位変化が温度検出回路 1 の出力電圧 V F に影響を及ぼしにくくなる。従って、感度のよい温度検出素子 1 1 を用いた温度検出回路 1 を低コストで構成できる温度検出用駆動回路 6 6 で駆動できる。

30

【 0 0 6 8 】

また、本実施形態では、開口部 8 a 0 に島状の遮光層 8 e を設けたため、開口部 8 a 0 を設けた場合でも、入射光が迷光となってダイオード D のパターンが投影されることを抑制する。また、島状の遮光層 8 e を設けることにより、電気光学層 5 0 の温度を温度検出素子 1 1 へ伝達しやすくなる。

【 0 0 6 9 】

2 . 実施形態 2

40

図 1 1 は、本発明の実施形態 2 に係る電気光学装置 1 0 0 の説明図である。図 1 1 には、本発明の実施形態 2 に係る電気光学装置 1 0 0 の温度検出素子 1 1 の近傍の平面構成を示してある。図 1 2 は、図 1 1 に示す温度検出素子 1 1 等の断面を模式的に示す説明図である。なお、本形態の基本的な構成は実施形態 1 と同様であるため、共通する部分は、同一の符号を付してそれらの説明を省略する。

【 0 0 7 0 】

図 1 1 および図 1 2 に示すように、本実施形態において、第 1 基板 1 0 の表示領域 1 0 a の周囲部には、絶縁層 4 4 の表面にダミー画素電極 9 b を構成する導電層 9 b 0 が配置されている。導電層 9 b 0 は、例えば、画素電極 9 a と同様の矩形パターンが複数個配置され、矩形を構成する 4 辺の中央部で互いに連結された形状をなす。また、導電層 9 b 0

50

は温度検出素子 1 1 と平面視で重なっている。導電層 9 b 0 は、絶縁層 4 4 を貫通するコンタクトホール 4 4 e を介して共通電位配線 8 a と電氣的に接続されている。従って、導電層 9 b 0 には、共通電位 L C C O M が印加されている。このような構成によれば、表示領域 1 0 a の周囲において、電気光学層 5 0 に印加される電圧を 0 V に保持することができるので、電気光学層 5 0 の劣化を抑制している。

【 0 0 7 1 】

ここで、共通電位配線 8 a は、実施形態 1 と同様、温度検出素子 1 1 と平面視で重なる領域に開口部 8 a 0 が設けられている。また、開口部 8 a 0 の内側には、温度検出素子 1 1 と平面視で重なる遮光層 8 e が設けられており、遮光層 8 e は電氣的にフローティングである。また、導電層 9 b 0 は共通電位配線 8 a と電氣的に接続されて温度検出素子 1 1 と平面視で重なっている。従って、導電層 9 b 0 と温度検出素子 1 1 の中継部 P 1 及び P 2 とには寄生容量が存在する。しかしながら、図 8 の比較例を参照すれば明らかなように、温度検出素子 1 1 の中継部 P 1 及び P 2 と、共通電位 L C C O M が印加されている導電層 9 b 0 間の距離は、絶縁層 4 4 の厚さによって大きくなっている。その結果、温度検出素子 1 1 の中継部 P 1、P 2 と導電層 9 b 0 との間に形成される寄生容量を小さくできる。それ故、プリチャージを実施した際、共通電位配線 8 a にスパイクノイズが発生した場合でも、温度検出回路 1 の出力電圧 V F の変動を抑制することができる。よって、電気光学装置 1 0 0 における温度検出精度が高いので、電気光学装置 1 0 0 では適正に温度制御を実施することができる。

【 0 0 7 2 】

2 - 1 . 実施形態 2 の変形例

図 1 3 は、本発明の実施形態 2 の変形例に係る電気光学装置 1 0 0 の説明図である。図 1 3 には、本発明の実施形態 2 の変形例に係る電気光学装置 1 0 0 の温度検出素子 1 1 等の断面を模式的に示してある。なお、本形態の基本的な構成は実施形態 1、2 と同様であるため、共通する部分は、同一の符号を付してそれらの説明を省略する。

【 0 0 7 3 】

図 1 3 に示すように、本実施形態において、第 1 基板 1 0 の表示領域 1 0 a の周囲部には、実施形態 2 と同様、絶縁層 4 4 の表面にダミー画素電極 9 b を構成する導電層 9 b 0 が配置されている。導電層 9 b 0 は、例えば、画素電極 9 a と同様の矩形パターンが複数個配置され、矩形を構成する 4 辺の中央部で互いに連結された形状をなす。

【 0 0 7 4 】

ここで、電気光学層 5 0 と共通電位配線 8 a との間において、共通電位配線 8 a と導電層 9 b 0 との層間に絶縁層 4 4、4 5 が設けられ、絶縁層 4 4 と絶縁層 4 5 との層間に中継電極 7 a が設けられている。従って、画素電極 9 a は、絶縁層 4 5 を貫通するコンタクトホール 4 5 d を介して中継電極 7 a に電氣的に接続し、中継電極 7 a は、絶縁層 4 4 を貫通するコンタクトホール 4 4 d を介して中継電極 8 d に電氣的に接続している。

【 0 0 7 5 】

また、絶縁層 4 4 と絶縁層 4 5 との層間には、配線 7 e を構成する導電層 7 e 0 が設けられている。従って、導電層 9 b 0 は、絶縁層 4 5 を貫通するコンタクトホール 4 5 e を介して導電層 7 e 0 に電氣的に接続し、導電層 7 e 0 は、絶縁層 4 4 を貫通するコンタクトホール 4 4 e を介して共通電位配線 8 a に電氣的に接続している。従って、ダミー画素電極 9 b および配線 7 e には共通電位 L C C O M が供給される。このような構成によれば、表示領域 1 0 a の周囲において、電気光学層 5 0 に印加される電圧を 0 V に保持することができるので、電気光学層 5 0 の劣化を抑制することができる。また、配線 7 e によって、表示領域 1 0 a における容量線に電氣的に接続される共通電位配線 8 a と端子 1 0 2 g とを低抵抗で電氣的に接続できるから、その電位を安定化させる効果も奏す。

【 0 0 7 6 】

ここで、共通電位配線 8 a は、実施形態 1 と同様、温度検出素子 1 1 と平面視で重なる領域に開口部 8 a 0 が設けられている。また、開口部 8 a 0 の内側には、温度検出素子 1 1 と平面視で重なる遮光層 8 e が設けられており、遮光層 8 e は電氣的にフローティング

状態にある。また導電層 7 e 0 は共通電位配線 8 a と電氣的に接続されて温度検出素子 1 1 と平面視で重なっている。従って、導電層 7 e 0 と温度検出素子 1 1 の中継部 P 1 および中継部 P 2 とには寄生容量が存在する。しかしながら、図 8 の比較例を参照すれば明らかなように、温度検出素子 1 1 の中継部 P 1 および中継部 P 2 と、共通電位 L C C O M が印加されている導電層 7 e 0 間の距離は、絶縁層 4 4 の厚さによって大きくなっている。その結果、温度検出素子 1 1 のダイオード D の中継部 P 1、P 2 と導電層 7 e 0 との間に形成される寄生容量を小さくできる。それ故、プリチャージを実施した際、共通電位配線 8 a にスパイクノイズが発生した場合でも、温度検出回路 1 の出力電圧 V F の変動を抑制することができる。よって、電気光学装置 1 0 0 における温度検出精度が高いので、電気光学装置 1 0 0 では適正に温度制御を実施することができる等、実施形態 2 と同様な効果を奏する。

10

【 0 0 7 7 】

3 . 実施形態 3

図 1 4 は、本発明の実施形態 3 に係る電気光学装置 1 0 0 の説明図である。図 1 4 には、本発明の実施形態 3 に係る電気光学装置 1 0 0 の温度検出素子 1 1 の近傍の平面構成を示してある。図 1 5 は、図 1 4 に示す温度検出素子 1 1 の断面図である。なお、本形態の基本的な構成は実施形態 1、2 と同様であるため、共通する部分は、同一の符号を付してそれらの説明を省略する。なお、図 1 4 および図 1 5 では、構成が分かりやすいように、温度検出素子 1 1 において、直列に電氣的に接続するダイオード D の数は 3 としている。

【 0 0 7 8 】

20

図 1 4 および図 1 5 に示すように、温度検出素子 1 1 において、ダイオード D が配列している方向を第 1 方向 E とし、第 1 方向 E と直交する方向を第 2 方向 F としたとき、ダイオード D を構成する半導体層 3 1 h は第 1 方向 E に配列され、隣り合うダイオード D は、中継部 P 1 の電極 6 e 1、および中継部 P 2 の電極 6 e 2 によって電氣的に接続されている。本形態において、第 1 方向 E は Y 方向であり、第 2 方向 F は X 方向である。なお、電極 6 e 1 と電氣的に接続されているダイオード D の一方の電極は、電極 6 e 1 と同一のノードである。同様にして、電極 6 e 2 と電氣的に接続されているダイオード D の他方の電極は、電極 6 e 2 と同一のノードである。

【 0 0 7 9 】

ここで、半導体層 3 1 h の第 2 方向 F における寸法であるパターン幅を W 1 とし、中継部 P 1 の電極 6 e 1、中継部 P 2 の電極 6 e 2 について、第 2 方向 F に沿う方向の電極幅を W 2 としたとき、以下に示すように、電極幅 W 2 は、パターン幅 W 1 より狭い部分を有する。

30

$$W 1 > W 2$$

【 0 0 8 0 】

例えば、パターン幅 W 1 が 1 0 0 μ m のとき、電極幅 W 2 を 5 μ m とする。温度検出素子 1 1 に流れる電流値は小さいので、電極幅 W 2 を小さくしても問題ない。第 2 ダイオード D 2 と第 3 ダイオード D 3 との間も同様に構成されている。よって、平面視したときの電極 6 e 1、6 e 2 の面積は小さくなるので、電極 6 e 1、6 e 2 をそれぞれ含む中継部 P 1、P 2 と共通電位配線 8 a との間で形成される平行平板的な寄生容量を小さくできる。従って、プリチャージを実施した際、共通電位配線 8 a にスパイクノイズが発生した場合でも、温度検出回路 1 の出力電圧 V F の変動を抑制することができる。

40

【 0 0 8 1 】

ここで、共通電位配線 8 a の開口部 8 a 0 については、図 1 4 に点線 L 1 で示すように、全てのダイオード D を露出させるように設けてもよいし、一点鎖線 L 2 で示すように、中継部 P 1、P 2 を重点的に露出させるように設けてもよい。後者の場合、第 1 ダイオード D 1 に電氣的に接続するアノード配線 L a、および第 3 ダイオード D 3 に電氣的に接続するカソード配線 L c は、共通電位配線 8 a と平面視で重なる。前述した回路モデルによる検証から、温度検出回路 1 の出力電圧 V F の変動に大きな影響を及ぼすのは、中継部 P 1、P 2 と共通電位配線 8 a との間の寄生容量 C b である。従って、アノード配線 L a や

50

カソード配線 L_c が共通電位配線 $8a$ と重なりを持っていても影響は小さい。

【0082】

また、前述した回路モデルによる検証において、中継部 $P1$ 、 $P2$ とノイズ源との寄生容量の削減が重要であるという知見を得たので、本形態では、ダイオード D の配列方向に沿うように、グランド電位 GND 電位とされるカソード配線 L_c を第1方向 E に延在させる。つまり、中継部 $P1$ 、 $P2$ について、カソード配線 L_c を図示しない配線に対するシールドとして利用してもよい。その際、カソード配線 L_c については、電気光学パネル $100p$ のグランド電位 GND 電位配線とは別系統にすれば、カソード配線 L_c はノイズが小さい定電位配線になるので、シールド効果が高い。

【0083】

また、中継部 $P1$ 、 $P2$ について、低レベルの定電位 $VSSY$ を供給する定電位配線 $6s$ を図示しない配線に対するシールドとして利用し、ダイオード D の配列方向に沿うように第1方向 E に延在させてもよい。あるいは高レベルの定電位 $VDDY$ を供給する配線をシールドとして用いてもよい。

【0084】

また、図15に示すように、第1方向 E における半導体層 $31h$ の間隔である間隔 $S0$ を設計ルール of の許す範囲で短くすることによって、電極 $6e1$ 、 $6e2$ の長さ $L6e1$ 、 $6e2$ を短縮することが好ましい。電極 $6e1$ 、 $6e2$ の長さ $L6e1$ 、 $L6e2$ を短縮すれば、中継部 $P1$ 、 $P2$ の長さ $LP1$ 、 $LP2$ を短縮することになる。従って、中継部 $P1$ の電極 $6e1$ の面積と、中継部 $P2$ の電極 $6e2$ の面積は小さくなり、中継部 $P1$ 、 $P2$ と共通電位配線 $8a$ との間の寄生容量 Cb を小さくできる。従って、プリチャージを実施した際、共通電位配線 $8a$ にスパイクノイズが発生した場合でも、温度検出回路1の出力電圧 VF の変動を抑制することができる。

【0085】

3-1. 実施形態3の変形例1

図16は、本発明の実施形態3の変形例1に係る電気光学装置100の説明図である。図16には、本発明の実施形態3の変形例1に係る電気光学装置100温度検出素子11近傍の平面構成を示してある。なお、本形態の基本的な構成は実施形態3と同様であるため、共通する部分は、同一の符号を付してそれらの説明を省略する。なお、図16では、構成が分かりやすいように、温度検出素子11において、直列に電氣的に接続するダイオードの数は3とし、共通電位配線 $8a$ の一部の図示を省略してある。

【0086】

図16に示すように、ダイオード D が配列している方向を第1方向 E とし、第1方向 E と直交する方向を第2方向 F としたとき、ダイオード D を構成する半導体層 $31h$ は第1方向 E に配列され、隣り合うダイオード D は、中継部 $P1$ の電極 $6e1$ 、および中継部 $P2$ の電極 $6e2$ によって電氣的に接続されている。本形態において、第1方向 E は Y 方向であり、第2方向 F は X 方向である。

【0087】

ここで、半導体層 $31h$ の第2方向 F における寸法であるパターン幅を $W1$ とし、中継部 $P1$ の電極 $6e1$ 、中継部 $P2$ の電極 $6e2$ について、第2方向 F に沿う方向の電極幅を $W2$ としたとき、実施形態3と同様、電極幅 $W2$ は、パターン幅 $W1$ より狭い部分を有する。

$$W1 > W2$$

【0088】

例えば、パターン幅 $W1$ が $100\mu m$ のとき、電極幅 $W2$ を $5\mu m$ とする。温度検出素子11に流れる電流値は小さいので、電極幅 $W2$ を小さくしても問題ない。従って、中継部 $P1$ の電極 $6e1$ の面積と、中継部 $P2$ の電極 $6e2$ の面積は小さくなり、中継部 $P1$ 、 $P2$ と共通電位配線 $8a$ との間の寄生容量 Cb を小さくできる。それ故、プリチャージを実施した際、共通電位配線 $8a$ にスパイクノイズが発生した場合でも、温度検出回路1の出力電圧 VF の変動を抑制することができる。

10

20

30

40

50

【 0 0 8 9 】

また、第 1 方向 E における半導体層 3 1 h の間隔である間隔 S 0 をルールの許す範囲で短くしてある。より具体的には、データ線駆動回路 1 0 1 の選択回路 1 0 1 a は、N チャネル型トランジスタ 3 0 n 1 と P チャネル型トランジスタ 3 0 p 1 との相補型トランジスタを備える。また、走査線駆動回路 1 0 4 のインバータ回路 1 0 4 a も、選択回路 1 0 1 a と同様、N チャネル型トランジスタ 3 0 n 2 と P チャネル型トランジスタ 3 0 p 2 とを備える。ここで、回路長の短縮のために、N チャネル型トランジスタ 3 0 n 1 を構成する半導体層と P チャネル型トランジスタ 3 0 p 1 を構成する半導体層との間隔 S 1、および N チャネル型トランジスタ 3 0 n 2 を構成する半導体層と P チャネル型トランジスタ 3 0 p 2 を構成する半導体層との間隔 S 2 はいずれも狭く設定されている。同様の処置は検査回路 1 0 5 でも行われ得る。このように構成すると電気光学パネル 1 0 0 p の表示領域 1 0 a 外側の周辺回路領域を小さくできるから電気光学パネル 1 0 0 p を小型化できる。その結果、電気光学パネル 1 0 0 p を安価に製造できる。本形態では、以下に示すように、ダイオード D における間隔 S 0 は、N チャネル型トランジスタ 3 0 n 1 と P チャネル型トランジスタ 3 0 p 1 との間隔 S 1、および N チャネル型トランジスタ 3 0 n 2 と P チャネル型トランジスタ 3 0 p 2 との間隔 S 2 以下に設定されている。

S 0 S 1、S 2

【 0 0 9 0 】

電気光学パネル 1 0 0 p の設計ルールは、間隔 S 1、S 2、あるいはその他、互いに隣り合う異なる導電型のトランジスタの半導体層の間隔の最小値（図示せず）とみなせる。従って、その値を S 3 とすれば間隔 S 0 との関係は以下になる。

S 0 S 3

【 0 0 9 1 】

間隔 S 3 は、主に不純物注入マスクパターンルールによって決定される。例えば、P 型領域を形成する場合には、N 型領域を充分覆い、P 型領域から充分分離するようにマスクパターンを作る必要があるからである。

【 0 0 9 2 】

従って、温度検出素子 1 1 について、電気光学パネル 1 0 0 p の設計ルールが許すところの間隔 S 0 で、第 1 方向 E における半導体層 3 1 h を配置する。その結果、図 1 5 に示す電極 6 e 1、6 e 2 の長さ L 6 e 1、L 6 e 2 を短くすることができる。従って、中継部 P 1 の電極 6 e 1 の面積と、中継部 P 2 の電極 6 e 2 の面積は小さくなり、中継部 P 1、P 2 と共通電位配線 8 a との間の寄生容量 C b を小さくできる。それ故、プリチャージを実施した際、共通電位配線 8 a にスパイクノイズが発生した場合でも、温度検出回路 1 の出力電圧 V F の変動を抑制することができる。

【 0 0 9 3 】

なお、共通電位配線 8 a の開口部 8 a 0 については、点線 L 1 で示すように、全てのダイオード D と共通電位配線 8 a が重ならないように設けてもよいし、一点鎖線 L 2 で示すように、中継部 P 1、P 2 と重点的に共通電位配線 8 a が重ならないように設けてもよい。

【 0 0 9 4 】

また、本形態では、温度検出素子 1 1 の側方では、第 1 方向 E に沿って延在するスタートパルス S P を供給するための信号配線 6 d、クロック信号 C L Y を供給するための信号配線 6 h、および出力制御信号 E N B Y を供給するための信号配線 6 f と、温度検出素子 1 1 との間でカソード配線 L c が第 1 方向 E に延在している。また、カソード配線 L c は、第 2 方向 F において温度検出素子 1 1 に対して信号配線 6 d、6 h、6 f とは反対側で温度検出素子 1 1 に沿うように第 1 方向 E に延在している。従って、中継部 P 1、P 2 について、カソード配線 L c を交流信号配線に対するシールドに利用することができる。その際、カソード配線 L c については、電気光学パネル 1 0 0 p のグランド電位 G N D 電位配線とは別系統にすれば、カソード配線 L c はノイズが小さい定電位配線になるので効果的である。なお、カソード配線 L c を温度検出素子 1 1 の両側で第 1 方向 E に延在させる

10

20

30

40

50

ことが好ましい。そのように構成すれば、データ線駆動回路 101 側と中継部 P1、P2 との容量結合も抑制することができるから、データ線駆動回路 101 が温度検出回路 1 の出力電圧 VF に与える影響も小さくできる。

【0095】

3-2. 実施形態 3 の変形例 2

図 17 は、本発明の実施形態 3 の変形例 2 に係る電気光学装置 100 の説明図である。図 17 には、本発明の実施形態 3 の変形例 2 に係る電気光学装置 100 の温度検出素子 11 近傍の平面構成を示してある。なお、本形態の基本的な構成は実施形態 3 と同様であるため、共通する部分は、同一の符号を付してそれらの説明を省略する。なお、図 17 では、構成が分かりやすいように、温度検出素子 11 において、直列に電氣的に接続するダイ

10

【0096】

図 17 に示すように、ダイオード D が配列している方向を第 1 方向 E とし、第 1 方向 E と直交する方向を第 2 方向 F としたとき、ダイオード D を構成する半導体層 31h は第 1 方向 E に配列され、隣り合うダイオード D は、中継部 P1 の電極 6e1、および中継部 P2 の電極 6e2 によって電氣的に接続されている。本形態において、第 1 方向 E は X 方向であり、第 2 方向 F は Y 方向である。ここで、半導体層 31h の第 2 方向 F における寸法であるパターン幅を W1 とし、中継部 P1 の電極 6e1、および中継部 P2 の電極 6e2 について、第 2 方向 F に沿う方向の電極幅を W2 としたとき、実施形態 3 と同様、電極幅 W2 は、パターン幅 W1 より狭い部分を有する。

20

$$W1 > W2$$

【0097】

従って、中継部 P1 に含まれる電極 6e1 の面積と、中継部 P2 に含まれる電極 6e2 の面積は小さくなり、中継部 P1、P2 と共通電位配線 8a との間の寄生容量 Cb を小さくできる。それ故、プリチャージを実施した際、共通電位配線 8a にスパイクノイズが発生した場合でも、温度検出回路 1 の出力電圧 VF の変動を抑制することができる。

【0098】

また、共通電位配線 8a には、温度検出素子 11 と平面視で重なる開口部 8a0 が形成されている。本形態において、開口部 8a0 は、共通電位配線 8a の端部まで到達し、共通電位配線 8a の端部では開放端になっている。このように開口部 8a0 は共通電位配線 8a の辺に設けられた切欠き状を成してもよい。このような構成は低抵抗配線として共通電位配線 8a を配置したい場合に生じる。また、温度検出素子 11 を構成するダイオード D の一部が、開口部 8a0 において共通電位配線 8a の辺の延在方向から描くことのできる仮想線 8a1 より外側に配置されてもよい。本形態において、仮想線 8a1 は、例えば、図 17 の破線のように描くことができる。

30

【0099】

また、本形態では、温度検出素子 11 に近接して信号配線 6d、6h、6f が配置されている。信号配線 6d、6h、6f にはプリチャージに伴う共通電位配線 8a の電圧変動よりも電圧振幅の大きい信号が印加されている。信号の電圧振幅は、例えば、15.5V である。本実施形態では、ダイオード D が配列されている第 1 方向 E と直交する第 2 方向 F に沿って、信号配線 6d、6h、6f が延在している。このため、信号配線 6d、6h、6f は、ダイオード D の中継部 P1、P2 に沿って延在していない。換言すれば、ダイオード D の中継部 P1、P2 は、平面視で信号配線 6d、6h、6f と対向していない。従って、信号配線 6d、6h、6f と中継部 P1 及び P2 との寄生容量を小さくできるから、信号配線 6d、6h、6f による温度検出回路 1 の出力電圧 VF の変動を抑制する。また、中継部 P1 及び P2 に沿うようにシールド線を配置しなくてもよいので、温度検出素子 11 の配置性が良くなる。

40

【0100】

また、本形態では、温度検出素子 11 のカソード側 11c において、第 2 方向 F に沿って延在する信号配線 6d、6h、6f と温度検出素子 11 との間でカソード配線 Lc を第

50

2 方向 F に延在させてある。従って、中継部 P 1、P 2 について、カソード配線 L c を信号配線 6 d、6 h、6 f に対するシールドに利用することができる。

【 0 1 0 1 】

4 . 実施形態 4

図 1 8 は、本発明の実施形態 4 に係る電気光学装置 1 0 0 の奇数フレームにおけるプリチャージの説明図である。図 1 9 は、本発明の実施形態 4 に係る電気光学装置 1 0 0 の偶数フレームにおけるプリチャージの説明図である。なお、本形態の基本的な構成は実施形態 1 と同様であるため、共通する部分は、同一の符号を付してそれらの説明を省略する。

【 0 1 0 2 】

本形態では、複数の水平走査期間には、複数のデータ線 6 a の一部にプリチャージ信号を供給する第 1 水平走査期間と、複数のデータ線 6 a のうち、一部と異なる他の一部のデータ線 6 a にプリチャージ信号を供給する第 2 水平走査期間とが含まれている。

10

【 0 1 0 3 】

より具体的には、選択回路 1 0 1 a は、図 4 に示すように N チャンネル型トランジスタで構成される。そして図 1 8 に示すように、奇数フレームの第 1 水平走査期間 H a 1 では、プリチャージ期間 t p において、図 3 に示す制御回路 7 6 は、奇数番目の選択信号 S E L 1、S E L 3、S E L 5、S E L 7 を選択レベルにする一方、偶数番目の選択信号 S E L 2、S E L 4、S E L 6、S E L 8 を非選択レベルにする。従って、奇数系列のデータ線 6 a にプリチャージを実施し、偶数系列のデータ線 6 a にプリチャージを実施しない。

【 0 1 0 4 】

20

続く奇数フレームの第 2 水平走査期間 H a 2 では、プリチャージ期間 t p において、図 3 に示す制御回路 7 6 は、奇数番目の選択信号 S E L 1、S E L 3、S E L 5、S E L 7 を非選択レベルにする一方、偶数番目の選択信号 S E L 2、S E L 4、S E L 6、S E L 8 を選択レベルにする。従って、偶数系列のデータ線 6 a にプリチャージを実施し、奇数系列のデータ線 6 a にプリチャージを実施しない。

【 0 1 0 5 】

また、図 1 9 に示すように、偶数フレームの第 1 水平走査期間 H b 1 では、プリチャージ期間 t p において、図 3 に示す制御回路 7 6 は、奇数番目の選択信号 S E L 1、S E L 3、S E L 5、S E L 7 を非選択レベルにする一方、偶数番目の選択信号 S E L 2、S E L 4、S E L 6、S E L 8 を選択レベルにする。従って、偶数系列のデータ線 6 a にプリチャージを実施し、奇数系列のデータ線 6 a にプリチャージを実施しない。続く偶数フレームの第 2 水平走査期間 H b 2 では、プリチャージ期間 t p において、図 3 に示す制御回路 7 6 は、奇数番目の選択信号 S E L 1、S E L 3、S E L 5、S E L 7 を選択レベルにする一方、偶数番目の選択信号 S E L 2、S E L 4、S E L 6、S E L 8 を非選択レベルにする。従って、奇数系列のデータ線 6 a にプリチャージを実施し、偶数系列のデータ線 6 a にプリチャージを実施しない。

30

【 0 1 0 6 】

従って、1 回の平走査期間において、プリチャージを実施するデータ線 6 a の数を減らすことができるので、共通電位配線 8 a では、共通電位 L C C O M に発生するノイズのピーク電圧値を低減することができる。回路モデルによる検証から定性的に考察すれば、共通電位 L C C O M に生起するノイズのピーク電圧を小さくすると、温度検出回路 1 の出力電圧 V F の変動の抑制に好ましいと言える。すなわち、1 回の水平走査期間において、全てのデータ線 6 a にプリチャージを実施すると、図 1 8 および図 1 9 に破線で示すノイズのピーク電圧が共通電位 L C C O M に重畳されるが、本実施形態では、1 回の水平走査期間においてプリチャージを実施するデータ線 6 a の数を減らしたから、図 1 8 および図 1 9 に実線で示すノイズのピーク電圧に抑制される。それ故、プリチャージを行う場合でも、温度検出回路 1 の出力電圧 V F の変動を抑制することができる。

40

【 0 1 0 7 】

5 . 実施形態 5

図 2 0 は、本発明の実施形態 5 に係る電気光学装置 1 0 0 のプリチャージの説明図であ

50

る。なお、本形態の基本的な構成は実施形態 1 と同様であるため、共通する部分は、同一の符号を付してそれらの説明を省略する。

【0108】

本形態では、複数の水平走査期間には、複数のデータ線 6 a の全てにプリチャージ信号を供給する第 1 水平走査期間と、複数のデータ線 6 a の全てにプリチャージ信号を供給しない第 2 水平走査期間とが含まれている。

【0109】

より具体的には、図 20 に示すように、奇数フレームの第 1 水平走査期間 H a 1 では、全てのデータ線 6 a にプリチャージを実施し、続く第 2 水平走査期間 H a 2 では、全てのデータ線 6 a にプリチャージを実施しない。また、図示を省略するが、偶数フレームの第 1 水平走査期間（第 1 水平走査期間 H a 1 に相当）では、全てのデータ線 6 a にプリチャージを実施せず、続く第 2 水平走査期間（第 2 水平走査期間 H a 2 に相当）では、全てのデータ線 6 a にプリチャージを実施する。従って、共通電位配線 8 a では、共通電位 L C C O M に発生するノイズの生起頻度を低減することができる。回路モデルによる検証から定性的に考察すれば、共通電位 L C C O M に生起するノイズの頻度を小さくすると、温度検出回路 1 の出力電圧 V F の変動の抑制に好ましいと言える。すなわち、全てのデータ線 6 a にプリチャージを実施する第 1 水平走査期間では、大きなノイズが重畳されるが、全てのデータ線 6 a にプリチャージを実施しない第 2 水平走査期間では、ノイズが重畳されない。破線は全てのデータ線 6 a にプリチャージを実施する場合の共通電位 L C C O M の変動である。共通電位 L C C O M に生起するノイズの頻度が低下すれば、温度検出回路 1 の出力電圧 V F の変動は抑制される。それ故、プリチャージを行う場合でも、温度検出回路 1 からの出力電圧 V F の変動を抑制することができる。

【0110】

6. 実施形態 3、4、5 の変形例

上記実施形態 3、4、5 では、電気光学装置 100 において、共通電位配線 8 a に開口部 8 a 0 を設けることによって温度検出素子 11 と共通電位配線 8 a との間の寄生容量 C b を低減し、加えてプリチャージの実施方法の構成によって温度検出回路 1 の出力電圧 V F の変動を抑制した。但し、共通電位配線 8 a に開口部 8 a 0 が設けられていない電気光学装置 100 に実施形態 3、4、5 に適用してもよい。すなわち、共通電位配線 8 a が温度検出素子 11 に平面視で重なっている電気光学装置 100 に実施形態 3、4、5 に適用することによって、温度検出素子 11 へのノイズの影響を抑制し、温度検出回路 1 の出力電圧 V F の変動を抑制してもよい。

【0111】

7. 電気光学装置の別の実施形態

実施形態 1、2、3、4、5 では配線として共通電位配線 8 a を例示したが、他の配線にも適用できる。例えば、グランド電位 G N D 配線でも、プリチャージを実施する際に同様に大きなノイズが重畳され得ることから、温度検出素子 11 とグランド電位 G N D 配線との間の寄生容量を低減するために、実施形態 1、2、3、4、5 の構成を適用してもよい。また、交流信号が供給される配線に本発明を適用してもよい。また、プリチャージは検査回路 105 をプリチャージ回路に置き換えて実施するようにしてもよい。

【0112】

また、本発明は、電気光学装置 100 は液晶装置に限らず、有機エレクトロルミネッセンス装置等、液晶装置以外の電気光学装置 100 に本発明を適用してもよい。

【0113】

8. 電子機器の構成例

図 21 は、本発明を適用した投射型表示装置 1000 の構成例を示すブロック図である。図 22 は、図 21 に示す光路シフト素子 110 の説明図である。なお、図 21 には、偏光板等の図示を省略してある。図 21 に示す投射型表示装置 1000 は、本発明が適用される電子機器の一例であり、照明装置 190、分離光学系 170、3 個の電気光学装置 100 R、100 G、100 B、および投射光学系 160 を備えている。電気光学装置 10

0 R、1 0 0 G、1 0 0 Bは各々、図 1 ~ 図 2 0 を参照して説明した電気光学装置 1 0 0 からなる。

【 0 1 1 4 】

照明装置 1 9 0 は白色光源であり、例えば、レーザー光源やハロゲンランプが用いられる。分離光学系 1 7 0 は、3 個のミラー 1 7 1、1 7 2、1 7 5 と、ダイクロイックミラー 1 7 3、1 7 4 とを含む。分離光学系 1 7 0 は、照明装置 1 9 0 から射出された白色光を、赤色 R、緑色 G、青色 B の 3 原色に分離する。具体的には、ダイクロイックミラー 1 7 4 は、赤色 R の波長域の光を透過し、緑色 G および青色 B の波長域の光を反射する。ダイクロイックミラー 1 7 3 は、青色 B の波長域の光を透過し、緑色 G の波長域の光を反射する。赤色 R、緑色 G、および青色 B に対応する光は各々、電気光学装置 1 0 0 R、1 0 0 G、1 0 0 B に導かれる。

10

【 0 1 1 5 】

ダイクロイックプリズム 1 6 1 には、電気光学装置 1 0 0 R、1 0 0 G、1 0 0 B によって変調された光が各々、三方向から入射する。ダイクロイックプリズム 1 6 1 は、赤色 R、緑色 G、および青色 B の画像が合成される合成光学系を構成している。従って、投射レンズ系 1 6 2 は、光路シフト素子 1 1 0 から射出された合成像をスクリーン 1 8 0 等の被投射部材に拡大投射し、スクリーン 1 8 0 等の被投射部材にカラー画像を表示することができる。

【 0 1 1 6 】

その際、制御部 1 5 0 は、温度検出回路 1 での温度検出結果に基づいて電気光学装置 1 0 0 R、1 0 0 G、1 0 0 B に供給する画像信号に補正を行うことができる。それ故、環境温度等が変動しても、品位の高い投射画像を表示することができる。また、ダイクロイックプリズム 1 6 1 において光が出射される側において、一点鎖線で示す光路シフト素子 1 1 0 を投射光学系 1 6 0 に設け、投射画素が視認される位置を所定の期間毎にシフトさせる技術によって解像度を高める構成を採用した場合、液晶層を高速駆動することが必要となる。この場合でも、温度検出回路 1 での温度検出結果に基づいて、電気光学装置 1 0 0 R、1 0 0 G、1 0 0 B に供給する画像信号に補正を行う構成や、電気光学装置 1 0 0 R、1 0 0 G、1 0 0 B の電気光学パネル 1 0 0 p の温度を調整する構成を採用すれば、液晶層からなる電気光学層 5 0 を高速駆動することができる。

20

【 0 1 1 7 】

光路シフト素子 1 1 0 は、図 2 1 に示すように、ダイクロイックプリズム 1 6 1 から出射された光を予め定められた方向にシフトさせる光学素子である。図 2 2 には、電気光学パネル 1 0 0 p の各画素 1 0 0 a から出射された光が視認される投射画素 P i の位置を光路シフト素子 1 1 0 によって X 方向の一方側 X 1 に 0 . 5 画素ピッチ (= P / 2)、かつ、Y 方向の一方側 Y 1 に 0 . 5 画素ピッチ (= P / 2) に相当する距離をシフトさせた様子を例示してある。光路シフト素子 1 1 0 は透光板を備え、アクチュエータは、制御部 1 5 0 の指令の下、透光板を第 1 方向 X に延在する軸線周り、および第 2 方向 Y に延在する軸線周りの一方あるいは双方に揺動させることによって、電気光学パネル 1 0 0 p の各画素 1 0 0 a から出射された光の光路を光路 L A と光路 L B とにシフトさせる。

30

【 0 1 1 8 】

9 . 電子機器の他の実施形態

投射型表示装置については、光源部として、各色の光を出射する L E D 光源等を用い、かかる L E D 光源から出射された色光を各々、別の液晶装置に供給するように構成してもよい。

40

【 0 1 1 9 】

本発明を適用した電気光学装置 1 0 0 を備えた電子機器は、上記実施形態の投射型表示装置 1 0 0 0 に限定されない。例えば、投射型の H U D (ヘッドアップディスプレイ) や直視型の H M D (ヘッドマウントディスプレイ)、パーソナルコンピューター、デジタルスチルカメラ、液晶テレビ等の電子機器に用いてもよい。

【 符号の説明 】

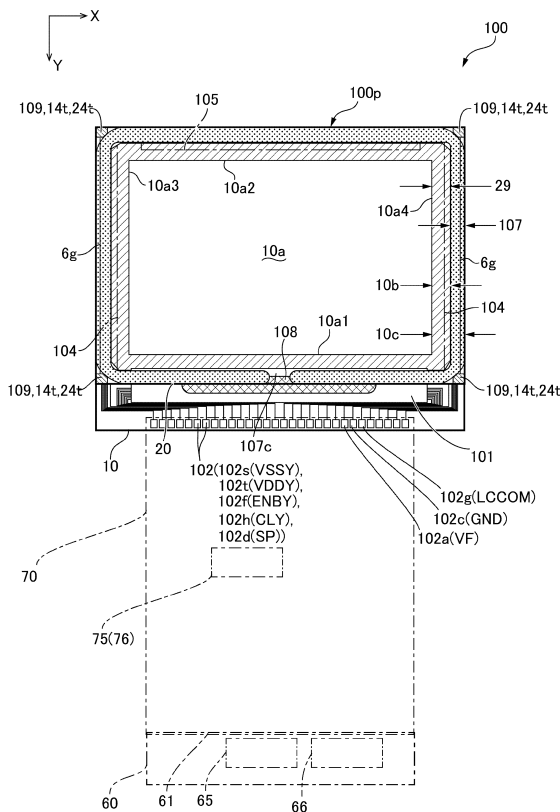
50

【 0 1 2 0 】

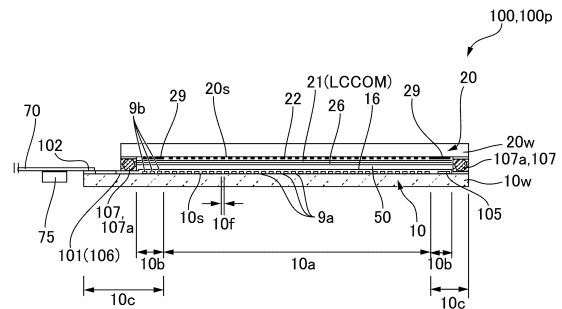
1 ... 温度検出回路、3 a ... 走査線、6 a ... データ線、6 d、6 f、6 h ... 信号配線、6 e 1、6 e 2 ... 電極、6 g、7 e ... 配線、7 e 0、9 b 0 ... 導電層、8 a ... 共通電位配線、8 a 0 ... 開口部、8 a 1 ... 仮想線、8 e ... 遮光層、9 a ... 画素電極、9 b ... ダミー画素電極、10 ... 第1基板、10 a ... 表示領域、11 ... 温度検出素子、11 a ... アノード、11 c ... カソード、12 ... 静電保護回路、20 ... 第2基板、21 ... 共通電極、29 ... 見切り、30 ... 画素トランジスタ、30 n 1、30 n 2 ... Nチャネル型トランジスタ、30 p 1、30 p 2 ... Pチャネル型トランジスタ、31 a、31 h ... 半導体層、50 ... 電気光学層、60 ... 上位回路、65 ... 画像制御回路、66 ... 温度検出用駆動回路、70 ... 配線基板、75 ... 駆動用IC、76 ... 制御回路、100、100 B、100 G、100 R ... 電気光学装置、100 a ... 画素、100 p ... 電気光学パネル、101 ... データ線駆動回路、101 a ... 選択回路、102 a ... アノード端子、102 c ... カソード端子、104 ... 走査線駆動回路、104 a ... インバーター回路、106 ... プリチャージ回路、110 ... 光路シフト素子、160 ... 投射光学系、161 ... ダイクロイックプリズム、162 ... 投射レンズ系、180 ... スクリーン、190 ... 照明装置、1000 ... 投射型表示装置、D ... ダイオード、C 1 ... 第1容量素子、C 2 ... 第2容量素子、D 1 ... 第1ダイオード、D 2 ... 第2ダイオード、D 3 ... 第3ダイオード、E ... 第1方向、F ... 第2方向、P 1、P 2 ... 中継部、R 1 ... 第1抵抗素子、R 2 ... 第2抵抗素子、R 3 ... 抵抗素子、W 1 ... パターン幅、W 2 ... 電極幅、C a、C b ... 寄生容量、H a 1、H b 1 ... 第1水平走査期間、H a 2、H b 2 ... 第2水平走査期間、L a ... アノード配線、L c ... カソード配線、C n ... 接続ノード

【 図面 】

【 図 1 】



【 図 2 】



10

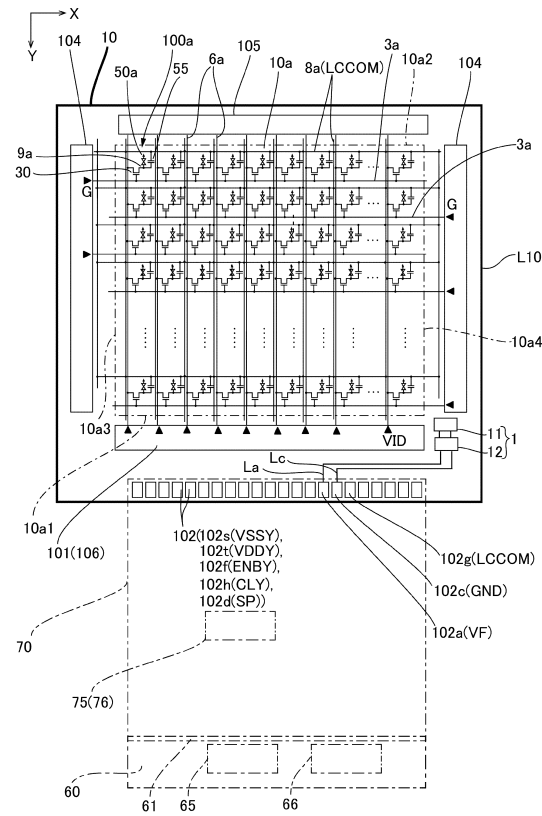
20

30

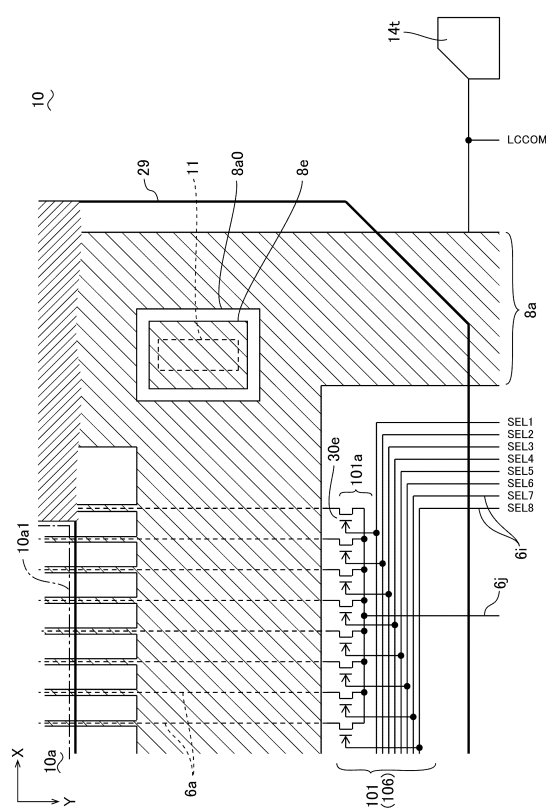
40

50

【図 3】



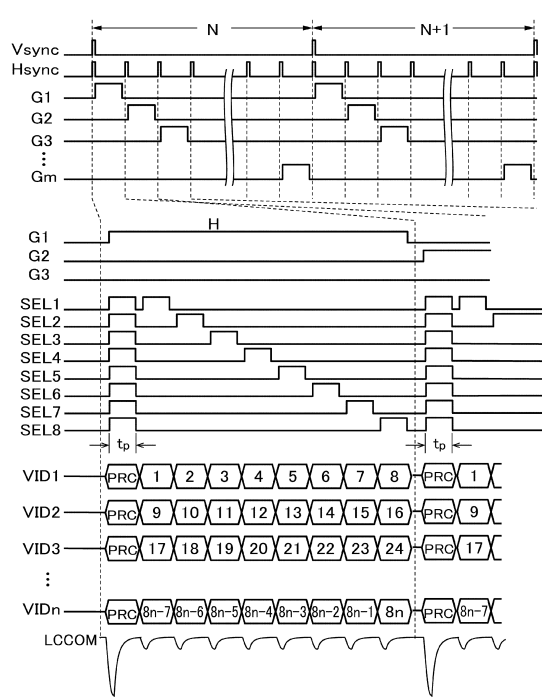
【図 4】



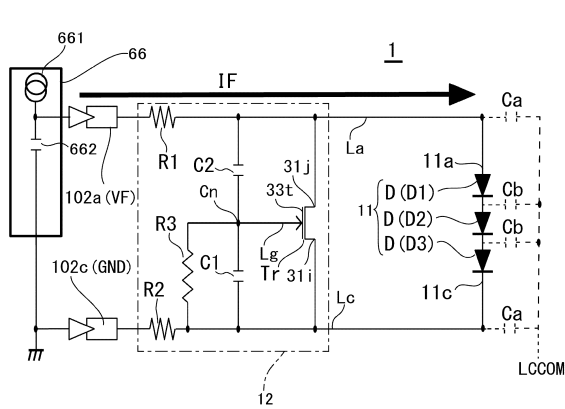
10

20

【図 5】



【図 6】

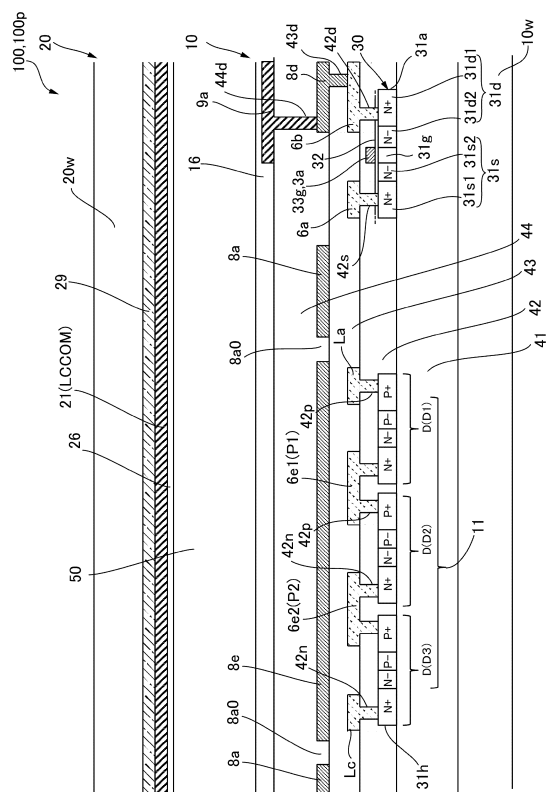


30

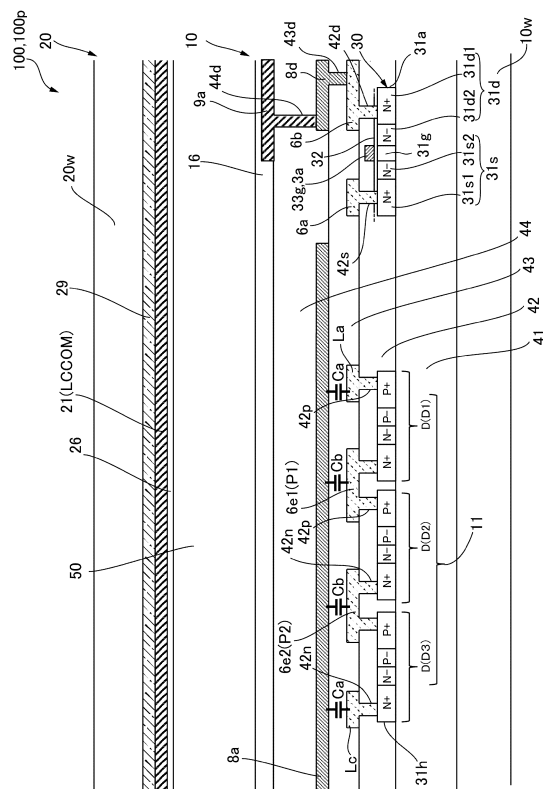
40

50

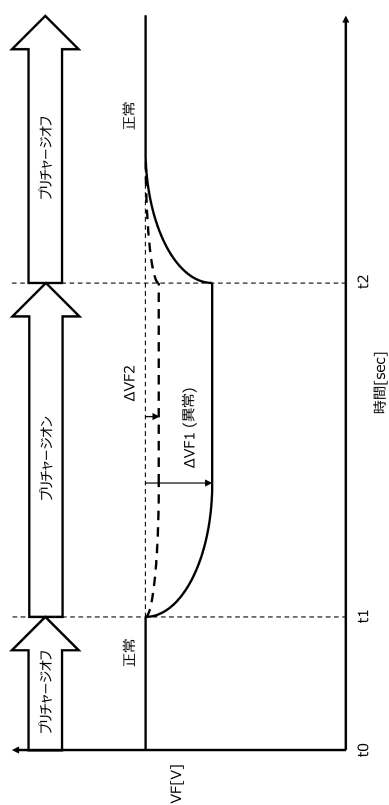
【圖 7】



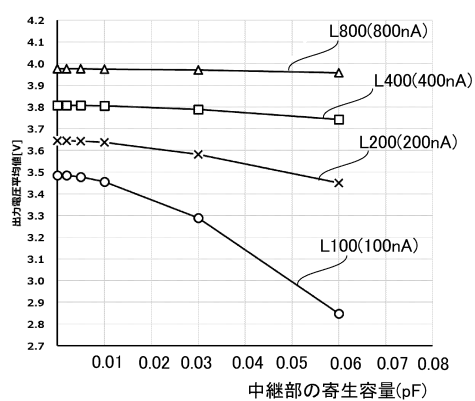
【图 8】



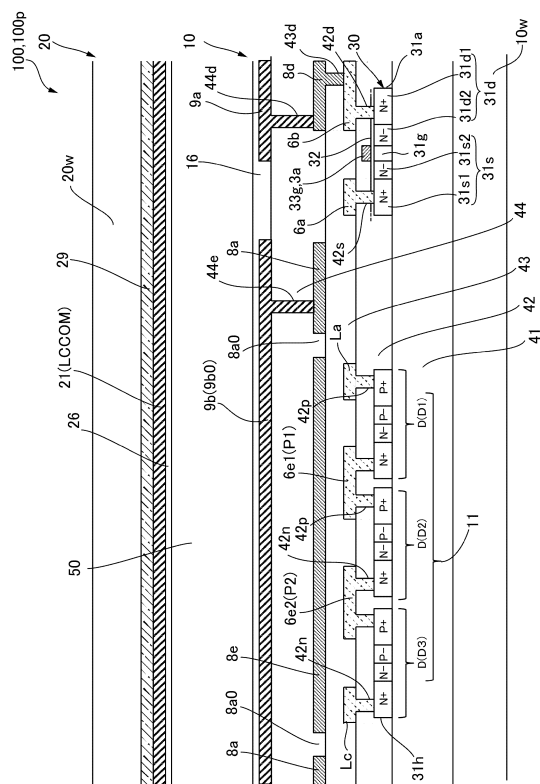
【 図 9 】



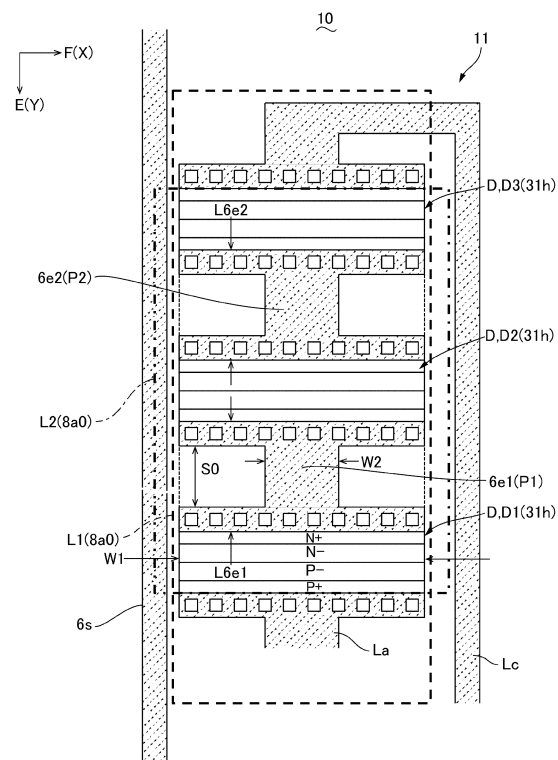
【 図 1 0 】



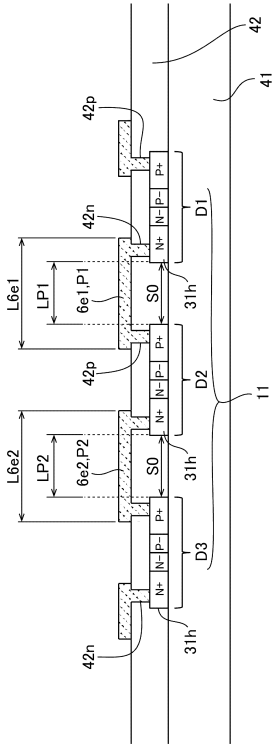
【图 1 2】



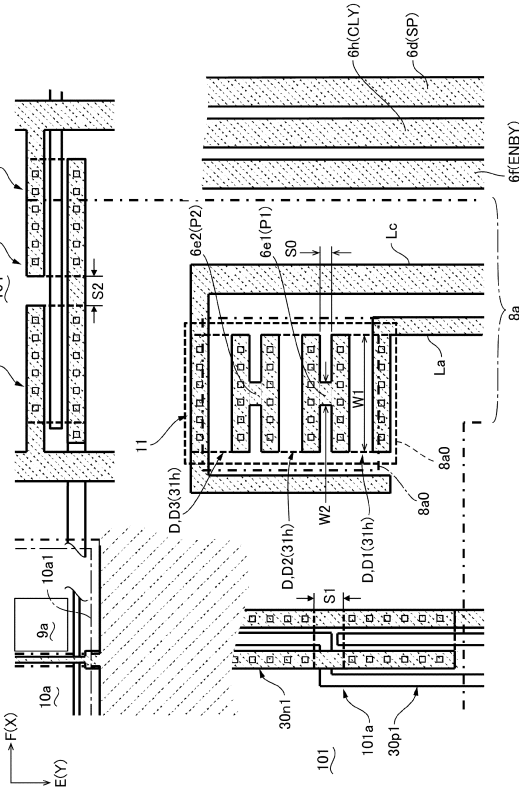
【 図 1 4 】



【図 15】



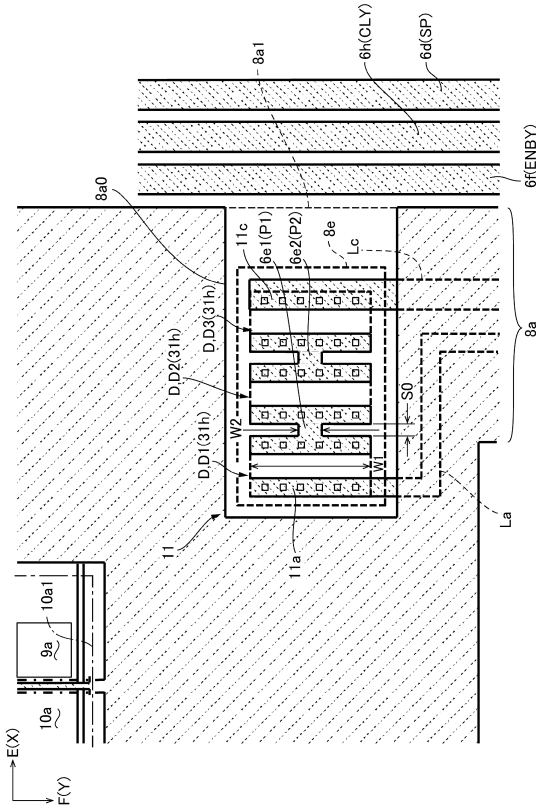
【図 16】



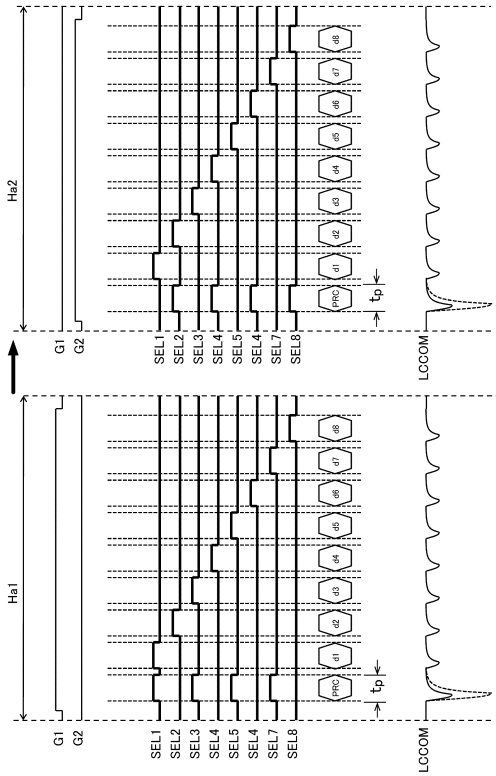
10

20

【図 17】



【図 18】

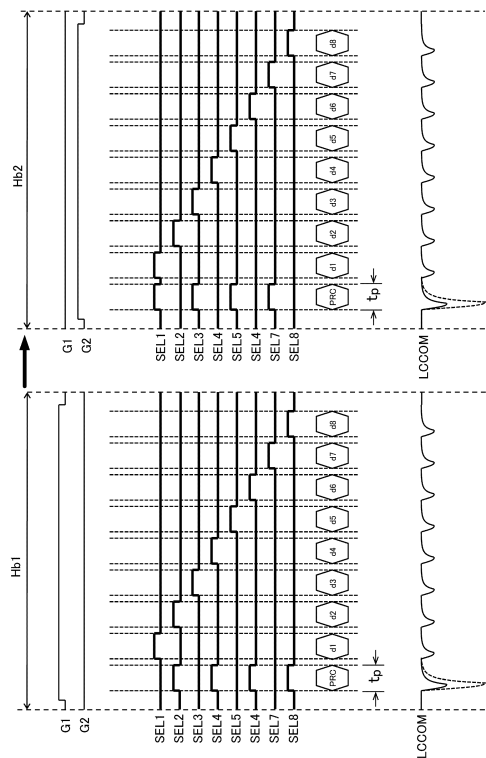


30

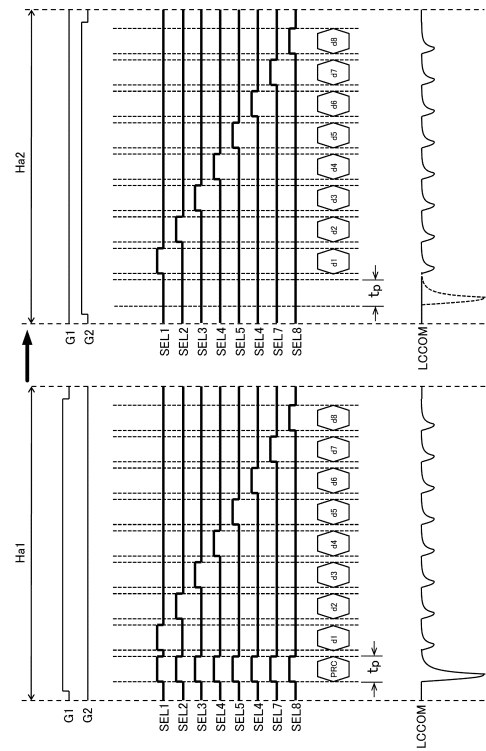
40

50

【 図 1 9 】



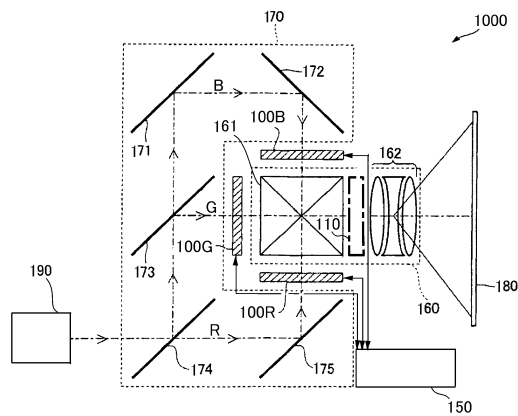
【 図 2 0 】



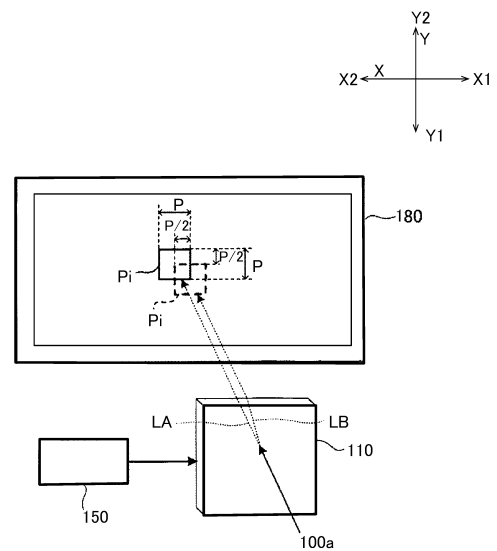
10

20

【 図 2 1 】



【圖 2 2】



30

40

フロントページの続き

(51)国際特許分類

F I

G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 4 9 C
G 0 9 F	9/35 (2006.01)	G 0 9 F	9/30	3 4 9 Z
H 1 0 D	84/80 (2025.01)	G 0 9 F	9/35	
H 1 0 D	84/83 (2025.01)	H 0 1 L	27/06	1 0 2 A
H 1 0 D	84/85 (2025.01)	H 0 1 L	27/06	3 1 1 A
H 1 0 D	86/60 (2025.01)	H 0 1 L	27/06	3 1 1 C
H 1 0 D	86/40 (2025.01)	H 0 1 L	27/088	3 3 1 E
		H 0 1 L	27/092	A
		H 0 1 L	29/78	6 1 2 C
		H 0 1 L	29/78	6 1 3 A

(56)参考文献

特開 2 0 2 1 - 0 1 8 3 6 7 (J P , A)
 特開平 0 8 - 2 4 8 4 0 5 (J P , A)
 特開平 0 1 - 3 0 6 8 2 0 (J P , A)
 特開 2 0 0 1 - 0 1 3 5 1 1 (J P , A)
 特開 2 0 1 8 - 1 9 4 7 1 7 (J P , A)
 特開平 1 0 - 1 7 1 3 6 9 (J P , A)
 特開平 1 1 - 2 0 2 2 9 3 (J P , A)
 特開 2 0 1 0 - 0 7 3 8 1 0 (J P , A)
 特開 2 0 1 7 - 1 6 7 4 2 5 (J P , A)
 特開 2 0 1 5 - 1 5 2 6 0 9 (J P , A)
 特開平 0 9 - 1 4 6 0 7 2 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 3 3
G 0 2 F 1 / 1 3 6 - 1 / 1 3 6 8
G 0 2 F 1 / 0 1
G 0 1 K 7 / 0 1
G 0 9 F 9 / 0 0
G 0 9 F 9 / 3 0 - 9 / 4 6
G 0 9 G 3 / 0 4 , 3 / 2 0
H 0 1 L 2 7 / 0 2
H 0 1 L 2 7 / 0 6
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 1 / 8 2 3 8

J S T P l u s / J S T 7 5 8 0 / J S T C h i n a (J D r e a m I I I)