

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 26 日 (26.01.2017)



(10) 国际公布号
WO 2017/012166 A1

- (51) 国际专利分类号:
G06F 3/041 (2006.01) G02F 1/1333 (2006.01)
G06F 3/044 (2006.01)
- (21) 国际申请号: PCT/CN2015/087820
- (22) 国际申请日: 2015 年 8 月 21 日 (21.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510426338.8 2015 年 7 月 20 日 (20.07.2015) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 谢剑星 (XIE, Jianxing); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。夏军 (XIA, Jun); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。黄俊宏 (HUANG, Junhong); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利代理有限公司 (GUANG-ZHOU SCIHEAD PATENT AGENT CO., LTD); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: PANEL AND PANEL PREPARATION METHOD

(54) 发明名称: 面板及面板制备方法

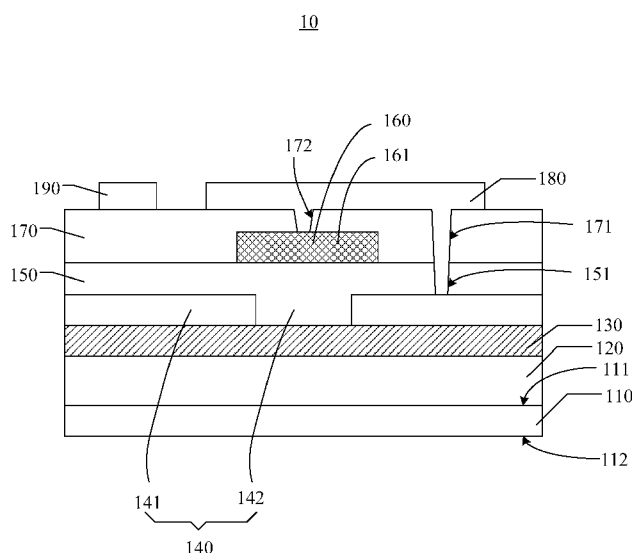


图 2

(57) Abstract: Disclosed are a panel (10) and a panel (10) preparation method. The panel (10) comprises: a base plate (110) comprising a first surface (111) and a second surface (112) which are arranged relatively; a thin film transistor array (120) arranged on the first surface (111), wherein the thin film transistor array (120) comprises a plurality of thin film transistors which are distributed in a matrix shape; a first insulating layer (130) arranged on the thin film transistor array (120); a common electrode layer (140) arranged on the first insulating layer (130), wherein the common electrode layer (140) comprises a plurality of sensing units (141) which are distributed in a matrix shape and a gap (142) is formed between every two adjacent sensing units (141); a second insulating layer (150) arranged on the common electrode layer (140) and filling the gap (142); and a shielding layer (160) arranged on the second insulating layer (150) and corresponding to the gap (142), wherein the shielding layer (160) is electrically connected to the common electrode layer (140).

(57) 摘要: 一种面板 (10) 及面板 (10) 制备方法。所述面板 (10) 包括: 基板 (110), 包括相对设置的第一表面 (111) 及第二表面 (112); 薄膜晶体管阵列 (120), 设置在所述第一表面 (111) 上, 所述薄膜晶体管阵列 (120) 包括呈矩阵状分布的多个薄膜晶体管; 第一绝缘层 (130), 设置在所述薄膜晶体管阵列 (120) 上; 公共电极层 (140), 设置于所述第一绝缘层 (130) 上, 且所述公共电极层 (140) 包括呈矩阵状分布的多个感测单元 (141), 相邻的感测单元 (141) 之间设置有所述间隙 (142); 第二绝缘层 (150), 设置于所述公共电极层 (140) 上且填充所述间隙 (142); 屏蔽层 (160), 设置于所述第二绝缘层 (150) 上, 且对应所述间隙 (142) 设置; 所述屏蔽层 (160) 与所述公共电极层 (140) 电连接。

WO 2017/012166 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

面板及面板制备方法

5 本发明要求 2015 年 7 月 20 日递交的发明名称为“面板及面板制备方法”的申请号 201510426338.8 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及显示领域，尤其涉及一种面板及面板制备方法。

10 背景技术

随着智能手机市场竞争的激烈化程度的日渐加深，触控显示一体化(简称，触显一体化)产品迎来了新一轮的竞逐。In cell 技术被视为该领域的高端技术，广受追捧。所谓的 in cell 技术，是指将触控面板功能嵌入到液晶像素中。在目前的自容式触控技术方案中，通常将公共电极进行切割，从而形成矩阵状分布的多个感测单元 (sensor)，且相邻的感测单元之间存在切割狭缝。当数据线 (data line) 在进行信号传输时产生的电场穿过感测单元之间的切割狭缝时，会对切割狭缝处对应的液晶产生影响，干扰此处的液晶的转向，造成该位置漏光，从而造成了显示的异常。现有技术中，为了解决此技术问题，通常在切割狭缝的上方制作屏蔽装置，屏蔽装置通过引线与驱动芯片电连接，并通过驱动芯片控制所述屏蔽装置。然而，屏蔽装置的引进产生了一系列问题。首先，从驱动上来讲，驱动芯片需要增加一个驱动信号来控制屏蔽装置。其次，新增的屏蔽装置相当于给各个感测单元并联上了一个电容值较大的电容，增大了驱动芯片的负载 (loading)。再次，新增的屏蔽装置会影响到所述屏蔽装置周边的感测单元的电容容量，需要通过算法对消除屏蔽装置对周边感测单元的影响，进而增加了驱动芯片的设计难度。

发明内容

本发明提供一种面板，所述面板包括：

基板，包括相对设置的第一表面及第二表面；

薄膜晶体管阵列，设置在所述第一表面上，所述薄膜晶体管阵列包括呈矩阵状分布的多个薄膜晶体管；

第一绝缘层，设置在所述薄膜晶体管阵列上；

公共电极层，设置于所述第一绝缘层上，且所述公共电极层包括呈矩阵状分布的多个感测单元，相邻的感测单元之间设置有间隙；

第二绝缘层，设置于所述公共电极层上且填充所述间隙；

屏蔽层，设置于所述第二绝缘层上，且对应所述间隙设置；所述屏蔽层与所述公共电极层电连接。

其中，所述面板还包括：

第三绝缘层，设置在所述屏蔽层及所述第二绝缘层上；所述第二绝缘层上设置第一贯孔，所述第一贯孔对应所述公共电极层设置，所述第三绝缘层上设置第二贯孔及第三贯孔，所述第二贯孔与所述第一贯孔连通，所述第三贯孔对应所述屏蔽层设置；

连接件，设置在所述第三绝缘层上，且一端通过所述第一贯孔及所述第二贯孔与所述公共电极层电连接，另一端通过所述第三贯孔与所述屏蔽层电连接。

其中，所述面板还包括：

像素电极，设置在所述第三绝缘层上，且所述像素电极与所述薄膜晶体管的漏极电连接。

其中，所述连接件与所述像素电极在同一道光罩中形成；或者/以及所述第一贯孔、所述第二贯孔及所述第三贯孔在同一道光罩中形成。

其中，所述屏蔽层包括沿第一方向设置的多个屏蔽单元，所述屏蔽单元对应相邻的两个感测单元之间的间隙设置，且所述屏蔽单元与其对应的两个感测单元之一电连接。

本发明还提供了一种面板的制备方法，所述面板的制备方法包括：

提供一基板，所述基板包括相对设置的第一表面及第二表面；

在所述第一表面上形成薄膜晶体管阵列，所述薄膜晶体管阵列包括呈矩阵状分布的多个薄膜晶体管；

在形成薄膜晶体管阵列上形成第一绝缘层；

在所述第一绝缘层上形成公共电极层,将所述公共电极层进行图案化以得到形成呈矩阵状分布的多个感测单元,相邻的感测单元之间设置有间隙;

在所述公共电极层上形成第二绝缘层,所述第二绝缘层设置在所述感测单元上且填充所述间隙;

- 5 在所述第二绝缘层上形成屏蔽层,且所述屏蔽层对应所述间隙设置;
 将所述屏蔽层与所述公共电极层电连接。

其中,在所述步骤“在所述第二绝缘层上形成屏蔽层,且所述屏蔽层对应所述间隙设置”与所述步骤“将所述屏蔽层与所述公共电极层电连接”之间,所述面板的制备方法还包括:

- 10 在所述屏蔽层上形成第三绝缘层;

 所述步骤“将所述屏蔽层与所述公共电极层电连接”包括:

 在所述第二绝缘层上形成第一贯孔,所述第一贯孔对应所述公共电极层设置,在所述第三绝缘层上形成第二贯孔及第三贯孔,所述第二贯孔与所述第一贯孔连通,所述第三贯孔对应所述屏蔽层设置;

- 15 在所述第三绝缘层上设置透明导电层;

 将所述透明导电层进行图案化,以形成连接件,所连接件的一端通过所述第一贯孔及所述第二贯孔与所述公共电极层电连接,另一端通过所述第三贯孔与所述屏蔽层电连接。

 其中,所述面板制备方法还包括:

- 20 在所述第三绝缘层上形成像素电极,且所述像素电极与所述薄膜晶体管的漏极电连接。

 其中,所述连接件与所述像素电极在同一道光罩中形成;或者/以及所述第一贯孔、所述第二贯孔及所述第三贯孔在同一道光罩中形成。

- 25 其中,所述步骤“在所述第二绝缘层上形成屏蔽层,且所述屏蔽层对应所述间隙设置”包括:

 在所述第二绝缘层上形成一金属层,图案化所述金属层得到所述屏蔽层,所述屏蔽层包括沿第一方向设置的多个屏蔽单元,所述屏蔽单元对应相邻的两个感测单元之间的间隙设置;

 所述步骤“将所述屏蔽层与所述公共电极层电连接”包括:

将所述屏蔽单元与其对应的两个感测单元之一电连接,且每个感测单元均与一个屏蔽单元电连接。

相较于现有技术,本发明的面板及面板制备方法将所述薄膜晶体管阵列设置所述基板的第一表面上,公共电极层与薄膜晶体管阵列之间设置第一绝缘层,通过将公共电极层设置为呈矩阵状分布的多个感测单元,且相邻的感测单元之间设置有间隙,从而将液晶显示面板的公共电极层与触控技术中的具有触控检测功能的感测单元相融合。将第二绝缘层设置于所述公共电极层,且填充所述间隙,将屏蔽层设置于第二绝缘层上,且对应所述间隙设置,所述屏蔽层与所述公共电极层电连接。从而使得驱动芯片分配驱动信号时变得简单,在显示阶段将公共电极层上加载一公共信号,在触控阶段将触控信号及检测信号传输回所述驱动芯片进行运算处理。由于所述公共电极层与所述屏蔽层电连接,因此,所述屏蔽层上也被加载所述公共信号,无需单独对所述屏蔽层加载单独的驱动信号。同时,本发明将所述公共电极层与所述屏蔽层连接成为一体,因此,所述屏蔽层不会成为所述公共电极层的负载,降低了驱动芯片运算处理的难度。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

图1为本发明一较佳实施方式的面板的俯视结构示意图。

图2为图1中沿II-II线的剖面结构示意图。

图3为本发明一较佳实施方式的面板制备方法的流程图。

具体实施方式

下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造

性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请一并参阅图 1 及图 2 及图 3，图 1 为本发明一较佳实施方式的面板的俯视图结构示意图；图 2 为图 1 中沿 II-II 线的剖面结构示意图。所述面板 10 包括基板 110、薄膜晶体管阵列 120、第一绝缘层 130、公共电极层 140、第二绝缘层 150 及屏蔽层 160。所述基板 110 包括相对设置的第一表面 111 和第二表面 112。所述薄膜晶体管阵列 120 设置在所述第一表面 111 上，所述薄膜晶体管阵列 120 包括呈矩阵状分布的多个薄膜晶体管。所述第一绝缘层 130 设置在所述薄膜晶体管阵列 120 上，所述公共电极层 140 设置于所述第一绝缘层 130 上，且所述公共电极层 140 包括呈矩阵状分布的多个感测单元（sensor）141，相邻的感测单元 141 之间设置有间隙 142。所述第二绝缘层 150 设置在所述公共电极层 140 上且填充所述间隙 142。所述屏蔽层 160 设置于所述第二绝缘层 150 上，且对应所述间隙 142 设置，所述屏蔽层 160 与所述公共电极层电连接。

所述基板 110 可以为玻璃基板、塑料基板等透明的基板，在本实施中，不对所述基板 110 的材料做限定。可以理解地，在本实施方式中，以所述薄膜晶体管 120 设置在所述基板 110 的所述第一表面 111 上为例进行说明，在其他实施方式中，所述薄膜晶体管 120 也可以设置在所述第二表面 112 上。

所述薄膜晶体管阵列 120 包括呈矩阵状分布的多个薄膜晶体管，所述薄膜晶体管用于控制所述面板 10 中像素点。所述薄膜晶体管包括栅极（gate）、源极（source）及漏极（drain），所述栅极用于接收一栅极电压，并在所述栅极电压的控制下控制所述源极及所述漏极的导通或者截止。当所述源极及所述漏极在所述栅极电压的控制下导通时，所述薄膜晶体管导通；当所述源极及所述漏极在所述栅极电压的控制下截止时，所述薄膜晶体管断开。

所述第一绝缘层 130 的材料可以为但不仅限于为氮化硅（ SiN_x ）、二氧化硅（ SiO_2 ）、氮氧化硅及其组合的其中之一。

所述公共电极层 140 为透明的，所述公共电极层 140 的材料可以为但不仅限于为氧化铟等材料。每个感测单元 141 通过一个迹线 a（touch panel trace）与驱动芯片 b 电连接。

所述第二绝缘层 150 的材料可以为但不仅限于为氮化硅、二氧化硅、氮氧化硅及其组合的其中之一，所述第二绝缘层 150 的材料可以与所述第一绝缘层

130 的材料相同, 所述第二绝缘层 150 的材料也可以与所述第一绝缘层 130 的材料不同, 在本发明中不做限定。

在本实施方式中, 所述屏蔽层 160 包括沿第一方向设置的多个屏蔽单元 161, 所述屏蔽单元 161 对应相邻的两个感测单元 141 之间的间隙 142 设置, 且所述屏蔽单元 161 与其对应的两个感测单元 141 之一电连接, 且每个感测单元 141 与一个屏蔽单元 161 电连接。在一实施方式中, 所述屏蔽单元 161 对应相邻的两个感测单元 141 设置时, 所述屏蔽单元 161 的宽度大于或等于相邻的两个感测单元 141 之间的间隙 142 的宽度。在另一实施方式中, 为了方面描述, 所述屏蔽单元 161 的宽度命名为 d_a , d_a 的单位为微米, 所述屏蔽单元 161 对应相邻的两个感测单元 141 之间的间隙 142 的宽度为 d_b , d_b 的单位为微米, 则, 经过屏蔽实验证明, 所述屏蔽单元 161 的宽度的范围为, $d_b - 2 \leq d_a \leq d_b + 2$, 此时, 所述屏蔽单元 161 仍然具有较好的屏蔽效果。

所述面板 10 还包括第三绝缘层 170 及连接件 180。所述第三绝缘层 170 设置在所述屏蔽层 160 及所述第二绝缘层 150 上。所述第二绝缘层 150 上设置第一贯孔 151, 所述第一贯孔 151 对应所述公共电极层 140 设置。所述第三绝缘层 170 上设置第二贯孔 171 及第三贯孔 172, 所述第二贯孔 171 与所述第一贯孔 151 连通, 所述第三贯孔 172 对应所述屏蔽层 160 设置。所述连接件 180 设置在所述第三绝缘层 170 上, 且所述连接件 180 的一端通过所述第一贯孔 151 及所述第二贯孔 171 与所述公共电极层 140 电连接, 所述连接件 180 的另一端通过所述第三贯孔 172 与所述屏蔽层 160 电连接。由此可见, 所述连接件 180 将所述屏蔽层 160 与所述公共电极层 140 电连接。由于所述屏蔽层 160 包括沿第一方向设置的多个屏蔽单元 161, 所述连接件 180 的一端通过所述第一贯孔 151 及所述第二贯孔 171 与所述公共电极层 140 的感测单元 141 电连接, 所述连接件 180 的另一端通过所述第三贯孔 172 与所述屏蔽层 160 电连接。

所述面板 10 还包括像素电极 190, 所述像素电极 190 设置在所述第三绝缘层 170 上, 且所述像素电极 190 与所述薄膜晶体管阵列 120 的薄膜晶体管的漏极电连接。所述像素电极 190 为透明的, 所述像素电极 190 的材料可以为但不限于为氧化铟等材料。

优选地, 所述连接件 180 与所述像素电极 190 在同一道光罩中形成, 以节

约所述连接件 180 与所述像素电极 190 的制备工序。

优选地，所述第一贯孔 151、所述第二贯孔 171 及所述第三贯孔 172 在同一道光罩中形成，以节约所述第一贯孔 151、所述第二贯孔 171 及所述第三贯孔 172 的制备工序。

5 相较于现有技术，本发明的面板 10 将所述薄膜晶体管阵列 120 设置所述基板 110 的第一表面 111 上，公共电极层 140 与薄膜晶体管阵列 120 之间设置第一绝缘层 130，通过将公共电极层 140 设置为呈矩阵状分布的多个感测单元 141，且相邻的感测单元 141 之间设置有间隙 142，从而将液晶显示面板的公共电极层与触控技术中的具有触控检测功能的感测单元相融合。将第二绝缘层
10 150 设置于所述公共电极层 140，且填充所述间隙 142，将屏蔽层 160 设置于第二绝缘层 150 上，且对应所述间隙 142 设置，所述屏蔽层 160 与所述公共电极层 140 电连接。从而使得驱动芯片分配驱动信号时变得简单，在显示阶段将公共电极层 140 上加载一公共信号，在触控阶段将触控信号及检测信号传输回
15 所述驱动芯片进行运算处理。由于所述公共电极层 140 与所述屏蔽层 160 电连接，因此，所述屏蔽层 160 上也被加载所述公共信号，无需单独对所述屏蔽层 160 加载单独的驱动信号。同时，本发明将所述公共电极层 140 与所述屏蔽层 160 连接成为一体，因此，所述屏蔽层 160 不会成为所述公共电极层 140 的负载，降低了驱动芯片运算处理的难度。

下面对本发明的面板制备方法进行介绍，请参阅图 3，图 3 为本发明一较
20 佳实施方式的面板制备方法的流程图。所述面板制备方法包括但不限于以下步骤。

步骤 S101，提供一基板 110，所述基板 110 包括相对设置的第一表面 111 和第二表面 112。所述基板 110 可以为玻璃基板、塑料基板等透明的基板，在本实施中，不对所述基板 110 的材料做限定。

25 步骤 S102，在所述第一表面 111 上形成薄膜晶体管阵列 120，所述薄膜晶体管阵列 120 包括呈矩阵状分布的多个薄膜晶体管。可以理解地，在本实施方式中，以所述薄膜晶体管 120 设置在所述基板 110 的所述第一表面 111 上为例进行说明，在其他实施方式中，所述薄膜晶体管 120 也可以设置在所述第二表面 112 上。所述薄膜晶体管阵列 120 包括呈矩阵状分布的多个薄膜晶体管，所

述薄膜晶体管用于控制所述面板 10 中像素点。所述薄膜晶体管包括栅极、源极及漏极，所述栅极用于接收一栅极电压，并在所述栅极电压的控制下控制所述源极及所述漏极的导通或者截止。当所述源极及所述漏极在所述栅极电压的控制下导通时，所述薄膜晶体管导通；当所述源极及所述漏极在所述栅极电压的控制下截止时，所述薄膜晶体管断开。

步骤 S103，在所述薄膜晶体管阵列 120 上形成第一绝缘层 130。所述第一绝缘层 130 的材料可以为但不仅限于为氮化硅 (SiN_x)、二氧化硅 (SiO_2)、氮氧化硅及其组合的其中之一。

步骤 S104，在所述第一绝缘层 130 上形成公共电极层 140，将所述公共电极层 140 进行图案化以得到呈矩阵状分布的多个感测单元 141，相邻的感测单元 141 之间设置间隙 142。所述公共电极层 140 为透明的，所述公共电极层 140 的材料可以为但不仅限于为氧化铟等材料。

步骤 S105，在所述公共电极层 140 形成第二绝缘层 150，所述第二绝缘层 150 设置在所述感测单元 141 上且填充所述间隙 142。所述第二绝缘层 150 的材料可以为但不仅限于为氮化硅、二氧化硅、氮氧化硅及其组合的其中之一，所述第二绝缘层 150 的材料可以与所述第一绝缘层 130 的材料相同，所述第二绝缘层 150 的材料也可以与所述第一绝缘层 130 的材料不同，在本发明中不做限定。

步骤 S106，在所述第二绝缘层 150 上形成屏蔽层 160，且所述屏蔽层 160 对应所述间隙 142 设置。具体地，所述步骤 S106 包括：在所述第二绝缘层 150 上形成一金属层，图案化所述金属层得到所述屏蔽层 160，所述屏蔽层 160 包括沿第一方向设置的多个屏蔽单元 161，所述屏蔽单元 161 对应相邻的两个感测单元 141 之间的间隙 142 设置。优选地，在此步骤中，可以同时形成所述迹线 a。

步骤 S107，将所述屏蔽层 160 与所述公共电极层 140 电连接。当，所述步骤 S106 包括：在所述第二绝缘层 150 上形成一金属层，图案化所述金属层得到所述屏蔽层 160，所述屏蔽层 160 包括沿第一方向设置的多个屏蔽单元 161，所述屏蔽单元 161 对应相邻的两个感测单元 141 之间的间隙 142 设置时，相应地，所述步骤 S107 包括：将所述屏蔽单元 161 与其对应的两个感测单元

141 之一电连接, 且每个感测单元 141 均与一屏蔽单元 161 电连接。

优选地, 在所述步骤 S106 及所述步骤 S107 之间, 所述面板制备方法还包括:

步骤 I, 在所述屏蔽层 160 上形成第三绝缘层 170。

5 则, 所述步骤 S107 包括:

步骤 II, 在所述第二绝缘层 150 上形成第一贯孔 151, 所述第一贯孔 151 对应所述公共电极层 140 设置, 在所述第三绝缘层 170 上形成第二贯孔 171 及第三贯孔 172, 所述第二贯孔 171 与所述第一贯孔 151 连通, 所述第三贯孔 172 对应所述屏蔽层 160 设置。

10 步骤 III, 在所述第三绝缘层 170 上设置透明导电层。

步骤 IV, 将所述透明导电层进行图案化, 以形成连接件 180, 所述连接件 180 的一端通过所述第一贯孔 151 及所述第二贯孔 171 与所述公共电极层 140 电连接, 另一端通过所述第三贯孔 172 与所述屏蔽层 160 电连接。

15 优选地, 所述面板制备方法还包括: 在所述第三绝缘层 170 上形成像素电极 190, 且所述像素电极 190 与所述薄膜晶体管的漏极电连接。所述像素电极 190 为透明的, 所述像素电极 190 的材料可以为但不限于为氧化铟等材料。

20 优选地, 所述第一贯孔 151、所述第二贯孔 171 及所述第三贯孔 172 在同一道光罩中形成。具体地, 形成所述第一贯孔 151、所述第二贯孔 171 及所述第三贯孔 172 时, 在所述第三绝缘层 170 上设置一层光阻层, 通过半透光罩(half tone mask), 在此步骤中同时形成所述第一贯孔 151、所述第二贯孔 171 及所述第三贯孔 172。

25 优选地, 所述连接件 180 与所述像素电极 190 在同一道光罩中形成。具体地, 在所述第三绝缘层 170 的表面设置透明导电层; 在所述透明导电层上设置一层光阻层, 通过一道光罩, 将所述透明导电层进行图案化, 以形成连接件 180 以及像素电极 19, 且所述连接件 180 的一端通过所述第一贯孔 151 及所述第二贯孔 171 与所述公共电极层 140 电连接, 所述连接件 180 的另一端通过所述第三贯孔 172 与所述屏蔽层 160 电连接。

相较于现有技术, 本发明的面板制备方法将所述薄膜晶体管阵列 120 设置所述基板 110 的第一表面 111 上, 公共电极层 140 与薄膜晶体管阵列 120 之间

设置第一绝缘层 130，通过将公共电极层 140 设置为呈矩阵状分布的多个感测单元 141，且相邻的感测单元 141 之间设置有间隙 142，从而将液晶显示面板的公共电极层与触控技术中的具有触控检测功能的感测单元相融合。将第二绝缘层 150 设置于所述公共电极层 140，且填充所述间隙 142，将屏蔽层 160 设置于第二绝缘层 150 上，且对应所述间隙 142 设置，所述屏蔽层 160 与所述公共电极层 140 电连接。从而使得驱动芯片分配驱动信号时变得简单，在显示阶段将公共电极层 140 上加载一公共信号，在触控阶段将触控信号及检测信号传输回所述驱动芯片进行运算处理。由于所述公共电极层 140 与所述屏蔽层 160 电连接，因此，所述屏蔽层 160 上也被加载所述公共信号，无需单独对所述屏蔽层 160 加载单独的驱动信号。同时，本发明将所述公共电极层 140 与所述屏蔽层 160 连接成为一体，因此，所述屏蔽层 160 不会成为所述公共电极层 140 的负载，降低了驱动芯片运算处理的难度。

以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权 利 要 求

1.一种面板，其中，所述面板包括：

基板，包括相对设置的第一表面及第二表面；

5 薄膜晶体管阵列，设置在所述第一表面上，所述薄膜晶体管阵列包括呈矩阵状分布的多个薄膜晶体管；

第一绝缘层，设置在所述薄膜晶体管阵列上；

公共电极层，设置于所述第一绝缘层上，且所述公共电极层包括呈矩阵状分布的多个感测单元，相邻的感测单元之间设置有间隙；

10 第二绝缘层，设置于所述公共电极层上且填充所述间隙；

屏蔽层，设置于所述第二绝缘层上，且对应所述间隙设置；所述屏蔽层与所述公共电极层电连接。

2.如权利要求 1 所述的面板，其中，所述面板还包括：

15 第三绝缘层，设置在所述屏蔽层及所述第二绝缘层上；所述第二绝缘层上设置第一贯孔，所述第一贯孔对应所述公共电极层设置，所述第三绝缘层上设置第二贯孔及第三贯孔，所述第二贯孔与所述第一贯孔连通，所述第三贯孔对应所述屏蔽层设置；

20 连接件，设置在所述第三绝缘层上，且一端通过所述第一贯孔及所述第二贯孔与所述公共电极层电连接，另一端通过所述第三贯孔与所述屏蔽层电连接。

3.如权利要求 2 所述的面板，其中，所述面板还包括：

25 像素电极，设置在所述第三绝缘层上，且所述像素电极与所述薄膜晶体管的漏极电连接。

4.如权利要求 3 所述的面板，其中，所述连接件与所述像素电极在同一道光罩中形成；或者/以及所述第一贯孔、所述第二贯孔及所述第三贯孔在同一道光罩中形成。

5.如权利要求 1 所述的面板,其中,所述屏蔽层包括沿第一方向设置的多个屏蔽单元,所述屏蔽单元对应相邻的两个感测单元之间的间隙设置,且所述屏蔽单元与其对应的两个感测单元之一电连接。

5

6.一种面板的制备方法,其中,所述面板的制备方法包括:

提供一基板,所述基板包括相对设置的第一表面及第二表面;

在所述第一表面上形成薄膜晶体管阵列,所述薄膜晶体管阵列包括呈矩阵状分布的多个薄膜晶体管;

10 在形成薄膜晶体管阵列上形成第一绝缘层;

在所述第一绝缘层上形成公共电极层,将所述公共电极层进行图案化以得到形成呈矩阵状分布的多个感测单元,相邻的感测单元之间设置有间隙;

在所述公共电极层上形成第二绝缘层,所述第二绝缘层设置在所述感测单元上且填充所述间隙;

15 在所述第二绝缘层上形成屏蔽层,且所述屏蔽层对应所述间隙设置;
将所述屏蔽层与所述公共电极层电连接。

7.如权利要求 6 所述的面板的制备方法,其中,在所述步骤“在所述第二绝缘层上形成屏蔽层,且所述屏蔽层对应所述间隙设置”与所述步骤“将所述屏蔽层与

20 所述公共电极层电连接”之间,所述面板的制备方法还包括:

在所述屏蔽层上形成第三绝缘层;

所述步骤“将所述屏蔽层与所述公共电极层电连接”包括:

在所述第二绝缘层上形成第一贯孔,所述第一贯孔对应所述公共电极层设置,在所述第三绝缘层上形成第二贯孔及第三贯孔,所述第二贯孔与所述第一贯孔连通,所述第三贯孔对应所述屏蔽层设置;

25

在所述第三绝缘层上设置透明导电层;

将所述透明导电层进行图案化,以形成连接件,所连接件的一端通过所述第一贯孔及所述第二贯孔与所述公共电极层电连接,另一端通过所述第三贯孔与所述屏蔽层电连接。

8.如权利要求 7 所述的面板制备方法, 其中, 所述面板制备方法还包括:

在所述第三绝缘层上形成像素电极, 且所述像素电极与所述薄膜晶体管的漏极电连接。

5

9.如权利要求 8 所述的面板制备方法, 其中, 所述连接件与所述像素电极在同一道光罩中形成; 或者/以及所述第一贯孔、所述第二贯孔及所述第三贯孔在同一道光罩中形成。

10 10.如权利要求 7 所述的面板的制备方法, 其中, 所述步骤“在所述第二绝缘层上形成屏蔽层, 且所述屏蔽层对应所述间隙设置”包括:

在所述第二绝缘层上形成一金属层, 图案化所述金属层得到所述屏蔽层, 所述屏蔽层包括沿第一方向设置的多个屏蔽单元, 所述屏蔽单元对应相邻的两个感测单元之间的间隙设置;

15 所述步骤“将所述屏蔽层与所述公共电极层电连接”包括:

将所述屏蔽单元与其对应的两个感测单元之一电连接, 且每个感测单元均与一个屏蔽单元电连接。

10

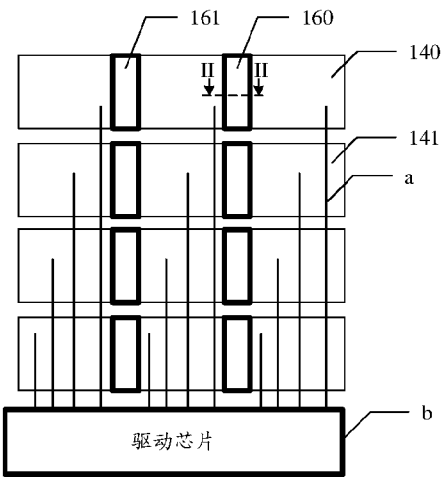


图 1

10

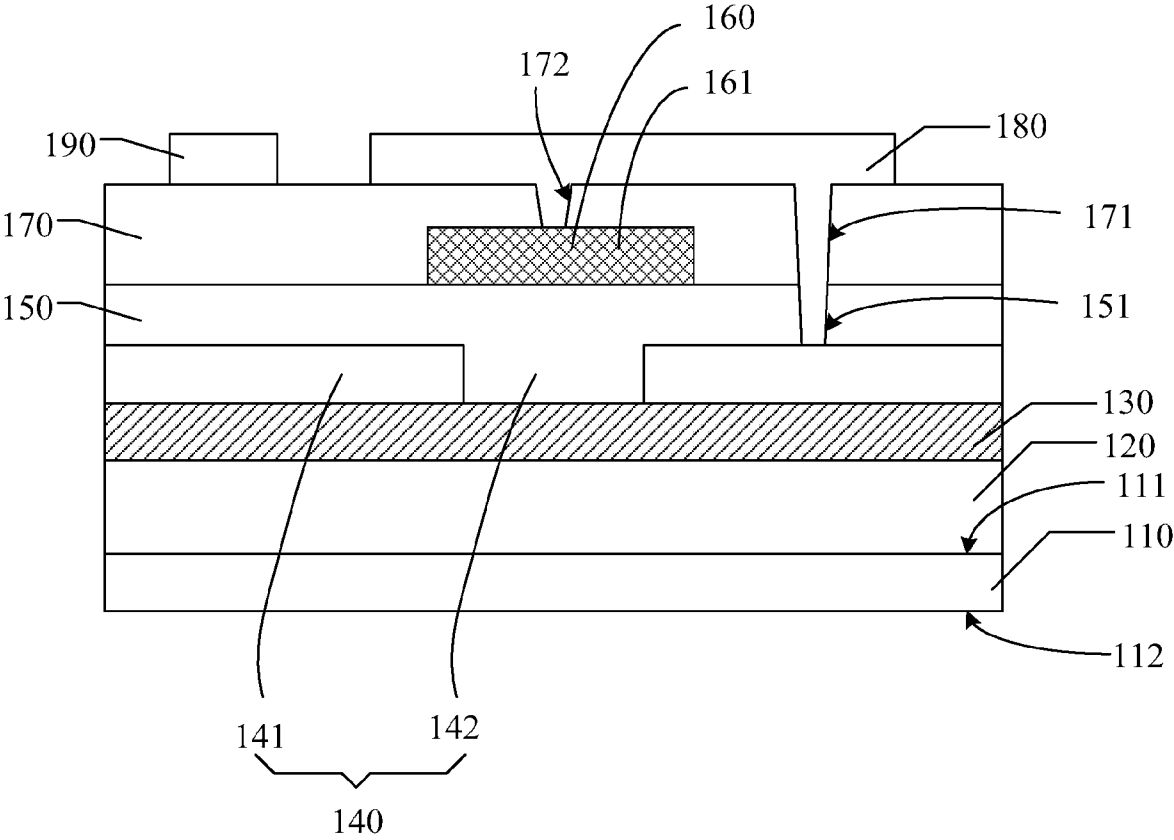


图 2

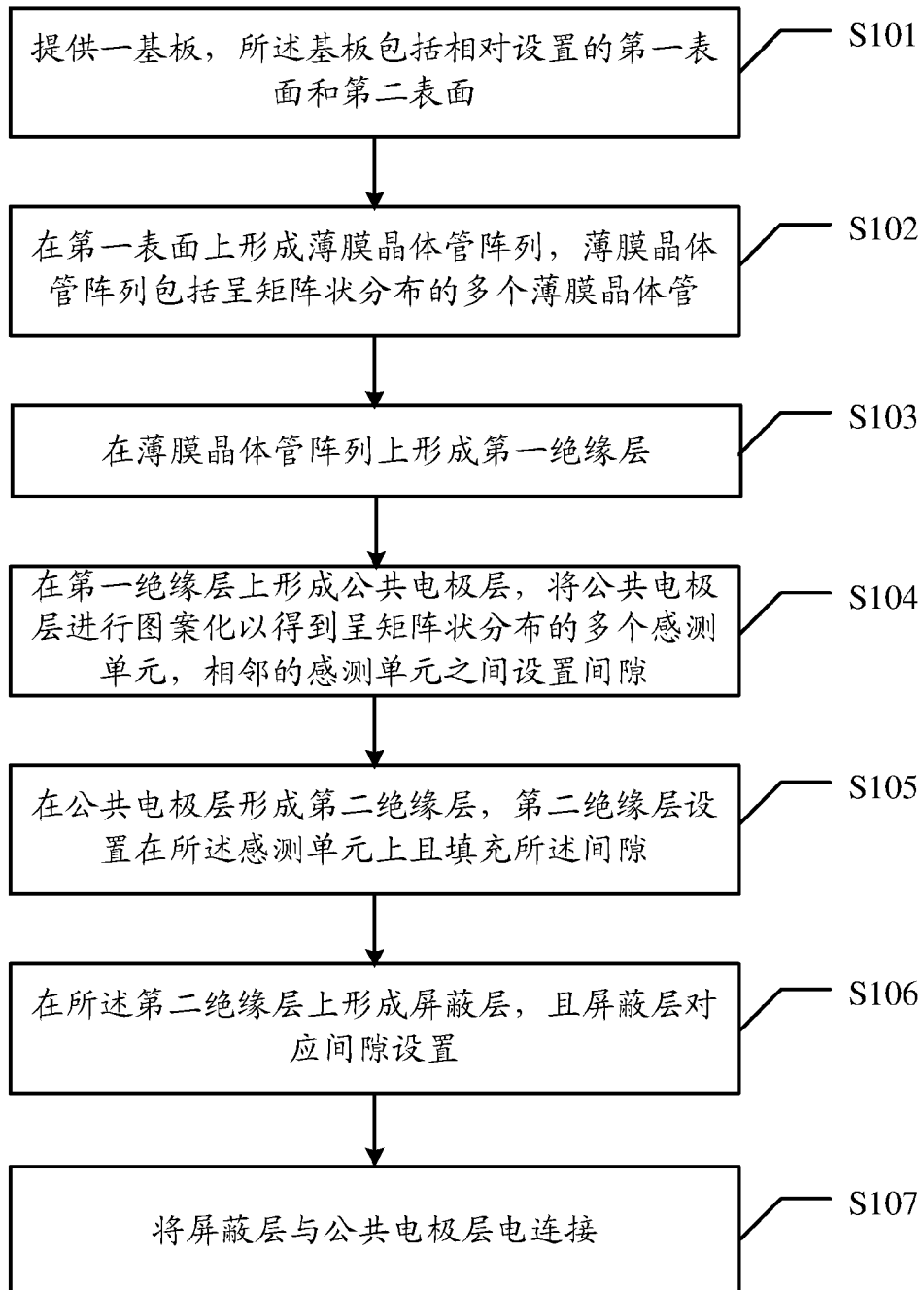


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/087820

A. CLASSIFICATION OF SUBJECT MATTER

G06F 3/041 (2006.01) i; G06F 3/044 (2006.01) i; G02F 1/1333 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, EPODO, WPI: CHINA STAR OPTOELECTRONICS; XIE, Jianxing; XIA, Jun; HUANG, Junhong; substrate, thin film transistor, array, common electrode layer, shielding layer, electric connection, panel, in cell, thin film transistor array, TFT, shield+, gap, sens+, insulation layer, common electrode, matrix

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 203950283 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 19 November 2014 (19.11.2014), description, paragraphs [0031]-[0042] and [0044], and figures 1 and 3	1-10
A	CN 102541334 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD.), 04 July 2012 (04.07.2012), description, paragraphs [0016]-[0019]	1-10
A	CN 103926727 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 16 July 2014 (16.07.2014), claim 11	1-10
A	CN 104216564 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 17 December 2014 (17.12.2014), description, paragraph [0040]	1-10
A	CN 102569187 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 11 July 2012 (11.07.2012), the whole document	1-10
A	KR 20120119368 A (LG DISPLAY CO., LTD.), 31 October 2012 (31.10.2012), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 March 2016 (27.03.2016)	Date of mailing of the international search report 22 April 2016 (22.04.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer CHEN, Lin Telephone No.: (86-10) 82245661

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/087820

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 203950283 U	19 November 2014	None	
CN 102541334 A	04 July 2012	None	
CN 103926727 A	16 July 2014	None	
CN 104216564 A	17 December 2014	None	
CN 102569187 A	11 July 2012	CN 102569187 B	06 August 2014
		WO 2013091298 A1	27 June 2013
KR 20120119368 A	31 October 2012	None	

国际检索报告

国际申请号

PCT/CN2015/087820

A. 主题的分类

G06F 3/041(2006.01)i; G06F 3/044(2006.01)i; G02F 1/1333(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, EPODO, WPI; 华星光电, 谢剑星, 夏军, 黄俊宏, 基板, 薄膜晶体管, 阵列, 绝缘层, 公共电极层, 屏蔽层, 公共电极, 电连接, panel, in cell, thin film transistor array, TFT, shield+, gap, sens+, insulation layer, common electrode, matrix.

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 203950283 U (京东方科技集团股份有限公司等) 2014年 11月 19日 (2014 - 11 - 19) 说明书第31-42, 44段、附图1, 3	1-10
A	CN 102541334 A (上海天马微电子有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第16-19段	1-10
A	CN 103926727 A (上海天马微电子有限公司等) 2014年 7月 16日 (2014 - 07 - 16) 权利要求11	1-10
A	CN 104216564 A (上海天马微电子有限公司等) 2014年 12月 17日 (2014 - 12 - 17) 说明书第40段	1-10
A	CN 102569187 A (深圳市华星光电技术有限公司) 2012年 7月 11日 (2012 - 07 - 11) 全文	1-10
A	KR 20120119368 A (LG DISPLAY CO., LTD.) 2012年 10月 31日 (2012 - 10 - 31) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 3月 27日

国际检索报告邮寄日期

2016年 4月 22日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

授权官员

陈琳

电话号码 (86-10) 82245661

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/087820

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	203950283	U	2014年 11月 19日	无	
CN	102541334	A	2012年 7月 4日	无	
CN	103926727	A	2014年 7月 16日	无	
CN	104216564	A	2014年 12月 17日	无	
CN	102569187	A	2012年 7月 11日	CN 102569187 B	2014年 8月 6日
				WO 2013091298 A1	2013年 6月 27日
KR	20120119368	A	2012年 10月 31日	无	

表 PCT/ISA/210 (同族专利附件) (2009年7月)