



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I796525 B

(45)公告日：中華民國 112 (2023) 年 03 月 21 日

(21)申請案號：108137336

(22)申請日：中華民國 108 (2019) 年 10 月 16 日

(51)Int. Cl. : **H01L21/02 (2006.01)**

(30)優先權：2018/11/08 法國 1860294

(71)申請人：法商索泰克公司 (法國) SOITEC (FR)  
法國

(72)發明人：梭塔 大衛 SOTTA, DAVID (FR)

(74)代理人：陳絲倩；郭建中

(56)參考文獻：

TW 201826328A

審查人員：吳松屏

申請專利範圍項數：10 項 圖式數：2 共 15 頁

(54)名稱

多個半導體結構的集體製作方法

(57)摘要

本發明係關於一種用於集體製作多個半導體結構(8)的方法。該方法包括提供一底材，其由具有一主面之一載體(2)，設置在該載體(2)之主面上之一介電層(3)，及設置在該介電層(3)上之複數個結晶半導體生長島狀物(4)所形成。該方法亦包括在該些結晶半導體生長島狀物上形成至少一結晶半導體主動層(6)。根據本發明，該方法包括，在形成該主動層(6)之步驟後，於該主動層(6)及該些結晶半導體生長島狀物(4)中形成溝槽(7)，以界定出該複數個半導體結構(8)。

The invention relates to a process for fabricating collectively a plurality of semiconductor structures (8). It comprises providing a substrate formed from a carrier (2) having a main face, from a dielectric layer (3) placed on the main face of the carrier (2) and from a plurality of crystalline semiconductor growth islands (4) placed on the dielectric layer (3). It also comprises forming at least one crystalline semiconductor active layer (6) on the growth islands. According to the invention, the process comprises, after the step of forming the active layer (6), forming trenches (7) in the active layer (6) and in the growth islands (4) in order to define the plurality of semiconductor structures (8).

指定代表圖：

符號簡單說明：

- 2:載體
- 3:介電層
- 4:島狀物
- 6:主動層
- 7:溝槽
- 8:半導體結構

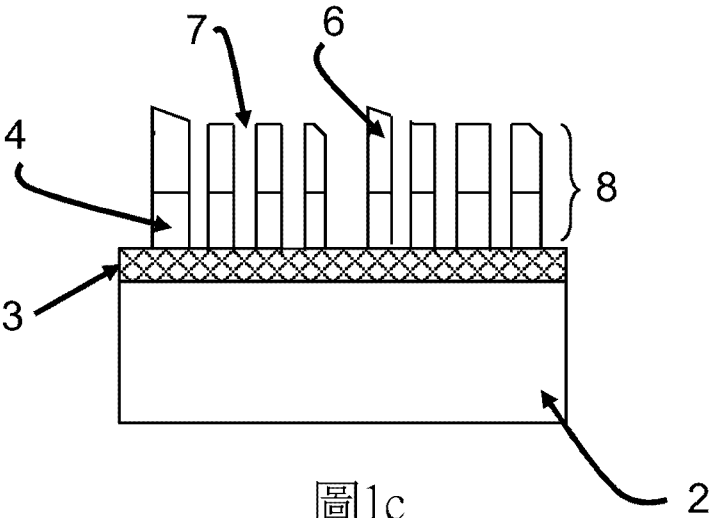


圖1c



公告本

I796525

## 【發明摘要】

【中文發明名稱】 多個半導體結構的集體製作方法

【英文發明名稱】 PROCESS FOR FABRICATING COLLECTIVELY A

PLURALITY OF SEMICONDUCTOR STRUCTURES

【中文】本發明係關於一種用於集體製作多個半導體結構(8)的方法。該方法包括提供一底材，其由具有一主面之一載體(2)，設置在該載體(2)之主面上之一介電層(3)，及設置在該介電層(3)上之複數個結晶半導體生長島狀物(4)所形成。該方法亦包括在該些結晶半導體生長島狀物上形成至少一結晶半導體主動層(6)。根據本發明，該方法包括，在形成該主動層(6)之步驟後，於該主動層(6)及該些結晶半導體生長島狀物(4)中形成溝槽(7)，以界定出該複數個半導體結構(8)。

【英文】The invention relates to a process for fabricating collectively a plurality of semiconductor structures (8). It comprises providing a substrate formed from a carrier (2) having a main face, from a dielectric layer (3) placed on the main face of the carrier (2) and from a plurality of crystalline semiconductor growth islands (4) placed on the dielectric layer (3). It also comprises forming at least one crystalline semiconductor active layer (6) on the growth islands. According to the invention, the process comprises, after the step of forming the active layer (6), forming trenches (7) in the active layer (6) and in the growth islands (4) in order to define the plurality of semiconductor structures (8).

【指定代表圖】 第(1c)圖

【代表圖之符號簡單說明】2...載體

3...介電層

4...島狀物

6...主動層

7...溝槽

8...半導體結構

【特徵化學式】

## 【發明說明書】

【中文發明名稱】 多個半導體結構的集體製作方法

【英文發明名稱】 PROCESS FOR FABRICATING COLLECTIVELY A

PLURALITY OF SEMICONDUCTOR STRUCTURES

### 【技術領域】

【0001】 本發明係關於一種用於集體製作多個半導體結構的方法。

### 【先前技術】

【0002】 多個半導體結構的集體製作方法，可從諸如文件FR2992465得知。該文件描述一底材，其由一載體、設置在該載體主面上之介電層，及複數個至少部分鬆弛之InGa<sub>N</sub>製生長島狀物形成。接著，在所述生長島狀物上形成半導體層之堆疊，以製作發光二極體(LED)。該堆疊包含n型接觸層、主動層及p型接觸層。在該文件中，該些島狀物為正方形且具有1公釐之邊長。

【0003】 由結晶半導體材料形成之生長島狀物之鬆弛，可在底材製作之前置處理期間獲得，例如文件EP2151852及EP2151856中所述者。如此可實現具有晶種表面(seed surface)的生長島狀物，其能夠接受形成半導體結構之堆疊層，且其晶格參數可被選定。但所述選定晶格參數無法總是由以合理成本取得的本體半導體(bulk semiconductor)之表面提供。因此，用於製作底材之前置處理尤其有利。

【0004】 文件WO2018060570觀察到，在前述法國文件所描述「含島(island-comprising)」底材上所形成之結晶半導體層，尤其是InGa<sub>N</sub>層，可能具有

不均勻之厚度。詳細而言，位於島狀物邊緣之層之厚度，與較接近島狀物中心之層之相對恆定之厚度，兩者可能具有很大的差異。該厚度差異可從生長島狀物的周緣延伸約1  $\mu\text{m}$ 的距離。

【0005】 因此，當島狀物尺寸很小時，例如當島狀物被刻在直徑包含在0.1與5  $\mu\text{m}$ 間之圓形中，將難以形成厚度受到嚴格控制之層。此外，要在這些小尺寸生長島狀物上形成半導體結構，也無法每次都成功。

【0006】 因此，如何以良好產率集體製作多個小尺寸半導體結構便成為問題，而本發明之目的即為解決上述問題。

#### 【發明內容】

【0007】 為此目的，本發明之標的涉及一種用於集體製作多個半導體結構的方法，其包括：

- 提供一底材，其由具有一主面之一載體，設置在該載體之主面上之一介電層，及設置在該介電層上之複數個結晶半導體生長島狀物所形成；以及
- 在該些結晶半導體生長島狀物上形成一結晶半導體主動層。

【0008】 根據本發明，該方法包括在形成該主動層之步驟後，於該主動層及該些生長島狀物中形成溝槽，以界定出該複數個半導體結構。

【0009】 藉由在尺寸相對大之生長島狀物上形成主動層，並在形成主動層後定義出半導體結構(其尺寸相對小)，可將生長島狀物邊緣不均勻的影響限制在有限數目之半導體結構中，從而以高產率獲得該些結構。

【0010】 根據本發明之其他有利與非限制性的特徵，其可以單獨實施或以任何技術上可行的組合來實施：

該些生長島狀物係直接設置在該介電層上並與該介電層接觸；

該主動層為一III-V族材料；

該些生長島狀物為InGaN製；

該些溝槽被形成以暴露出該介電層；

該些溝槽具有包括0.1及5 $\mu\text{m}$ 之間的寬度；

該些半導體結構具有包括0.1及3 $\mu\text{m}$ 之間的主要尺寸；

該些生長島狀物具有包括5微米及2毫米之間的主要尺寸；

該些生長島狀物彼此隔開大於或等於5微米的距離；

該方法包括移除至少一生長島狀物及設置在該島狀物上的主動層之周邊區。

#### 【圖式簡單說明】

【0011】 本發明其他特徵和優點將於以下的詳細說明中更為彰顯，詳細說明係參照所附圖式提供，其中：

- 圖1a至圖1c描繪依照本發明之製作方法之主要步驟期間之底材示意剖視圖；
- 圖2a描繪「含島」底材之示意頂視圖；
- 圖2b描繪依照本發明之製作方法結束時之底材之示意頂視圖。

#### 【實施方式】

【0012】 本發明之目的為集體製作複數個小尺寸的半導體結構。在本說明書中，「半導體結構」一詞係指能夠被單獨控制或使用之任何半導體元件，其包含界定出一主動層之半導體層堆疊，所述主動層即具有光電特性的層。舉例而言，半導體結構可為發光二極體、雷射二極體、光伏電池或其他光電元件。

除了構成主動層之半導體層堆疊外，功能元件可包含其他構件，例如載體、接觸墊或導電通孔或微鏡片，以使所述元件能實際發揮作用。

【0013】在集體製作的過程中或結束時，每一半導體結構不必為了製作完全獨立的元件而與其他結構分開。一組結構可保持彼此接合以便置於單一封裝中，且同時保留每一結構可獨立控制或利用的特徵。舉例而言，本方法可針對製作微發光二極體(micro-LED)之單片面板(monolithic panel)，面板之每一微發光二極體皆可獨立控制。

【0014】圖1a至圖1c描繪根據本發明之方法之主要步驟。所述方法包括提供一「含島」底材10之初始步驟。

【0015】如圖2a之示意頂視圖所示，底材10可為標準尺寸之圓形晶圓，例如直徑2英寸(50公釐)、4英寸(100公釐)或甚至200公釐。然而，本發明不限於這些尺寸或此形狀。

【0016】底材10包含載體2，其可為例如矽或藍寶石製。載體2具有主面。介電層3被設置在載體2之主表面上。介電層3可為二氧化矽、氮化矽製成，或由例如上述材料製成之一層或多層之堆疊所製成。介電層3可具有包括10奈米及數微米之間的厚度。

【0017】底材10亦包含位於介電層3上之複數個結晶半導體島狀物4(以下簡稱為「生長島狀物」)。如圖1a所示，「複數個島狀物」一詞係指由一組獨立且不連續的區域所形成的薄膜，該些區域可能由暴露出介電層3之溝槽所結合。該些島狀物可具有與彼此完全相同或相異之尺寸及／或形狀。

【0018】為了便於實施，生長島狀物4係直接設置在介電層上並與該介電層接觸。

【0019】 本發明不以任何方式限於特定性質之島狀物4，但當島狀物為III-V族材料，尤其是鬆弛或部分鬆弛之InGaN，所製時，結構10具有特別有利的應用。所述InGaN材料可包含比例在1%及20%之間的銦。每一島狀物可具有包括100奈米及200奈米之間的厚度，且在載體2所定義出之平面中具有一主要尺寸(直徑或長度取決於島狀物之形狀)，其包括數微米(例如5微米)及數公釐(例如2公釐)之間。島狀物4可彼此隔開大於或等於5微米的距離。

【0020】 因此，可形成具有島狀物4之底材10，所述島狀物之暴露表面具有包括0.3189奈米及0.3220奈米之間的晶格參數，且該些島狀物能接受III-V材料製的至少一主動層，以形成半導體元件，例如發光二極體。用於製作此種「含島」底材之方法，描述於諸如文件EP2151852及EP2151856。

【0021】 根據所製作之半導體底材之性質，亦可選擇以AlGaIn或其他材料，例如III-V族材料或詳言之，III-N族材料，形成所述複數個島狀物。

【0022】 如圖1b所示，用於集體製作複數個半導體結構之方法接著包括一步驟，其目標為在生長島狀物4上形成至少一結晶半導體層6，以下稱為「主動層」。

【0023】 為此目的，結構10可被設置於習知生長設備的腔室中。眾所周知，數道前驅氣體將流經溫度升高的腔室，運送用來製作主動層之物種。前驅氣體包含之物種流經腔室，與結構10之暴露表面產生反應。結晶主動層6將以磊晶方式逐漸形成於生長島狀物4之暴露表面上。

【0024】 生長設備可加以控制，以形成複數個結晶半導體層，以形成定義出光電主動層之堆疊。因此，作為示例，當集體製作方法的目的為生產二極體時，可在部分鬆弛之InGaIn生長島狀物(其晶格參數可大於0.3205奈米)上形成一

堆疊，該堆疊由一n型接觸層(其晶格參數與施體層之失配小於1%且厚度包括100奈米及2微米之間)、交替的量子井和阻障層(以提供大於530奈米之發射波長)及一p型接觸層(其晶格參數與InGa<sub>N</sub>島狀物之失配小於1%且具有包括10奈米及1微米之間的厚度)構成。

【0025】 在此步驟結束時，且無論已沉積之結晶半導體層之數量和性質為何，可在每一生長島狀物4的表面上獲得厚度不均勻之主動層6。在生長島狀物4的外圍周邊，主動層6材料之厚度可能更大或更小。此周邊厚度變化可從生長島狀物4的邊緣延伸一或數微米的距離。

【0026】 在接下來的步驟中，如圖1c及圖2b所示，於主動層6及島狀物4中形成溝槽7，以界定出複數個半導體結構8。所述溝槽直接穿過主動層6。生長島狀物4不必然要被溝槽7直接穿過，但在形成該些溝槽的過程中，利用介電層3作為停止層是有利的。

【0027】 溝槽7可非常簡單地使用微影及濕式或乾式蝕刻法形成。眾所皆知，所述技術是為了在底材10暴露於蝕刻劑時，使用抗蝕劑遮蔽要保留的區域。所述蝕刻劑將與主動層6及／或生長島狀物4之暴露表面產生反應，以形成溝槽7。

【0028】 在此步驟結束時，如圖1c所清楚繪示，大部分定義出的半導體結構8將包含厚度非常均勻之主動層6。

【0029】 設置在生長島狀物4周邊上的半導體結構8之厚度，在島狀物4的外圍周邊的內部，可為不均勻或厚度不同於更靠近中心的主動層的厚度。此特徵可能使該些半導體結構8無法正常運作，但只會對少數結構造成影響。

【0030】 在一有利實施方式中，可進行定義出半導體結構8的步驟，以去除生長島狀物4及主動層6之周邊區，該區的厚度被不均勻地設置在島狀物上。透過微影和蝕刻製作溝槽7時，該實施方式接著可包括不以抗蝕劑遮蔽所述周邊區，以使其暴露於蝕刻劑中。這樣可避免定義出無法正常運作之半導體結構。圖2b為該實施方式結束時所獲得之底材，其中可清楚看到島狀物4'之周邊區(在該圖中以虛線表示)已被去除。

【0031】 製作用於定義結構8之溝槽7時，寬度越小越好，例如包括0.1微米及5微米之間的寬度。

【0032】 由溝槽7所界定之半導體結構8，可為根據目標應用而指定或選定之任何形狀及尺寸。因此，當溝槽7為直線且彼此垂直相交時，半導體結構8可為正方形或長方形。然而，本發明不限於此示例，其他形狀，例如圓形或八邊形亦可。熟習本發明所屬技術領域者能夠輕易界定出溝槽7之形狀與布置，以使結構8具有選定形狀。

【0033】 半導體結構8可具有包括0.1微米及3  $\mu\text{m}$ 之間的主要尺寸(直徑或長度)。

【0034】 藉由在尺寸相對大之生長島狀物上形成主動層，並在形成主動層後定義出半導體結構(其尺寸相對小)，可將生長島狀物邊緣不均勻的影響限制在有限數目之半導體結構中，從而以高產率獲得該些結構。

【0035】 在本發明中，底材10之生長島狀物4之尺寸與形狀，完全由該底材之製作方法決定，詳言之由該方法中的鬆弛步驟決定。透過調整溝槽的形狀與布置，半導體結構8之尺寸及／或形狀係經選定而能完美符合目標應用。

【0036】換言之，本發明採用之方法允許底材10的生長島狀物4之特點與半導體結構8之特點脫鉤，此與習知方法相異。驚人的是，本發明的方法讓產率得以大幅改善。

【0037】當然，使島狀物4尺寸與結構8尺寸二者之比最大化，並使溝槽7所佔面積最小化是有利的。因此，可能的目標是在每一生長島狀物中及每一載體上，形成非常高數目的半導體結構8。這樣便可在每一生長島狀物4上製作數十甚至數百個結構8。

【0038】當然，本發明不限於所述之實施例，且對於實施例所為之各種變化，均落入以下申請專利範圍所界定之範疇。

【0039】除了本說明書詳述之步驟外，根據本發明之方法亦當然包含其他步驟，以使半導體結構能正常運作。因此，該方法可包含在主動層6的構成層(p型與n型接觸層，接續前述示例)上形成電接點、移除載體2、把結構8移轉至另一底材上，以及分割(singulating)及封裝每一結構或一組結構8。

## 【符號說明】

【0040】 2...載體

3...介電層

4、4'...島狀物

6...主動層

7...溝槽

8...半導體結構

10...底材

【生物材料寄存】

【0041】

## 【發明申請專利範圍】

【請求項1】 一種用於集體製作複數個半導體結構(8)之方法，該方法包括：

- 提供一底材(10)，其由具有一主面之一載體(2)，設置在該載體(2)之主面上之一介電層(3)，及設置在該介電層(3)上之複數個結晶半導體生長島狀物(4)所形成；以及

- 在該些結晶半導體生長島狀物(4)上形成一結晶半導體主動層(6)；

該方法之特徵在於，其包括在形成該主動層(6)之步驟後，於該主動層(6)及該些結晶半導體生長島狀物(4)中形成溝槽(7)，以界定出該複數個半導體結構(8)。

【請求項2】 如申請專利範圍第1項之方法，其中該些結晶半導體生長島狀物(4)係直接設置在該介電層(3)上並與該介電層(3)接觸。

【請求項3】 如申請專利範圍第1或2項之方法，其中該主動層(6)為一III-V族材料。

【請求項4】 如申請專利範圍第1或2項之方法，其中該些結晶半導體生長島狀物(4)為InGaN製。

【請求項5】 如申請專利範圍第1項之方法，其中形成該些溝槽(7)以暴露出該介電層(3)。

【請求項6】 如申請專利範圍第1或5項中任一項之方法，其中該些溝槽(7)具有包括0.1及5 $\mu\text{m}$ 之間的寬度。

【請求項7】 如申請專利範圍第1項之方法，其中該複數個半導體結構(8)具有包括0.1及3 $\mu\text{m}$ 之間的主要尺寸。

【請求項8】 如申請專利範圍第1或2項中任一項之方法，其中該些結晶半導體生長島狀物(4)具有包括5微米及2毫米之間的主要尺寸。

【請求項9】 如申請專利範圍第8項之方法，其中該些結晶半導體生長島狀物(4)彼此隔開大於或等於5微米的距離。

【請求項10】 如申請專利範圍第1項之方法，其包括移除至少一結晶半導體生長島狀物(4)及設置在該島狀物上的該主動層(6)之一周邊區。

【發明圖式】

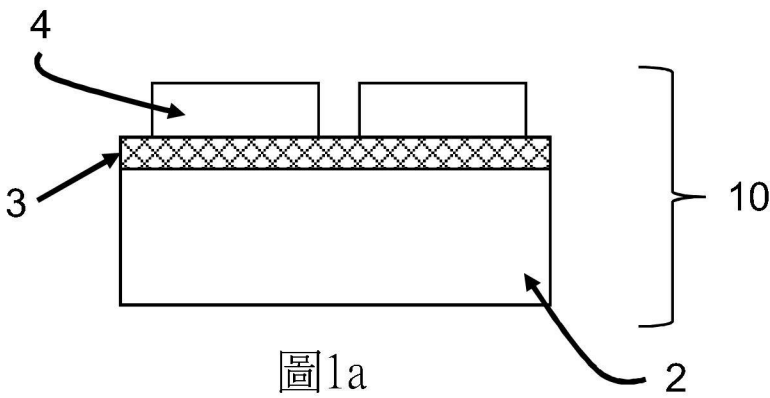


圖1a

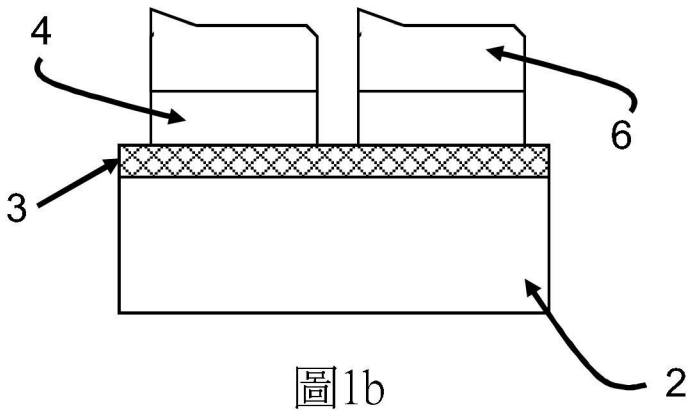


圖1b

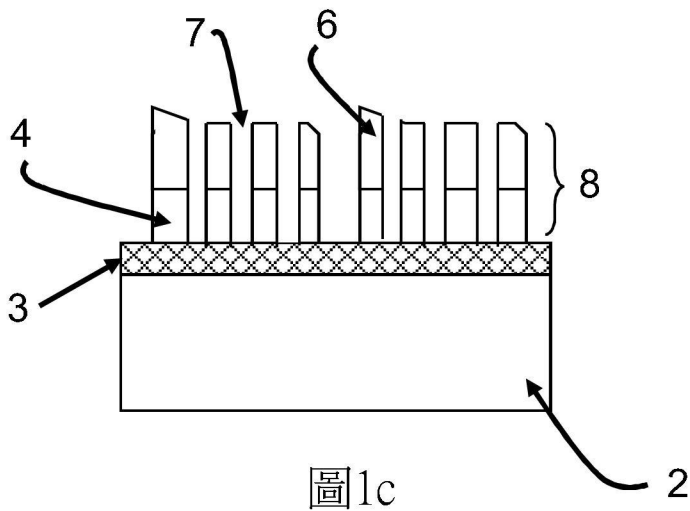


圖1c

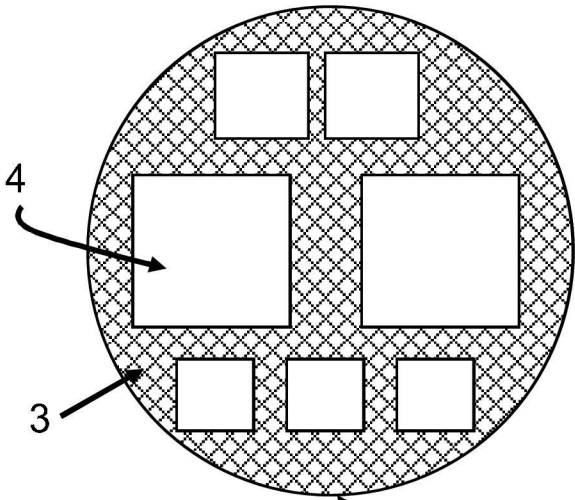


圖2a 10

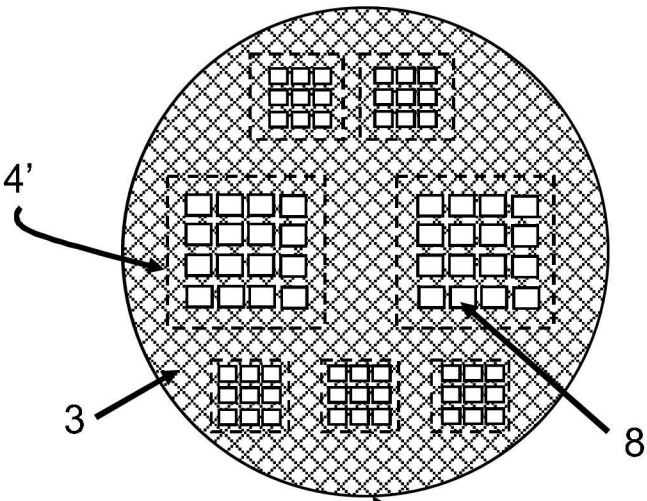


圖2b