

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4101315号
(P4101315)

(45) 発行日 平成20年6月18日 (2008. 6. 18)

(24) 登録日 平成20年3月28日 (2008. 3. 28)

(51) Int. Cl.

F I

HO 1 L 29/41 (2006. 01)

HO 1 L 21/60 (2006. 01)

HO 1 L 21/768 (2006. 01)

HO 1 L 29/44 S

HO 1 L 21/60 3 O 1 P

HO 1 L 21/90 C

請求項の数 34 (全 15 頁)

(21) 出願番号	特願平8-89657	(73) 特許権者	591236448
(22) 出願日	平成8年4月11日 (1996. 4. 11)		エスティーマイクロエレクトロニクス, インコーポレイテッド
(65) 公開番号	特開平8-298249		STMicroelectronics, Inc
(43) 公開日	平成8年11月12日 (1996. 11. 12)		アメリカ合衆国, テキサス 75006
審査請求日	平成15年4月11日 (2003. 4. 11)		, カーロルトン, エレクトロニクス
(31) 優先権主張番号	420105		ドライブ 1310
(32) 優先日	平成7年4月11日 (1995. 4. 11)	(74) 代理人	100076185
(33) 優先権主張国	米国 (US)		弁理士 小橋 正明
		(72) 発明者	ツイウ シー, チャン
			アメリカ合衆国, テキサス 75006
			, カーロルトン, カメロ ドライブ
			1633
			最終頁に続く

(54) 【発明の名称】 集積回路におけるランディングパッド構成体の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体集積回路の一部の製造方法において、
第一誘電体層を貫通して第一開口を形成して活性領域を露出させ、
前記第一開口内及び前記誘電体層の一部の上に第一ポリシリコンランディングパッドを形成し、
前記第一開口内の前記第一ポリシリコンランディングパッドの上表面の内で露出されている第一部分よりも低い第二部分の上に誘電体ポケットを形成し、
第二開口が貫通する第二誘電体層を前記第一ポリシリコンランディングパッドの一部の上に形成し且つ前記第二誘電体層は前記第一ポリシリコンランディングパッドの一部を前記活性領域上において露出させたままとし、
前記第一ポリシリコンランディングパッドの露出された部分、前記誘電体ポケット及び前記第二誘電体層の一部の上に第二ポリシリコンランディングパッドを形成し、
第三開口が貫通する第三誘電体層を前記第二ポリシリコンランディングパッドの一部及び前記第二誘電体層の一部の上に形成し、
前記第三誘電体層の第三開口内及び前記第二ポリシリコンランディングパッドの露出部分の上に導電性コンタクトを形成する、
上記各ステップを有することを特徴とする方法。

【請求項 2】

請求項 1 において、前記活性領域が 2 つの隣接したトランジスタの共通の活性領域であ

り、且つ前記2つの隣接したトランジスタの内の一方のソース領域であると共に他方のトランジスタのドレイン領域でもあることを特徴とする方法。

【請求項3】

請求項2において、前記隣接するトランジスタがメモリセルのパスゲートトランジスタであることを特徴とする方法。

【請求項4】

請求項3において、前記隣接するパスゲートトランジスタが0.6ミクロンの最大ゲート長を有することを特徴とする方法。

【請求項5】

請求項2において、前記隣接するトランジスタがメモリセルのNチャンネルプルダウントランジスタであることを特徴とする方法。

10

【請求項6】

請求項3において、前記隣接するNチャンネルトランジスタが0.5ミクロンの最大ゲート長を有することを特徴とする方法。

【請求項7】

請求項2において、前記第一誘電体層を貫通する第一開口が2つの隣接するトランジスタのうちの一方を包囲している誘電体の一部の上に開口していることを特徴とする方法。

【請求項8】

請求項2において、前記2つの隣接するトランジスタの各々のゲート電極間の距離が1.0ミクロンであることを特徴とする方法。

20

【請求項9】

請求項1において、前記第一開口が 0.5 ± 0.05 ミクロン幅であることを特徴とする方法。

【請求項10】

請求項1において、前記第一誘電体層がドーピングしていない酸化物を有することを特徴とする方法。

【請求項11】

請求項1において、前記第一誘電体層が前記第一ポリシリコンランディングパッドによって被覆されていない部分において0.15ミクロン及び前記第一ポリシリコンランディングパッドによって被覆されており且つ前記活性領域と接触している部分において0.10ミクロンの最大厚さを有していることを特徴とする方法。

30

【請求項12】

請求項1において、前記第一ポリシリコンランディングパッドが 1.1 ± 0.5 ミクロン幅であることを特徴とする方法。

【請求項13】

請求項1において、前記第二ポリシリコンランディングパッドが 1.1 ± 0.5 ミクロン幅であることを特徴とする方法。

【請求項14】

請求項1において、前記導電性コンタクトが前記第三誘電体層の上表面において0.6ミクロン幅であることを特徴とする方法。

40

【請求項15】

請求項1において、前記誘電体ポケットがスピン・オン・ガラスを有することを特徴とする方法。

【請求項16】

請求項1において、前記第一ポリシリコンランディングパッドが500乃至2000Åの間の厚さを有していることを特徴とする方法。

【請求項17】

請求項1において、前記第二ポリシリコンランディングパッドが500乃至2000Åの間の厚さを有していることを特徴とする方法。

【請求項18】

50

請求項 1 において、前記第二誘電体層がドーピングしていない酸化物を有することを特徴とする方法。

【請求項 1 9】

請求項 1 において、前記第三誘電体層が B P S G を有することを特徴とする方法。

【請求項 2 0】

請求項 1 において、前記第三誘電体層がドーピングしていない酸化物層の上側に存在する B P S G を有することを特徴とする方法。

【請求項 2 1】

請求項 1 において、前記第二誘電体層が 1 0 0 0 乃至 2 0 0 0 Å の間の厚さを有していることを特徴とする方法。

10

【請求項 2 2】

請求項 1 において、前記第三誘電体層が 3 0 0 0 乃至 1 2 0 0 0 Å の間の厚さを有していることを特徴とする方法。

【請求項 2 3】

請求項 1 において、前記導電性コンタクトがアルミニウム合金を有することを特徴とする方法。

【請求項 2 4】

請求項 1 において、前記導電性コンタクトがアルミニウム合金／バリア二重層を有することを特徴とする方法。

【請求項 2 5】

20

請求項 1 において、前記導電性コンタクトがアルミニウム合金コンタクトとその下側に存在するタングステンプラグとを有することを特徴とする方法。

【請求項 2 6】

請求項 2 5 において、前記アルミニウム合金コンタクトが前記第三開口より小さな幅を有することを特徴とする方法。

【請求項 2 7】

請求項 2 5 において、前記アルミニウム合金コンタクトが前記タングステンプラグの一部及び前記第三誘電体層の上表面の一部の上に形成されることを特徴とする方法。

【請求項 2 8】

請求項 1 において、前記第三開口の中心が前記第二ポリシリコンランディングパッドの中心からオフセットしていることを特徴とする方法。

30

【請求項 2 9】

半導体集積回路の一部の製造方法において、
基板の一部の上に複数個の装置を形成し、
少なくとも 2 つの装置の間において基板上に活性領域を形成し、
前記装置及び前記活性領域の上に誘電体層を形成し、
前記誘電体層をエッチングして前記活性領域の一部を露出させる第一開口を形成し、
前記第一開口における前記活性領域の露出部分及び前記誘電体層の一部の上にドーピングした第一ポリシリコン層を形成し、

前記第一ポリシリコン層の上にスピン・オン・ガラス層を形成し、

40

前記スピン・オン・ガラス層をエッチバックして前記第一ポリシリコン層の前記第一開口の外側の第一上表面を露出させると共に前記第一開口内に残存するスピン・オン・ガラス層の残存部分の第二上表面を前記第一上表面よりも低く設定し、

前記第一ポリシリコン層及び前記スピン・オン・ガラス層の残存部分の上にドーピングした第二ポリシリコン層を形成し、

前記第二ポリシリコン層の上に前記第二ポリシリコン層の一部を露出させる第二開口を貫通させた別の誘電体層を形成し、

前記第二開口内に導電性コンタクトを形成する、
上記各ステップを有することを特徴とする方法。

【請求項 3 0】

50

請求項 2 9 において、前記第一及び第二ポリシリコン層の一部の間で且つ前記誘電体層の上に更に別の誘電体層を形成することを特徴とする方法。

【請求項 3 1】

請求項 2 9 において、前記導電性コンタクトを前記別の誘電体層の一部の上に形成することを特徴とする方法。

【請求項 3 2】

本体の表面に形成した半導体集積回路において、

基板上に設けた複数個の装置、

少なくとも 2 つの装置の間において前記基板上に設けた活性領域、

前記装置の少なくとも一部及び前記活性領域の一部の上に設けられており且つ前記活性領域を露出させる開口が形成されている第一誘電体層、

前記活性領域の露出部分及び前記第一誘電体層の一部の上に設けた第一ポリシリコンランディングパッド、

前記第一ポリシリコンランディングパッドの前記開口内の上表面の第一部分が露出されており、前記第一ポリシリコンランディングパッドの前記第一部分よりも低い第二部分の上に設けた誘電体ポケット、

前記第一ポリシリコンランディングパッドの露出部分及び前記誘電体ポケットの上に設けた第二ポリシリコンランディングパッド、

前記第二ポリシリコンランディングパッドの露出部分の上に設けた導電性コンタクト、
を有することを特徴とする集積回路。

【請求項 3 3】

請求項 3 2 において、前記第一及び第二ポリシリコンランディングパッドの間に第二誘電体層が設けられていることを特徴とする集積回路。

【請求項 3 4】

請求項 3 2 において、前記第二ポリシリコンランディングパッドの一部の上に第三誘電体層が設けられていることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、大略、半導体集積回路及びその製造技術に関するものであって、更に詳細には、メタルコンタクト下側にランディングパッド構成体を製造する改良した方法に関するものである。

【0002】

【従来の技術】

集積回路設計においては、壊滅的な失敗に対する保護として且つ装置の電気的パラメータを保証するために製造プロセスにおける変動を許容する設計基準が必要とされている。電気的パラメータは特徴部の物理的寸法に関連している。装置の電気的一体性を維持するために、装置間においてある特徴寸法及び最小間隔即ち設計公差が維持されねばならない。例えば、マスク不整合又はホトレジスト露光における変動のために形状及び寸法が変化する場合がある。従って、使用される種々のタイプの物質及びチップ上の装置の特定の位置に対して設計基準が確立されねばならない。例えば、メタル（金属）、拡散及びポリシリコン物質に対して、及び例えばゲートに対するメタルコンタクトの間隔等のコンタクト開口に対して幅及び間隔の基準が存在している。例えば拡散領域に対するメタルコンタクトの製造において不整合が発生する場合には、コンタクトと例えばポリシリコンゲート等のその周りの装置との間の所要の間隔が侵害される場合がある。従って、必要とされる最小間隔が減少すると設計公差を充足するものではなくなり且つ装置の電気的特性を確保するものではない。

【0003】

例えばメタルコンタクトとゲートとの間において不整合又はその他の間隔に関する問題が発生する場合にメタルコンタクトによって起こされる問題を回避するために、メタルコン

10

20

30

40

50

タクトとその下側に存在する拡散領域との間にランディングパッドを形成することが可能である。ランディングパッドは、ポリシリコン層から形成することが可能であり、そのポリシリコン層の上にシリサイド層を形成してシート抵抗を低下させることが可能である。ポリシリコンに対する設計基準のために、ランディングパッドはセルの寸法を減少させることを可能とし且つより大きな不整合問題を許容する。然しながら、ランディングパッドは、その後に形成される層に対しトポグラフィ即ち地形的な問題を発生する。実際のレイアウトに依存して、ランディングパッド上に形成したコンタクト開口は、ランディングパッドなしで形成した開口よりも、一層高いアスペクト比（コンタクト開口の高さをその幅で割算したもの）を有する場合がある。アスペクト比がより大きいと、コンタクト開口を充填することが一層困難となる。

10

【0004】

集積回路の製造分野における付加的な問題、特に集積回路の特徴寸法がますます小さくなるという傾向における問題は、メタリゼーション層と半導体要素との間の電氣的コンタクト、特にアルミニウムと単結晶シリコン内の拡散接合部との間のコンタクトを高い信頼性を持って形成することである。このように困難性が増大されている理由は、アルミニウムとシリコンとは互いに接触しており、且つ集積回路の製造において必要な高温度に露呈される場合に、相互拡散する傾向があるからである。当該技術分野において公知の如く、従来の集積回路処理ステップでは、アルミニウム中のシリコンの溶解度を満足させるために、基板からのシリコンを純粋なアルミニウム内に迅速に拡散させる場合がある。基板から排出されるシリコンは新たに形成されたアルミニウム＋シリコン合金によって置換される。このアルミニウム＋シリコン合金の基板内への拡散は、シリコン内の浅いPN接合を短絡させるような深さにまで拡散する場合がある。この現象は接合スパイキングとして知られている。集積回路メタリゼーションの形成においてシリコンをドーブしたアルミニウムを使用することによって接合スパイキングを防止することが可能であるが、コンタクト接合部にシリコン団塊を形成する傾向を発生することが知られており、このような団塊は、実効的にコンタクト面積を減少させ、従ってコンタクトの導電度を著しく減少させる。

20

【0005】

従って、集積回路製造分野における最近の進展は、アルミニウム・シリコン界面において所謂「バリア」層を導入することによってなされている。従来、このバリア層はチタン・タングステン（TiW）等の耐火性金属物質又は窒化チタン（TiN）等の耐火性窒化金属である。このバリア層は、シリコンとその上側に存在するアルミニウム層との間に配設されるようにコンタクト位置に形成される。ある場合には、このバリア層は、耐火性金属を付着形成させ、次いでバリア層及び金属がシリコンと接触している箇所において金属シリサイドを形成するアニールを行なうことによって形成され、従来公知の如く、その金属シリサイドはコンタクトの導電度を改善する。いずれの場合においても、そのバリア層はアルミニウム及びシリコンの原子の相互拡散を禁止し、従って接合スパイキングの問題及びシリコン団塊形成の問題を解消している。

30

【0006】

バリア層は、アルミニウムがシリコンと直接接触している場合の問題を解消するものであるが、例えばランディングパッドと接触しているコンタクト開口等の大きなアスペクト比を有するコンタクト開口内にバリア層を一様に形成することは困難である。気相成長（CVD）及びコリメート型スパッタリングを包含する今日の付着技術を持ってしても、開口内の全ての側部、特に開口の角部を一様にコーティングすることが困難な場合が多い。バリア層が十分に厚いものでない場合には、カバレッジ即ち被覆が不適切であるためにピンホールが発生する場合があり、その結果上述した接合スパイキング問題が発生する場合がある。

40

【0007】**【発明が解決しようとする課題】**

本発明は、上述した如き従来技術の欠点を解消し、金属コンタクト開口のアスペクト比を減少させるような態様でランディングパッドを有する集積回路を製造する方法を提供する

50

ことを目的としている。本発明の別の目的とするところは、後に形成されるバリア層及び金属コンタクトの段差被覆を改善する後の処理ステップに対するより平坦性を与えるそのような方法を提供することである。本発明の更に別の目的とするところは、基板における活性領域に対するコンタクト開口の不整合を許容するそのような方法を提供することである。本発明の更に別の目的とするところは、ランディングパッド上の金属コンタクト開口の不整合を許容するそのような方法を提供することである。本発明の更に別の目的とするところは、標準プロセスを使用するそのような方法を提供することである。本発明の更に別の目的とするところは、改良した集積回路及びその製造方法を提供することである。

【0008】

【課題を解決するための手段】

本発明は、半導体装置を製造する方法及びそれによって製造される半導体装置に組込むことが可能である。本発明によれば、基板上に活性即ち拡散領域を形成する。第一開口を貫通させた第一誘電体層をその活性領域の上に形成する。第一誘電体層の上で且つ第一開口内に第一ポリシリコンランディングパッドを形成する。ポリシリコンランディングパッドの一部の上に誘電体ポケットを形成することが可能である。それを形成した場合には、誘電体ポケットはランディングパッドの導電性部分の平坦性を向上させる。ランディングパッドの一部を露出させるために開口を貫通させた第二誘電体層を第一ランディングパッドの上に形成する。第一ランディングパッドの上に第二ポリシリコンランディングパッドを形成し、この処理段階においての平坦性を改善させる。第二ランディングパッドの一部を露出する開口が貫通されている第三誘電体層を第二ランディングパッドの一部の上に形成する。次いで、第二ランディングパッドに対して金属コンタクトを形成し、下側の活性領域に対する電氣的接続を行なう。活性領域に対する第一開口の不整合は設計基準を侵害することなしに許容される。活性領域に対する開口よりも大きな幅を有するランディングパッドに対するコンタクト開口によって不整合は更に許容される。

【0009】

【発明の実施の形態】

図1乃至7を参照して、本発明の一実施例に基づくランディングパッドを有する集積回路の製造方法について詳細に説明する。図1乃至7の断面図は集積回路を製造する全体的な処理の流れの一部として本方法を示している。当業者にとって明らかな如く、本明細書において説明する部分的な処理の流れは多くのタイプの集積回路の製造において適用可能なものであって、その場合に完全なる処理の流れは当該技術分野において公知のその他の多数の処理ステップを有することが可能なものである。

【0010】

図1は部分的に製造された集積回路の一部を概略断面図で示している。本明細書において説明する実施例によれば、本発明は、例えばアルミニウム等のメタリゼーション層と例えば単結晶シリコンにおけるドーブした半導体領域等の活性領域との間にランディングパッドを形成することに関するものである。何故ならば、このようなコンタクトは、通常、ランディングパッドによって対処されるスペーシング即ち間隔に対する不整合及び設計基準及びバリア層によって対処されるスパイキング及び団塊問題に対して最も敏感だからである。勿論、本発明は、メタリゼーションとポリシリコンとの間のコンタクト等のその他のコンタクトを形成する場合にも同様に適用可能なものである。

【0011】

図1の構成はシリコン基板10を有している。基板の表面上又は表面内及び装置を分離させるために形成することの可能なフィールド酸化膜領域の上側に種々の活性装置を形成することが可能である。特定の適用例においては、基板トランジスタ12及び20がゲート酸化膜層14及び22、ゲート酸化膜層の上側に存在しており且つ典型的にポリシリコン層から形成されるゲート電極16及び24を有するものとして図示されている。一方、ゲート電極16、24は、ポリシリコン層の上にCVDによって耐火性金属シリサイドから形成されるポリサイドとすることが可能である。当該技術分野において公知の如く、典型的に、ゲート電極16、24は、側壁スペーサ28、軽度にドーブしたドレイン領域30

及びトランジスタ12に対して示したソース及びドレイン即ち拡散領域32, 34及びトランジスタ20に対して示した拡散領域34, 38を有している。拡散領域即ち活性領域34は、当該技術分野において公知の如く、装置間に共用のコンタクト36を形成することが可能である。好適実施例においては、拡散領域34は、一方のトランジスタのソースを形成し且つ隣接するトランジスタのドレインを形成する。

【0012】

拡散領域即ち活性領域34は、基板10の導電型とは反対の導電型に形成される。例えば、基板10は軽度にドーピングしたP型シリコンとすることが可能であり、且つ拡散領域34は高度にドーピングしたN型シリコンとすることが可能である。勿論、上述したように、その他の構成（同一又は反対の導電型を選択）を使用することが可能であり、例えば、基板10はCMOSプロセスにおけるウェル即ちタブ領域とすることが可能であり、該領域内には拡散領域即ち活性領域34が形成される。図1の実施例においては、拡散領域34は基板トランジスタ12, 20の両方によって取囲まれている。この実施例においては、拡散領域34は非常に浅いものであって、サブミクロン特徴寸法を持った最近の集積回路に対して一般的に行なわれているように、0.15ミクロンの程度である。そうであるから、拡散領域34は、ドーパントをイオン注入させ、次いで当該技術分野において公知の如く高温アニールを行なって接合を形成することにより形成することが可能である。一方、後の層を形成する前にイオン注入を実施することが可能であり、その場合には、ドライブインアニールは、所望により、プロセスにおける後の段階で実施する。

【0013】

好適実施例においては、トランジスタ12, 20は、夫々、キャッピング層18, 26を有することが可能である。このキャッピング層は、ポリシリコンゲート電極16, 24の上に直接的に又はポリサイドの上に形成することが可能である。このキャッピング層は誘電体即ち非導電性物質であって、好適には、ゲート電極を包囲するために形成した酸化物又は窒化物であり、そのことについては1994年10月31日付で出願した米国特許出願第08/331,691号（代理人ドケット番号94-C-86/88）により完全に記載されている。このキャッピング層は、好適には、ポリシリコンをパターン形成し且つエッチングしてゲート電極を形成する前に、ポリシリコンの上に約500乃至2000Åの間の厚さに形成する。次いで、このキャッピング層をパターン形成し且つエッチングし、ゲート電極を形成するポリシリコン残存部のみをキャッピング即ち冠着する。次いで、キャッピング層を形成した後に側壁スペーサを形成し、ゲート電極を更に包囲し且つ設計基準に対する公差を増加させ且つゲート電極と後に形成されるトランジスタゲートに隣接した導電性領域との間に十分な距離を与えることが可能である。

【0014】

付着形成させた酸化物又は別の適宜の誘電体層から形成することの可能な誘電体層40を拡散領域34及び例えばトランジスタ12, 20等のその他の既に形成した装置の上に形成する。コンタクトを設けることが所望される位置を除いて上側に存在する導電性構成体を拡散領域34及びその他の装置から電氣的に分離する目的のために形成する誘電体層40は、約500乃至2000Åの間の厚さを有することが可能である。

【0015】

図2Aに示した如く、例えば反応性イオンエッチング又は別のタイプの異方性エッチングによって、誘電体層40を貫通してコンタクト開口42を形成する。以下の説明から明らかなように、本発明のこの実施例は、拡散領域34と接触しており且つ後に形成される上側に存在するメタリゼーション層の下側に存在する上側に存在するランディングパッドの形成に関するものである。主に誘電体層40を貫通する開口42のみをエッチングするために、誘電体層40をマスクする。誘電体層40をマスクすることなしにエッチングする場合には、基本的には開口と同一の速度で誘電体層40の上表面が垂直にエッチングされる。この場合には、図2Bに示した如く、第二側壁酸化物スペーサ39が側壁スペーサ28の側部に沿って形成される。これらの第二側壁スペーサ39は、活性領域即ち拡散領域34に対して形成されるべき自己整合されたコンタクトを提供し、且つポリシリコンゲ

10

20

30

40

50

ト 1 6, 2 4 の端部とコンタクト開口 4 2 の端部との間の距離を増加させる。然しながら、ポリシリコンゲート 1 6, 2 4 の上部から上側に存在する導電性層への距離はキャッピング層 1 8, 2 6 の厚さに依存する。何故ならば、この実施例においては、キャッピング層の上側に存在する誘電体層 4 0 の水平方向部分は、基本的に誘電体層 4 0 の垂直部分と同一の速度でエッチングされるからである。

【0016】

図 2 A を参照すると、拡散領域 3 4 に対してコンタクト開口 4 2 が不整合であると、例えば側壁スペーサの上方に開口がある場合には、ゲート電極 1 6, 2 0 の端部とコンタクト開口 4 2 の側部との間のコンタクトスペース（空間）を減少させる場合がある。コンタクト開口の不整合によって、例えばトランジスタ 1 2, 2 0 のいずれかの側壁スペーサ 2 8 又は 3 9（図 2 B に示した如く）の上方に開口が存在すると、これらの活性区域の間の距離は、ゲートに対するメタルコンタクトのスペース（空間）に対する設計基準が充足されず且つ装置の歩留まりが減少させるのに十分な程度にまで減少される場合がある。更に、コンタクト開口 4 2 の不整合は開口のアスペクト比を増加させ、メタルコンタクトに対する段差被覆問題を増加させる。誘電体層 4 0 のエッチング期間中に開口 4 2 の不整合が側壁スペーサを除去することを防止するために、これらの側壁スペーサ 2 8 は窒化物から形成することが可能である。好適実施例においては、コンタクト開口 4 2 内に所定の物質を形成し、その場合にコンタクトスペース（空間）即ちコンタクト 4 2 の側部がゲート 1 2, 2 0 の端部に対する間隔に対する設計基準が充足され、一方表面トポグラフィに対する平坦性を向上させ、バリア層及びメタルコンタクトを一様に形成することを可能とする。

【0017】

図 2 A 乃至 4 を参照して、図 2 A に続く本発明について更に説明する。然しながら、当業者にとって明らかな如く、本発明は、図 2 B に示したような第 2 側壁スペーサと共に実施することが可能である。図 2 A を参照すると、ポリシリコン層 4 4 を誘電体層 4 0 の上及び拡散領域 3 4 と接触させてコンタクト開口 4 2 内に形成する。ポリシリコン層 4 4 は、好適には、約 500 乃至 2000 Å の厚さであり、且つ、好適には、例えばイオン注入又はその他の適宜の方法によって、拡散領域 3 4 と同様なドーパントでドーピングしたインシチュー即ち現場でのドーピングしたポリシリコンとして付着形成させる。この実施例においては、拡散領域 3 4 が N+ である場合には、ポリシリコン層 4 4 はこの層のコンタクト抵抗を減少させ且つ拡散領域 3 4 に対して適切な電氣的経路を与えるために十分なドーピングレベルでドーピングさせた N+ インシチュー（現場での）ドーピングしたポリシリコンとすることが可能である。この実施例においては、ドーピングレベルは形成された時点で約 10^{20} イオン数/cm³ である。平坦化を向上させるが活性領域 3 4 に対して適切な電氣的接続を与える比較的薄いポリシリコン層 4 4 を与えるために、コンフォーマル（適合性）ポリシリコンはコンタクト開口 4 2 を充填するものではない。誘電体層 4 6 をポリシリコン層 4 4 の上に形成するが、好適には、スピン・オン・ガラス又はその他の適宜の平坦化用物質を使用して形成する。

【0018】

図 3 を参照すると、誘電体層をエッチバックして開口 4 2 内に存在することのないポリシリコン層の上部部分を露出させる。このエッチバックはポリシリコンの上表面より低い区域において誘電体物質からなるポケット 4 8 を形成する。誘電体層はこの製造段階においてウエハの平坦化を増加させ且つポケット内に形成することが容易である。ポリシリコン層 4 4 によって被覆されている種々の装置の高さ及びこれらの装置の間の距離及びウエハ上にスピン付着させた SOG 物質の量に依存して、SOG のエッチバックによって、図 4 に示した如く、SOG 4 8' からなる種々の寸法のポケットを残存させることが可能である。

【0019】

図 5 を参照すると、ポリシリコンランディングパッド 4 4 の上に第二誘電体層 5 0 を形成し、その場合に、好適には、ドーピングしていない酸化物を約 1000 乃至 2000 Å の間の厚さに付着形成させる。一方、この誘電体は種々の誘電体物質の複合物とすることが可能

である。一例として、層 50 は付着形成させた薄い酸化物で密封された SOG とすることが可能であり、その付着形成させた薄い酸化物自身は、これも付着形成した薄い酸化物で密封した第二 SOG によって被覆させることが可能である。酸化物下側の SOG は平坦化を向上させる傾向があり、且つ該酸化物は爾後の高温処理ステップ期間中に SOG を保護する。誘電体層 50 内に開口を形成し、ランディングパッド 44 の一部を露出させる。誘電体層 50 がこの処理段階においてウエハの平坦化を向上させ、一方第一ポリシリコンランディングパッド 44 に対してコンタクトを形成することを可能とする。当業者によって理解されるように、この時点においてウエハ上のその他の区域に対し誘電体 50 を介してその他の開口を形成することが可能である。

【0020】

第一ランディングパッド 44 の露出部分及び誘電体層 50 の上に第二ポリシリコン層 52 を形成する。ポリシリコン層 52 は、好適には、ポリシリコンランディングパッド 44 と同様のドーパントでドーパさせたインシチュー（現場での）ドーパしたポリシリコンとして付着形成させる。別法としては、ポリシリコン層 52 は形成した場合に未ドーパ状態のものとするのが可能である。ランディングパッド 44 の上側ではなくドーパしていないポリシリコン層 52 の上にホトレジスト層（不図示）を形成することが可能である。次いで、ポリシリコン層 52 を適宜のドーパントでドーパすることが可能であり、この場合に、好適には、イオン注入又はその他の適宜の方法によってポリシリコン 52 の接触抵抗を低下させ且つランディングパッド 44 を介して拡散領域 34 に対し適切な導電経路を形成することが可能である。

【0021】

第二ポリシリコン層 52 をパターン形成し且つエッチングして第一ランディングパッド 44 の上に第二ランディングパッドを形成する。誘電体層 50 及び第二ポリシリコンランディングパッド 52 を形成する前に、ポリシリコンランディングパッド 44 上方のコンタクトのアスペクト比はいまだにかなり高く、その場合にメタルコンタクトのステップカバレッジ（段差被覆）はいまだに最大のものとはされていない。第二ランディングパッド 52 を設け且つ第一及び第二ランディングパッドの間に誘電体 50 を設けることによって、平坦性が向上され且つコンタクト開口のアスペクト比が減少させる。更に、ポリシリコン間に誘電体を設けた二重ランディングパッドが付加的なマスキング層なしで形成される。二重ランディングパッド 44, 52 は必要とされる幾何学的形状がより小さいものであるとか活性領域 34 上方のコンタクト開口の不整合等のファクタによって発生される開口 42 におけるコンタクト端部とゲート 12, 20 のトランジスタゲート端部との間の間隔等の間隔に対する適切な設計基準を提供する。

【0022】

第三誘電体層 58 をランディングパッド 52 及び第二誘電体層 50 の上に形成する。この第三誘電体層 58 は、例えば、この処理段階においてのウエハの表面の平坦化を助けるために、例えばスピン・オン・ガラス又はボロン・リン酸ガラス (BPSG) 等のガラス層又は多層膜とすることが可能である。多層膜の一例としては BPSG 層 56 の下側に形成したドーパしていない酸化物 54 とすることが可能である。このドーパしていない酸化物は、爾後の処理ステップ期間中にチップの区域を保護する場合の助けとなり、特に、BPSG 層が、第一誘電体層 40 によって被覆されていない場合のある活性区域上に直接形成することを防止することに貢献する。誘電体層 58 は下側に存在するトポグラフィ（地形）に依存する厚さを有しており、且つ約 3000 乃至 12000 Å の間の厚さとするのが可能である。誘電体層 58 を貫通して開口 59 を形成し、ランディングパッド 52 の一部を露出させる。BPSG が第二誘電体層 58 に対して使用される場合には、当該技術分野において公知の如く、それをリフローさせて開口 59 の角部を丸めることが可能である。

【0023】

導電層を誘電体層 58 の上及び開口 59 内に形成し、パターン形成し且つエッチングして導電性コンタクト 62 を形成する。コンタクト 62 は、典型的には、当該技術分野におい

10

20

30

40

50

て公知の如く、アルミニウム合金又はアルミニウム合金の下側にバリア層 60 が存在する複合構成体である。メタルコンタクト下側に形成したバリア層は、ストレス誘起型マイグレーション及びエレクトロマイグレーションと呼ばれる公知の消耗傷害メカニズムを減少させるために必要な場合がある。耐火性金属又は耐火性窒化金属からなる薄いバリア層 60 を、スパッタリング又はその他の適宜の方法にによって約 400 乃至 1000 Å の厚さに開口 59 内及び誘電体層 58 の上に付着形成させることが可能である。当該技術分野において公知の如く、バリア層 60 は、好適には、窒化チタン又はその他の適宜の耐火性窒化金属から形成することが可能であり、又はチタン、チタン・タングステン又はその他の適宜の耐火性金属から形成することが可能である。バリア層は、一方、耐火性金属及びその上に形成した耐火性窒化金属から形成することが可能であり、例えば、チタン層の上に窒化チタンを形成することが可能である。バリア層 60 の物質及び厚さは上側に存在する導電層と下側に存在するランディングパッド 52 との間での原子の拡散を防止するために処理条件を最適化すべく選択することが可能である。

10

【0024】

図 6 を参照すると、コンタクト 62 は、二重ランディングパッド 44 及び 52 を介して拡散領域 34 への電氣的接続を行なっている。この実施例に示した如く、誘電体層 40 を介しての下側コンタクト開口の幅及び位置の不整合、実効的には、キャッピング層 18 を貫通するポリシリコンゲート電極 16 上方の開口が、コンタクト開口の端部とトランジスタ 12 の端部との間の距離を減少させている。より厳しい不整合問題が発生し、付加的なスペース即ち間隔の問題を発生させる場合がある。更に、不整合が増加すると開口のアスペクト比を増加させ、付加的な段差被覆問題を発生させる。然しながら、金属の代わりに開口内にポリシリコン 44 が形成されている場合には、ゲートに対するメタルコンタクトのスペース即ち間隔に対する設計基準は侵害されることはなく、同時に、ポリシリコンのコンフォーマル即ち適合的な付着がコンタクト開口の底部を充填する。

20

【0025】

誘電体層 40 を貫通する下側コンタクト開口の不整合と比較して、図 6 に示したようなランディングパッド 52 上方の上側コンタクト開口 59 の幅及び位置の不整合はそれほど問題ではない。ランディングパッド 44、52 をコンタクト 62 と活性領域 34 との間に形成した場合には、ゲートとコンタクトとの間のスペース即ち間隔に対する設計基準が維持される。従って、ランディングパッド 44、52 の上側にはより幅広及び／又はより浅いコンタクト開口 59 を形成することが可能であり、従って例えばアルミニウム又はコンタクト金属の下側にバリア層を設けたその他の適宜のコンタクト金属等のコンタクト金属の付着形成を容易化させる。コンタクト開口の側部及び底部に沿って、より詳細には、角部においてより一様に形成することが可能である。更に、設計基準を侵すことなしにランディングパッド 52 上方のコンタクト開口 59 の幾らかの不整合は許容することが可能であり、そのような金属コンタクトに対するコンタクト開口 59 の不整合は拡散領域 34 において、この実施例においては、トランジスタ 12 と 20 との間においては許容することは不可能である。

30

【0026】

ポリシリコン間に誘電体を設けた二重ポリシリコンランディングパッドは、平坦性を向上させると共に上側の金属コンタクトに対するアスペクト比を減少させることによってバリア及び金属コンタクトの段差被覆を改善させるという利点を有している。ポリシリコンランディングパッド 44 と 52 との間に誘電体を設けることにより平坦性は更に向上させる。更に、基板トランジスタに対して窒化物スペーサを使用し、ポリシリコン用のコンタクト開口を活性区域コンタクトに対して自己整合させその際に必要とされる設計基準を侵すことなしに全体的なセル区域を減少させることが可能である。

40

【0027】

図 7A 乃至 7C を参照すると、特に、ポリシリコンランディングパッド 52 の上方に高いアスペクト比のコンタクト開口 59 が存在する場合には、別の導電性コンタクトを形成することが可能である。図 7 を参照すると、好適にはタングステンからなるプラグ 64 を C

50

VDによって形成し且つエッチバックして誘電体層58の上表面を露出させることが可能である。この点については1985年4月10日付で出願した米国特許第4,592,802号により完全に記載されている。エッチバックの後に、例えばアルミニウム合金からなる導電層を形成し、且つ当該技術分野において公知の如くパターン形成すると共にエッチングして、導電性プラグ64と後に形成される上側の導電性領域との間に導電性コンタクト66を形成することが可能である。タングステンプラグを形成することによって、プラグ64及び誘電体層58の上側により薄く且つ小さなアルミニウムコンタクト66を形成することが可能である。図7Bに示した如く、コンタクト66の不整合、又は図7Cに示した如くコンタクトの過小寸法が発生し、それが尚且つ装置の一体性を維持している場合がある。オフセットが発生するか又は導電性コンタクト66の幅が開口59の幅よりも小さい場合には、コンタクト66がパターン形成され且つエッチングされる場合にタングステンはエッチストップとして作用する。

10

【0028】

次に、図8及び9を参照して、本発明をサブミクロンの幾何学的形状に適用するのに望ましいことについて説明する。本プロセスは未来の技術における非常に小さな幾何学的形状に対して非常に向いていることが判明した。特徴寸法を減少させることの必要性はより小さな装置寸法とさせている。新たな世代において減少されるべき最も重要な寸法のうちの1つはトランジスタの最小ゲート長である。図8を参照すると、例えば0.5ミクロン技術に対する典型的なゲート長は、Nチャンネルプルドアウントランジスタ70及び70'に対しては0.5ミクロンであり、一方図1及び8に示したようなパスゲート即ちトランスファゲートトランジスタ12,20は、メモリセル72の安定性を維持するために0.5ミクロンよりも大きなものであることが必要とされる。パスゲート16,24及びそれらのセル相補物16'及び24'が当該技術分野において公知の如くメモリセル72からの読取りを行ない且つそれに対しての書込みを行なうためにワードライン(WL)からターンオン及びオフされると、Nチャンネルトランジスタは不所望の状態へ変化してはならない。このことを達成するために、Nチャンネルゲート長はより小さなもの、例えば0.5ミクロンとされ、一方トランスファゲート長はより大きなもの、例えば0.6ミクロンとされる。適宜のゲート長は、パスゲートトランジスタがターンオン及びオフされる期間中にNチャンネルトランジスタが安定状態に維持されることを可能としながら、Nチャンネルトランジスタがパスゲートトランジスタよりも一層低いインピーダンス及び一層大きな利得を維持することを可能とする。

20

30

【0029】

図9を参照すると、この場合には、パスゲートトランジスタ12,20に対するゲート長が0.6ミクロンとして示されている。この長さは、設計基準が維持される限り全体的な幾何学的形状を減少させることにより更に減少させることが可能である。問題となる1つの重要な設計基準はゲートと金属コンタクトとの間のスペース即ち間隔である。例えば、ポリシリコンゲート電極16の端部とコンタクト開口42の端部との間には十分な距離が存在せねばならない。この実施例においては、側壁スペーサ28は0.15ミクロンの幅であり且つ酸化物層40は開口42の底部近くにおいて0.10ミクロンの幅であり且つキャッピング層18の上部上においては0.15ミクロンの厚さである。本実施例においては0.2ミクロンの厚さを有するものとして示されているキャッピング層18が形成されなかった場合には、側壁スペーサ28はより小さなものとなる。キャッピング層18は、特に、図7に示した如く、開口42が不整合となり且つゲート電極16又は側壁スペーサ28の上方において酸化物層40を貫通して開口する場合に、ゲート電極16と開口42内に形成されたコンタクトとの間の距離を増加させることに貢献する。

40

【0030】

本実施例においては、トランジスタ12と20との間の最小スペース(間隔)は1.0ミクロンである。従って、側壁スペーサ28及び酸化物領域40の幅を差引いた後のコンタクト開口は0.5ミクロンである。従って、ポリシリコンをコンフォーマル即ち適合的に付着形成し且つパターン形成してランディングパッド44を形成する準備がなされる。ポ

50

リシリコンゲート16又は24とポリシリコンランディングパッド44との間に必要とされる距離は維持され、短絡回路が形成されることがないことを確保する。本実施例においては、ランディングパッド44は 1.0 ± 0.05 ミクロン又は最大幅が1.1ミクロンであるようにパターン形成される。好適実施例においては、図7に示した第二ポリシリコンランディングパッド52をパターン形成し、第一ポリシリコンランディングパッド44と同一の寸法とさせる。

【0031】

図6を参照すると、導電性コンタクト62の幅が0.6ミクロンとして示されている。この寸法は下側に存在するトポグラフィ（地形）及び臨界的な寸法と共に上側に形成されるべき領域とそれと関連する寸法の両方によって決定される。然しながら、図7Aから理解することが可能であるように、タングステンプラグの上にアルミニウム層66を形成する場合には、零包囲を達成することが可能であり、その場合には、アルミニウムの幅は開口59の幅と同じか又はそれ以下（図7C参照）である。

【0032】

より小型の幾何学的形状に対するその他の所望な最大寸法を、本発明を将来の技術に適用可能な状態を示した図9に図示してある。

【0033】

以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図2A】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図2B】 第二側壁スペーサを使用する変形例を示した概略断面図。

【図3】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図4】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図5】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図6】 本発明の一実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図7A】 本発明の別の実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図7B】 本発明の別の実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図7C】 本発明の別の実施例に基づいて半導体集積回路を製造する一段階における状態を示した概略断面図。

【図8】 本発明の一実施例に基づいて構成した半導体集積回路を示した概略図。

【図9】 図8に示した半導体集積回路の一部を示した概略断面図。

【符号の説明】

- 10 シリコン基板
- 12, 20 基板トランジスタ
- 14, 22 ゲート酸化膜層
- 16, 24 ゲート電極
- 28 側壁スペーサ
- 30 軽度にドーピングしたドレイン領域
- 32, 34, 38 拡散領域

10

20

30

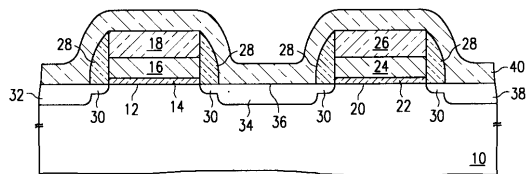
40

50

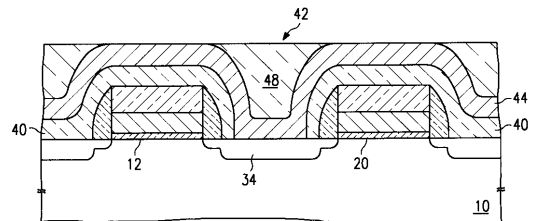
- 36 共用コンタクト
- 40 誘電体層
- 42 コンタクト開口
- 44 ポリシリコン層
- 44 第一ランディングパッド
- 48' SOG
- 50 誘電体層
- 52 第二ポリシリコン層
- 52 第二ランディングパッド
- 56 BPSG層
- 58 第三誘電体層
- 59 開口
- 60 バリア層
- 62 導電性コンタクト
- 64 プラグ
- 66 アルミニウムコンタクト

10

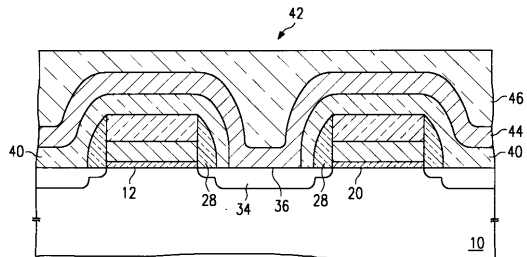
【図 1】



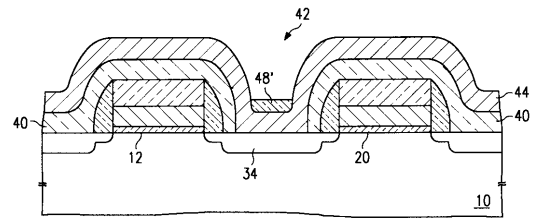
【図 3】



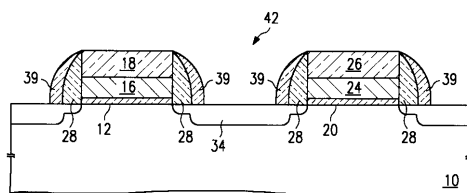
【図 2 A】



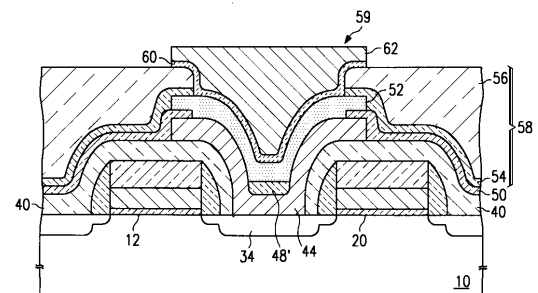
【図 4】



【図 2 B】



【図 5】



フロントページの続き

- (72)発明者 フランク アール. ブライアント
アメリカ合衆国, テキサス 76201, デントン, クレストウッド 2125
- (72)発明者 ロイ エヌ. ニューエン
アメリカ合衆国, テキサス 75007, カーロルトン, ブライトン ドライブ 1724
- (72)発明者 アーサー ビイ. バラシンスキー
アメリカ合衆国, テキサス 75287, ダラス, ハバーウッド レーン 4849, ナ
ンバー 306

審査官 安田 雅彦

- (56)参考文献 特開昭62-272555 (JP, A)
特開平02-208964 (JP, A)
特開平03-016220 (JP, A)
特開平03-073531 (JP, A)
特開平02-211662 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/28
H01L 29/41
H01L 21/768