

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年10月22日(22.10.2009)

PCT

(10) 国際公開番号
WO 2009/128123 A1

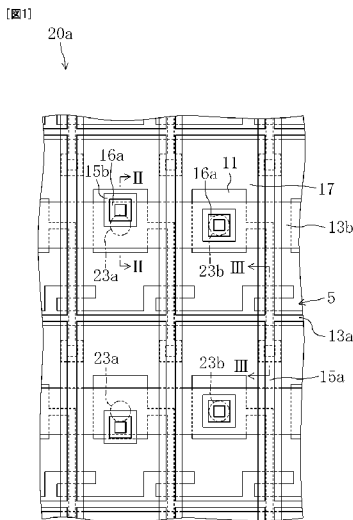
- (51) 国際特許分類:
G02F 1/1339 (2006.01) G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2008/003825
- (22) 国際出願日: 2008年12月17日(17.12.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-104575 2008年4月14日(14.04.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 守屋由瑞 (MORIYA, Yoshimizu). 海瀬泰佳 (KAISE, Yasuyoshi). 吉田裕志 (YOSHIDA, Hiroshi). 田坂泰俊 (TASAKA, Yasutoshi).
- (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(54) Title: LIQUID CRYSTAL DISPLAY PANEL

(54) 発明の名称: 液晶表示パネル



(57) Abstract: A liquid crystal display panel in which an active matrix substrate (20a) includes plural switching elements (5), an insulating film having through-holes (16a) provided so as to cover the respective switching elements (5), and plural pixel electrodes (17) provided above the insulating film and connected to the respective switching elements (5) via the through-holes (16a) and in which an opposite substrate includes photo spacers (23a) for maintaining the thickness of a liquid crystal layer, comprises a first pixel row formed by arranging plural pixels in which each of the photo spacers (23a) is disposed so as to overlap one end of the through-hole (16a) and a second pixel row formed by arranging plural pixels in which each of the photo spacers (23a) is disposed so as to overlap the other end of the through-hole (16a).

(57) 要約: アクティブマトリクス基板(20a)が、複数のスイッチング素子(5)と、各スイッチング素子(5)を覆うように設けられたスルーホール(16a)を有する絶縁膜と、その絶縁膜上に設けられスルーホール(16a)を介して各スイッチング素子(5)にそれぞれ接続された複数の画素電極(17)とを備え、対向基板が液晶層の厚さを保持するためのフォトスペーサ(23a)を備えた液晶表示パネルであって、フォトスペーサ(23a)がスルーホール(16a)の一方端に重なるように配置された複数の画素を配列してなる第1画素列と、フォトスペーサ(23a)がスルーホール(16a)の他方端に重なるように配置された複数の画素を配列してなる第2画素列とを備えている。

WO 2009/128123 A1

明 細 書

液晶表示パネル

技術分野

[0001] 本発明は、液晶表示パネルに関し、特に、基板に柱状に形成されたフォトスペーサによりセル厚が保持される液晶表示パネルに関するものである。

背景技術

[0002] 液晶表示パネルは、互いに対向して配置された一对の基板と、それらの両基板の間に設けられた液晶層とを備えている。そして、液晶表示パネルでは、上記一对の基板の間に設けられたスペーサによって、上記液晶層の厚さ、すなわち、セル厚が一定に保持されている。ここで、上記スペーサとしては、上記一对の基板の一方に散布して配置されるビーズ状のスペーサが従来より用いられてきたが、近年、セル厚の均一性を高めるために、上記ビーズ状のスペーサに代えて、上記一对の基板の一方にフォトリソグラフィにより形成して配置される柱状のフォトスペーサが用いられている。

[0003] 例えば、特許文献1には、画素内にスペーサ機能を有すると共に液晶分子の配向を規制する突起を備えた反射透過型の液晶表示装置及びその方法が開示されている。

特許文献1：特開2006-330602号公報

発明の開示

発明が解決しようとする課題

[0004] ところで、アクティブマトリクス駆動方式の液晶表示パネルは、上記一对の基板として、アクティブマトリクス基板及び対向基板を備えている。

[0005] 図11は、従来のアクティブマトリクス基板120の平面図である。

[0006] アクティブマトリクス基板120は、図11に示すように、マトリクス状に設けられた複数の画素電極117と、各画素電極117の短辺に沿って互いに平行に延びるように設けられた複数のゲート線113aと、各画素電極117の長辺に沿って互いに平行に延びるように設けられた複数のソース線

115と、各ゲート線113aに沿って互いに平行に延びるように設けられた複数の容量線113bと、各ゲート線113a及び各ソース線115の交差する部分にそれぞれ設けられ、各画素電極117にそれぞれ接続された複数の薄膜トランジスタ（以下、TFTと称する）105とを備えている。そして、画像の最小単位である各画素において、TFT105と画素電極117とは、図11に示すように、TFT105上の樹脂膜（不図示）に形成されたスルーホール116aを介して接続されている。ここで、図11では、対向基板に形成されたフォトスペーサ123a（及び123b）を2点鎖線で示している。なお、フォトスペーサ123bは、フォトスペーサ123aよりも低く形成されているので、パネル表面が押圧されたときにアクティブマトリクス基板の表面に当接してセル厚を保持すると共に、液晶滴下注入法により製造された液晶表示パネルにおいては、パネル表面に低温衝撃が負荷されたときに気泡が生じ難いように構成されている。

[0007] 上記のように、フォトスペーサ123aを対向基板に形成した場合には、アクティブマトリクス基板120及び対向基板を貼り合わせる際のずれなどにより、アクティブマトリクス基板120に凹状に形成されたスルーホール116aの内部に、対向基板のフォトスペーサ123aの頭部が落ち込むおそれがある。そうすると、フォトスペーサ123aの頭部がスルーホール116aの内部に落ち込んだ領域では、セル厚が狭くなり、セル厚が一定に保持されなくなるので、フォトスペーサ123aによる安定したセル厚制御が困難になってしまう。

[0008] そこで、図11に示すように、アクティブマトリクス基板120に形成されたスルーホール116aと、対向基板に形成されたフォトスペーサ123aとを平面視で離間して配置させることにより、アクティブマトリクス基板120のスルーホール116aの内部に、対向基板のフォトスペーサ123aの頭部が落ち込まないようにすることが考えられる。具体的に液晶表示パネルでは、画素の高精細化に伴って、各ソース線115の間隔が益々狭くなっているため、フォトスペーサ123a又はスルーホール116aを、平面

視で透過領域に突出して形成することにより、スルーホール116aとフォトスペーサ123aとを平面視で離間させることになる。ここで、図11において、透過領域は、隣り合う一对のゲート線113aと隣り合う一对のソース線115とに囲まれた領域のうち、容量線113b及びTFT105に重ならない領域であり、例えば、バックライトからの光を透過して、画像表示に有効な領域である。そして、フォトスペーサ123a又はスルーホール116aを平面視で透過領域に突出させると、その透過領域に突出した部分が画像表示に有効でなくなるので、画素の開口率が低下してしまう。例えば、フォトスペーサ123aが透過領域に突出して形成された場合には、フォトスペーサ123aの近傍で液晶層の配向が乱れ易いので、その領域を遮蔽することにより、画素の開口率が低下してしまう。また、スルーホール116aが透過領域に突出して形成された場合には、スルーホール116aの近傍で液晶層の配向が乱れ易く、上記と同様に、画素の開口率が低下してしまう。また、フォトスペーサ123a及びスルーホール116aの近傍の液晶層の配向が乱れた領域では、光漏れが発生して、コントラストの低下も懸念される。

[0009] このように、従来の液晶表示パネルでは、スルーホール及びフォトスペーサの配置により、セル厚制御の安定性を保持して、画素の開口率を保持することが困難であった。

[0010] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することにある。

課題を解決するための手段

[0011] 上記目的を達成するために、本発明は、フォトスペーサがスルーホールの一方端に重なるように配置された第1画素列と、フォトスペーサがスルーホールの他方端に重なるように配置された第2画素列とを備えるようにしたものである。

[0012] 具体的に本発明に係る液晶表示パネルは、アクティブマトリクス基板と、

上記アクティブマトリクス基板に対向して配置された対向基板と、上記アクティブマトリクス基板及び対向基板の間に設けられた液晶層とを備え、上記アクティブマトリクス基板が、第1の透明基板に設けられた複数のスイッチング素子と、該各スイッチング素子を覆うように設けられた絶縁膜と、該絶縁膜上にマトリクス状に設けられ、該絶縁膜に上記各スイッチング素子毎に形成されたスルーホールを介して該各スイッチング素子にそれぞれ接続された複数の画素電極とを備え、上記対向基板が、第2の透明基板に起立するように設けられ上記液晶層の厚さを保持するためのフォトスペーサを備え、上記各画素電極に対応して複数の画素がマトリクス状に規定された液晶表示パネルであって、上記フォトスペーサが上記スルーホールの一方端に重なるように配置された複数の画素を配列してなる第1画素列と、上記フォトスペーサが上記スルーホールの他方端に重なるように配置された複数の画素を配列してなる第2画素列とを備えていることを特徴とする。

- [0013] 上記の構成によれば、フォトスペーサがスルーホールの一方端に重なるように配置された複数の画素を配列してなる第1画素列と、フォトスペーサがスルーホールの他方端に重なるように配置された複数の画素を配列してなる第2画素列とを備えているので、アクティブマトリクス基板及び対向基板を貼り合わせる際のずれなどにより、仮に、第1画素列において、対向基板のフォトスペーサの頭部がアクティブマトリクス基板のスルーホールの内部に落ち込んだとしても、第2画素列において、対向基板のフォトスペーサの頭部がアクティブマトリクス基板のスルーホールの内部に落ち込まないことになる。そして、この場合、第2画素列の各画素における対向基板のフォトスペーサの頭部がアクティブマトリクス基板のスルーホールの外側の画素電極に当接することにより、セル厚が確実に保持されるので、フォトスペーサによるセル厚制御の安定性が保持される。また、フォトスペーサがスルーホールの一方端又は他方端に重なるように配置されているので、平面視でのフォトスペーサ及びスルーホールの間隔が狭くなる。これにより、フォトスペーサ又はスルーホールが透過領域に突出することが抑制されるので、画素の開

口率の低下が抑制される。したがって、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することが可能になる。

- [0014] 上記第1画素列及び第2画素列は、互いに隣り合ってもよい。
- [0015] 上記の構成によれば、第1画素列及び第2画素列が互いに隣り合っているので、具体的に、隣り合った画素列の一方でセル厚が確実に保持されることになる。
- [0016] 上記絶縁膜は、樹脂膜であってもよい。
- [0017] 上記の構成によれば、絶縁膜が一般的に無機絶縁膜よりも肉厚な樹脂膜であるので、絶縁膜に形成されるスルーホールが深く、その内壁が上方に向かって広がるように傾斜して形成され、安定したセル厚制御が懸念されるものの、上記のように、第1画素列及び第2画素列を備えているので、安定したセル厚制御が可能になる。
- [0018] 上記フォトスペーサは、第1フォトスペーサと、該第1フォトスペーサよりも低く形成された第2フォトスペーサとを有していてもよい。
- [0019] 上記の構成によれば、第2フォトスペーサが第1フォトスペーサよりも低く形成されているので、通常時には、第1フォトスペーサの頭部がアクティブマトリクス基板の表面に当接してセル厚が保持され、パネル表面が押圧された押圧時には、第2フォトスペーサの頭部がアクティブマトリクス基板の表面に当接してセル厚が保持されると共に、液晶滴下注入法により製造された液晶表示パネルにおいては、全てのフォトスペーサが上記第1フォトスペーサである場合よりも、各フォトスペーサと第2の透明基板との弾性特性の差異が小さくなり、パネル表面に低温衝撃が負荷されても、第2の透明基板の撓みに追随して各フォトスペーサも撓むことにより、両者の間に微小空間などが形成され難くなり、気泡の発生が抑制されることになる。
- [0020] 上記フォトスペーサは、上記液晶層の配向中心となるように構成されていてもよい。
- [0021] 上記の構成によれば、フォトスペーサが液晶層の配向中心となるので、VA (Vertical Alignment) 方式の液晶表示パネルにおいて、フォトスペーサ

がセル厚を保持すると共に、液晶層の配向を規制することになる。

- [0022] 上記アクティブマトリクス基板は、互いに平行に延びるように設けられた複数のゲート線と、該各ゲート線に交差する方向に互いに平行に延びるように設けられた複数のソース線と、上記各ゲート線に沿って互いに平行に延びるように設けられた複数の容量線とを有し、上記フォトスペーサ及びスルーホールは、上記各ソース線に沿って各容量線に重なるように配置されているもよい。
- [0023] 上記の構成によれば、フォトスペーサ及びスルーホールが各ソース線に沿って各容量線に重なるように配置されているので、各ソース線の間隔が狭く設定された高精細な液晶表示パネルにおいて、画素の開口率の低下が具体的に抑制される。
- [0024] 上記アクティブマトリクス基板は、互いに平行に延びるように設けられた複数のゲート線と、該各ゲート線に交差する方向に互いに平行に延びるように設けられた複数のソース線と、上記各ゲート線に沿って互いに平行に延びるように設けられた複数の容量線とを有し、上記フォトスペーサ及びスルーホールは、上記各ゲート線に沿って各容量線に重なるように配置されているもよい。
- [0025] 上記の構成によれば、フォトスペーサ及びスルーホールが各ゲート線に沿って各容量線に重なるように配置されているので、各ソース線の間隔が狭く設定された高精細な液晶表示パネルにおいて、画素の開口率の低下が具体的に抑制されると共に、例えば、スイッチング素子として設けられた各TFTの半導体層のドレイン領域に接続された各ドレイン接続電極と各ソース線との間隔が広く設計されるので、各ドレイン接続電極と各ソース線との間における同層間のリーク不良などが抑制される。
- [0026] また、具体的に本発明に係る液晶表示パネルは、アクティブマトリクス基板と、上記アクティブマトリクス基板に対向して配置された対向基板と、上記アクティブマトリクス基板及び対向基板の間に設けられた液晶層とを備え、上記アクティブマトリクス基板が、第1の透明基板に設けられた複数のス

イッチング素子と、該各スイッチング素子を覆うように設けられた絶縁膜と、該絶縁膜にマトリクス状に設けられ、該絶縁膜に上記各スイッチング素子毎に形成されたスルーホールを介して該各スイッチング素子にそれぞれ接続された複数の画素電極とを備え、上記対向基板が、第2の透明基板に起立するようにそれぞれ設けられ上記液晶層の厚さを保持するための第1フォトスペーサ及び該第1フォトスペーサよりも低い第2フォトスペーサを備えた液晶表示パネルであって、上記第1フォトスペーサは、上記スルーホールに重ならないように設けられ、上記第2フォトスペーサは、上記スルーホールに重なるように設けられていることを特徴とする。

[0027] 上記の構成によれば、通常、アクティブマトリクス基板の表面に当接する第1フォトスペーサがスルーホールに重ならないように設けられているので、セル厚が確実に保持される。また、第1フォトスペーサより低く形成され、パネル表面が押圧されたときなどにアクティブマトリクス基板の表面に当接する第2フォトスペーサがスルーホールに重なるように設けられているので、画素の開口率の低下が抑制される。したがって、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することが可能になる。

発明の効果

[0028] 本発明によれば、フォトスペーサがスルーホールの一方端に重なるように配置された第1画素列と、フォトスペーサがスルーホールの他方端に重なるように配置された第2画素列とを備えているので、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することができる。

図面の簡単な説明

[0029] [図1] 図1は、実施形態1に係る液晶表示パネルを構成するアクティブマトリクス基板20aの平面図である。

[図2] 図2は、図1中のII-II線に沿ったアクティブマトリクス基板20a及びそれを備えた液晶表示パネル50aの断面図である。

[図3] 図3は、図1中のIII-III線に沿ったアクティブマトリクス基板20aの断面図である。

[図4] 図4は、液晶表示パネル50aを模式的に示した平面図である。

[図5] 図5は、実施形態2に係る液晶表示パネル50bを模式的に示した平面図である。

[図6] 図6は、実施形態3に係る液晶表示パネル50cを模式的に示した平面図である。

[図7] 図7は、実施形態4に係る液晶表示パネル50dを模式的に示した平面図である。

[図8] 図8は、実施形態5に係る液晶表示パネルを構成するアクティブマトリクス基板20eの平面図である。

[図9] 図9は、図8中のIX-IX線に沿ったアクティブマトリクス基板20e及びそれを備えた液晶表示パネル50eの断面図である。

[図10] 図10は、実施形態6に係る液晶表示パネル50fを模式的に示した平面図である。

[図11] 図11は、従来のアクティブマトリクス基板120の平面図である。

符号の説明

[0030]	L a	第1画素列
	L b	第2画素列
	P	画素
	5	TFT（スイッチング素子）
	10 a	第1の透明基板
	10 b	第2の透明基板
	13 a	ゲート線
	13 b	容量線
	15 a	ソース線
	16	樹脂膜（絶縁膜）
	16 a	スルーホール

- 17 画素電極
- 20 a, 20 e アクティブマトリクス基板
- 23 a 第1フォトスペーサ
- 23 b 第2フォトスペーサ
- 30 a, 30 e 対向基板
- 40 液晶層
- 50 a～50 f 液晶表示パネル

発明を実施するための最良の形態

[0031] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0032] 《発明の実施形態1》

図1～図4は、本発明に係る液晶表示パネルの実施形態1を示している。具体的に図1は、本実施形態1の液晶表示パネルを構成するアクティブマトリクス基板20aの平面図である。そして、図2は、図1中のII-II線に沿ったアクティブマトリクス基板20a及びそれを備えた液晶表示パネル50aの断面図であり、図3は、図1中のIII-III線に沿ったアクティブマトリクス基板20aの断面図である。なお、図1では、後述するように、アクティブマトリクス基板20aにおいて最上層に配置される各画素電極17を太線で示している。

[0033] 液晶表示パネル50aは、図2に示すように、互いに対向して配置されたアクティブマトリクス基板20a及び対向基板30aと、両基板20a及び30aの間に設けられた液晶層40と、両基板20a及び30aを互いに接着すると共に両基板20a及び30aの間に液晶層40を封入するためのシール材（不図示）とを備えている。

[0034] アクティブマトリクス基板20aは、図1～図3に示すように、ガラス基板などの第1の透明基板10aと、第1の透明基板10a上に略L字状に設けられた半導体層11と、半導体層11を覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上に互いに平行に延びるように設けられた複数

のゲート線 13 a と、ゲート絶縁膜 12 上に各ゲート線 13 a に沿って互いに平行に延びるように設けられた複数の容量線 13 b と、各ゲート線 13 a 及び各容量線 13 b を覆うように設けられた層間絶縁膜 14 と、層間絶縁膜 14 上に各ゲート線 13 a と直交する方向に互いに平行に延びるように設けられた複数のソース線 15 a と、層間絶縁膜 14 上に各ソース線 15 a の間に島状に設けられた複数のドレイン接続電極 15 b と、各ソース線 15 a 及び各ドレイン接続電極 15 b を覆うように設けられた樹脂膜 16 と、樹脂膜 16 上にマトリクス状に設けられた複数の画素電極 17 と、各画素電極 17 を覆うように設けられた配向膜（不図示）とを備えている。

[0035] ここで、液晶表示パネル 50 a では、各画素電極 17 に対応して、各々、画像の最小単位を構成する複数の画素 P（後述する図 4 参照）がマトリクス状に規定されている。そして、各画素 P では、隣り合う一対のゲート線 13 a と隣り合う一対のソース線 15 a とに囲まれた領域のうち、容量線 13 b 及び後述する TFT 5 を構成する部分に重ならない領域に、例えば、バックライトからの光を透過して、画像表示に有効な領域（透過領域）が構成されている。

[0036] また、アクティブマトリクス基板 20 a では、図 1 に示すように、各ゲート線 13 a 及び各ソース線 15 a の交差する部分にスイッチング素子として TFT 5 が設けられている。

[0037] TFT 5 は、図 3 に示すように、ゲート線 13 a の一部、及びゲート線 13 a の側方に突出した突出部により構成されたゲート電極 G と、ゲート電極 G に重なるようにチャンネル領域 11 a、チャンネル領域 11 a の外側に低濃度ドープ領域（いわゆる、LDD 領域） 11 b、並びに低濃度ドープ領域 11 b の外側にソース領域 S 及びドレイン領域 D を含む高濃度ドープ領域 11 c がそれぞれ規定された半導体層 11 と、ゲート電極 G 及び半導体層 11 の間に設けられたゲート絶縁膜 12 とを備えている。ここで、ソース領域 S は、図 1 及び図 3 に示すように、ゲート絶縁膜 12 及び層間絶縁膜 14 の積層膜に形成されたアクティブコンタクトホール 14 a を介してソース線 15 a に

接続されている。また、ドレイン領域Dは、図2に示すように、ゲート絶縁膜12及び層間絶縁膜14の積層膜に形成されたアクティブコンタクトホール14bを介してドレイン接続電極15bに接続されている。さらに、ドレイン接続電極15bは、図1及び図2に示すように、樹脂膜16に形成されたスルーホール16aを介して画素電極17に接続されている。

[0038] また、ドレイン領域Dは、図1及び図2に示すように、容量線13bに重なるように設けられ、その容量線13bと、それらの間に設けられたゲート絶縁膜12と共に、補助容量を構成している。

[0039] 対向基板30aは、図2に示すように、ガラス基板などの第2の透明基板10bと、第2の透明基板10b上に格子状に設けられたブラックマトリクス21aと、ブラックマトリクス21aの各格子間に赤色層、緑色層及び青色層などの着色層が設けられたカラーフィルタ層21bと、カラーフィルタ層21を覆うように設けられた共通電極22と、共通電極22上に起立するように設けられた第1フォトスペーサ23a及び第2フォトスペーサ23b（図1参照）と、共通電極22を覆うように設けられた配向膜（不図示）とを備えている。ここで、図1のアクティブマトリクス基板20aの平面図では、対向基板30aに配置する第1フォトスペーサ23a及び第2フォトスペーサ23bを2点鎖線で示している。

[0040] 第1フォトスペーサ23aは、例えば、4.5 μ m程度の高さに形成され、図2に示すように、アクティブマトリクス基板20aの表面（画素電極17の表面）に当接して、液晶層40の厚さ、すなわち、セル厚を保持するように構成されている。

[0041] 第2フォトスペーサ23bは、例えば、4.2 μ m程度の高さで第1フォトスペーサ23aよりも低く形成され、パネル表面が押圧されたときに、アクティブマトリクス基板20aの表面（画素電極17の表面）に当接して、液晶層40の厚さを保持するように構成されている。また、第2フォトスペーサ23bは、第1フォトスペーサ23aよりも低く形成されているので、液晶表示パネル50aが液晶滴下注入法により製造された場合においては、

全てのフォトスペーサが第1フォトスペーサ23aである場合よりも、各フォトスペーサと第2の透明基板10bとの弾性特性の差異が小さくなり、パネル表面に低温衝撃が負荷されても、第2の透明基板10bの撓みに追従して各フォトスペーサも撓むことにより、両者の間に微小空間などが形成され難くなり、気泡の発生が抑制された構成になっている。

[0042] ここで、図4は、液晶表示パネル50aを模式的に示した平面図である。この図4では、各画素Pにおいて、アクティブマトリクス基板20aに形成されたスルーホール16a、並びに対向基板30aに形成された第1フォトスペーサ23a及び第2フォトスペーサ23bを示している。

[0043] 液晶表示パネル50aは、図4に示すように、各第1フォトスペーサ23aがスルーホール16aの一方端（図中下側）に重なるように配置された第1画素列Laと、第1画素列Laに隣り合い、各第1フォトスペーサ23aがスルーホール16aの他方端（図中上側）に重なるように配置された第2画素列Lbとを備えている。

[0044] また、液晶表示パネル50aでは、図4に示すように、各第2フォトスペーサ23bが第1画素列La及び第2画素列Lbにおいて各スルーホール16aに重なるように配置されている。ここで、例えば、画素Pのサイズが $30\mu\text{m} \times 90\mu\text{m}$ 程度である場合には、第1フォトスペーサ23aの個数密度が $11\text{個}/\text{mm}^2$ 程度であり、第2フォトスペーサ23bの個数密度が $360\text{個}/\text{mm}^2$ 程度である。また、画素Pのサイズが $40\mu\text{m} \times 120\mu\text{m}$ 程度である場合には、第1フォトスペーサ23aの個数密度が $11\text{個}/\text{mm}^2$ 程度であり、第2フォトスペーサ23bの個数密度が $197\text{個}/\text{mm}^2$ 程度である。さらに、画素Pのサイズが $50\mu\text{m} \times 150\mu\text{m}$ 程度である場合には、第1フォトスペーサ23aの個数密度が $11\text{個}/\text{mm}^2$ 程度であり、第2フォトスペーサ23bの個数密度が $122\text{個}/\text{mm}^2$ 程度である。なお、第1フォトスペーサ23aは、表示品位の低下を抑制するために、青色を表示する各画素Pのみに配置されるのが好ましい。

[0045] 上記構成の液晶表示パネル50aは、アクティブマトリクス20a上の各

画素電極 17 と対向基板 30 a 上の共通電極 22 との間に配置する液晶層 40 に所定の電圧を印加して、液晶層 40 を構成する液晶分子の配向状態を変えることにより、各画素 P 毎にパネル内を透過する光の透過率を調整して、画像を表示するように構成されている。

[0046] 次に、本実施形態の液晶表示パネル 50 a を製造する方法について一例を挙げて説明する。なお、本実施形態の製造方法は、アクティブマトリクス基板作製工程、対向基板作製工程及び液晶滴下貼り合わせ工程を備える。

[0047] <アクティブマトリクス基板作製工程>

まず、ガラス基板などの第 1 の透明基板 10 a の基板全体に、例えば、原料ガスとしてジシランなどを用いて、プラズマ CVD (Chemical Vapor Deposition) 法により、アモルファスシリコン膜 (厚さ 50 nm 程度) を成膜した後、レーザ光の照射などによる加熱処理を行ってポリシリコン膜に変成する。その後、そのポリシリコン膜をフォトリソグラフィによりパターニングして、半導体層 11 を形成する。なお、第 1 の透明基板 10 a 及び半導体層 11 の間に、プラズマ CVD 法により酸化シリコン膜などを成膜して、ベースコート膜を形成してもよい。

[0048] 続いて、半導体層 11 が形成された基板全体に、プラズマ CVD 法により、例えば、酸化シリコン膜 (厚さ 100 nm 程度) を成膜してゲート絶縁膜 12 を形成した後に、ゲート絶縁膜 12 を介して、半導体層 11 に不純物としてリン又はボロンをドーピングする。

[0049] さらに、ゲート絶縁膜 12 上の基板全体に、スパッタリング法により、例えば、窒化タンタル膜 (厚さ 50 nm 程度) 及びタングステン膜 (厚さ 350 nm 程度) を順次成膜し、その後、フォトリソグラフィによりパターニングして、ゲート線 13 a 及び容量線 13 b を形成する。

[0050] 続いて、ゲート線 13 a (ゲート電極 G) をマスクとして、ゲート絶縁膜 13 を介して、半導体層 11 にリン又はボロンをドーピングして、ゲート電極 G に重なる部分にチャネル領域 11 a を形成する。

[0051] さらに、ゲート電極 G を覆うように島状のフォトレジスト (不図示) を形

成した後に、そのフォトレジスト及びゲート絶縁膜 12 を介して、半導体層 11 にリン又はボロンをドーピングする。なお、半導体層 11 の容量線 13 b に重なる領域については、容量線 13 b を形成する前に、別途、リン又はボロンをドーピングする。その後、加熱処理を行い、ドーピングしたリン又はボロンの活性化処理を行うことにより、低濃度ドーピング領域 11 b、並びにソース領域 S 及びドレイン領域 D を含む高濃度ドーピング領域 11 c を形成する。

[0052] 続いて、半導体層 11 にチャンネル領域 11 a、低濃度ドーピング領域 11 b 及び高濃度ドーピング領域 11 c が形成された基板全体に、プラズマ CVD 法により、窒化シリコン膜（厚さ 250 nm 程度）及び酸化シリコン膜（厚さ 700 nm 程度）を順に成膜して層間絶縁膜 14 を形成した後に、ゲート絶縁膜 12 及び層間絶縁膜 14 の積層膜のソース領域 S 及びドレイン領域 D に重なる部分をそれぞれエッチング除去して、アクティブコンタクトホール 14 a 及び 14 b を形成する。

[0053] そして、アクティブコンタクトホール 14 a 及び 14 b を有する層間絶縁膜 14 が形成された基板全体に、スパッタリング法により、例えば、チタン膜（厚さ 100 nm 程度）、アルミニウム膜（厚さ 350 nm 程度）及びチタン膜（厚さ 100 nm 程度）を順次成膜した後に、フォトリソグラフィによりパターニングして、ソース線 15 a 及びドレイン接続電極 15 b を形成する。

[0054] さらに、ソース線 15 a 及びドレイン接続電極 15 b が形成された基板全体に、例えば、アクリル樹脂をスピコーティング法により塗布して、樹脂膜 16（厚さ 2 μ m 程度）を形成した後に、樹脂膜 16 のドレイン接続電極 15 b に重なる部分をエッチング除去して、スルーホール 16 a を形成する。

[0055] そして、スルーホール 16 a を有する樹脂膜 16 が形成された基板全体に、スパッタリング法により、例えば、ITO（Indium Tin Oxide）膜（厚さ 100 nm 程度）を成膜した後、フォトリソグラフィによりパターニングして、画素電極 17 を形成する。

- [0056] 最後に、画素電極 17 が形成された基板全体に、印刷法により、ポリイミド樹脂を塗布した後に、ラビング処理を行うことにより、配向膜を形成する。
- [0057] 以上のようにして、アクティブマトリクス基板 20 a を作製することができる。
- [0058] <対向基板作製工程>
- まず、ガラス基板などの第 2 の透明基板 10 b の基板全体に、例えば、黒に着色した感光性レジスト材料を膜厚 2 μ m 程度で成膜した後、フォトリソグラフィによりパターン形成して、ブラックマトリクス 21 a を形成する。
- [0059] 続いて、ブラックマトリクス 21 a の格子間のそれぞれに、例えば、赤、緑又は青に着色された感光性レジスト材料を膜厚 2 μ m 程度で成膜した後に、フォトリソグラフィによりパターンニングして、選択した色の着色層（例えば、赤色層）を形成する。その後、他の 2 色についても同様な工程を繰り返すことにより、他の着色層（例えば、緑色層及び青色層）を形成して、カラーフィルタ層 21 b を形成する。
- [0060] さらに、カラーフィルタ層 21 b が形成された基板の上に、スパッタリング法により、ITO 膜（厚さ 100 nm 程度）を成膜して、共通電極 22 を形成する。なお、カラーフィルタ層 21 b が形成された基板の上に ITO 膜を成膜する前に、カラーフィルタ層 21 b を覆うようにオーバーコート層を形成して、平坦性を向上させてもよい。
- [0061] その後、共通電極 22 が形成された基板全体に、例えば、スピコート法により、感光性アクリル樹脂を厚さ 4.5 μ m 程度で塗布した後に、フォトリソグラフィによりパターン形成して、第 1 フォトスペーサ 23 a（高さ 4.5 μ m 程度）及び第 2 フォトスペーサ 23 b（4.2 μ m 程度）を形成する。なお、第 1 フォトスペーサ 23 a 及び第 2 フォトスペーサ 23 b は、感光性アクリル樹脂に対して、光透過率の異なる領域を備えたハーフトーンマスク又はグレートーンマスクを介して、例えば、波長 365 nm（i 線）又は波長 405 nm / 436 nm（g h 線）の光を用いて、処理時間や光の強

度を適宜調整して露光を行った後に、その露光された感光性アクリル樹脂に対して選択的にアッシングなどを行うことにより、所定の高さに形成される。

[0062] 最後に、第1フォトスペーサ23a及び第2フォトスペーサ23bが形成された基板全体に、印刷法により、ポリイミド樹脂を塗布した後に、ラビング処理を行うことにより、配向膜を形成する。

[0063] 以上のようにして、対向基板30aを作製することができる。

[0064] <液晶滴下貼り合わせ工程>

まず、例えば、ディスペンサを用いて、上記対向基板作製工程で作製された対向基板30aに、紫外線硬化及び熱硬化併用型樹脂などにより構成されたシール材を枠状に描画する。

[0065] 続いて、上記シール材が描画された対向基板30aにおけるシール材の内側の領域に液晶材料を滴下する。

[0066] さらに、上記液晶材料が滴下された対向基板30aと、上記アクティブマトリクス基板作製工程で作製されたアクティブマトリクス基板20aとを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、貼合体の表面を加圧する。

[0067] そして、上記貼合体に挟持されたシール材にUV光を照射した後に、その貼合体を加熱することによりシール材を硬化させる。

[0068] 以上のようにして、液晶表示パネル50aを製造することができる。

[0069] 以上説明したように、本実施形態の液晶表示パネル50aによれば、第1フォトスペーサ23aがスルーホール16aの一方端に重なるように配置された複数の画素Pを配列してなる第1画素列Laと、第1フォトスペーサ23bがスルーホール16aの他方端に重なるように配置された複数の画素Pを配列してなる第2画素列Lbとを備えているので、アクティブマトリクス基板20a及び対向基板30aを貼り合わせる際のずれなどにより、仮に、第1画素列Laにおいて、対向基板30aの第1フォトスペーサ23aの頭部がアクティブマトリクス基板20aのスルーホール16aの内部に落ち込

んだとしても、第2画素列L bにおいて、対向基板30 aの第1フォトスペーサ23 aの頭部がアクティブマトリクス基板20 aのスルーホール16 aの内部に落ち込まないことになる。そして、この場合、第2画素列L bの各画素Pにおける対向基板30 aの第1フォトスペーサ23 aの頭部がアクティブマトリクス基板20 aのスルーホール16 aの外側の画素電極17に当接することにより、セル厚が確実に保持されるので、第1フォトスペーサ23 aによるセル厚制御の安定性が保持される。また、第1フォトスペーサ23 aがスルーホール16 aの一方端又は他方端に重なるように配置されているので、貼り合わせずれなどに対するマージンが不要となり、平面視での第1フォトスペーサ23 a及びスルーホール16 aの間隔が狭くできる。これにより、第1フォトスペーサ23 a又はスルーホール16 aが透過領域に突出することを抑制することができるので、画素の開口率の低下を抑制することができる。したがって、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することができる。

[0070] また、本実施形態の液晶表示パネル50 aによれば、第2フォトスペーサ23 bが第1フォトスペーサ23 aよりも低く形成されているので、通常時には、第1フォトスペーサ23 aの頭部がアクティブマトリクス基板20 aの表面に当接してセル厚を保持することができ、パネル表面が押圧された押圧時には、第2フォトスペーサ23 bの頭部がアクティブマトリクス基板20 aの表面に当接してセル厚を保持できると共に、液晶滴下注入法により製造された液晶表示パネルにおいては、全てのフォトスペーサが第1フォトスペーサ23 aである場合よりも、各フォトスペーサと第2の透明基板10 bとの弾性特性の差異が小さくなり、パネル表面に低温衝撃が負荷されても、第2の透明基板10 bの撓みに追従して各フォトスペーサも撓むことにより、両者の間に微小空間などが形成され難くなり、気泡の発生を抑制することができる。

[0071] また、本実施形態の液晶表示パネル50 aによれば、第1フォトスペーサ23 a、第2フォトスペーサ23 b及びスルーホール16 aが各ソース線1

5 aに沿って各容量線 1 3 bに重なるように配置されているので、特に、各ソース線 1 5 aの間隔が狭く設定された高精細な液晶表示パネルにおいて、画素の開口率の低下を抑制することができる。

[0072] また、本実施形態の液晶表示パネル 5 0 aによれば、各第 1 フォトスペーサ 2 3 a 及び各スルーホール 1 6 a の近傍における液晶層 4 0 の配向の乱れ易い部分が透過領域に突出することを抑制することができ、光漏れの発生及びコントラストの低下を抑制することができる。そして、これにより、光漏れ及びコントラストの低下を抑制するための遮光膜を別途設ける必要がない。

[0073] 《発明の実施形態 2》

図 5 は、本実施形態の液晶表示パネル 5 0 b を模式的に示した平面図である。なお、以下の各実施形態において、図 1 ~ 図 4 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0074] 上記実施形態 1 の液晶表示パネル 5 0 a では、図 4 に示すように、各第 2 フォトスペーサ 2 3 b が各スルーホール 1 6 a の全体に重なるように配置されていたが、本実施形態の液晶表示パネル 5 0 b では、図 5 に示すように、各第 2 フォトスペーサ 2 3 b が各スルーホール 1 6 a の一部に重なるように配置されている。

[0075] 本実施形態の液晶表示パネル 5 0 b によれば、上記実施形態 1 と同様に、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することができる。

[0076] 《発明の実施形態 3》

図 6 は、本実施形態の液晶表示パネル 5 0 c を模式的に示した平面図である。

[0077] 上記実施形態 1 の液晶表示パネル 5 0 a 及び実施形態 2 の液晶表示パネル 5 0 b では、図 4 及び図 5 に示すように、各第 1 フォトスペーサ 2 3 a に対して各スルーホール 1 6 a をソース線 1 5 a に沿って（図中縦方向に）ずれた状態で配置させていたが、本実施形態の液晶表示パネル 5 0 c では、図 6

に示すように、各第1フォトスペーサ23aに対して各スルーホール16aをゲート線13aに沿って（図中横方向に）ずれた状態で配置させている。

[0078] 具体的に液晶表示パネル50cは、図6に示すように、各第1フォトスペーサ23aがスルーホール16aの一方端（図中左側）に重なるように配置された第1画素列Laと、第1画素列Laに隣り合い、各第1フォトスペーサ23aがスルーホール16aの他方端（図中右側）に重なるように配置された第2画素列Lbとを備えている。

[0079] 本実施形態の液晶表示パネル50cによれば、上記実施形態1及び2と同様に、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することができる。

[0080] 本実施形態の液晶表示パネル50cによれば、平面視での各第1フォトスペーサ23a及び各スルーホール16aの間隔を狭くできるので、各ソース線と各ドレイン接続電極との間隔を広く設計することができ、同層間におけるリーク不良などを抑制することができる。

[0081] 《発明の実施形態4》

図7は、本実施形態の液晶表示パネル50dを模式的に示した平面図である。

[0082] 上記実施形態3の液晶表示パネル50cでは、図6に示すように、各第2フォトスペーサ23bが各スルーホール16aの全体に重なるように配置されていたが、本実施形態の液晶表示パネル50dでは、図7に示すように、各第2フォトスペーサ23bが各スルーホール16aの一部に重なるように配置されている。

[0083] 本実施形態の液晶表示パネル50dによれば、上記実施形態1～3と同様に、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することができる。

[0084] 《発明の実施形態5》

図8は、本実施形態の液晶表示パネルを構成するアクティブマトリクス基板20eの平面図であり、図9は、図8中のIX-IX線に沿ったアクティブマ

トリクス基板 20 e 及びそれを備えた液晶表示パネル 50 e の断面図である。

- [0085] 上記各実施形態では、透過型の液晶表示パネルを例示したが、本実施形態では、半透過型の液晶表示パネル 50 e を説明する。
- [0086] 具体的に液晶表示パネル 50 e は、図 9 に示すように、互いに対向して配置されたアクティブマトリクス基板 20 e 及び対向基板 30 e と、両基板 20 e 及び 30 e の間に設けられた液晶層 40 と、両基板 20 e 及び 30 e を互いに接着すると共に両基板 20 e 及び 30 e の間に液晶層 40 を封入するためのシール材（不図示）とを備えている。
- [0087] アクティブマトリクス基板 20 e は、図 9 に示すように、上記実施形態 1 のアクティブマトリクス 20 a の各画素電極 17 上に反射電極 18 が設けられた構成になっている。ここで、反射電極 18 は、各画素電極 17 上において、各ゲート線 13 a と、そのゲート線 13 a に隣り合う一方の容量線 13 b との間に設けられ、反射モードの表示を行う反射領域を構成している。そして、反射電極 18 から露出する画素電極 17 は、透過モードの表示を行う透過領域を構成している。
- [0088] また、アクティブマトリクス基板 20 e は、上記実施形態 1 で説明したアクティブマトリクス基板作製工程において、画素電極 17 を形成した後に、その画素電極 17 が形成された基板全体に、スパッタリング法により、例えば、モリブデン膜及びアルミニウム膜を順次成膜し、フォトリソグラフィによりパターニングして、反射電極 18 を形成することにより、作製することができる。
- [0089] 対向基板 30 e は、図 9 に示すように、上記実施形態 1 の対向基板 30 a におけるカラーフィルタ層 21 b 及び共通電極 22 の間に、ホワイト層 21 c が設けられた構成になっている。ここで、ホワイト層 21 c は、アクティブマトリクス基板 20 e の反射領域 18 に重なるように設けられ、反射領域におけるセル厚が透過領域におけるセル厚の $1/2$ になるように構成されている。

- [0090] また、対向基板 30 e は、上記実施形態 1 で説明した対向基板作製工程において、カラーフィルタ層 21 b を形成した後に、そのカラーフィルタ層 21 b が形成された基板全体に、無色の感光性レジスト材料を成膜した後に、フォトリソグラフィによりパターンニングして、ホワイト層 21 c を形成することにより、作製することができる。
- [0091] 本実施形態の液晶表示パネル 50 e によれば、フォトスペーサによるセル厚制御の安定性を保持して、各ソース線と各ドレイン接続電極との間隔を広く設計することができ、同層間におけるリーク不良などを抑制することができる。
- [0092] 上記各実施形態では、各第 1 フォトスペーサ 23 a 及び各第 2 フォトスペーサ 23 b の位置を固定した状態で、スルーホール 16 a の位置を移動させることにより、各フォトスペーサとスルーホールとの位置関係を設定していたが、本発明は、スルーホールの位置を固定した状態で、各フォトスペーサの位置を移動させることにより、各フォトスペーサとスルーホールとの位置関係を設定してもよく、また、それらが複合していてもよい。
- [0093] 上記各実施形態では、互いに隣り合う第 1 画素列 L a 及び第 2 画素列 L b において、各第 1 フォトスペーサ 23 a が互いに隣り合う一対のスルーホール 16 a の内側に重なるように配置されていたが、本発明は、各第 1 フォトスペーサが互いに隣り合う一対のスルーホールの外側に重なるように配置されていてもよい。
- [0094] 上記各実施形態では、第 1 画素列 L a 及び第 2 画素列 L b が互いに隣り合っていたが、本発明では、第 1 画素列 L a 及び第 2 画素列 L b が互いに離間していてもよい。すなわち、第 1 画素列 L a 及び第 2 画素列 L b の間において、フォトスペーサ及びスルーホールの上に特別な位置関係が設定されていない画素列が 1 列以上配置され、それらの画素列が繰り返されていてもよい。
- [0095] 《発明の実施形態 6》
- 図 10 は、本実施形態の液晶表示パネル 50 f を模式的に示した平面図で

ある。

- [0096] 上記各実施形態の液晶表示パネルでは、各第1フォトスペーサ23aが各スルーホール16aの一方端に重なるように配置された第1画素列La、及び各第1フォトスペーサ23aが各スルーホール16aの他方端に重なるように配置された第2画素列Lbが規定されていたが、本実施形態の液晶表示パネル50fでは、第1フォトスペーサ23aがスルーホール16aに重ならないように設けられ、第2フォトスペーサ23bがスルーホール16aに重なるように設けられている。
- [0097] 本実施形態の液晶表示パネル50fによれば、通常、アクティブマトリクス基板の表面に当接する第1フォトスペーサ23aがスルーホール16aに重ならないように設けられているので、セル厚を確実に保持することができる。また、第1フォトスペーサ23bより低く形成され、パネル表面が押圧されたときなどにアクティブマトリクス基板の表面に当接する第2フォトスペーサ23bがスルーホール16aに重なるように設けられているので、画素の開口率の低下を抑制することができる。したがって、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することができる。
- [0098] 上記各実施形態では、液晶層の配向方式について言及しなかったが、ASV (Advanced Super View) 液晶などのVA方式の液晶表示パネルにおいては、上記各実施形態の各フォトスペーサを液晶層の配向中心としてもよい。
- [0099] 上記各実施形態では、フォトスペーサとして、第1フォトスペーサ及び第2フォトスペーサを例示したが、本発明は、通常時に、アクティブマトリクス基板の表面に当接するフォトスペーサだけでもよい。
- [0100] 上記各実施形態では、フォトスペーサが各画素の略中央（半透過型においては、反射領域の略中央）に配置する構成を例示したが、フォトスペーサは、各画素内であれば、どこに配置されていてもよい。
- [0101] 上記各実施形態では、スイッチング素子として、TFTを備えた液晶表示パネルを例示したが、本発明は、MIM (Metal Insulator Metal) などの他の

スイッチング素子を備えた液晶表示パネルについても適用することができる。
。

産業上の利用可能性

[0102] 以上説明したように、本発明は、フォトスペーサによるセル厚制御の安定性を保持して、画素の開口率の低下を抑制することができるので、フォトスペーサを画素内に配置した液晶表示パネル全般について有用である。

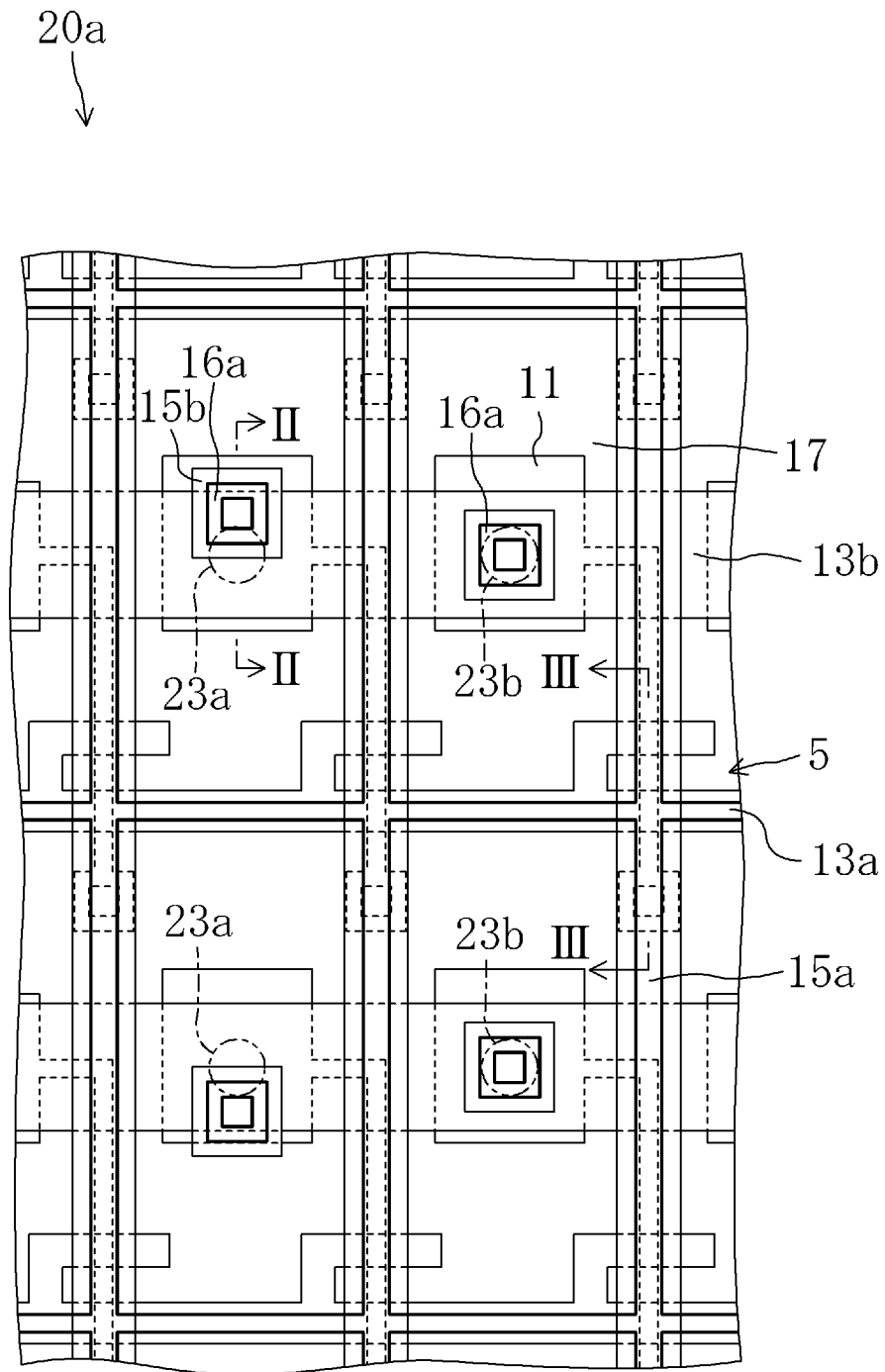
請求の範囲

- [1] アクティブマトリクス基板と、
上記アクティブマトリクス基板に対向して配置された対向基板と、
上記アクティブマトリクス基板及び対向基板の間に設けられた液晶層とを
備え、
上記アクティブマトリクス基板が、第1の透明基板に設けられた複数のス
イッチング素子と、該各スイッチング素子を覆うように設けられた絶縁膜と
、該絶縁膜上にマトリクス状に設けられ、該絶縁膜に上記各スイッチング素
子毎に形成されたスルーホールを介して該各スイッチング素子にそれぞれ接
続された複数の画素電極とを備え、
上記対向基板が、第2の透明基板に起立するように設けられ上記液晶層の
厚さを保持するためのフォトスペーサを備え、
上記各画素電極に対応して複数の画素がマトリクス状に規定された液晶表
示パネルであって、
上記フォトスペーサが上記スルーホールの一方端に重なるように配置され
た複数の画素を配列してなる第1画素列と、
上記フォトスペーサが上記スルーホールの他方端に重なるように配置され
た複数の画素を配列してなる第2画素列とを備えていることを特徴とする液
晶表示パネル。
- [2] 請求項1に記載された液晶表示パネルにおいて、
上記第1画素列及び第2画素列は、互いに隣り合っていることを特徴とす
る液晶表示パネル。
- [3] 請求項1又は2に記載された液晶表示パネルにおいて、
上記絶縁膜は、樹脂膜であることを特徴とする液晶表示パネル。
- [4] 請求項1乃至3の何れか1つに記載された液晶表示パネルにおいて、
上記フォトスペーサは、第1フォトスペーサと、該第1フォトスペーサよ
りも低く形成された第2フォトスペーサとを有していることを特徴とする液
晶表示パネル。

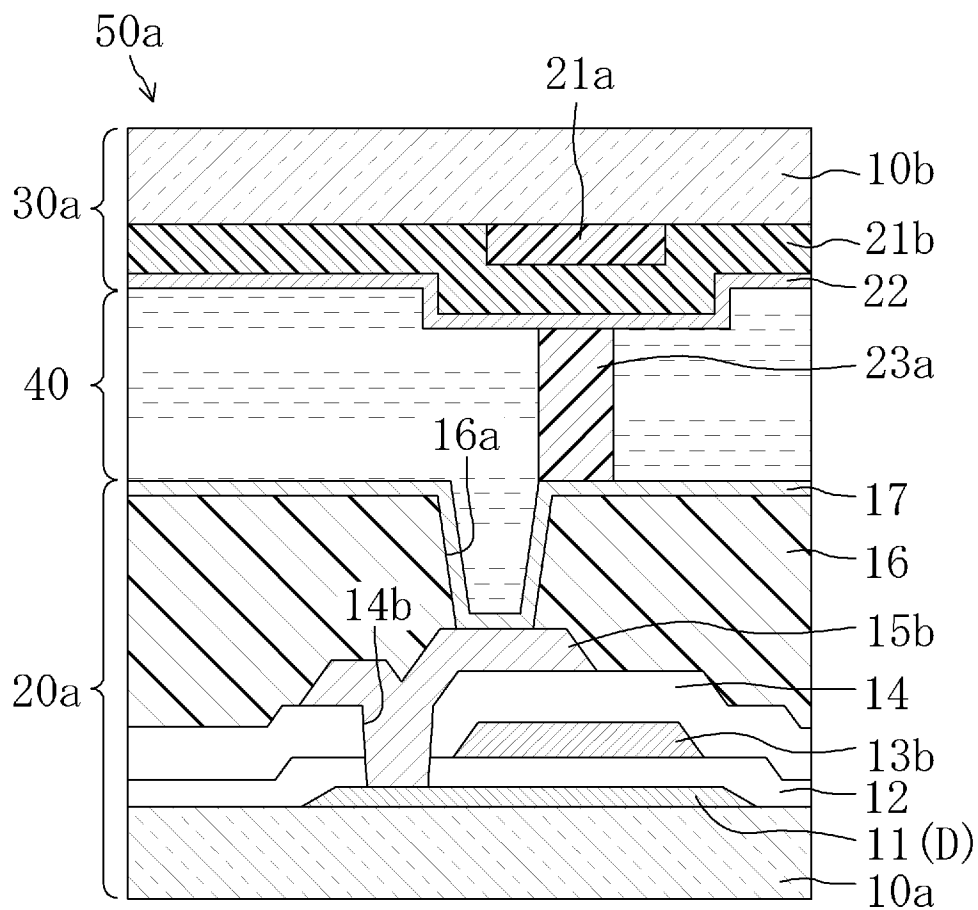
- [5] 請求項 1 乃至 4 の何れか 1 つに記載された液晶表示パネルにおいて、
上記フォトスペーサは、上記液晶層の配向中心となるように構成されていることを特徴とする液晶表示パネル。
- [6] 請求項 1 乃至 5 の何れか 1 つに記載された液晶表示パネルにおいて、
上記アクティブマトリクス基板は、互いに平行に延びるように設けられた複数のゲート線と、該各ゲート線に交差する方向に互いに平行に延びるように設けられた複数のソース線と、上記各ゲート線に沿って互いに平行に延びるように設けられた複数の容量線とを有し、
上記フォトスペーサ及びスルーホールは、上記各ソース線に沿って各容量線に重なるように配置されていることを特徴とする液晶表示パネル。
- [7] 請求項 1 乃至 6 の何れか 1 つに記載された液晶表示パネルにおいて、
上記アクティブマトリクス基板は、互いに平行に延びるように設けられた複数のゲート線と、該各ゲート線に交差する方向に互いに平行に延びるように設けられた複数のソース線と、上記各ゲート線に沿って互いに平行に延びるように設けられた複数の容量線とを有し、
上記フォトスペーサ及びスルーホールは、上記各ゲート線に沿って各容量線に重なるように配置されていることを特徴とする液晶表示パネル。
- [8] アクティブマトリクス基板と、
上記アクティブマトリクス基板に対向して配置された対向基板と、
上記アクティブマトリクス基板及び対向基板の間に設けられた液晶層とを備え、
上記アクティブマトリクス基板が、第 1 の透明基板に設けられた複数のスイッチング素子と、該各スイッチング素子を覆うように設けられた絶縁膜と、該絶縁膜にマトリクス状に設けられ、該絶縁膜に上記各スイッチング素子毎に形成されたスルーホールを介して該各スイッチング素子にそれぞれ接続された複数の画素電極とを備え、
上記対向基板が、第 2 の透明基板に起立するようにそれぞれ設けられ上記液晶層の厚さを保持するための第 1 フォトスペーサ及び該第 1 フォトスペー

サよりも低い第2フォトスペーサを備えた液晶表示パネルであって、
上記第1フォトスペーサは、上記スルーホールに重ならないように設けられ、
上記第2フォトスペーサは、上記スルーホールに重なるように設けられていることを特徴とする液晶表示パネル。

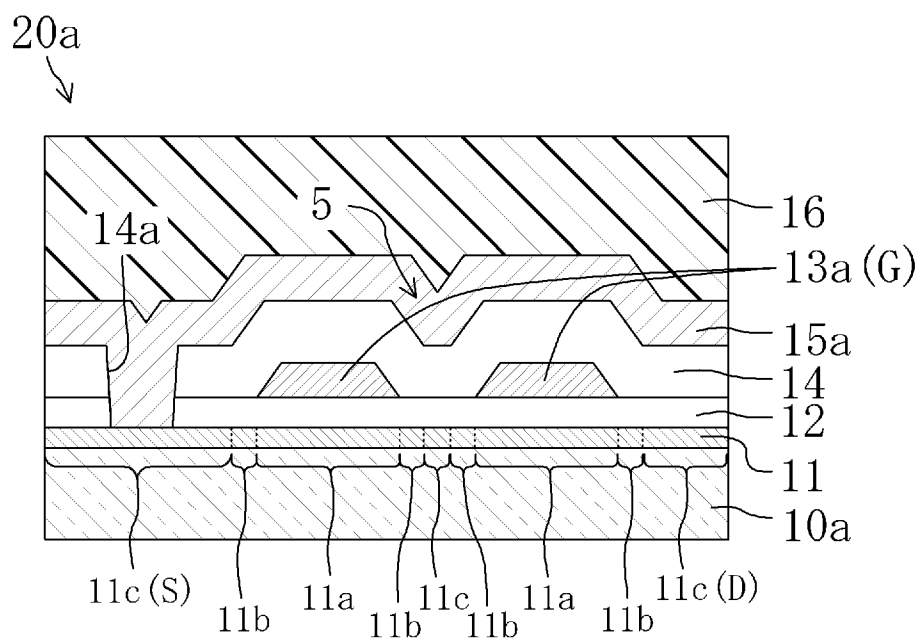
[図1]



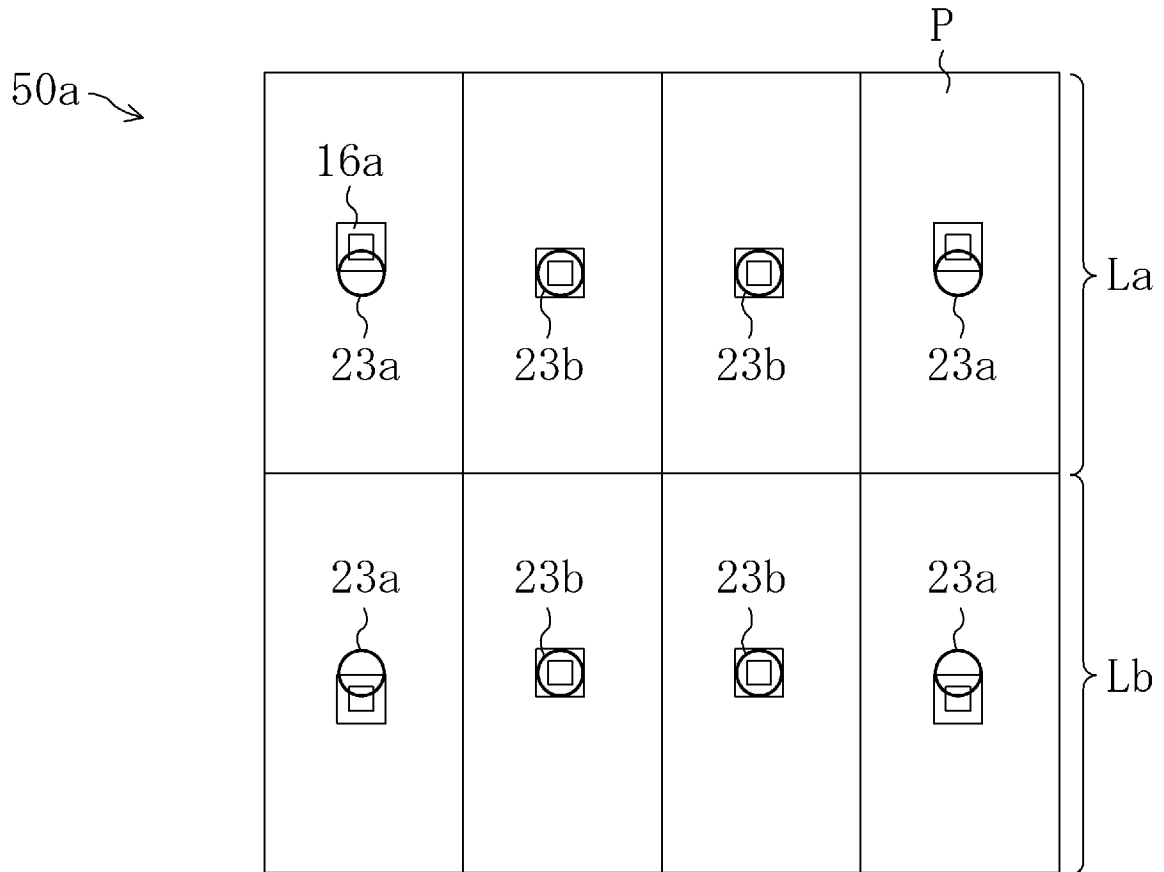
[図2]



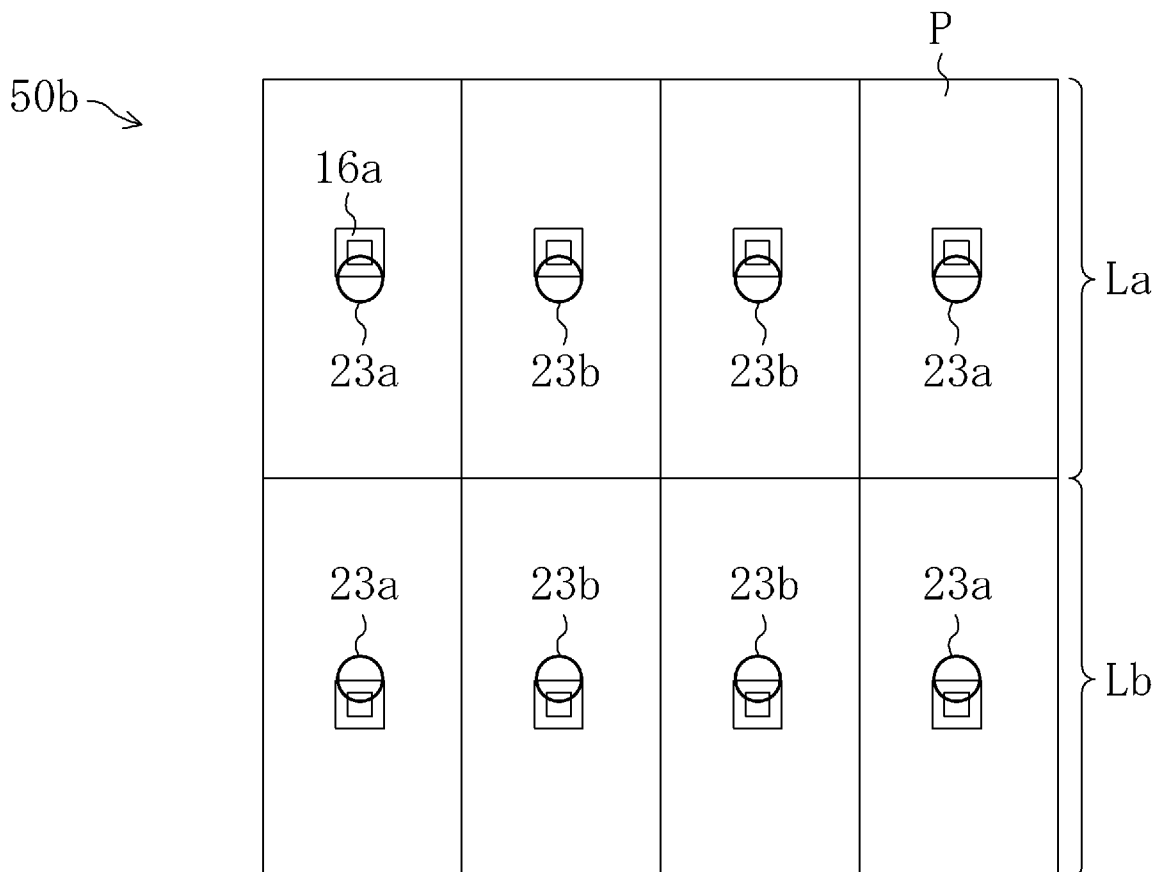
[図3]



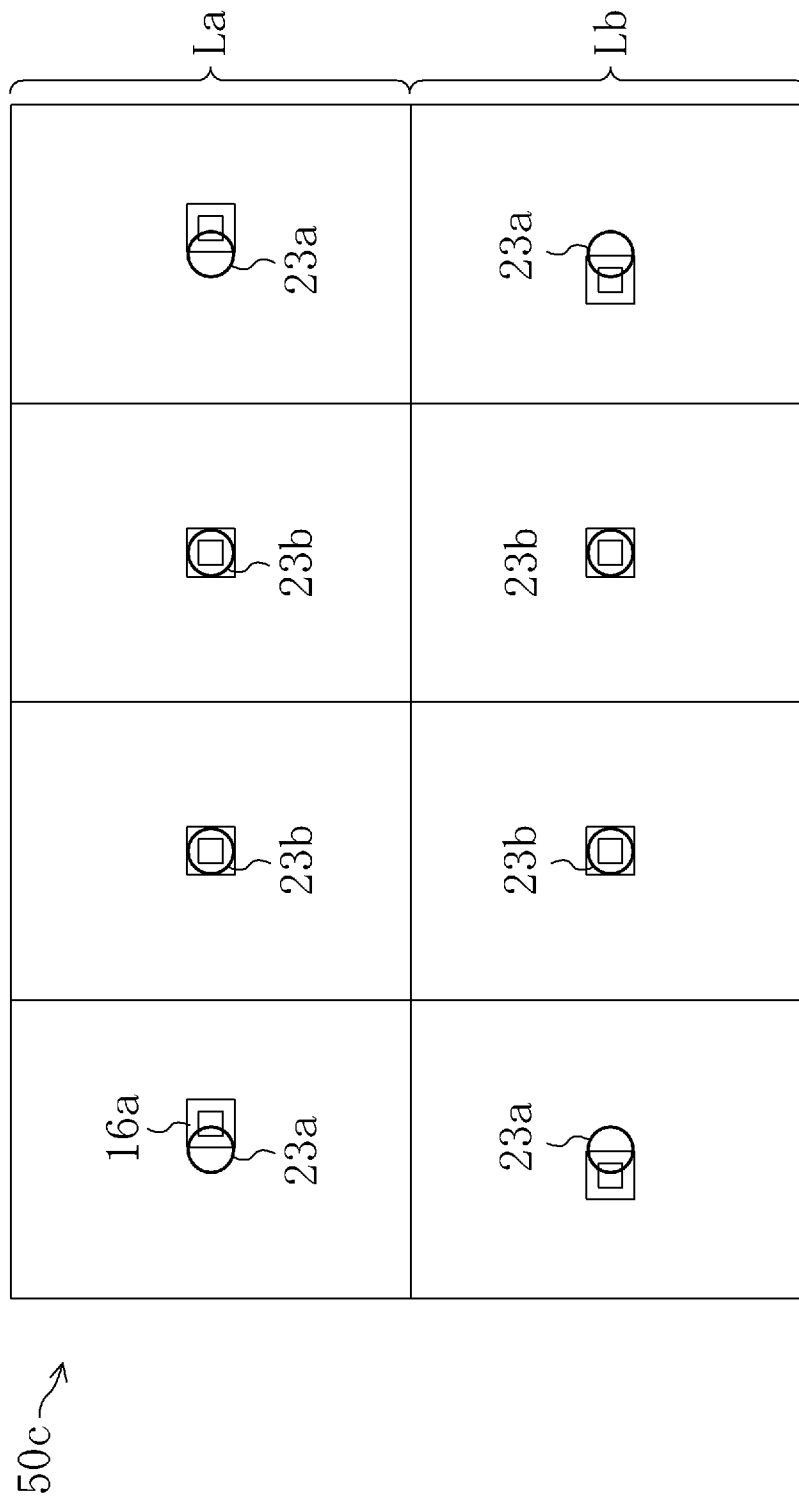
[図4]



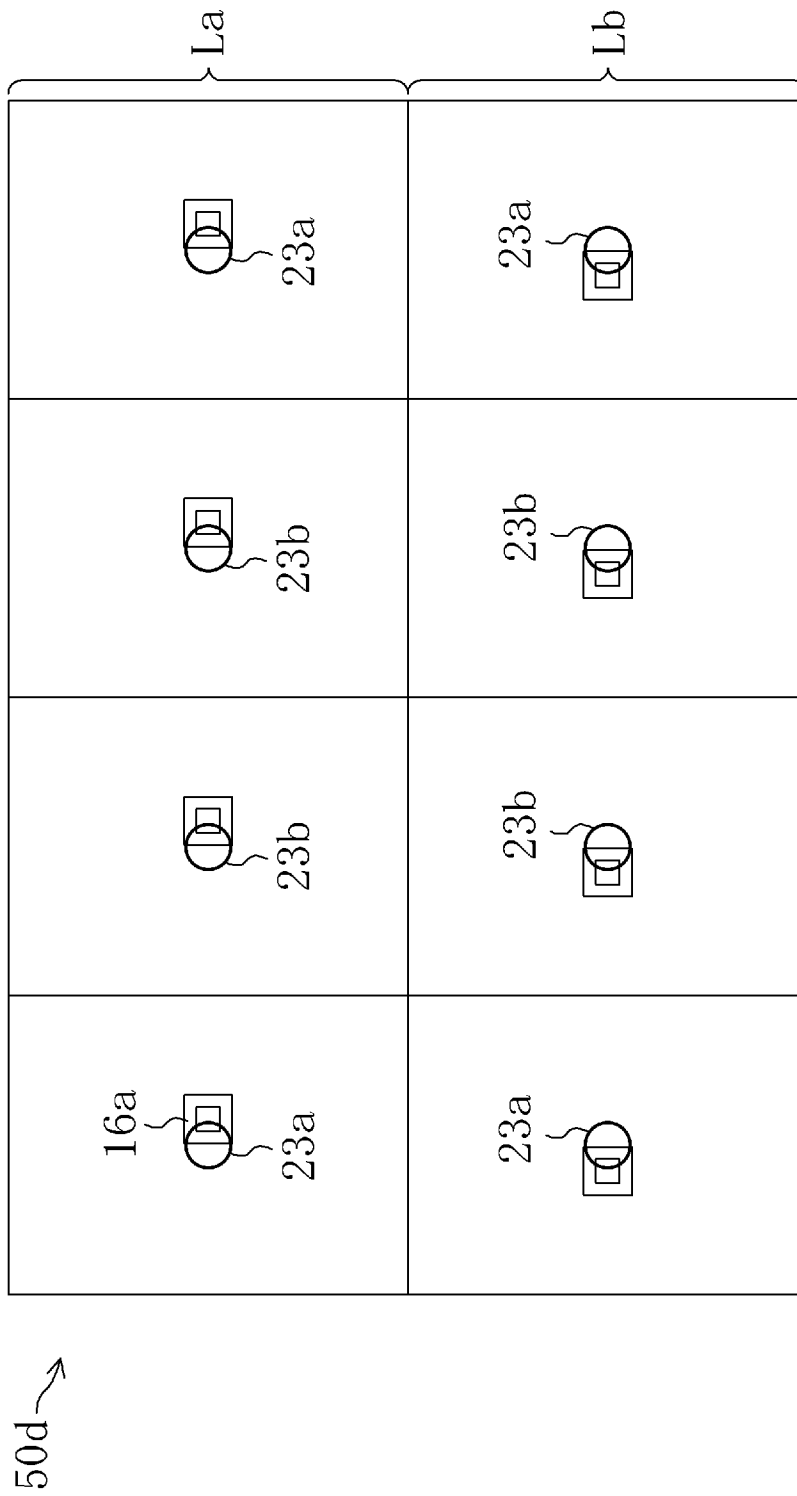
[図5]



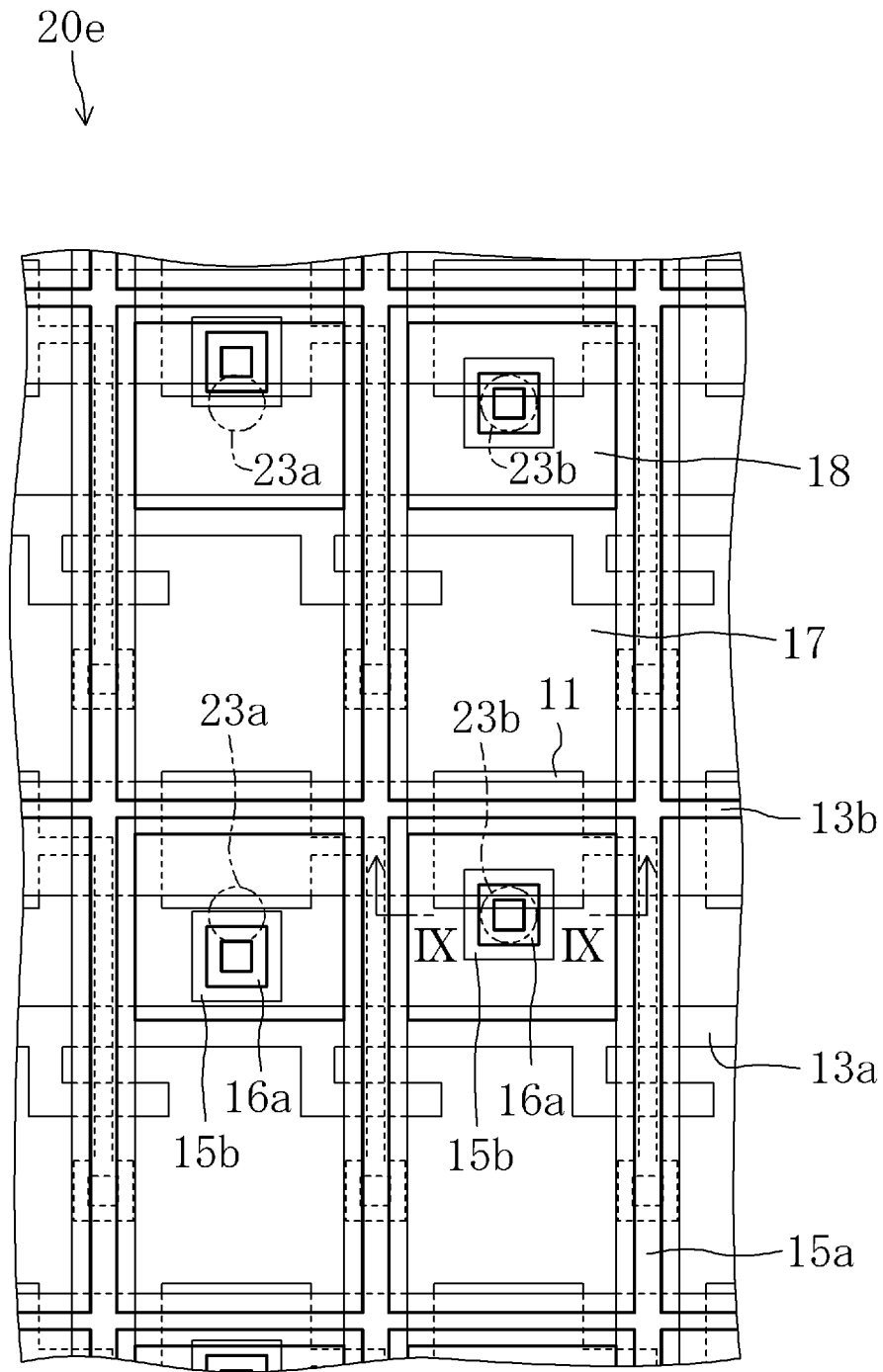
[図6]



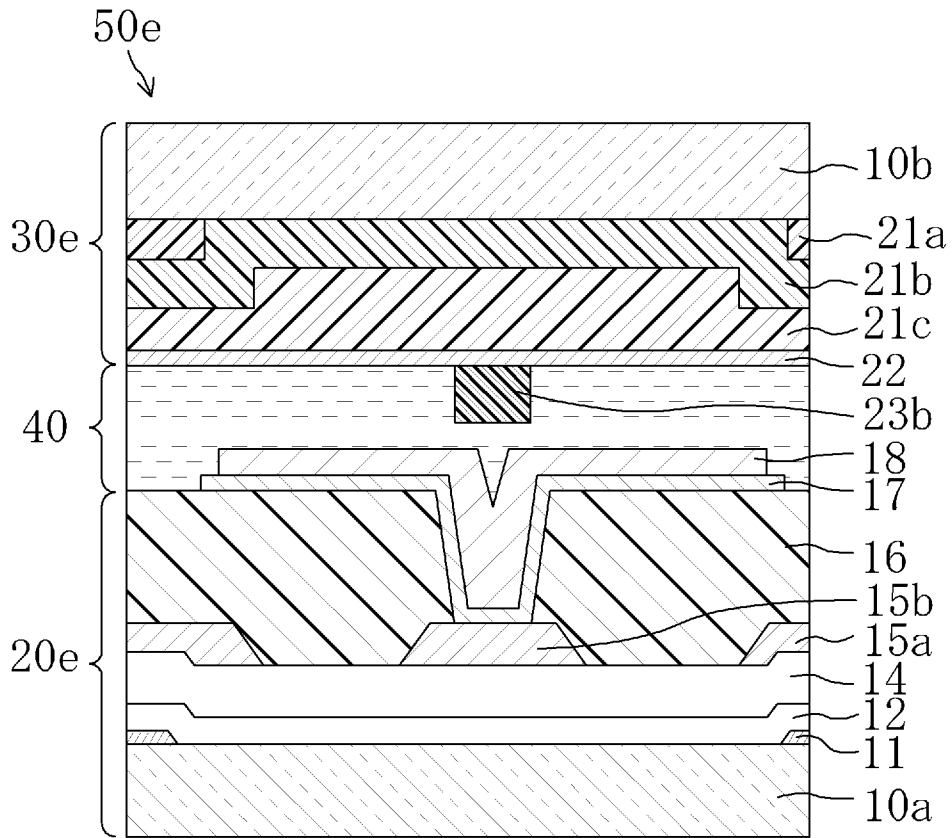
[図7]



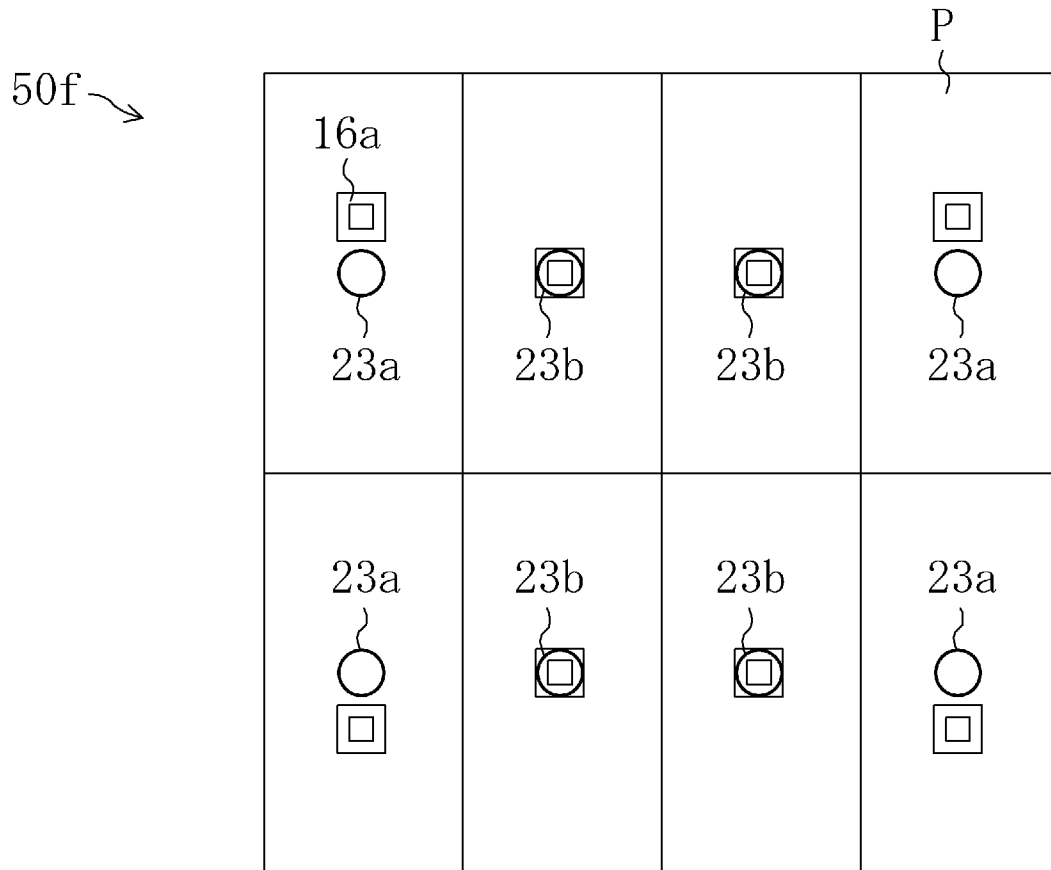
[図8]



[図9]

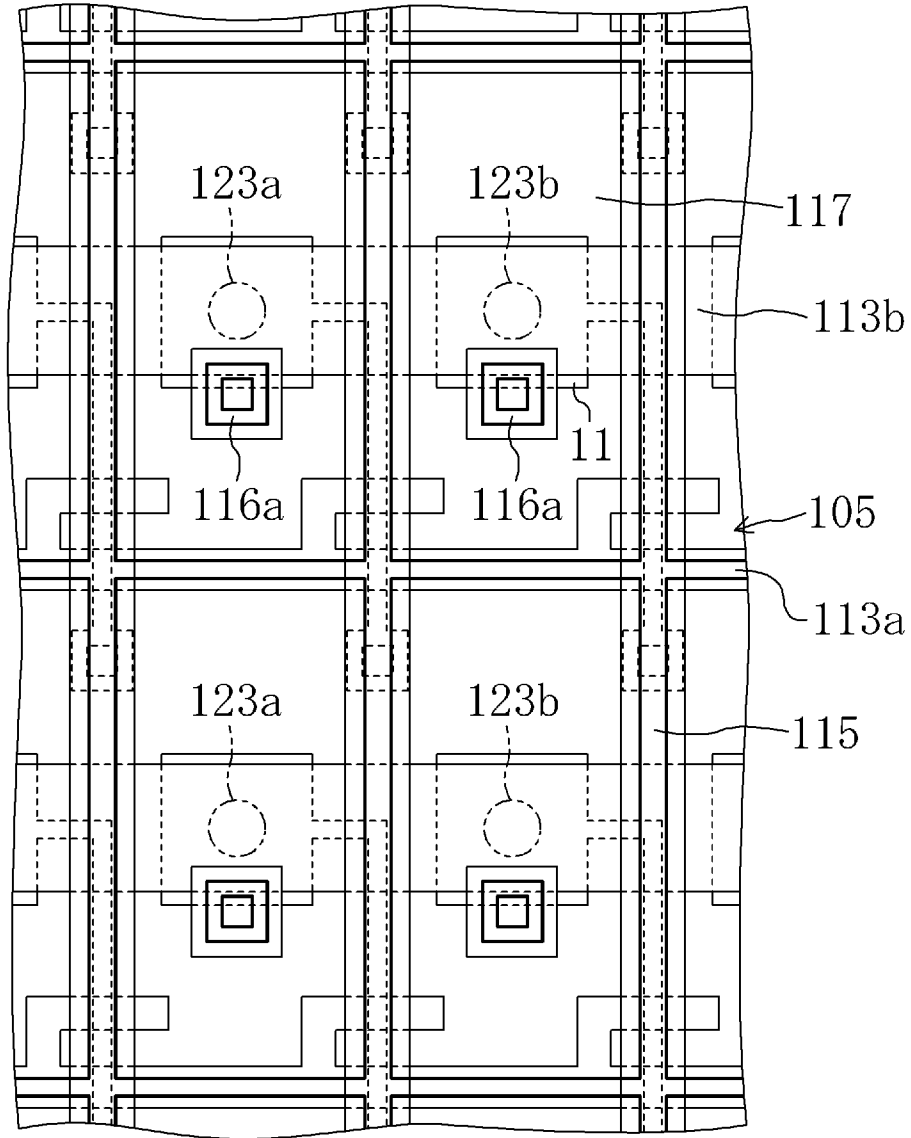


[図10]



[図11]

120



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003825

A. CLASSIFICATION OF SUBJECT MATTER G02F1/1339(2006.01) i, G02F1/1368(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G02F1/1339, G02F1/1368		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-330602 A (Sharp Corp.), 07 December, 2006 (07.12.06), Full text; all drawings & US 2007/0091240 A1	1-8
A	JP 2003-262873 A (Toshiba Corp.), 19 September, 2003 (19.09.03), Full text; all drawings (Family: none)	1-8
A	JP 2003-215602 A (Sharp Corp.), 30 July, 2003 (30.07.03), Full text; all drawings (Family: none)	1-8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 January, 2009 (21.01.09)		Date of mailing of the international search report 03 February, 2009 (03.02.09)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003825

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-139859 A (Toshiba Matsushita Display Technology Co., Ltd.), 07 June, 2007 (07.06.07), Full text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1339(2006.01)i, G02F1/1368(2006.01)i										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1339, G02F1/1368										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2009年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2009年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2009年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2009年	日本国実用新案登録公報	1996-2009年	日本国登録実用新案公報	1994-2009年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2009年									
日本国実用新案登録公報	1996-2009年									
日本国登録実用新案公報	1994-2009年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号								
A	JP 2006-330602 A (シャープ株式会社) 2006. 12. 07, 全文、全図 & US 2007/0091240 A1	1-8								
A	JP 2003-262873 A (株式会社東芝) 2003. 09. 19, 全文、全図 (ファミリーなし)	1-8								
A	JP 2003-215602 A (シャープ株式会社) 2003. 07. 30, 全文、全図 (ファミリーなし)	1-8								
A	JP 2007-139859 A (東芝松下ディスプレイテクノロジー株式会社) 2007. 06. 07, 全文、全図 (ファミリーなし)	1-8								
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献										
国際調査を完了した日 21. 01. 2009	国際調査報告の発送日 03. 02. 2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 金高 敏康 電話番号 03-3581-1101 内線 3255	2L 9712								