

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92102298※IPC分類：H01L 27/08, 27/16, 27/14, 31/119※申請日期：92年01月30日

壹、發明名稱：

(中文) 降低程式化耗電之MRAM裝置中的磁軛結構及其製造方法(英文) Magnetic yoke structures in mram devices to reduce programming powerconsumption and a method to make the same

貳、發明人(共 2 人)

發明人 1

姓名：(中文) 潘威(英文) Pan, Wei住居所地址：(中文) 美國華盛頓州溫哥華東南第二十三路一七三一號(英文) 17311 SE 23rd Way Vancouver, WA 98683 U.S.A

參、申請人(共 1 人)

申請人 1

姓名或名稱：(中文) 夏普股份有限公司(英文) シャープ株式会社住居所地址：(中文) 日本國大阪府大阪市阿倍野區長池町二二番二二號

(或營業所) (英文) _____

國籍：(中文) 日本(英文) JAPAN代表人：(中文) 1. 町田勝彥

(英文) _____

發明人 2

姓 名：(中文) 許勝籐

(英文) Hsu, Sheng Teng

住居所地址：(中文) 美國華盛頓州卡馬斯鱒魚廣場西北二二一六號

(英文) 2216 NW Trout Court, Camas, WA 98607
U.S.A.

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.美國 ; 2002/01/31 ; 10/061,974

(1)

玖、發明說明

【發明所屬之技術領域】

本發明相關於進步的非揮發性磁性隨機存取記憶體(MRAM)裝置，具體的說是相關於應用於MRAM裝置之磁隧道接面(MTJ)的磁軛結構。

【先前技術】

由於非揮發性及快速資料存取之特性，磁性隨機存取記憶體較傳統記憶體具有優勢。在所有發表的MRAM結構中，磁隧道接面MRAM似乎是達到生產之第一形MRAM裝置。Motorola 目標在2003年嘗試4M位元MRAM，eetimes, 2001年2月。一MTJ包含兩個被絕緣隧道障壁層分開之鐵磁性層。磁阻(MR)效應是在兩個鐵磁性層間傳導電子之自旋極化穿隧的結果。穿隧電流為兩個鐵磁性層中磁矩之相對方向的因素。然而，MRAM應用之一明顯缺點是於程式化時需要消耗相當大的電力。寫入過程導致大電力需求，其中，需要毫安培範圍之程式化電流以在MRAM中切換自由磁性層。Daughton, J.M., Magnetic tunneling applied to memory, J. Appl. Phys. 81(8) pp 3758-3763, April 1997. 資料寫入MRAM裝置為磁場施加至磁性材質之結果，藉以將材料磁化成兩種記憶體狀態之一。當施加磁場時，經由測出磁性材料中一電阻充電來完成讀取。通過磁性材料外部的線之電流，如同使電流通過磁性材料般，會產生磁場。

(2)

1997 年 6 月 17 日授予 Gallagher 等人之美國專利號 5,640,343，Magnetic memory array using magnetic tunnel junction device in the memory cells，提供了 MTJ 裝置之一般背景資料，亦解釋裝置如何寫入及讀取。

2001 年 2 月 6 日授予 Chen 等人之美國專利號 6,183,859，Low resistance MTJ，，描述組裝低電阻磁性 RAM 之方法。

2001 年 10 月 16 日授予 Naji 等人之美國專利號 6,304,477，Content addressable magnetic random access memory，，描述具有不同標籤程式位元線及四配線之 MRAM。

【發明內容】

MRAM 裝置包含基底；多條傳導線，包含位元線及字元線；及包含一對磁軛結構之 MTJ 堆疊，其中每一該磁軛結構均圍繞一傳導線。

於 MRAM 結構中組裝磁軛結構的方法包含準備一基底；於此基底上形成第一傳導線；組裝一 MTJ 堆疊，包含對第一傳導線組裝第一磁軛結構；於 MTJ 堆疊基底上形成第二傳導線；圍繞第二傳導線製造第二磁軛結構；於經由上述步驟取得之結構上沉澱氧化物層；及金屬化此結構。

本發明之目的為提供低電力 MRAM。

本發明之另一目的為提供應用於 MRAM 中之磁軛結

(3)

構。

本發明之概述及目的能夠有助於快速理解本發明特性。經由參照配合圖式之下述本發明之說明及較佳實施例，可獲得本發明更詳盡的理解。

【實施方式】

在本發明裝置中使用磁軛結構，及說明製造磁軛結構之方法。隨後使程式化電流降低 $1/\mu_r$ ，其中 μ_r 為軛之磁導率。若於使用之軛材質上電鍍或濺鍍具有 μ_r 約 1000 之 NiFe，則程式化電流減低至 μA 之範圍。

基本磁隧道接面 MRAM 元件由下列數層組成：一反鐵磁性 (AF) 層、一鐵磁性 (FM) 被固定層、一絕緣隧道間隙層、及鐵磁性自由層，它們係形成為磁抗堆疊。此外，設置底部及頂層傳導線以方便讀取及寫入功能。

圖 1 描繪一 MRAM 元件 10、一磁隧道接面 (MTJ) 12 之夾層結構、及一位於基底 14 上之相關感測電路。於此，"基底" 包含矽基底及任何製於矽基底上的傳導層、半傳導層、及絕緣材料。此外，基底可以具有製於其上作為基底製備的一部份之金屬氧化物半導體 (MOS) 電晶體。圖 1 之大體構造包含如同位元線 16 之傳導線，內嵌於馬蹄形磁軛結構 18 中；字元線 20，亦內嵌於馬蹄形磁軛結構 22 中；及一導線孔 24，連接至 MOS 電晶體 26。MTJ 12 包含一 AF 被固定層 28、一 FM 被固定層 30、一絕緣間隙層 32、一隧道障壁層 34、FM 自由層 36、38、及一底部

(4)

電極 40。種晶層及覆蓋層稍後將敘述於下。表 1 列舉一組各層參數。

MTJ 組件	
種晶層	Ta, 厚度 7 nm
底部電極	NiFe (30 nm); Al (25 nm) + NiFe (4 nm)
交換釘扎	反鐵磁性 (AF) $Mn_{54}Fe_{46}$ (8-10 nm) 或 IrMn
FM 被固定層	$Co_{84}Fe_{16}$ (3 nm); $Co_{40}Fe_{60}$; $Ni_{60}Fe_{40}$ 或 Co (4 nm) / Ru (7 nm) / Co (4 nm)
隧道障壁層	Al (0.7~1.0 nm) + 電漿氧化; 或原子層沉積 (ALD) Al_2O_3 ; 臨界層
FM 自由層	CoFe (3 nm)
FM 自由層	NiFe (7 nm)
覆蓋層	Ta (3-10 nm); 或 Al

表 1

磁軛結構 42 之軟磁材料圍繞字元線 (WL) 20, 磁軛結構 42 含有約 1000 之磁導率。假設各層厚度如同表 1 所示, 計算結果顯示, 圍繞磁軛結構, 程式化電流可以減低至 μA 範圍, 而於磁性自由層產生 20 Oe 程式化場。若無磁軛結構存在, 對相同結構而言, 程式化電流約為 4mA。

現在參照圖 2, 描述本發明第一磁軛結構之製造。矽基底 14 可為 n 型或 p 型矽。將二氧化矽層 42 以介於約 500nm 到 1000nm 之厚度沉澱於基底 14 之上。依據氧化物

(5)

層厚度，蝕刻氧化物層 42 以形成深度介於約 400nm 至 900nm 之溝槽並於基底上留下厚度約 100nm 之氧化物。經由濺鍍沉積一厚度約為 200nm 之 NiFe 層 44。以化學氣相沉積法 (CVD) 沉積另一二氧化矽層 46，接著沈積可為 TiN 或 WN 之銅障壁層 48，及在銅障壁層 48 上沉積銅傳導線 20。經由化學機械研磨 (CMP) 平滑該結構以移除過多的銅並蝕刻銅障壁層 48。以光阻圖型化及部分覆蓋該結構以覆蓋傳導線 20。經由離子研磨蝕刻製程移除 NiFe 層。在經由 CMP 平滑該結構以暴露傳導線之後，以二氧化矽層 50 覆蓋暴露的表面。接著於傳導線 20 上形成 MTJ 堆疊 12。

圖 4-13 更詳細地描述製造用於 MRAM 中磁軛結構之連續步驟。圖 4 描述可能具有一或更多 MOS 電晶體形成於上之矽基底 14。如同前述，形成字元線 (WL) 20 並將其嵌入於第一磁軛結構 22 中。WL 於此稱為第一傳導線，可由諸如鋁、銅、或鉑等適合金屬形成介於約 400nm 至 900nm 的厚度，然而銅較為適合。於本發明之此實施例中，MTJ 堆疊 12 製於 WL20 上製造，並包含列於表 1 之材料層，並以列於表 1 之厚度沉積。

圖 5，WL 及 MTJ 堆疊由氧化物層 56 覆蓋，以 CVD 沉積厚度介於約 50nm 至 100nm。

圖 6，圖型化及蝕刻氧化物層以曝露 MTJ 堆疊之曝露部分。

圖 7，NiFe 層 58 沉積於該結構上，厚度約為

(6)

100nm。此層提供用於隨後之軛電鍍的種子層。

圖 8，施加光阻 60 及沉澱另一 NiFe 層 62，提供約為 1000nm 的整體 NiFe 厚度。

圖 9，剝除光阻，並離子研磨 NiFe 以移除覆蓋氧化物之 NiFe，留下較厚的 NiFe 層覆蓋於氧化物先前被移除的結構中的那些部分。

圖 10，經由 CVD 沉積厚度介於約 50nm 至 100nm 之氧化物層 64，完全地覆蓋該構造，。

圖 11，於位元線溝槽 68 中形成金屬障壁層 66，且位元線溝槽被填以諸如銅之金屬以形成位元線 (BL)16，於此稱為第二傳導線。經由化學機械研磨 (CMP) 平滑該結構。

圖 12，氧化物層 70 沉積於該結構上，厚度約為 100nm。氧化物層被掩罩及蝕刻，以開啓 NiFe 層磁性接點的頂部。沉積另一 NiFe 層 72，厚度約為 200nm。NiFe 元件 62 及 72 形成用於具有馬蹄形配置之 BL16 之內嵌結構 18，如同內嵌結構 22 之作用般。

圖 13，該結構被圖型化，經由離子研磨移除圖中左邊之 NiFe。於圖中右方之 NiFe 材料會連接至電晶體 26。藉由適當的金屬化以完成該結構。BL 及 WL 可互換，亦即，BL 可形成作為第二傳導線，而 WL 可被形成作為第一傳導線，因此這些結構的製程及它們的磁軛結構也可互換。

配置圖 14-21，說明根據本發明的方法之製造 MRAM

(7)

之一替代方法。參考圖 14，結構係以頂視圖顯示，顯示其餘圖 15-21 之方向。在圖 15-21 之各圖中，圖的左邊為平行於 BL 之 A-A 剖面圖，而圖的右邊為平行於 WL 之 B-B 剖面圖。再者，根據發明之製造磁軌結構 80 之第一步驟為製備基底 82。該基底可為 n 型或 p 型矽晶圓，MOS 電晶體製於其上。如圖 15 所示，於基底上形成氧化物層 84，厚度介於約 500nm 至 1000nm 間。經由雙鑲嵌製程以圖型化及蝕刻氧化物層 84，以及藉由 CVD 或 PVD 以沈積用於 WL86 之金屬。該沉澱之金屬可為鋁、銅或鉑。沈積厚度約 45nm 至 55nm 之 Ta, NiMn, CoFe, Ta, FeMn, CoFe, 或 Ta, NiFe, FeMn, CoFe 之固定磁層組 88，及沈積厚度約 1nm 至 2nm 之 Al_xO_y 層 90，以形成一隧道障壁層。接著沈積厚度 7nm 至 12nm 的 NiFe 之自由磁層 92，隨後沈積厚度為 500nm 至 1000nm 的氮化矽層 94，。圖型化及蝕刻該結構，造成如圖 15 之記憶體堆疊結構。

沈積厚度約 800nm 至 1400nm 氧化物層 96。以 CMP 平滑該結構，造成圖 16 之結構。該結構由光阻覆蓋及以雙鑲刻製程，形成深度約 500nm 至 1000nm 之溝槽及導線孔，以形成 BL 溝槽 98。接著蝕刻氧化物層 96，如同氮化矽層 94 般，造成圖 17 之結構。

參考圖 18，以 CVD 沉積銅於 BL 溝槽之中，形成 BL100，且經由 CMP 拋光。經由濕式蝕刻製程移除氮化矽層 94，造成圖 19 之結構。沈積厚度約 500nm 至 1000nm 之第二自由磁層 102，覆蓋 BL，並經由氮化物的移除來填

(8)

充溝槽。部分第二自由磁層會由光阻遮蓋，而其餘部份會由蝕刻移除，留下如圖 20 之結構。

參考圖 21，沈積厚度約 1000nm 至 2000nm 之氧化物層 104，使鈍化，並金屬化該結構（未顯示），完成本發明之磁軛結構。該結構可被反轉，亦即，BL 可置於 MR 堆疊的底部上而 WL 可置於堆疊的頂部上。

如此，揭示以本發明製造磁軛結構之方法，其可用於 MRAM 裝置中以減低程式化耗電。應瞭解其它變異及修改係在後附的申請專利範圍中所界定的本發明之範圍中。

【圖式簡單說明】

圖 1 描述 MTJ MRAM 元件及相關電路圖。

圖 2 及圖 3 描述根據本發明之 MTJ MRAM 之軛結構。

圖 4 - 13 描述本發明方法之較佳實施例中連續步驟。

圖 14 描述根據本發明製造之 MRAM 陣列。

圖 15-21 描述本發明另一實施例之連續步驟。

主要元件對照表

10 磁性隨機存取記憶體元件

12 磁隧道界面

14 基底

16 位元線

(9)

- 18 磁軛結構
- 20 字元線
- 22 磁軛結構
- 24 導線孔
- 26 金屬氧化物半導體電晶體
- 28 反鐵磁性被固定層
- 30 鐵磁性被固定層
- 32 絕緣間隙層
- 34 隧道障壁層
- 36 鐵磁性自由層
- 38 鐵磁性自由層
- 40 底部電極
- 42 磁軛結構
- 44 NiFe 層
- 46 二氧化矽層
- 48 銅障壁層
- 50 二氧化矽層
- 56 氧化物層
- 58 NiFe 層
- 60 感光保護膜
- 62 NiFe 層
- 64 氧化物層
- 66 金屬障壁層
- 68 位元線溝槽

I282162

(10)

- 70 氧化物層
- 72 NiFe 層
- 80 磁軛結構
- 82 基底
- 84 氧化物層
- 86 位元線
- 88 磁層組
- 90 Al_xO_y 層
- 92 自由磁層
- 94 氮化矽層
- 96 氧化物層
- 98 位元線溝槽
- 100 位元線
- 102 自由磁層
- 104 氧化物層

肆、中文發明摘要

發明之名稱：降低程式化耗電之 MRAM 裝置中的磁軛結構及其製造方法

磁性隨機存取記憶體 (MRAM) 裝置包含一基底；多條傳導線，包含位元線及字元線；及包含一對磁軛結構之磁隧道接面 (MTJ) 堆疊，其中，每一該磁軛結構均圍繞傳導線。於 MRAM 結構中製造磁軛結構之方法包含製備一基底；於基底上形成第一傳導線；製造 MTJ 堆疊，包含圍繞第一傳導線製造第一磁軛結構；於 MTJ 堆疊上形成第二傳導線；圍繞第二傳導線製造第二磁軛結構；於此結構上沉積氧化物層；及金屬化此結構。

伍、英文發明摘要

發明之名稱：Magnetic yoke structures in MRAM devices to reduce programming power consumption and a method to make the same

An MRAM device includes a substrate; plural conductive lines, including a bit line and a word line; and a MTJ stack including a pair of magnetic yoke structures, wherein each of said yoke structures surrounds a conductive line. A method of fabricating a magnetic yoke structure in an MRAM structure includes preparing a substrate; forming a first conductive line on the substrate; fabricating a MTJ stack, including fabricating a first magnetic yoke structure about the first conductive line; forming a second conductive line on the MTJ stack; fabricating a second magnetic yoke structure about the second conductive line; depositing a layer of oxide on the structure; and metallizing the structure.

(1)

拾、申請專利範圍

1. 一種磁性隨機存取記憶體裝置，包含：
基底；
多條傳導線，包含位元線及字元線；及
磁隧道接面組，包含磁軛結構對，其中每一該磁軛結構均圍繞傳導線。
2. 如申請專利範圍第 1 項之磁性隨機存取記憶體裝置，其中該磁軛結構具有馬蹄形配置。
3. 如申請專利範圍第 1 項之磁性隨機存取記憶體裝置，其中該基底包含連接至該多個導線之一的金屬氧化物半導體電晶體。
4. 如申請專利範圍第 1 項之磁性隨機存取記憶體裝置，其中該磁隧道接面堆疊包含反鐵磁性被固定層、一鐵磁性被固定層、一絕緣間隙、一隧道障壁層、二鐵磁性自由層、底部電極、一種子層及一覆蓋層。
5. 如申請專利範圍第 1 項之磁性隨機存取記憶體裝置，其中該磁軛結構依次包含一氧化物層、一 NiFe 層、及一圍繞相關傳導線之氧化物層。
6. 如申請專利範圍第 5 項之磁性隨機存取記憶體裝置，其中該磁軛結構包含一銅障壁層，位於該 NiFe 層及該傳導線之間，且其中該銅障壁層選自 TiN 及 WN 組成之材料族群。
7. 如申請專利範圍第 1 項之磁性隨機存取記憶體裝置，其中該基底包含一 MOS 電晶體及其中第一傳導線形

(2)

成於基底上且由內嵌磁軛結構圍繞；以及，其中該磁隧道接面堆疊包含一固定磁層，該固定磁層係選自 Ta、NiMn、CoFe；Ta、FeMn、CoFe；及 Ta、NiFe、FeMn、CoFe 組成之磁層族群；其中該磁隧道接面堆更包含一隧道障壁層及一自由磁層。

8.如申請專利範圍第 7 項之磁性隨機存取記憶體裝置，其中該自由磁層選自由 NiFe 及 CoFe 組成之磁層族群。

9.如申請專利範圍第 1 項之磁性隨機存取記憶體裝置，其中磁性隨機存取記憶體需要的程式化電流在 μA 範圍。

10.一種於磁性隨機存取記憶體結構中製造磁軛結構之方法，包含以下步驟：

- a) 製備基底；
- b) 於該基底上形成第一傳導線；
- c) 製造一磁隧道接點堆疊，包含製造圍繞第一傳導線之第一磁軛結構；
- d) 於磁隧道接點堆疊上形成第二傳道線；
- e) 圍繞第二傳導線製造第二磁軛結構；
- f) 於該結構上沉積一氧化物層；及
- g) 金屬化經由步驟 a) - f) 獲得之結構。

11.如申請專利範圍第 10 項之方法，其中，於基底上形成第一傳導線之該 b) 步驟包含於基底上形成位元線，及其中於磁隧道接點堆疊上形成第二傳導線之該 d) 步

(3)

驟，包含於磁隧道接點堆疊上形成字元線。

12.如申請專利範圍第 10 項之方法，其中，於基底上形成第一傳導線之該 b) 步驟，包含於基底上形成字元線，及其中於磁隧道接點堆疊上形成第二傳導線之該 d) 步驟包含於磁隧道接點堆疊上形成位元線。

13.如申請專利範圍第 10 項之方法，其中，製備基底之該 a) 步驟包含於基底上製告一 MOS 電晶體；又包含連接 MOS 電晶體至第一及第二傳導線之一。

14.如申請專利範圍第 10 項之方法，其中，製造第一磁軛結構之該 c) 步驟，及製造第二磁軛結構之該 e) 步驟包含製造馬蹄形結構。

15.如申請專利範圍第 10 項之方法，其中，製造第一及第二磁軛結構之該 c) 步驟及 e) 步驟，依次包含：沉積一氧化物層、沉積一 NiFe 層、及沉積圍繞相關傳導線之氧化物層。

16.如申請專利範圍第 15 項之方法，其中，製造第一及第二磁軛結構之該 c) 步驟及 e) 步驟，包含：於 NiFe 層及相關傳導線之間製造一銅障壁層，及其中銅障壁層選自 TiN 及 WN 組成之材料族群。

17.如申請專利範圍第 10 項之方法，其中，製備基底之該 a) 步驟，包含於基底上製造一 MOS 電晶體，及其中製造磁隧道接點堆疊之該 b) 步驟包含製造一固定磁層，該固定磁層選自 Ta、NiMn、CoFe；Ta、FeMn、CoFe；及 Ta、NiFe、FeMn、CoFe 組成之磁層族群；更包含製造一

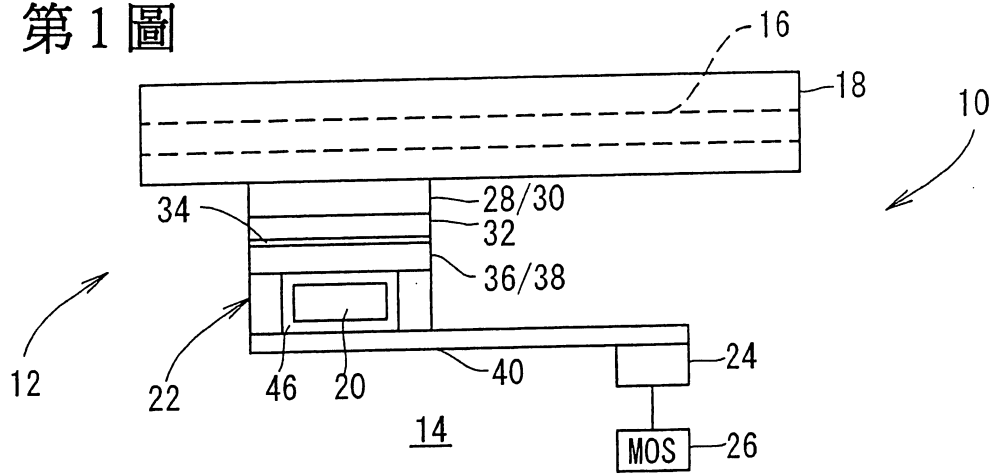
(4)

隧道障壁層級及製造一自由磁層。

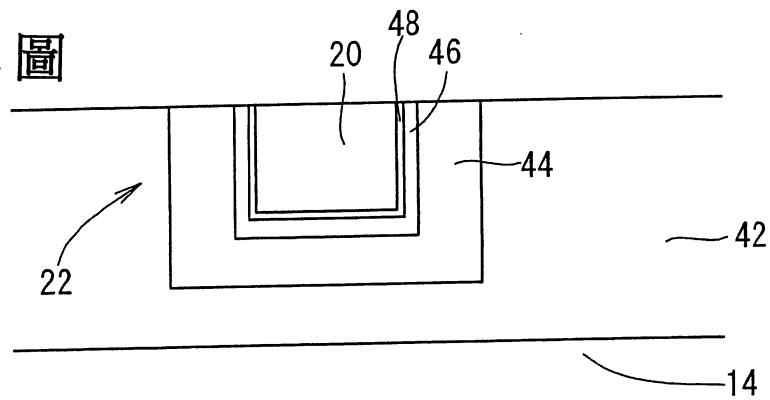
18.如申請專利範圍第 17 項之方法，其中該製造一自由磁層包含製造一層選自 NiFe 及 CoFe 組成之磁層族群。

19.如申請專利範圍第 10 項之方法，其中包含製造一具有 μA 範圍的程式化電流之磁性隨機存取記憶體。

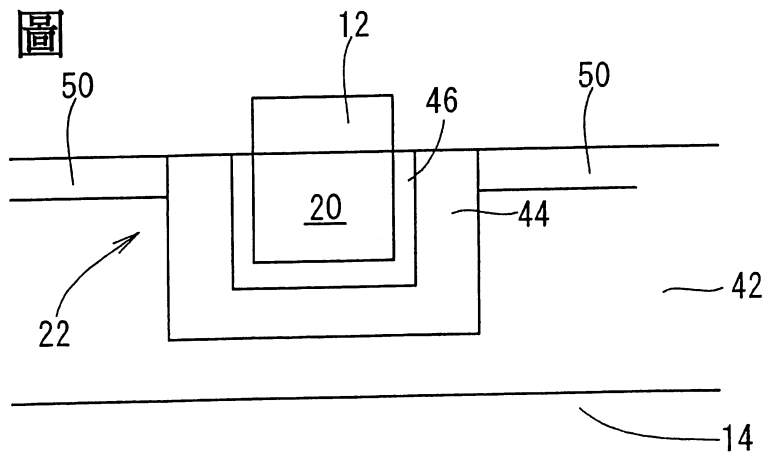
第 1 圖



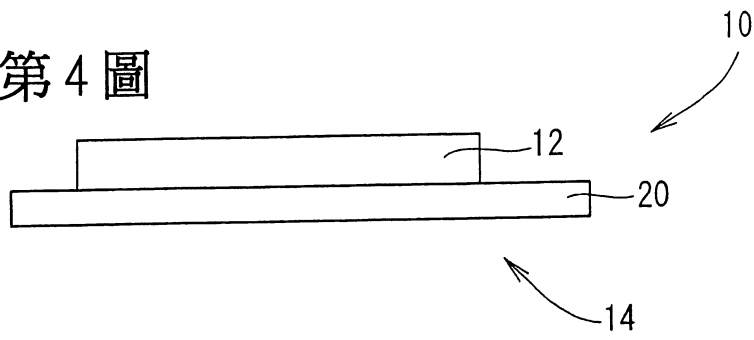
第 2 圖



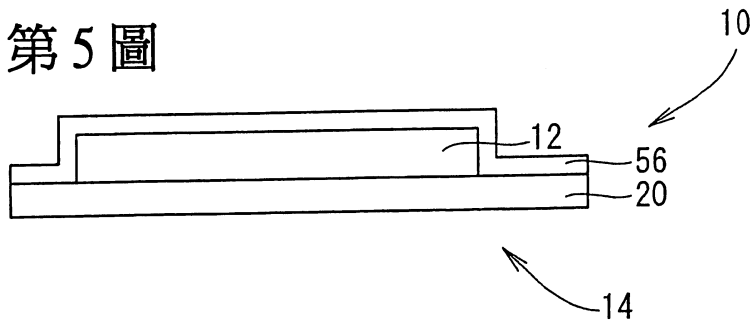
第 3 圖



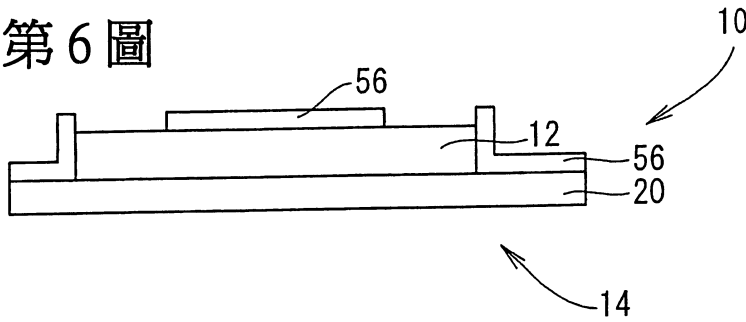
第 4 圖



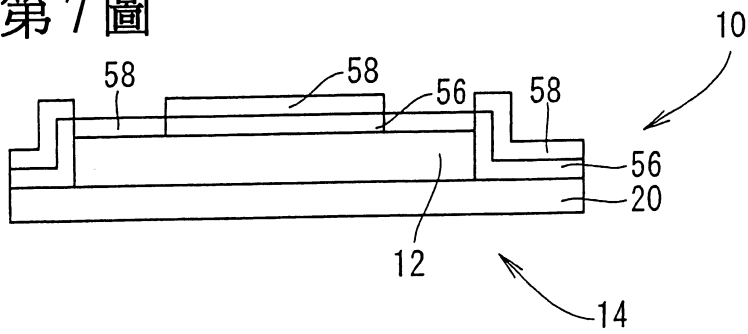
第 5 圖



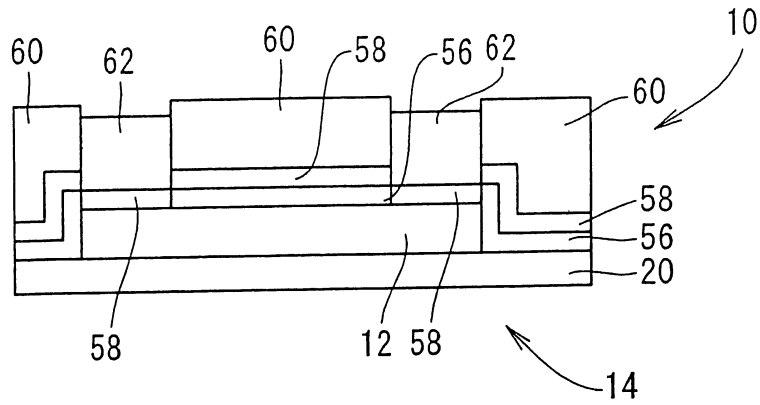
第 6 圖



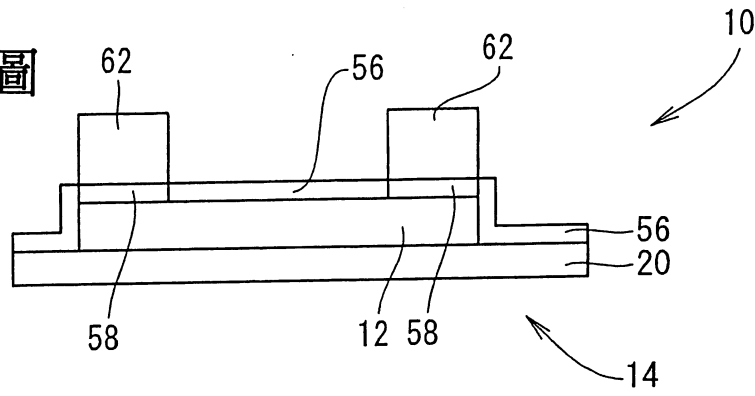
第 7 圖



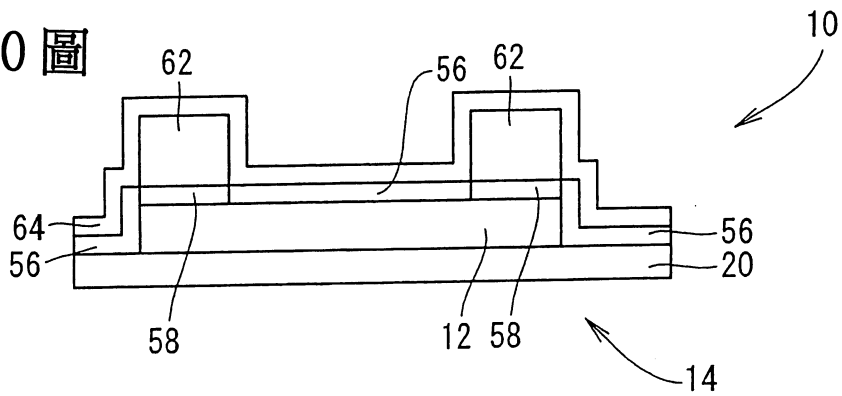
第 8 圖



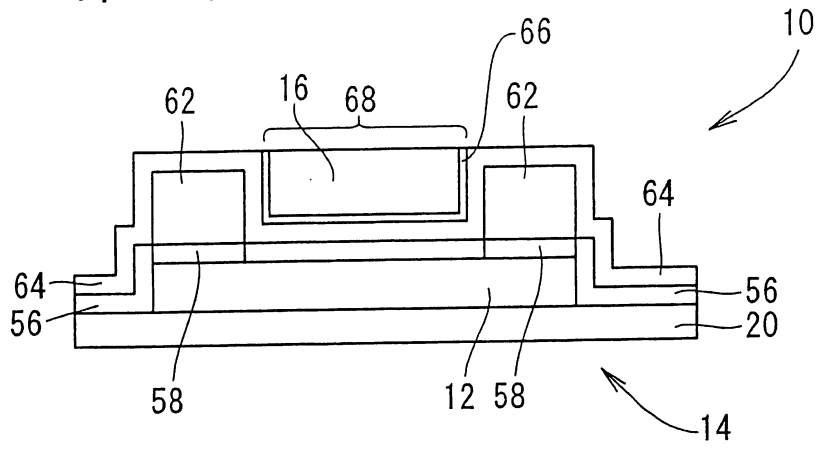
第 9 圖



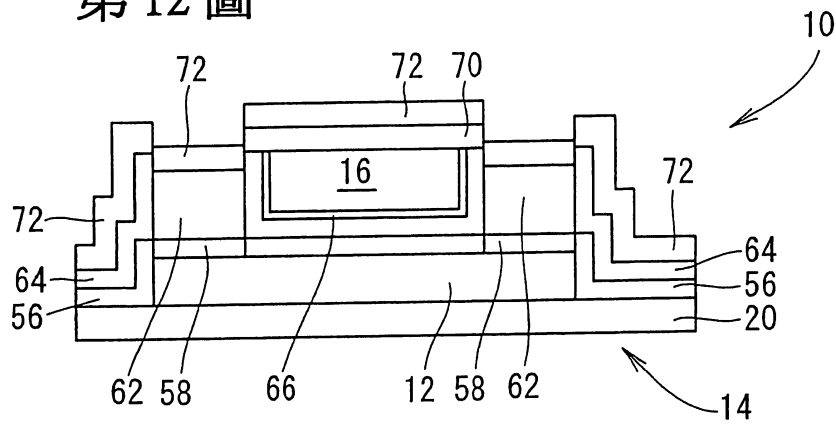
第 10 圖



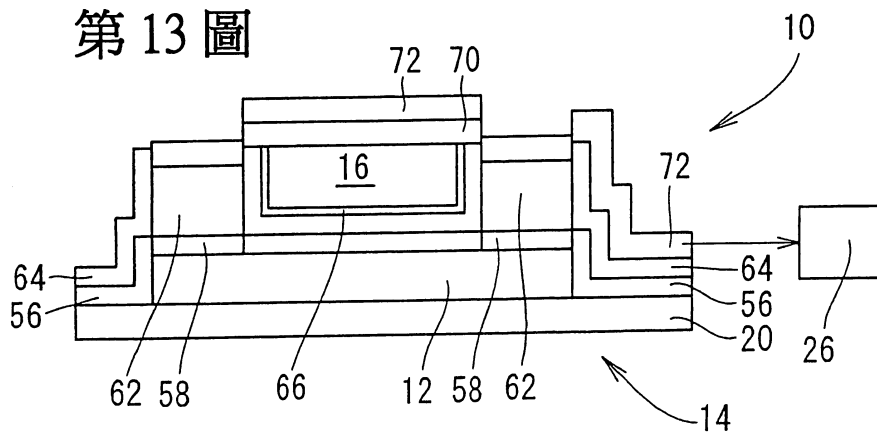
第 11 圖

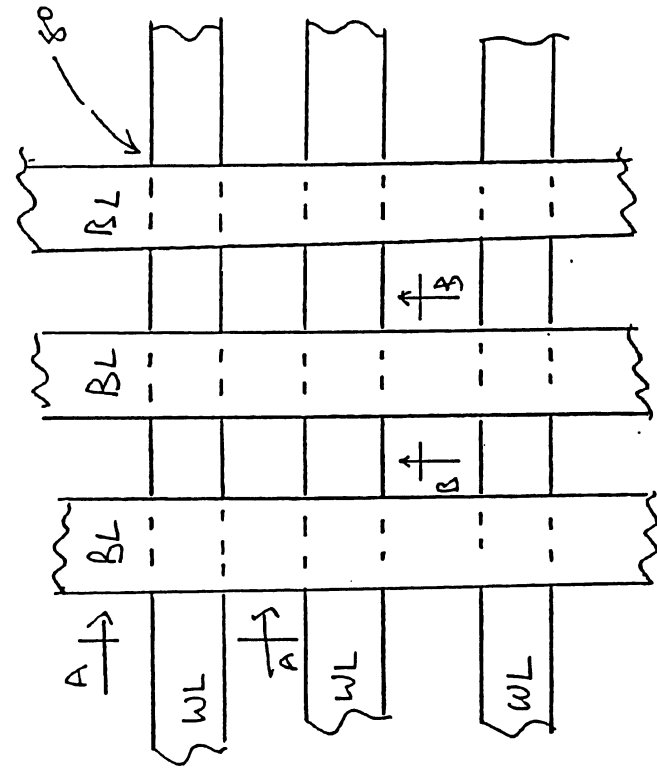


第 12 圖



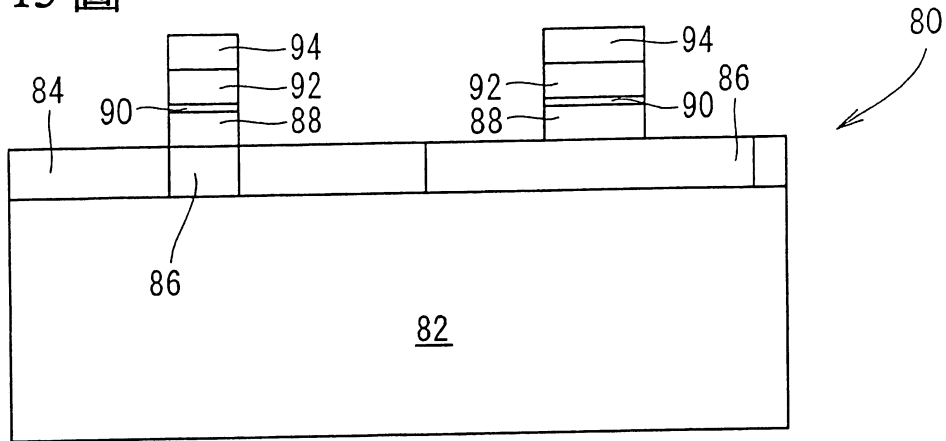
第 13 圖



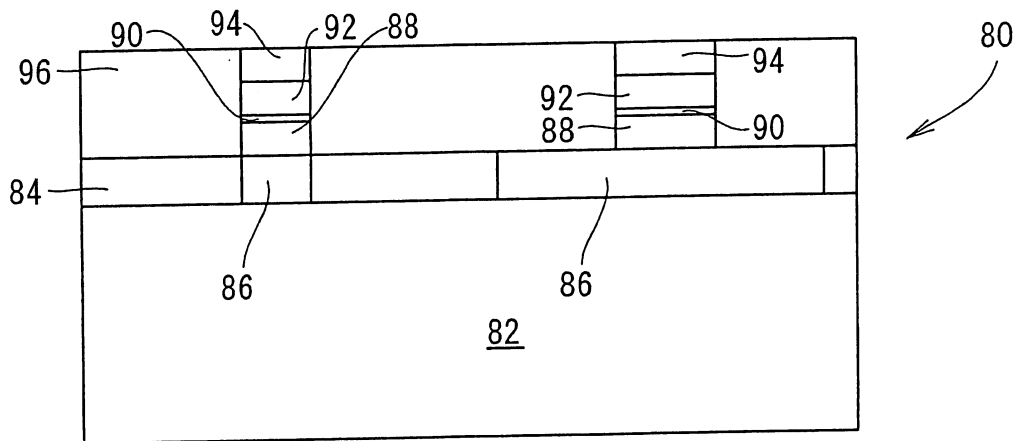


第14圖

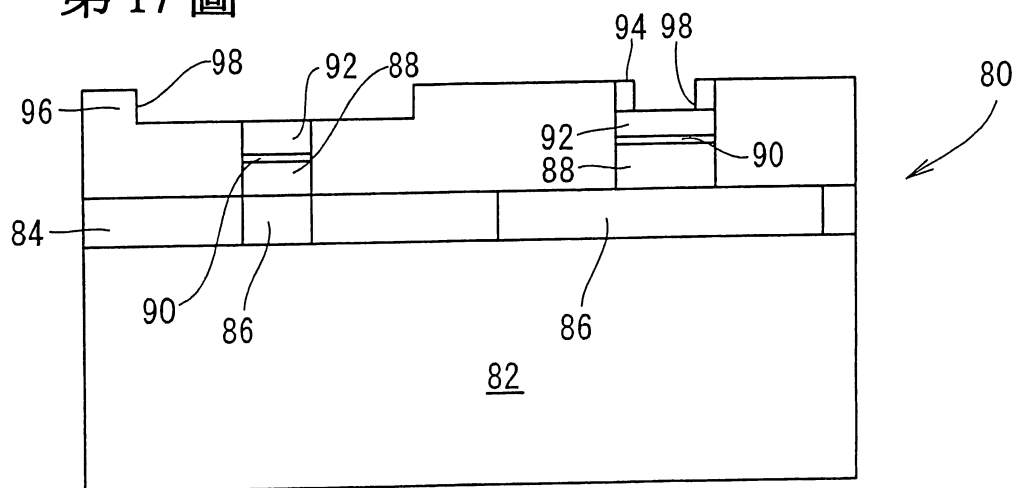
第 15 圖



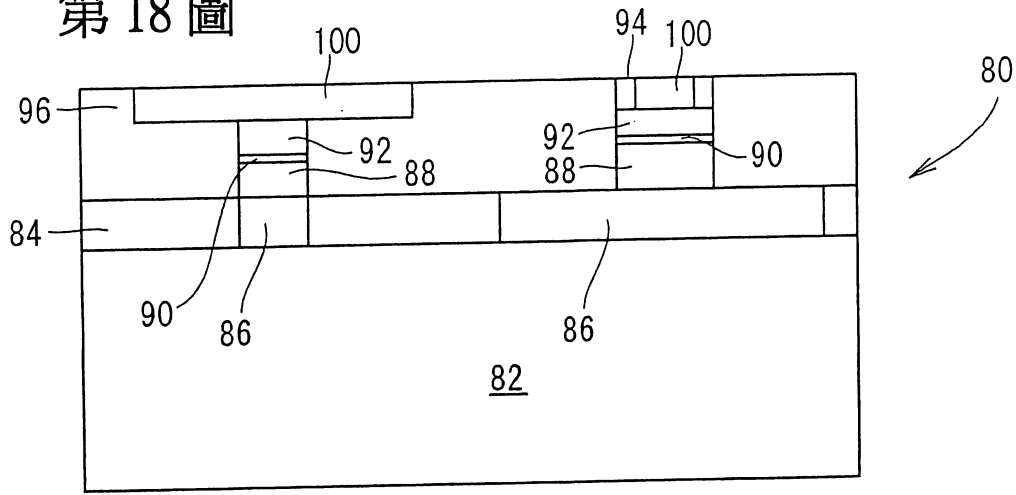
第 16 圖



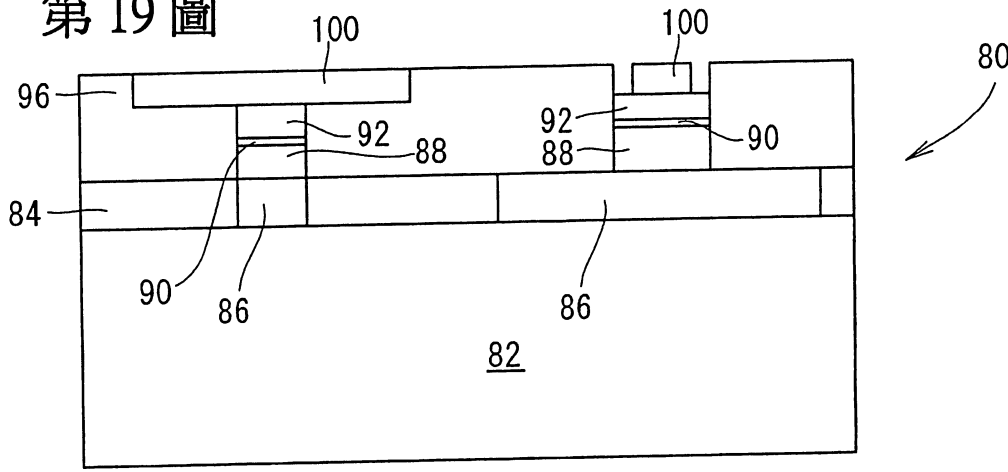
第 17 圖



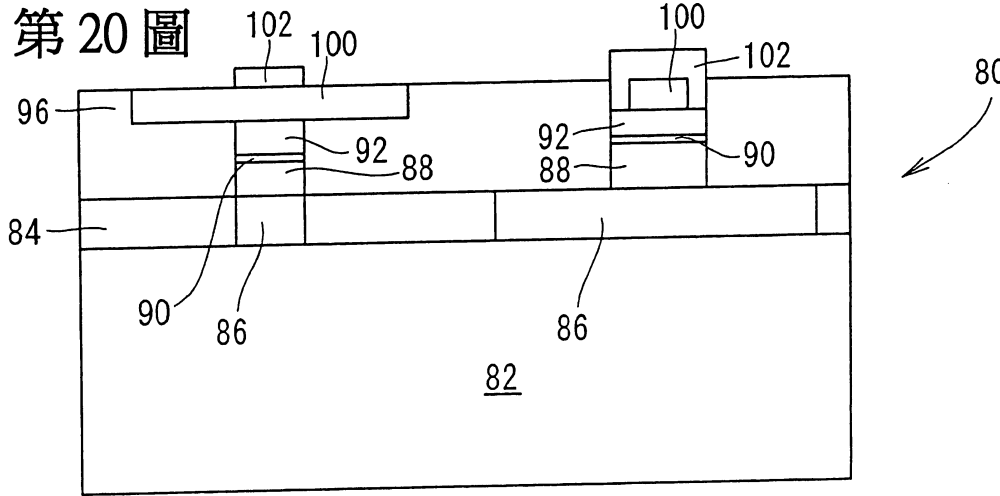
第 18 圖



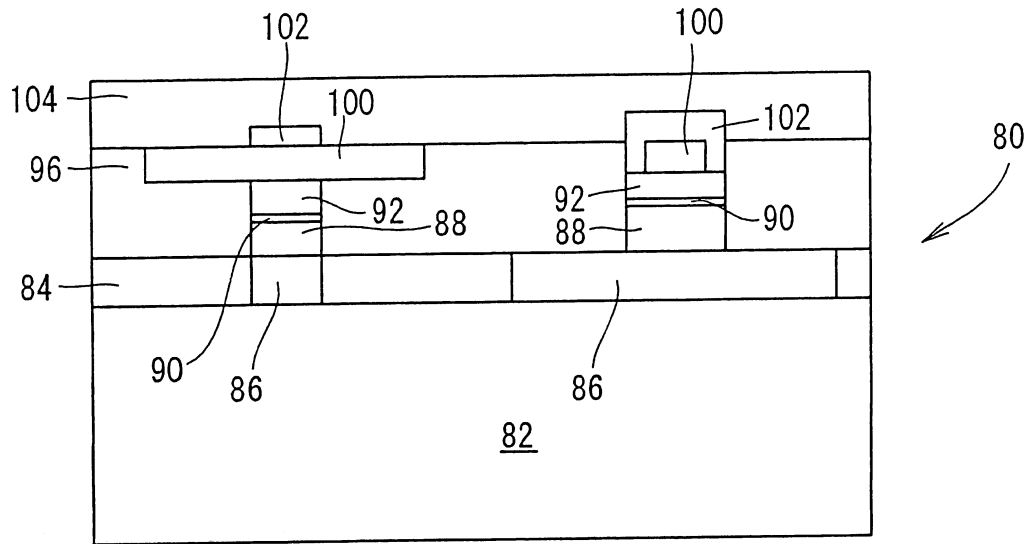
第 19 圖



第 20 圖



第 21 圖



- 陸、 (一)、本案指定代表圖為：第 1 圖
(二)、本代表圖之元件代表符號簡單說明：

10：磁性隨機存取記憶體元件
12：磁隧道接面
14：基底
16：位元線
18：磁軌結構
20：字元線
22：磁軌結構
24：導線孔
26：金屬氧化物半導體電晶體
28：反鐵磁性被固定層
30：鐵磁性被固定層
32：絕緣間隙層
34：隧道障壁層
36：鐵磁性自由層
38：鐵磁性自由層
40：底部電極
46：二氧化矽層

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：