[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/04

[12] 发明专利说明书

[21] ZL 专利号 97118410.0

[43] 授权公告日 2003 年 3 月 26 日

[11] 授权公告号 CN 1104052C

[22] 申请日 1997.9.4 [21] 申请号 97118410.0

[30] 优先权

[32] 1996.12.26 [33] JP [31] 347664/1996

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 安田宪一 濑户川润 大石司

[56] 参考文献

JP8－339682 2096.12.24 G11C11401

US5426615A 2095.06.20 G11C502

审查员 赵百令

[74] 专利代理机构 中国专利代理(香港)有限公司

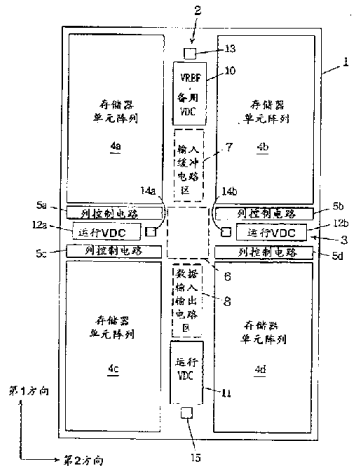
代理人 杨 凯 叶恺东

权利要求书 2 页 说明书 26 页 附图 9 页

[54] 发明名称 半导体装置

[57] 摘要

提供具有高效率地配置的内部电源电路的半导体装置。 在半导体芯片(1)的半导体装置形成区域(10)中配置基准电压发生电路和备用降压电路，配置包含邻接于实际消耗电流的电路区、在运行周期时工作的运行降压电路的区域(12a、12b、11)。与将备用降压电路和运行降压电路都配置在各电流消耗电路附近的结构相比，可以抑制面积的增加，可以高效率地配置内部电源电路。



ISSN1008-4274

1、一种具有备用周期和运行周期的半导体装置，其特征在于，包括：

备用降压电路，配置在上述半导体装置的芯片配置区的周边部，在上述备用周期和运行周期内工作使外部电源电压降压后在内部电源线上生成内部电源电压；

至少一个运行降压电路，配置在与上述备用降压电路的配置区不同的区域中、在上述运行周期内被激活、将上述外部电源电压降压后在上述内部电源线上生成上述内部电源电压；和

配置在上述运行降压电路的附近、在上述运行周期时被供给来自上述该运行降压电路的上述内部电源电压的控制电路，

所述控制电路是接受外部供给的控制信号生成内部控制信号的中央控制电路。

2、权利要求1所述的半导体装置，其特征在于，所述半导体装置还具备：具有多个排列成行列状的存储单元的存储器阵列；

所述控制电路根据外部控制信号控制与上述存储器阵列的存储单元列的选择关联的工作的列控制电路。上述列控制电路配置在上述运行降压电路的附近，把上述内部电源线上的内部电源电压作为其一个工作电源电压来工作。

3、权利要求1或2所述的半导体装置，其特征在于，还具备配置在上述周边部的区域的、生成基准电压的基准电压发生电路，

上述运行降压电路和上述备用降压电路各自具备将与上述内部电源线上的内部电源电压对应的电压与上述基准电压进行比较、根据该比较结果从上述外部电源电压供给节点向上述内部电源线供给电流的内部电压调整电路。

4、权利要求1所述的半导体装置，其特征在于，上述半导体装置的配置区域由第1中央区和第2中央区分割成4个区域，上述第1中央区配置在第1方向的延伸线上且在与上述第1方向正交的第2方向的中央部，上述第2中央区配置在上述第2方向的延伸线上且在上述第1方向的中央部；

上述备用降压电路配置在上述第1中央区的周边部，而且上述运行降压电路至少配置在上述第2中央区。

5、权利要求1所述的半导体装置，其特征在于，设有多个上述运行

降压电路。

6、权利要求5所述的半导体装置，其特征在于，上述至少一个运行降压电路包含配置在与上述第1中央区的、与上述第2中央区关联的与上述周边部区域相对的位置上的运行降压电路。

7、权利要求1，2，5或6所述的半导体装置，其特征在于，还具有分别与在上述备用降压电路和上述运行降压电路对应并配置在其附近的、接受上述外部电源电压向对应的降压电路供给上述外部电源电压的电源焊点。

8、权利要求7所述的半导体装置，其特征在于，上述可变电平移位电路各自包含电阻电路，通过电阻值可调整的电阻元件使对应的内部电源线上的电压降低，

上述调整电路包含程控熔丝电路，通过连接（link）元件的熔断来调整上述各电阻电路的电阻元件的电阻值。

9、权利要求7所述的半导体装置，其特征在于，上述芯片由第1中央区和第2中央区分割成4个区域，上述第1中央区配置在第1方向的延伸线上且在第2方向的中央，上述第2中央区配置在上述第2方向的延伸线上且在上述第1方向的中央，上述第1区配置在上述第1中央区的周边部，而且上述驱动电路至少配置在上述第2中央区。

半导体装置

发明领域

本发明涉及内置电压变换电路的半导体装置，该电压变换电路将外加电源电压变换后生成内部工作电源电压，特别是涉及具有芯片内的内部降压电路的半导体存储器，该内部降压电路将外部电源电压降压后生成内部电源电压。

背景技术

随着半导体装置的集成度的提高，作为其构成要素的晶体管元件越来越微型化了。为了保证微型化了的晶体管元件的可靠性，使信号幅度变小并降低信号线的充放电电流由此减少电流的消耗，设有为降低外部电源电压的芯片内的电压变换电路，以比外部电源电压低的、由该电压变换电路产生的电压来驱动内部电路。

作为具有这种电压变换电路的半导体装置的典型例子，有动态随机存取存储器（DRAM）。在 DRAM 中，从高速工作、元件的可靠性和低消耗电流的观点来看，希望尽可能低的工作电源电压。但是，决定系统电源电压的处理器等的逻辑门的集成度比 DRAM 的集成度低，所以，逻辑门的电源电压不能低到 DRAM 的工作电压。此外，DRAM 需要保持与老产品的互换性。因此，在 DRAM 内部将高的系统电源电压降低，生成比该系统电源电压低的内部工作电源电压来驱动 DRAM 的内部电路。

图 11 是概略地示出 DRAM 中一般使用的现有的内部降压电路的构成的图。在图 11 中，内部降压电路 VDC 包括：接受加在外部电源节点 EX 上的外部电源电压 VCE 和接地电压、产生规定电压电平的基准电压 Vref 的基准电压发生电路 RVG；将内部电源线 IVL 上的内部电源电压 VCI 与基准电压 Vref 进行比较的比较器 CMP；由连接在外部电源节点 EX 和内部电源线 IVL 之间且其栅极接受比较器 CMP 的输出信号的 P 沟道 MOS 场效应管构成的电流驱动晶体管 DT。负载电路 LC 把该内部电源线 IVL 上的内部电源电压 VCI 作为其一个工作电源电压来工作。下面，说明该图 11 所示的内部降压电路 VDC 的工作。

当内部电源线 IVL 上的内部电源电压 VCI 比基准电压 Vref 高时，比较器 CMP 的输出信号变成高电平，电流驱动晶体管 DT 的导纳变小，从外部电源节点 EX 向内部电源线 IVL 供给的电流减小或者停止。

另一方面，当内部电源电压 VCI 比基准电压 Vref 低时，比较器 CMP 的输出信号变成低电平，电流驱动晶体管 DT 的导纳变大，从外部电源节点 EX 向内部电源线 IVL 供给电流，使内部电源电压 VCI 的电压电平上升。该比较器 CMP 通常由差动放大电路构成，将内部电源电压 VCI 和基准电压 Vref 的差值进行差动放大。因而，该电流驱动晶体管 DT 根据内部电源电压 VCI 和基准电压 Vref 差值从外部电源节点 EX 向内部电源线 IVL 供给电流，由此，内部电源电压 VCI 大致保持在基准电压 Vref 的电压电平上。

负载电路 LC 进行工作，消耗内部电源线 IVL 上的电流，在内部电源电压 VCI 降低时比较器 CMP 的输出信号的电压电平降低，电流驱动晶体管 DT 从外部电源节点 EX 向内部电源线 IVL 供给大的电流，使该内部电源电压 VCI 恢复原来的电平。

通过利用电流驱动晶体管 DT 和比较器 CMP 的反馈回路，可以稳定地产生电压电平比外部电源电压 VCE 低的内部电源电压 VCI 来使内部电路（负载电路 LC）工作。

电流驱动晶体管 DT 作为外部电源节点 EX 和内部电源线 IVL 之间的电阻而起作用。因此，在负载电路 LC 工作、消耗内部电源线 IVL 上的电流时，为了高速补偿因该电流消耗而引起的内部电源电压 VCI 的电压降低、使该内部电源电压恢复到原来的电压电平，该电流驱动晶体管 DT 必须供给大于负载电路 LC 工作时消耗的电流的电流。为此，使该电流驱动晶体管 DT 的栅极宽度 W（或栅极宽度和长度的比 W/L）变大，使其电流驱动能力足够大。因此，电流驱动晶体管 DT 占有较大的面积。

此外，当负载电路 LC 工作速度加快、电流消耗增大时，流过内部电源线 IVL 的电流增加。若设工作频率为 f、应驱动的负载电容为 Ce、负载电容 Ce 电极的电压幅度为 V，则电流消耗 I 由 $I=f \cdot Ce \cdot V$ 给出。因此，若工作频率提高，则流过内部电源线 IVL 的平均电流增加。

在此状态下，当内部降压电路 VDC 和负载电路 LC 之间的距离变长、它们之间的内部电源线 IVL 的长度也变长时，则不能忽视因该内部电源

线 IVL 的布线阻抗引起的电压降。该负载电路 LC 平均地说是把比该内部电源电压 VCI 低的电压作为一个工作电源电压来工作的，因此，存在不能保证负载电路 LC 的工作特性、电路工作不稳定的问题。

图 12 是表示现有的内部降压电路的另一个结构的图。在该图 12 所示的降压电路 VDC 中，设有电平移位电路 LS，根据其电阻比来进行内部电源线 IVL 上的内部电源电压 VCI 的移位。电平移位电路 LS 的输出电压 LV 供给驱动电流驱动晶体管 DT 的比较器 CMP 的正输入端。向比较器 CMP 的负输入端加上基准电压 Vref。电流驱动晶体管 DT 和负载电路 LC 与图 11 所示的结构相同。

电平移位电路 LS 包含有串接在内部电源线 IVL 和接地节点之间的电阻元件 R1、r1、r2、和 R2、分别与电阻元件 r1 和 r2 并联的可熔断的连接(link)元件 F1 和 F2。为了减小该电平移位电路 LS 的电流消耗，电阻元件 R1 和 R2 具有较大的电阻值。

连接（link）元件 F1 和 F2 处于导通状态时，分别将电阻元件 r1 和 r2 短路，该电平移位电路 LS 成为由 R1 和 R2 形成的电阻分压电路。这时，向比较器 CMP 加上下式所表示的移位电压。

$$LV=VCI \cdot R2 / (R1+R2)$$

现在若将连接（link）元件 F1 熔断，电阻元件 r1 和电阻元件 R1 串接。因此，在该状态下，移位电压 LV 由下式给出。

$$LV=VCI \cdot R2 / (R1+R2+r1)$$

即，当该连接（link）元件 F1 熔断时，移位电压 LV 的电压电平降低。另一方面，相反，当连接（link）元件 F2 熔断时，电阻元件 r2 和电阻元件 R2 串接。这时，可得到下式所示的移位电压。

$$LV=VCI \cdot (R2+r2) / (R1+R2)$$

即，当该连接（link）元件 F2 熔断时，移位电压 LV 的电压电平升高。比较器 CMP 将该移位电压 LV 与基准电压 Vref 比较。因此，在该图 12 所示的内部降压电路 VDC 的构成中，可进行反馈控制(比较器 CMP 和电流驱动晶体管 DT 的工作)使移位电压 LV 的电压电平和基准电压 Vref 一致。

通过有选择地熔断该连接（link）元件 F1 和 F2，可调整内部电源电压 VCI 的电压电平。通过利用该电平移位电路 LS，可使比较器 CMP 在

最灵敏的区域工作，可改善由比较器 CMP 和电流驱动晶体管 DT 构成的反馈回路的响应特性，可稳定地把内部电源电压 VCI 保持在规定的电压电平 。

但是，在内部降压电路 VDC 的构成中，电平移位电路 LS 设有连接（link）元件 F1 和 F2。连接（link）元件 F1 和 F2 的占有面积较大（为了防止熔断时引起其它元件短路和熔断时错误地将其它部分熔断）。因此，该电平移位电路 LS 的占有面积大。

近年，DRAM 的工作速度和集成度日益改善，因此，必须有效地配置元件，使之不发生象这样的内部降压电路的面积增加和电压降低的现象。

此外，在具有与这样的内部降压电路具备同样功能的电压变换电路的半导体装置中，如果更加高集成化，同样也会产生同样的问题。

发明方案概述

因此，本发明的目的在于提供一种具备内部降压电路的半导体装置，该内部降压电路配置成不使芯片的面积增加而且提高面积使用效率。

本发明的另一个目的在于提供一种具备内部降压电路的半导体装置，该内部降压电路配置成不使芯片面积增加而且可以向各电路部稳定地供给恒定电压电平的电源电压。

与本发明的第 1 方面有关的半导体装置包括：配置在半导体装置的芯片配置区的周边部的、时常工作使外部电源电压降压后在内部电源线上生成内部电源电压的备用（standby）降压电路；配置在与该备用降压电路的配置区不同的区域中的、在运行（active）周期内被激活、将外部电源电压降压后在内部电源线上生成内部电源电压的至少一个运行降压电路；

所述半导体装置还具备中央控制电路，该电路配置在运行降压电路的附近、运行周期时接受来自该运行降压电路的内部电源电压作为其一个工作电源电压而工作、接受从外部供给的控制信号生成内部控制信号。

与本发明的第 2 方面有关的半导体装置，本发明的第 1 方面的装置还具备：具有多个排列成行列状的存储单元的存储器阵列；根据外部控

制信号控制与该存储器阵列的存储单元列的选择相关的工作的列控制电路。该列控制电路配置在运行降压电路的附近，把激活时来自该运行降压电路的内部电源电压作为其一个工作电源电压来工作。

与本发明的第 3 方面有关的半导体装置，本发明的第 1～第 2 方面的任何一个装置还具备：配置在备用降压电路配置的周边部的区域的、生成基准电压的基准电压发生电路。运行降压电路和备用降压电路各自具备将与内部电源线上的内部电源电压对应的电压与来自该基准电压发生电路的基准电压进行比较、根据该比较结果从外部电源电压供给节点向内部电源线供给电流的内部电压调整电路。

与本发明的第 4 方面有关的半导体装置，本发明的第 1 方面的半导体装置的配置区域由第 1 中央区和第 2 中央区分割成 4 个区域，第 1 中央区配置在第 1 方向的延伸线上且在与该第 1 方向正交的第 2 方向的中央部，第 2 中央区配置在第 2 方向的延伸线上且在第 1 方向的中央部。备用降压电路配置在该第 1 中央区的周边部，而且运行降压电路至少配置在第 2 中央区。

与本发明的第 5 方面有关的半导体装置，在本发明的第 1～第 4 方面的装置中设有多个运行降压电路。

与本发明的第 6 方面有关的半导体装置，本发明的第 5 方面的至少一个运行降压电路包含配置在与第 1 中央区的、与第 2 中央区关联的与周边部区域相对的位置上的运行降压电路。

与本发明的第 7 方面有关的半导体装置，本发明的第 1～第 6 方面的任何一个装置进而具有分别与备用降压电路和运行降压电路对应并配置在其附近的、接受外部电源电压并向对应的降压电路供给该接受的外部电源电压的电源焊点。

与本发明的第 8 方面有关的半导体装置，本发明第 7 方面的电平移位电路分别包含电阻电路，通过电阻元件使对应内部电源线上的电压电平降低并输出。调整电路包含程控熔丝电路，通过连接（link）元件的熔断程序来调整各电阻电路的电阻元件的电阻值。

与本发明的第 9 方面有关的半导体装置，本发明的第 7 方面的半导体芯片由第 1 中央区和第 2 中央区分割成 4 个区域，第 1 中央区配置在第 1 方向的延伸线上且在与该第 1 方向正交的第 2 方向的中央部，第 2

中央区配置在第 2 方向的延伸线上且在第 1 方向的中央部。第 1 区配置在该第 1 中央区的周边部，而且驱动电路至少配置在第 2 中央区。

在与本发明的第 1 方面有关的半导体装置中，通过将备用降压电路和运行降压电路配置在面积充裕的周边部，使该备用降压电路不受其它电路布局的影响，可以抑制因该备用降压电路而引起的芯片面积的增大。此外，通过分别配置备用降压电路和运行降压电路，通过使运行降压电路配置在电流消耗大的电路附近，可以稳定地供给内部电源电压而不使电压降低。即，可以使降压电路整体实现最佳布局。

在与本发明的第 1 方面有关的半导体装置中，通过将驱动力强的运行降压电路配置在电流消耗较大的中央控制电路的附近，可以以很高的响应速度向中央控制电路供给工作时的电流。此外，中央控制电路与运行降压电路之间的距离短，几乎不会发生因内部电源线的布线电阻引起的电压下降，可以稳定地将恒定电压电平的内部电源电压供给中央控制电路。

在与本发明的第 2 方面有关的半导体装置中，在电流消耗比较大的列控制电路附近配置运行降压电路，当该列控制电路工作时可以快速与其响应而供给电流，此外，几乎不会发生因列控制电路和运行降压电路的内部电源线的电阻引起的电压下降，可以稳定地将恒定电压电平的内部电源电压供给列控制电路。

在与本发明的第 3 方面有关的半导体装置中，基准电压的基准电压发生电路配置在周边部的区域，来自该基准电压发生电路的基准电压供给备用降压电路和运行降压电路，因此，通过将需要较大面积的基准电压发生电路配置在面积充裕的周边部区域，可以抑制因该基准电压发生电路引起的面积的增加。

在本发明的第 4 方面有关的半导体装置中，备用降压电路配置在该第 1 中央区的周边部，而且运行降压电路配置在第 2 中央区，在这些电路工作时可以高速地对第 2 中央区两侧的电路进行响应并从运行降压电路将电流送给各电路。此外，运行降压电路和面对第 2 中央区配置的电路的距离短，几乎不会发生因内部电源线的布线电阻引起的电压下降，可以稳定地将恒定电压电平的内部电源电压供给各电路。

在与本发明的第 5 方面有关的半导体装置中，设有多个运行降压电

路，通过与电流消耗大的电路相对应来配置运行降压电路，可以对这些电流消耗大的电路进行快速响应并稳定地供给电流。

在与本发明的第 6 方面有关的半导体装置中，运行降压电路配置在面对周边部区域的第 1 中央区内的部分内，对该部分附近的电路也可以稳定地供给恒定电压电平的内部电源电压。

在与本发明的第 7 方面有关的半导体装置中，在各降压电路的附近配置接受外部电源电压的电源焊点，可以降低对于各降压电路的外部电源线的阻抗，可以稳定地把外部电源电压供给各降压电路。此外，可以防止一个降压电路工作时的相对于外部电源电压的噪声对其它降压电路的外部电源电压产生影响。进而，电源焊点和消耗电流的电路之间的距离短，电源焊点和电路之间的电源电压下降量极小，可以稳定地向电流消耗电路供给所要的电平的电源电压。

在与本发明的第 8 方面有关的半导体装置中，电平移位电路是采用的电阻元件降压电路，调整电路利用连接元件的程序产生电阻值设定信号，将程控熔丝电路配置在面积较充裕的周边部，由此，可以留有余地地配置熔丝元件，可以正确地执行熔丝元件程序。此外，程控熔丝电路配置在周边部，可以防止该程控熔丝电路在执行程序时因熔断熔丝的飞溅向其它电路而对其它电路产生不良影响。

在与本发明的第 9 方面有关的半导体装置中，基准电压发生电路和调整电路配置在第 1 中央区的周边部，驱动电路配置在第 2 中央区，通过将这些电路配置在中央区可以利用直线的布线将来自基准电压发生电路和调整电路的电压信号传送到各驱动电路。此外，驱动电路配置在第 2 中央区，相对该该驱动电路两侧配置的电路的距离短，因此，可以不受布线电阻的影响、在不伴随电压下降的情况下快速响应并稳定地供给恒定电压电平的内部电源电压。

附图金属

图 1 是概略地示出本发明的实施例 1 的半导体装置的例子的图。

图 2 是概略地示出备用降压电路的构成的图。

图 3 是概略地示出运行降压电路的构成的图。

图 4 是概略地示出图 1 所示的列控制电路控制的列电路的构成的图。

图 5 是概略地示出本发明的实施例 1 中的布线布局的图。

图 6 是概略地示出本发明的实施例 1 的变形例中的布线布局的图。

图 7 是概略地示出本发明的实施例 2 中所用的驱动电路的构成的图。

图 8(A)是概略地示出图 7 所示的调整电路的一个构成例子的图;

图 8(B)是概略地示出图 7 所示的基准电压发生电路的一个构成例子的图。

图 9 是概略地示出本发明的实施例 2 的半导体装置的整体布局的图。

图 10 是概略地示出本发明的实施例 2 中的布线布局的图。

图 11 是概略地示出现有的内部降压电路的构成的图。

图 12 是概略地示出现有的内部降压电路的变形例的构成的图。

优选实施方式详述

【实施例 1】

图 1 是概略地示出本发明的实施例 1 的半导体装置的平面布局的图。在图 1 中，该半导体装置是半导体存储器，在半导体芯片 1 上形成。该芯片 1 包括: 配置在第 2 方向的中央部的、并沿第 1 方向延伸的第 1 中央区 2; 配置在第 1 方向的中央部的、并沿第 2 方向延伸的第 2 中央区 3。由这些第 1 中央区 2 和第 2 中央区 3 将该半导体芯片 1 分割成 4 个区域。分别在这 4 个区域的各区域内配置具有呈行列状配置的多个存储单元的存储器阵列 4a、4b、4c、4d。分别与这些存储器阵列 4a～4d 对应地面向中央区 3 配置列控制电路 5a、5b、5c 和 5d。这些列控制电路 5a～5d 分别控制与对应的存储器阵列 4a～4d 中的列选择关联的工作（包含内部数据的写入/读出）。

在第 1 中央区 2 和第 2 中央区 3 的中央部配置备有中央控制电路的中央控制电路区 6，该中央控制电路产生根据外加的控制信号和地址信号对与装置外部的数据输入输出进行控制及进行存储器阵列 4a～4d 的行和列的选择的控制信号。该中央控制电路区 6 的中央控制电路进行分别与存储器阵列 4a～4d 对应设置的未图示的行控制电路的控制和列控制电路 5a～5d 的控制。为了在该中央控制电路区 6 上控制整个布局，将相对于整个布局的电路集中进行配置。多条布线也

沿该电路区配置。芯片尺寸由该中央部分所必要的宽度决定（布局面积一定）。如下所示，通过分散配置降压电路来抑制中央部分面积的增大和减小芯片尺寸。

在该第 1 中央区 2 中，在与中央控制电路区 6 邻接的存储器阵列 4a 和 4b 之间的区域设有输入缓冲电路区 7。在该输入缓冲电路区 7 中，配置有接受来自外部的控制信号的控制信号输入焊点和接受来自外部的地址信号的地址信号输入焊点。此外，在存储器阵列 4c 和 4d 之间的第 1 中央区 2 的部分，与中央控制电路区 6 邻接配置备有数据输入输出电路的数据输入输出电路区 8，该数据输入输出电路包含写入电路，该写入电路把从存储器阵列 4a～4d 读出的数据向装置外部输出，同时在数

据写入时由从外部供给的写入数据中生成内部写入数据。

在该第1中央区2中，输入缓冲电路区7、中央控制电路区6和数据输入输出电路区8集中地配置在该第1中央区2的中央部分。在缩短中央控制电路与输入缓冲电路区7内的输入缓冲电路的距离以及中央控制电路区6与数据输入输出电路区8的距离的同时，尽量缩短从该中央控制电路区6到各存储器阵列4a～4d的距离。因此，在该第1中央区2中，在输入缓冲电路区7和数据输入输出电路区8的周边部（在该第1中央区2中，与输入缓冲电路区7和数据输入输出电路区8相比接近芯片端部的区域）没有配置那么多的存取工作所必需的电路，面积绰绰有余。这里，在下面的说明中，所谓“周边部”，是指半导体装置的离芯片端部比离存取所必需的电路近的区域，并且是指包含芯片外周部和焊点间的区域、即形成了存储器阵列的区域以外的区域。

在该第1中央区2的输入缓冲电路区7的周边部设有VREF·备用VDC配置区10，在该配置区10中配置有产生基准电压Vref的基准电压发生电路（VREF）和在备用周期和运行周期时工作并生成内部电源电压的备用降压电路（VDC）。在该第1中央区2中，还在数据输入输出电路区8的周边部设有在运行周期时被激活并生成内部电源电压的运行降压电路（VDC）的配置区11。

此外，在第2中央区3中，在列控制电路5a和5c之间的区域设有在运行周期时被激活并生成内部电源电压的运行降压电路（VDC）的配置区12a，在列控制电路5b和5d之间的区域设有在运行周期时被激活并生成内部电源电压的运行降压电路（VDC）的配置区12b。

由包含在VREF·备用VDC配置区10之内的基准电压发生电路产生的基准电压Vref被传送到包含在运行降压电路配置区11、12a和12b内的运行降压电路。包含在该区域10的备用降压电路在备用周期时代替包含在这些运行降压电路配置区11、12a和12b内的运行降压电路、向各内部电源线传送内部电源电压。在备用周期内，该半导体存储器处于预充电状态，各信号线预充电到规定的电压电平（假定是动态随机存取存储器）。在备用周期内，该半导体存储器的所消耗的电流只是极小的漏泄电流，该备用降压电路的电流驱动能力比较小。此外，由漏泄电流引起的内部电源电压的变动很平稳，即使备用降压电路配置在周边部，因不要求快速响应，所以可以把内部电源电压保持在一定的电平

上.

另一方面，包含在区域12a和12b中的运行降压电路在列控制电路5a、5b、5c和5d工作时，把内部电源电压供给列控制电路5a～5d和列电路。因为这些电路工作时消耗比较大的电流，所以，运行降压电路的电流驱动能力比备用降压电路大得多。包含在区域11的运行降压电路向除了包含在数据输入输出电路区8的接口电路之外的电路区域供给内部电源电压。在该电路中，为了快速地生成内部写入数据和读出数据并驱动最后一级输出焊点，电流消耗量较大，因此，包含在该区域11中的运行降压电路的电流驱动能力也较大。

接受外部电源电压的电源焊点13配置在VREF·备用VDC配置区10的半导体芯片1的一端。在运行降压电路区12a和中央控制电路区6之间，配置接受外部电源电压的电源焊点14a，此外，在运行降压电路区12a和中央控制电路区6之间，配置接受外部电源电压的电源焊点14b。在运行降压电路区11和半导体芯片1的端部之间，配置接受外部电源电压的电源焊点15。VREF·备用VDC区10的基准电压发生电路和备用降压电路使用来自该电源焊点13的电源电压。包含在运行降压电路区12a中的运行降压电路使用来自电源焊点14a的电源电压。包含在运行降压电路区12b中的运行降压电路使用来自电源焊点14b的电源电压。包含在运行降压电路区11中的运行降压电路使用来自电源焊点15的电源电压。通过与降压电路相邻地配置电源焊点，从电源焊点到内部电源线的距离变短，相应地，从电源焊点到消耗电流的电路的距离变短，可以使电源线的阻抗降低，从而抑制电压的下降。

图2是概略地示出包含在图1所示的VREF·备用降压电路（VDC）区10中的基准电压发生电路和备用降压电路的构成的图。

在图2中，基准电压发生电路10a从与电源焊点13连接的电源节点13a上的外部电源电压VCE和接地电压产生恒定电压电平的基准电压Vref。

备用降压电路10b包括：将该基准电压发生电路10a产生的基准电压Vref和内部电源线20上的内部电源电压VCI进行比较的比较器10ba；由根据该比较器10ba的输出信号从电源节点13b向内部电源线20供给电流的p沟道MOS场效应管构成的电流驱动晶体管10bb。电源节点13b与电源焊点13连接。

该比较器 10ba 实质上具有差动放大电路的结构，时常进行工作，将基准电压 Vref 和内部电源电压 VCI 进行比较。该备用降压电路 10b 只是在备用周期时对因各电路的漏泄电流引起的内部电源电压 VCI 的下降进行补偿。在动态随机存取存储器中，备用周期时的电流（备用时电流）与运行时电流相比极小。因此，该电流驱动晶体管 10bb 的电流驱动能力可以很小，此外，因备用周期时内部电源电压不发生剧烈的变化故比较器 10ba 的响应速度可以比较低。即，该比较器 10ba 中的 MOS 场效应管的电流驱动能力可以小。因此，抑制了备用降压电路在备用周期工作时的电流消耗的增加。

图 3 是概略地示出图 1 所示的运行降压电路区 11、12a 和 12b 中的运行降压电路的构成的图。在图 3 中，运行降压电路包括：在激活时将内部电源线 20a 上的内部电源电压 VCI 与基准电压 Vref 进行比较并输出表示该比较结果的信号的比较器 25a；响应运行周期指令信号 φ A 而被激活、在该比较器 25a 中形成电流通路并使比较器 25a 激活的电流源晶体管 25b；由根据该比较器 25a 的输出信号从电源节点 26 向内部电源线 20a 供给电流的 p 沟道 MOS 场效应管构成的电流驱动晶体管 25c。

在该图 3 所示的运行降压电路的构成中，在运行周期指令信号 φ A 未激活时（L 电平），电流源晶体管 25b 处于非导通状态，比较器 25a 处于非激活状态，其输出信号成为 H 电平，电流驱动晶体管 25c 维持非导通状态。因此，在该状态下，不从电源节点 26 向内部电源线 20a 供给电流。工作时流过内部电源线 20a 的工作电流与备用时流过的电流相比极大，所以，使该电流驱动晶体管 25c 的电流驱动能力足够大。此外，为了防止内部电源电压 VCI 因内部电源线上的工作电流而急剧下降，使比较器 25a 的响应速度加快，从而，使作为比较器 25a 的构成要素的 MOS 场效应管的尺寸（栅极宽度或栅极宽度和栅极长度的比）加大。因此，在备用周期时，当使该比较器 25a 经常地工作时，使比较器 25a 中的电流消耗增大、使备用电流增加。因而，在这样的具有比较大的电流驱动能力的比较器 25a 中，在备用周期时，通过切断从该电源节点向接地端流过的电流通路来降低比较器的电流消耗。激活信号 φ A 由消耗该内部电源线 20a 上的电流的电路的工作来确定。

图 4 是示出列电路的构成的一个例子的图。在图 4 中，有代表性地

示出与一个存储器阵列（用参考序号4有代表性地示出）相对的列电路。

在图4中，列电路包括：列译码器30a，响应从对应的列控制电路5（5a～5d）来的列译码使能信号CDE而被激活、对未图示的列地址信号译码并产生用于选择已指定地址的列的列选择信号CSL（进行激活）；前置放大器30b，响应来自列控制电路5的前置放大器使能信号PAE的激活而被激活、将内部IO总线IOP上的数据放大；写驱动器30c，响应来自列控制电路5的写驱动器使能信号WDE的激活而被激活、根据数据输入输出电路8a所给的数据驱动内部IO总线IOP。前置放大器30b和写驱动器30c与数据输入输出电路8a电连接。

在存储阵列4中，存储单元呈行列状配置，与存储单元各列对应地配置位线对BLP。1列存储单元与一个位线对BLP连接。从列译码器30a来的列选择信号CSL供给设在各位线对BLP上的列选择门CG。列选择门CG在对应的列选择信号CSL为激活状态时导通，将对应的位线对BLP与内部IO总线IOP连接。数据输入输出电路8a的数据输入输出时序由中央控制电路6a的控制信号决定。

在DRAM的情况下，这些列电路随着列地址选通信号/CAS的激活而激活/不激活。但是，写驱动使能信号WDE只有当列地址选通信号/CAS和写使能信号/WE都处于激活状态时才被激活。

因此，当图3所示的运行降压电路对列控制电路5供给内部电源电压VCI时，可以利用列地址选通信号/CAS的反相信号（列地址选通信号/CAS是激活时的L电平）作为该运行周期指令信号φA。

此外，在取代上述情况、DRAM进入存储周期即进行行选择工作时，在激活该运行降压电路的情况下，可以利用众所周知的行地址选通信号/RAS的反相信号。列电路在按照行地址选通信号/RAS进行工作的电路（RAS电路）工作完了之后（列互锁期间完了之后）被激活。因此，也可以利用行地址选通信号作为向该列控制电路5供给内部电源电压VCI的运行降压电路的激活指令信号，但是，因在该列互锁期间（列选择工作被禁止的期间）比较器25a的电流消耗增加，故最好利用列地址选通信号/CAS作为激活指令信号φA。

【电源线的配置】

图5是概略地示出本发明的实施例1的内部电源线配置的图。在图

5 中，从基准电压发生电路 10a 来的基准电压 Vref 由配置在第 1 中央区的呈环状的布线 45a 和 45b 传送。将基准电压 Vref 从内部布线 45a 供给运行降压电路 12aa（包含在运行降压电路区 12a 中）。基准电压 Vref 从内部布线 45b 供给运行降压电路 12ba（包含在区域 12b 中）。基准电压 Vref 经内部布线 45a 和 45b 传送给运行降压电路 11a（包含在运行降压电路区 11 中）。通过使用内部布线 45a 和 45b 使基准电压 Vref 向最远的运行降压电路 11a 传送，可以稳定地将基准电压 Vref 传送到远方的运行降压电路 11a .

从备用降压电路 10b（包含在区域 10 中）来的内部电压 VCI 利用与基准电压传送用的布线 45a 、 45b 相同的、配置成环状在第 1 中央区将中央控制电路 6a 和数据输入输出电路 8a 包围的内部电源线 40a 、 40b 、 40c 、 41c 、 41b 和 41a 来传送.相对于列控制电路 5a 设置的内部电源线 42a 与内部电源线 40a 和 40b 连接。相对于列控制电路 5b 设置的内部电源线 43a 与内部电源线 41a 、 41b 连接。相对于列控制电路 5c 设置的内部电源线 42b 与内部电源线 40b 和 40c 连接。相对于列控制电路 5d 设置的内部电源线 43b 与内部电源线 41b 和 41c 连接。将内部电源电压从运行降压电路 11a 供给内部电源线 40c 和 41c 之间的内部电源线 44 。数据输入输出电路 8a 以内部电源线 40c 、 41c 和 44 上的内部电源电压作为其工作电源电压而工作.

运行降压电路 12aa 向内部电源线 42a 和 42b 供给内部电源电压。运行降压电路 12ba 向内部电源线 43a 和 43b 供给内部电源电压。通过对该中央控制电路 6a 供给从两侧的内部电源线 40b 和 41b 来的工作电源电压来强化该中央控制电路 6a 的工作电源电压传送线，从而稳定地向中央控制电路 6a 供给电源电压。这时，特别在中央控制电路的附近配置电源焊点 14a 和 14b ，因为从该电源焊点 14a 和 14b 到中央控制电路 6a 的电流消耗电路的内部电源线的距离短、其间的电阻值小，所以可以充分抑制电压下降，还可以从电源焊点 14a 和 14b 稳定地供给电流。

同样，在各列控制电路 5a ~ 5d 中，运行降压电路 12aa 和 12ba 从配置在其附近的电源焊点 14a 和 4b 供给电流、在内部电源线 42a 、 42b 和 43a 、 43b 上生成规定电压电平的内部电源电压。因此，在这些列控制电路 5a ~ 5d 中，同样地可以使电流消耗电路和与其对应的电源焊点

14a 和 14b 之间的距离短、使该内部电源线的电阻值小，可以稳定地向这些列控制电路 5a ~ 5d 供给恒定电压电平的内部电源电压。

数据输入输出电路 8a 以内部电源线 40c、41c 和 44 上的电源电压作为其工作电源电压而工作。当该内部电源线 40c、41c 和 44 上的电源电压因数据输入输出电路 8a 的工作而变化时，运行降压电路 11a 检测该变化并恢复原来的电源电压电平。这时，同样，从配置在运行降压电路 11a 附近的电源焊点 15 到数据输入输出电路 8a 的距离短，可以充分抑制因电源线的布线电阻而引起的电压下降。

此外，因运行降压电路 12aa 和 12bb 以及 11a 配置在各电路区域的附近，故在对应的电路工作并消耗电流时，对应的运行降压电路附近的内部电源线的电压下降，因此，设在附近的运行降压电路响应该电压下降而工作，使其恢复原来的电源电压电平。所以，在这样将内部电源线相互连接成环状时，也可以抑制一个电路部分的工作对其它电路部分的电源电压的影响。特别是对列控制电路 5a ~ 5d，分别从呈环状配置在该备用降压电路 10b 和运行降压电路 11a 之间的第 1 中央区的内部电源线 40a ~ 40c 和 41c ~ 44 分支出来后配置内部电源线 42a、42b 和 43a、43b，若将该备用降压电路 10b 和运行降压电路 11a 之间的呈环状的 40a ~ 40c 和 44 布线宽度加粗，则这些内部电源线 42a、42b、43a 和 43b 的电源噪声由阻抗已充分降低的环状内部电源线 40a ~ 40c 和 41a ~ 41c 以及 44 吸收，所以可以防止电源噪声向其它电路传送。

此外，因分别与各运行降压电路 12aa、12ba 和 11a 对应地配置电源焊点，使各个运行降压电路的外部电源线的阻抗极小，从而可以充分抑制对于该电源电压产生噪声。再有，在运行降压电路 12aa、12ba 和 11a 工作时，即使各自的工作对外部电源电压产生变动，也可以抑制该外部电源电压噪声向其它运行降压电路传送。

在中央控制电路 6a 工作时，电流经内部电源线 42a、42b 和 43a、43b 供给内部电源线 40b 和 41b。这时，应考虑内部电源线 42a、42b 和 43a、43b 的电源电压电平的变动。但是，这时，列控制电路 5a ~ 5d 在中央控制电路 6a 的控制下工作，因此，因该中央控制电路 6a 的工作引起的内部电源线 42a、42b、43a、43b 的电源变动对列控制电路 5a ~ 5d 的不良影响可以忽略。这时，电源焊点 14a 和 14b 邻近中央控制电路 6a 配置，运行降压电路 12aa 和 12ba 可以快速地向内部电源

线 40b 和 41b 供给电流而不使电压下降，可以快速地使内部电源线 40b 和 41b 上的电源电压恢复到原来的电压电平。

在数据输入输出电路 8a 工作时，运行降压电路 11a 检测该内部电源线 40c 和 41c 的电压变化，经内部电源线 40c 和 41c 供给电流并恢复到原来的电压电平。此时，若数据输入输出电路 8a 的配置区和运行降压电路 12aa 和 2ba 之间的配置的距离长，则利用内部电源线的 RC 延迟对急剧的变化进行滤波处理，利用运行降压电路 12aa 和 12ba 对这些内部电源线 40a、40b、43a、43b 的电压变动进行充分补偿。该内部电源线 40c、和 41c 及 44 上的因数据输入输出电路 8a 的工作而引起的电压变化通过设在其附近的运行降压电路 11a 的快速响应来供给电流，可以提前充分补偿其对其它电路的不良影响，并恢复到原来的电压电平。

因此，如图 5 所示，即使配置这样的环状内部电源线并使各内部电源线互相连接，也可以在各电路工作时防止一个电路工作对其它电路的内部电源电压电平产生不良影响。这时，若预先使该配置成环状的内部电源线的线宽足够粗，尤其可解决这样的问题。

基准电压 Vref 经内部布线 45a 和 45b 传送给运行降压电路 12a、12b 和 11a。这时，通过使内部电源线和基准电压传送用的内部布线处在不同的布线层，可以分别从该基准电压发生电路 10a 和备用降压电路 10b 供给基准电压 Vref 和内部电源电压 VCI 而不增加布线占有面积。

【电源线的配置 2】

图 6 是示出本发明的实施例 1 的内部电源线的第 2 配置的图。在图 6 所示的构成中，2 个备用降压电路（VDC）10ba 和 10bb 设在第 1 中央区 2 的周边区域。从基准电压发生电路（VREF）10a 产生的基准电压 Vref 同时供给这些备用降压电路 10ba 和 10bb。从备用降压电路 10ba 来的内部电源电压 VCI 经内部电源线 50a 传送给分别与列控制电路 5a 和 5c 对应设置的内部电源线 42a 和 42b。从备用降压电路 10bb 来的内部电源电压 VCI 经内部电源线 50c 传送给分别与列控制电路 5b 和 5d 对应设置的内部电源线 43a 和 43b。

在内部电源线 42a 和 42b 之间设有运行降压电路 12aa，在该运行降压电路 12aa 邻近配置电源焊点 14a。在内部电源线 43a 和 43b 之间设有运行降压电路 12ba，在该运行降压电路 12ba 邻近配置电源焊点

14b。

中央控制电路6a从内部电源线50a和50b供给内部电源电压。备用降压电路10ba和10bb进而分别经电源线50b和50d在备用时传送内部电源电压。内部电源电压50b和50d在配置在第2中央区2的另一侧的运行降压电路11a的附近互相连接。数据输入输出电路8a经该内部电源线50b和50d供给内部电源电压。运行降压电路11a在运行周期时向电源线50b和50d供给电流，使数据输入输出电路8a 的电源电压稳定。

从基准电压发生电路10a来的基准电压Vref经内部布线52a传送给运行降压电路12aa，还经内部布线52b传送给运行降压电路12ba。进而，该基准电压Vref经内部布线52a和52b传送运行降压电路11a。

在该图6所示的电源线的配置中，相对于列控制电路5a和5c设置备用降压电路10ba，相对于列控制电路5b和5d设置备用降压电路10bb。通过使该备用降压电路10ba和10bb的内部电源线成为互相独立的系统，在列控制电路5a和5c工作时，可以完全防止其对相对于列控制电路5b和5d设置的内部电源线43a和43b的内部电源电压的不良影响。此外，经与这些内部电源线50a和50c不同的另外的内部电源线50b和50d向运行降压电路11a传送内部电源电压，在数据输入输出电路8a工作时，可以可靠地防止其内部电源电压变动对列控制电路5a～5d的内部电源线42a、42b、43a和43b的不良影响。运行降压电路11a处于离基准电压发生电路10a、备用降压电路10ba和10bb最远的距离上。此时，通过使用2个内部布线来传送电压，等效于将这些布线宽度变宽，可以稳定地将内部电源电压和基准电压供给该运行降压电路11a。

在该图6所示的电源配置中，通过使列控制电路5a和5c与列控制电路5b和5d以及数据输入输出电路8a分别形成独立的电源布线系统，可以可靠地使这些电路不受电源噪声的影响并可靠而稳定地工作。

此外，通过分别设置该备用降压电路10ba和10bb，可以使列控制电路5a和5c以及列控制电路5b和5d互相独立地工作，即使在块分割工作或组合（bank）工作时也能稳定地供给内部电源电压。

如上所述，若按照本发明的实施例1，将基准电压发生电路和备用降压电路配置在面积较充裕的周边部，只将运行降压电路配置在电流消

耗较多的电路部附近，就可以实现这样一种内部电源电路的布局，它能稳定地供给电源电压而不增加运行降压电路和备用降压电路二者占有的面积。此外，通过将降压电路分散配置而不是配置在各阵列共同的中央部分，可以抑制中央部分（中央控制电路区）的面积增加，相应地可抑制芯片尺寸的增加。另外，由于将备用降压电路和运行降压电路两者所用的基准电压由1个基准电压发生电路来产生，所以，可以降低该基准电压发生电路的整体占有面积。

此外，通过在运行降压电路的附近配置电源焊点，从电源焊点到配置在运行降压电路附近的电流消耗多的电路的距离变短、对应地内部电源线的布线电阻也变小，即使当快速工作时工作频率变高、电流消耗增加时，也可以可靠地抑制起因于布线电阻的电压下降。

还有，对各降压电路的电源阻抗变低，可以根据内部电源电压的变动快速地将电流从外部电源焊点供给对应的内部电源线。可以防止1个降压电路工作时的外部电源电压的变动对其它的降压电路的外部电源电压的不良影响。

【实施例2】

图7是概略地示出本发明的实施例2所用的内部降压电路的构成的图。在图7中，内部降压电路包含驱动电路100，该电路100将基准电压发生电路90来的基准电压Vref和与内部电源线95上的内部电源电压VCI对应的电压进行比较，根据比较的结果从外部电源节点113向内部电源线供给电流。

该驱动电路100包含对内部电源线95上的内部电压VCI进行电平移位的电平移位电路102和将该电平移位电路102的输出电压与基准电压Vref进行比较并根据该比较结果从外部电源节点113向内部电源线95供给电流的内部电压调整电路104。

该电平移位电路102包含：串接在输出节点Nx和内部电源线95之间且其栅极接受固定电压VF的p沟道MOS场效应管T1、T2、T3和T4；与这些MOS场效应管T1～T4并联设置且对各栅极分别加上调整电路106来的控制信号SWA、SWB、SWC、SWD的p沟道MOS场效应管P1、P2、P3、P4；连接在输出节点Nx和接地节点之间的恒流源102a。

固定电压VF设定在中间电压电平或接地电压电平上，p沟道

MOS 场效应管 T1 ~ T4 分别作为电阻元件起作用. 根据调整电路 106 来的控制信号 SWA ~ SWD 有选择地使 p 沟道 MOS 场效应管 P1 ~ P4 处于导通状态，有选择地将对应的（并联设置的） p 沟道 MOS 场效应管 T1 ~ T4 短路.

该电平移位电路 102 使内部电源电压 VCI 降低至由恒流源 102a 以及 MOS 场效应管 T1 ~ T4 和 P1 ~ P4 的合成电阻所决定的电压电平。该电平已降低的电压供给内部电压调整电路 104 .

该内部电压调整电路 104 包含将基准电压 Vref 和电平移位电路 102 的输出电压进行比较的比较器 104a 和电流驱动晶体管 104b，该电流驱动晶体管 104b 由连接在外部电源节点 113 和内部电源线 95 之间的、其栅极上接受比较器 104a 的输出信号的 p 沟道 MOS 场效应管构成。通过将内部电源电压 VCI 进行电平移位（降低电平）并供给比较器 104a，可以使比较器 104a 在其最灵敏的区域工作。

若设 MOS 场效应管 T1 ~ T4 和 P1 ~ P4 的合成电阻为 R，设流过恒流源 102a 的电流为 I，则出现在该电平移位电路 102 的输出节点 Nx 的电压电平 V（Nx）可由下式表示。

$$V(Nx) = VCI - I \cdot R$$

将从该电平移位电路 102 的输出节点 Nx 输出的电压 V（Nx）与基准电压 Vref 进行比较并进行内部电源线 90 上的内部电源电压 VCI 的电平调整，使该电压 V（Nx）与基准电压 Vref 为同一电压电平。即，内部电源电压 VCI 与基准电压 Vref 的关系由下式表示。

$$VCI = Vref + I \cdot R$$

通过有选择地使 MOS 场效应管 P1 ~ P4 处于非导通状态，可以使该合成电阻 R 的值增大。因此，通过调整该电阻值 R 可以调整起因于各半导体装置制造参数的离散而产生的内部电源电压 VCI 相对于设计值的偏离. 例如，若设 MOS 场效应管 P1 处于非导通状态，剩下的 MOS 场效应管 P2 ~ P4 全部处于导通状态，则合成电阻值 R 由 MOS 场效应管 T1 的电阻值给出。若 MOS 场效应管 P1 ~ P4 全部为非导通状态，则该合成电阻值 R 成为将 MOS 场效应管 T1 ~ T4 的电阻值相加的值。根据调整电路 106 来的控制信号 SWA ~ SWD 有选择地使该 MOS 场效应管 P1 ~ P4 处于导通/非导通状态。

图 8（A）示出该调整电路 106 的构成的一例的图. 在图 8（A）

中，调整电路 106 包含与外部电源节点（电源线） 113 分别连接的可熔断连接（ link ）元件 FA ~ FD 和连接在这些各个连接（ link ）元件 FA ~ FD 与接地节点之间的高电阻的电阻元件 ZA ~ ZD．控制信号 SWA 从连接（ link ）元件 FA 和高电阻的电阻元件 ZA 的连接节点输出。控制信号 SWB 从连接（ link ）元件 FB 和高电阻的电阻元件 ZB 的连接节点输出。控制信号 SWC 从连接（ link ）元件 FC 和高电阻的电阻元件 ZC 的连接节点输出。控制信号 SWD 经接受来自连接（ link ）元件 FD 和高电阻的电阻元件 ZD 的连接节点的电压信号的反相器 106a 输出。

在连接（ link)元件 FA ~ FD 全部处于导通状态时，控制信号 SWD 为 L 电平，控制信号 SWA ~ SWC 全部为 H 电平。在该状态下，只有图 7 所示的 MOS 场效应管 P4 导通，其余的 MOS 场效应管 P1 ~ P3 处于非导通状态。若连接（ link ）元件 FD 熔断，控制信号 SWD 成为 H 电平， MOS 场效应管成为非导通状态。相反，通过将各连接（ link ）元件 FA ~ FC 熔断，各控制信号 SWA ~ SWC 成为 L 电平，与电平移位电路 102 对应的 MOS 场效应管 P1 ~ P3 成为导通状态。

在初始状态下，所有的连接（ link ）元件 FA ~ FD 都导通。在该状态下，当内部电源电压 VCI 比规定的电压电平高时，例如用激光那样的射线去照射连接（ link ）元件 FA ~ FC 进行有选择地熔断，有选择地使控制信号 SWA ~ SWC 为 L 电平，有选择地使 MOS 场效应管处于导通状态。由此，电平移位电路 102 中的合成电阻变小，内部电源电压 VCI 的电平下降。相反，当内部电源电压 VCI 的电压电平低时，熔断连接（ link)元件 FD，使控制信号 SWD 为 H 电平。由此， MOS 场效应管的电阻值相加，内部电源电压 VCI 上升。

该调整电路 106 如图 8 （ A ）所示，包含例如因激光等射线的照射而熔断的连接（ link ）元件 FA ~ FD．该连接（ link ）元件的占有面积较宽以便可靠地进行熔断（程控）。

图 8 （ B ）是示出图 7 所示的基准电压发生电路 90 的构成的一例的图．该图 8 （ B)所示的基准电压发生电路具有和实施例 1 所示的基准电压发生电路同样的结构。在图 8 （ B ）中，基准电压发生电路 90 包括：连接在外部电源节点 113 和内部节点 Ny 之间且其栅极与节点 Nz 连接的 p 沟道 MOS 场效应管 Q1；连接在外部电源节点 113 和内部节

点 Nz 之间且其栅极与节点 Nz 连接的 p 沟道 MOS 场效应管 Q2；连接在内部节点 Ny 和接地节点之间且其栅极与节点 Ny 连接的 n 沟道 MOS 场效应管 Q3；连接在内部节点 Nz 和节点 Nw 之间且其栅极与节点 Ny 连接的 n 沟道 MOS 场效应管 Q4；连接在节点 Nw 和接地节点之间的电阻元件 RA。该 MOS 场效应管 Q1 ~ Q4 和电阻元件 RA 起恒定电流发生电路的作用。

该基准电压发生电路 90 进而包含连接在外部电源节点 113 和输出节点 Nu 之间的电阻元件 RB 和连接在节点 Nu 和接地节点之间且其栅极与节点 Nz 连接的 n 沟道 MOS 场效应管 Q5。该电阻元件 RB 和 MOS 场效应管 Q5 起恒定电压发生电路的作用。下面，简单说明该图 8（B）所示的电路的工作。

当接通电源、该电源节点 113 的电压电平上升时，MOS 场效应管 Q1 和 Q2 导通，向节点 Ny 和 Nz 供给电流。当节点 Ny 的电压电平上升时，MOS 场效应管 Q3 导通。当该节点 Ny 的电压电平比节点 Nw 的电压电平高出 MOS 场效应管 Q4 的阈值电压时，MOS 场效应管 Q4 导通。MOS 场效应管 Q2 和 Q1 构成电流镜象（mirror）电路，与流经该 MOS 场效应管 Q2 的电流大小相等的电流流过 MOS 场效应管 Q1（假定 MOS 场效应管 Q1 和 Q2 的尺寸相同）。

另一方面，MOS 场效应管 Q3 的栅极和漏极与 MOS 场效应管 Q4 的栅极连接，流过 MOS 场效应管 Q3 的电流的镜象电流流过 MOS 场效应管 Q4。MOS 场效应管 Q3 的源极与接地节点连接，而 MOS 场效应管 Q4 的源极与节点 Nw 连接。因此，当该 MOS 场效应管 Q3 和 Q4 流过同样大小的电流时，节点 Nz 的电压电平只比节点 Ny 的电压电平高出一个节点 Nw 的电压电平（MOS 场效应管 Q3 在饱和区工作，MOS 场效应管 Q4 在非饱和区工作）。

当流过 MOS 场效应管 Q2 和 Q4 的电流增加时，节点 Nw 的电压电平因电阻元件 RA 而上升。另一方面，MOS 场效应管 Q2 的电流也增加，但 MOS 场效应管 Q3 在饱和区工作，节点 Ny 的电压电平的上升比节点 Nw 因流过电阻元件的电流增加所引起的电压下降要小，因此，流过 MOS 场效应管 Q4 的电流下降。相应地，流过 MOS 场效应管 Q2、Q1 和 Q3 的电流下降。相反，当流过 MOS 场效应管 Q2 和 Q4 的电流下降时，流过 MOS 场效应管 Q1 和 Q3 的电流下降，节点 Ny

的电压电平下降。该节点 Ny 的电压下降比节点 Nw 的电压下降小，MOS 场效应管 Q4 的电导变大而流过较大的电流。

另一方面，相反在流过 MOS 场效应管 Q1 和 Q3 的电流增加时，节点 Ny 的电压电平上升。由此，MOS 场效应管 Q4 也流过大的电流，但流过电阻元件的电流增加，节点 Nw 的电压电平上升，抑制了流过该 MOS 场效应管 Q4 的电流的增加。流过 MOS 场效应管 Q4 的电流经 MOS 场效应管 Q2 来提供。因此，在流过该 MOS 场效应管 Q1 的电流增加时，因 MOS 场效应管 Q2 的作用而停止其电流的增加。相反，在流过 MOS 场效应管 Q1 和 Q3 的电流减小时，节点 Ny 的电压电平下降。相应地，流过 MOS 场效应管 Q4 的电流下降，节点 Nw 的电压电平下降。因该节点 Nw 的电压的下降而使 MOS 场效应管 Q4 的电导变大，流过 MOS 场效应管 Q2 的电流变大。因此，通过该 MOS 场效应管 Q1 和 Q2 的电流镜象级和 MOS 场效应管 Q3 和 Q4 的电流镜象级，可以稳定地使这些 MOS 场效应管 Q1 ~ Q4 流过一定大小的电流。在该恒定电流发生级的稳定状态下，节点 Nz 的电压和节点 Ny 的电压的差等于电阻元件 RA 上的电压。因此，节点 Nz 的电压电平恒定。

栅极电压为节点 Nz 的电压的 MOS 场效应管 Q5 起恒流源的作用，从电阻元件吸取一定的电流。因此，基准电压 Vref 成为和外部电源电压 VCE 与电阻元件 RB 上的电压的差相等的电压电平。

再有，该电阻值调整用的晶体管元件的个数不一定限于 4，也可以是其他的数目。

此外，在图 8（B）所示的基准电压发生电路 90 中，输出级的 MOS 场效应管 Q5 也可以由 p 沟道 MOS 场效应管来构成。此外，也可以使用 p 沟道 MOS 场效应管 Q5 与电源节点 113 连接、在该 MOS 场效应管和接地节点之间连接电阻元件的结构。这时，基准电压 Vref 成为不依赖外部电源电压的恒定的电压电平。

图 9 是概略地示出本发明的实施例 2 的半导体装置的整体布局的图。在图 9 中，与实施例 1 一样，在半导体芯片上的由第 1 中央区 2 和第 2 中央区 3 进行了 4 分割的各区域内配置存储单元 4a、4b、4c 和 4d。此外，与这些存储单元 4a、4b、4c 和 4d 分别对应配置列控制电路 5a、5b、5c 和 5d。进而，在第 1 中央区 2 的中央部分配置中央控制电路 6，与该中央控制电路 6 相邻地配置输入缓冲电路区 7 和数据

输入输出电路区 8。这些构成和实施例 1 一样。

在本发明的实施例 2 中，在第 1 中央区 2 的周边部，邻接于输入缓冲电路区 7 设置基准电压（ VREF ）和调整电路区 110。在该区域 110 内，配置图 8 （ A ）和（ B ）所示的调整电路 106 和基准电压发生电路 90。

在列控制电路 5a 和 5c 之间的区域内，设有配置图 7 所示的驱动电路的驱动电路区 112a。在列控制电路 5b 和 5d 之间的区域内，设有驱动电路区 112b。此外，在第 1 中央区 2 中，在与该 VREF ·调整电路区 110 和中央控制电路区 6 相对的区域内配置驱动电路区 112。

在驱动电路区 112a 和中央控制电路区 6 之间，配置接受外部电源电压的电源焊点 114a，在驱动电路区 112b 和中央控制电路区 6 之间，配置接受外部电源电压的电源焊点 114b。 VREF ·调整电路区 110 和芯片端部之间，接近于区域 110 配置接受外部电源电压的电源焊点 115。这些电源焊点的配置与实施例 1 的情况相同，起到同样的作用效果。

在该图 9 所示的配置中，包含在驱动电路区域 112a 中的驱动电路向列控制电路 5a 和 5c 供给内部电源电压。包含在驱动电路区域 112b 中的驱动电路向列控制电路 5b 和 5d 供给内部电源电压。包含在驱动电路区域 111 中的驱动电路向数据输入输出电路区 8 中的数据输入输出电路供给内部电源电压。

VREF ·调整电路区 110 中的基准电压发生电路（ VREF ） 90 向分别包含在驱动电路区 112a、 112b 和 111 中的驱动电路供给共同的基准电压。此外，包含在该 VREF 调整电路区中的调整电路向包含在这些驱动电路区 112a、 112b 和 111 中的驱动电路传送共同的控制信号。控制信号是 2 进制（ binary ）信号，且其电平也是固定的，所以，即使是长距离传送也不会受到任何噪声的影响而正确地设定各电平移位电路的移位量。

将多个驱动电路的共同的部分配置在 1 个周边部。由此，可以降低各分散配置的内部降压电路的占有面积。特别是通过将需要较宽面积的基准电压发生电路和调整电路配置在面积较充裕的周边部区域 110，可以高效率地进行配置而不对该半导体装置的其它电路的布局产生不良影响。还有，与实施例 1 一样，通过与配置在中央部的结构不同而分散进行配置，使中央部的面积不增大、芯片尺寸不增加。

此外，驱动电路只包含内部调整电路和电平移位电路，所以，其占有面积小，留有余地，可以在第 2 中央区 3 内进行配置。还有，通过与驱动电路邻接地配置电源焊点 114a、114b 和 115，与实施例 1 一样，可以将内部电源电压稳定地供给对应的电路。

图 10 是概略地示出本发明的实施例 2 的半导体装置的布线布局的图。在图 10 中，内部电源线 132aa 相对于列控制电路 5a 来配置，内部电源线 132ab 相对于列控制电路 5c 来配置。这些内部电源线 132aa 和 132ab 通过内部电源线 136a 相互连接。向这些内部电源线 132aa、136a 和 132ab 供给来自驱动电路区 112a 中的驱动电路 112ab 的内部电源电压。

内部电源线 132ba 相对于列控制电路 5b 来配置，内部电源线 132bb 相对于列控制电路 5d 配置。这些内部电源线 132ba 和 132bb 通过内部电源线 136b 相互连接。通过驱动电路区 112b 中的驱动电路 112ba 向这些内部电源线 132ba、132bb 和 136b 供给内部电源电压。

中央控制电路区 6 中的中央控制电路 6a 利用该内部电源线 136a 和 136b 上的电源电压。

数据输入输出电路区 8 中的数据输入输出电路 8a 将内部电源线 134 上的电源电压作为一个工作电源电压。从驱动电路区 111 中的驱动电路 111a 向该内部电源线 134 供给内部电源电压。

来自包含于第 1 中央区 2 的周边部区域 110 中的基准电压发生电路（VREF）110a 的基准电压 Vref 经内部布线 150a 和 150b 传送。该内部布线 150a 上的基准电压 Vref 供给驱动电路 112ab。内部布线 150b 上的基准电压 Vref 供给驱动电路 112ba。来自内部布线 150a 和 150b 的基准电压 Vref 供给驱动电路 111a。

此外，来自区域 110 中的调整电路 110b 的控制信号 SWA ~ SWD 经内部布线 152a 供给驱动电路 112ab，还经内部布线 152b 供给驱动电路 112ba。控制信号 SWA ~ SWD 经内部布线 152a 和 152b 向驱动电路 111a 传送。分别对各电路区设置内部电源线，可以可靠地防止噪声在这些内部电源线之间传送。特别是，邻近各驱动电路配置电源焊点 14a、14b 和 15，可以从与这些驱动电路接近的电源焊点向对应的内部电源线供给稳定的电流。

此外，基准电压 Vref 经配置成环状的内部布线传送，但该基准电

压 Vref 是恒定的电压故不必具快速响应的特性，所以，即使从该第 1 中央区 2 的周边部经过比较长的距离向驱动电路 112ab 和 112ba 传送，也不会产生任何问题（比较器的输入级是 MOS 场效应管的栅极，不消耗电流）。基准电压经该内部布线 150a 和 150b 供给驱动电路 111a。基准电压经 2 个传送路径供给到远方的电路，可以稳定地向该驱动电路 120a 供给基准电压。此外，即使对于控制信号 SWA ~ SWB 也可以得到和基准电压一样的优点。

如上所述，若按照本发明的实施例 2，因为将需要较大面积的基准电压发生电路和调整电路配置在面积较充裕的周边部并将实际上产生内部电源电压的驱动电路配置在消耗电流的电路附近，所以，可以配置内部电源电路而不伴随因内部电源电路配置而引起的面积的增加。

此外，通过接近于这些驱动电路来配置电源焊点，各驱动电路可以分别从对应的电源焊点向对应的内部电源线供给电流，可以以很快的响应速度补偿内部电源电压的降低。而且，从电源焊点到消耗电流的电路的距离变短，故可以抑制因内部电源线的布线电阻引起的电压下降。

再有，也可以将该实施例 1 和实施例 2 组合在一起。即，响应于激活指令信号使驱动电路有选择地处于激活状态，同时按照该激活指令信号切断电平移位电路 102 中的电流通路。在利用这样的只在运行周期激活的驱动电路时，在图 9 的驱动电路区配置运行驱动电路。此外，在区域 110 中配置基准电压发生电路、调整电路和备用时激活的备用驱动电路。

在上述实施例 1 和实施例 2 中，说明了将外部电源电压降压后生成内部电源电压的内部降压电路。但是，在将该外部电源电压变换成另外的电压而内部电路中使用该电压的构成中，只要电压变换电路构成与内部降压电路一样，也可以适用于本发明。

此外，作为半导体装置不限于动态随机存取存储器（ DRAM ），也可以是使用内部降压电路的电路。还有，作为半导体装置，只要是具有与内部降压电路一样的构成的电压变换电路的装置，都可以适用于本发明。

如上所述，若按照本发明，把基准电压发生电路和备用降压电路或基准电压发生电路和调整电路配置在面积比较充裕的周边部，在消耗电流的电路的附近分别配置实际供给电流并生成内部电压的运行降压电

路或驱动电路，因此，可以有效地配置内部电源电压发生电路而不增加芯片面积，并不对其它电路的布线布局产生不良影响.

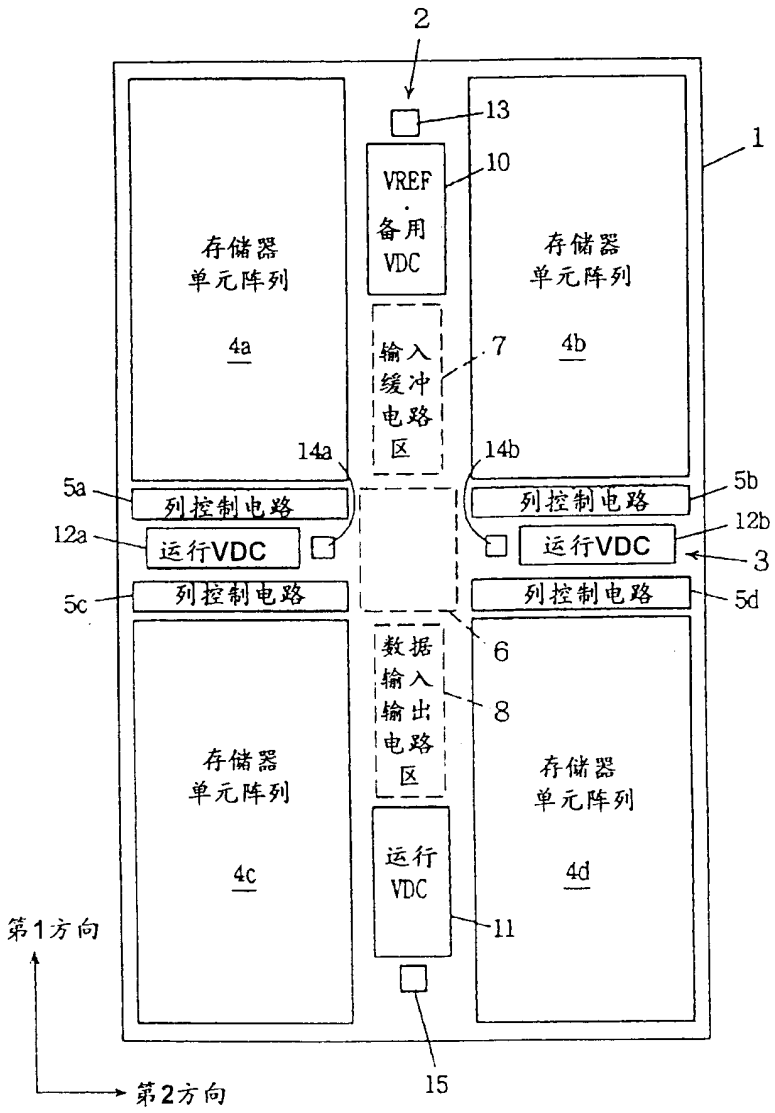

2
13
1
VREF
备用
VDC
10
存储器
单元阵列
4a
存储器
单元阵列
4b
输入
缓冲
电路
区
7
14a
14b
5a
列控制电路
5b
列控制电路
12a
运行VDC
12b
运行VDC
3
5c
列控制电路
列控制电路
5d
6
数据
输入
输出
电路
区
8
存储器
单元阵列
4c
存储器
单元阵列
4d
运行
VDC
11
第1方向
第2方向
15

图1

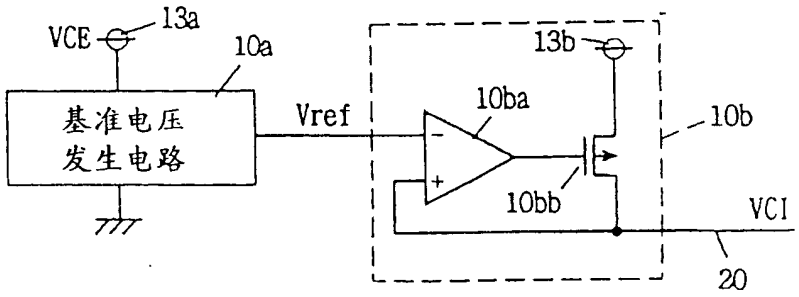

VCE
13a
10a
基准电压
发生电路
Vref
13b
10ba
10b
10bb
VCI
20

图 2

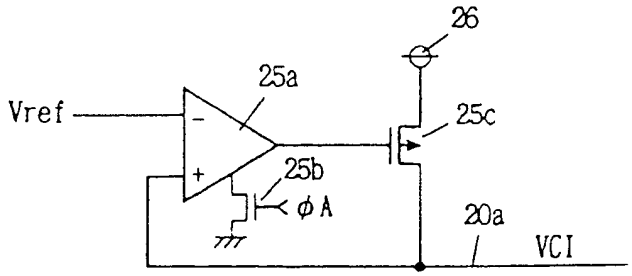

26
25a
Vref
25c
25b
φA
20a
VCI

图 3

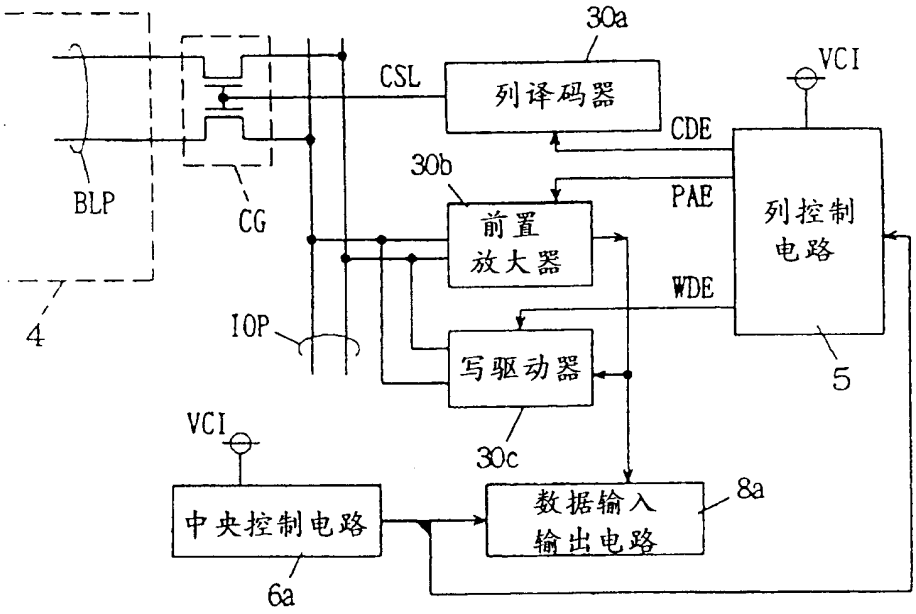

30a
VCI
CSL
列译码器
CDE
30b
PAE
列控制
电路
BLP
CG
前置
放大器
WDE
4
IOP
写驱动器
5
VCI
30c
8a
中央控制电路
数据输入
输出电路
6a

图 4

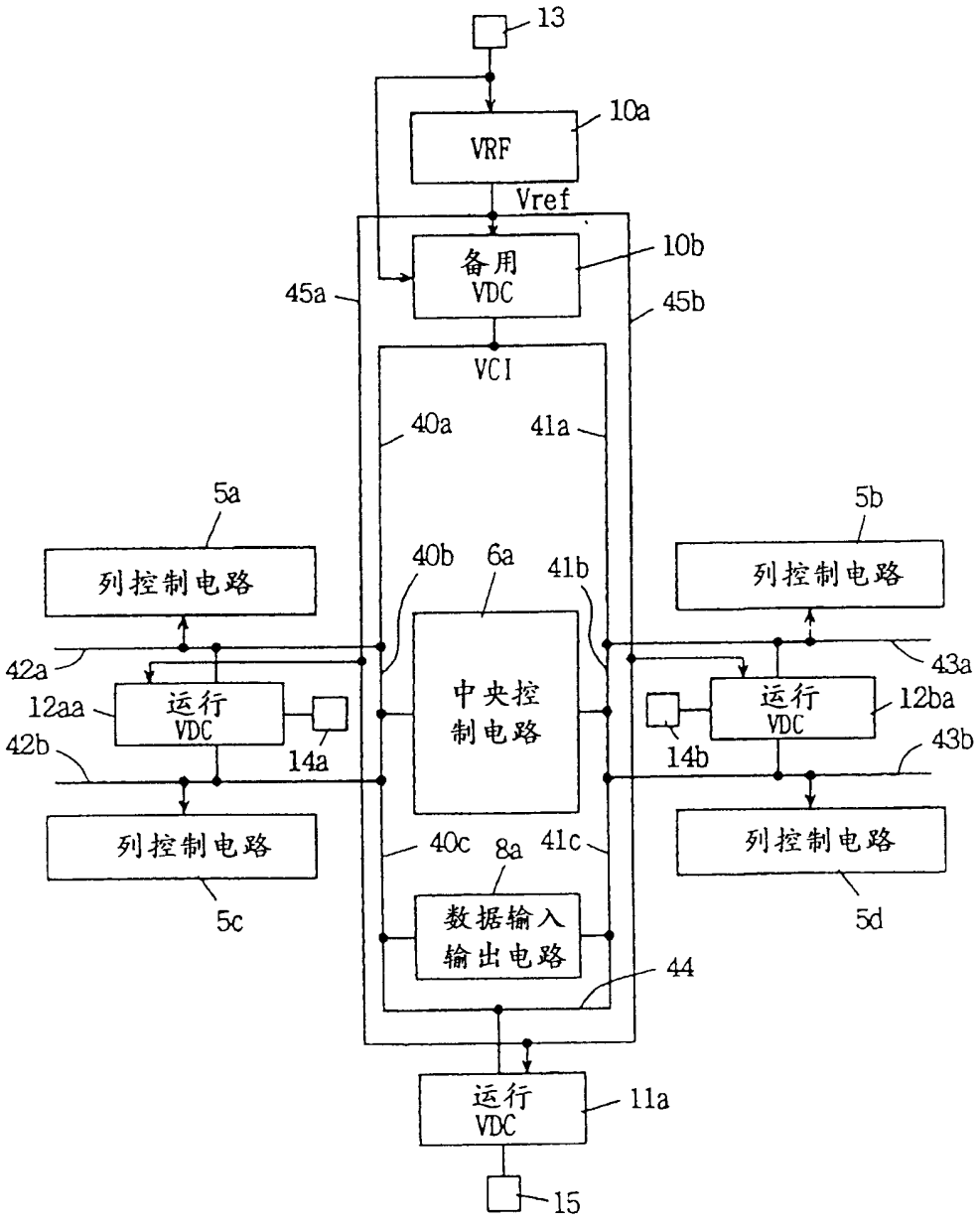

13
10a
VRF
Vref
备用
VDC
10b
45a
45b
VCI
40a
41a
5a
5b
列控制电路
40b
6a
41b
列控制电路
42a
43a
12aa
运行
VDC
中央控
制电路
运行
VDC
12ba
14a
14b
42b
43b
列控制电路
40c
8a
41c
列控制电路
5c
5d
数据输入
输出电路
44
运行
VDC
11a
15

图 5

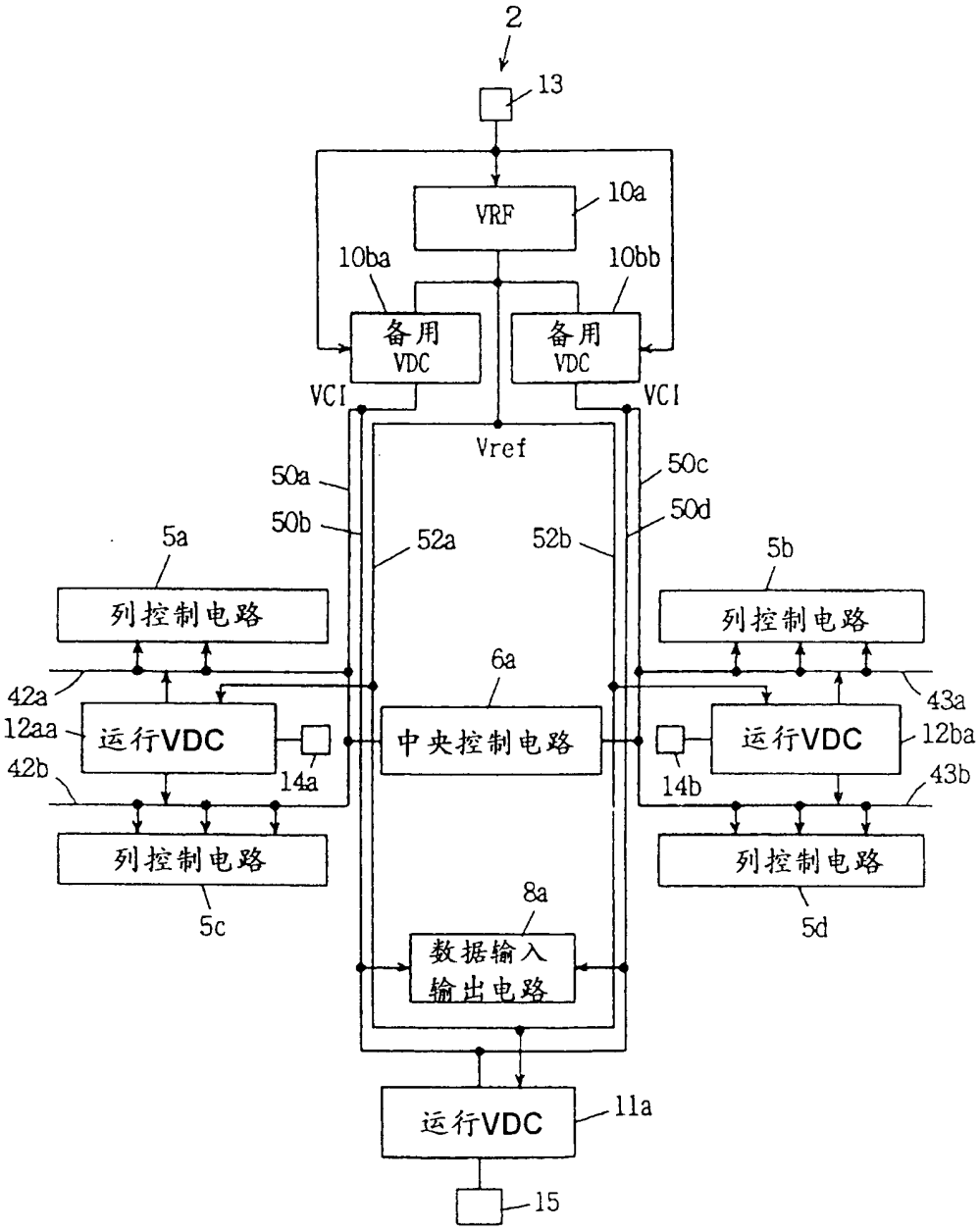

2
13
VRF
10a
10ba
10bb
备用 VDC
备用 VDC
VCI
VCI
Vref
50a
50b
50c
50d
52a
52b
5a
5b
列控制电路
列控制电路
6a
42a
43a
12aa
运行VDC
中央控制电路
运行VDC
12ba
14a
14b
42b
43b
列控制电路
列控制电路
5c
5d
8a
数据输入 输出电路
运行VDC
11a
15

图 6

图 7

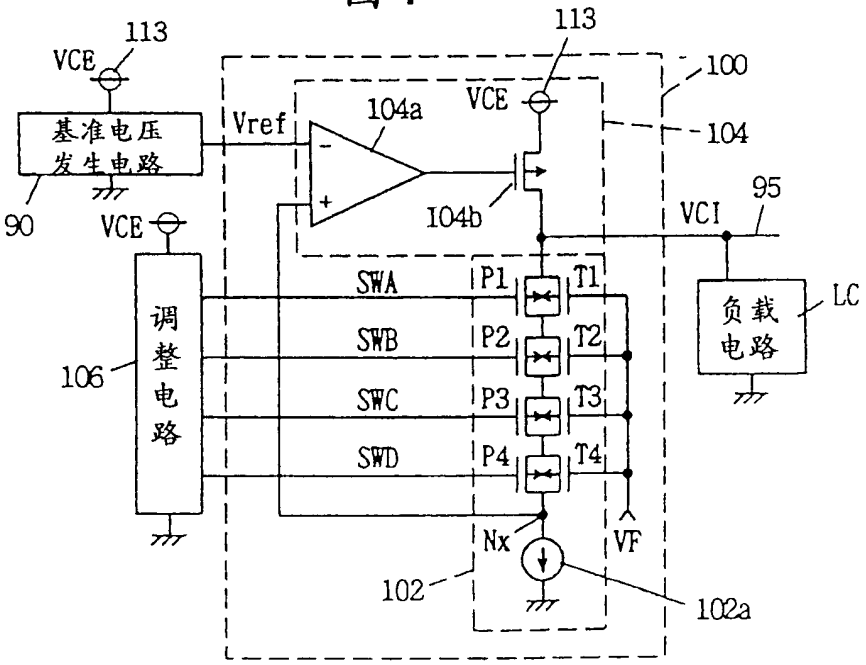
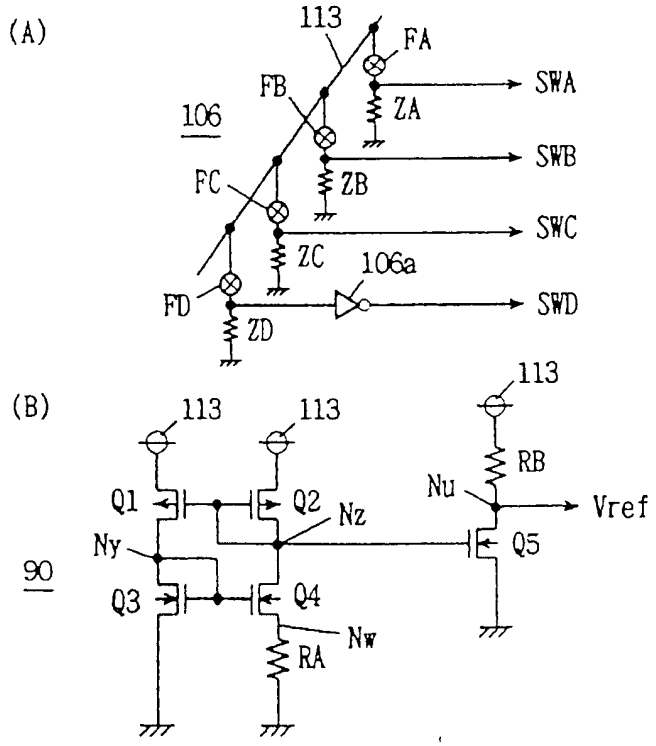

113
VCE
基准电压
发生电路
90
Vref
104a
VCE
113
100
104
104b
VCE
VCI
95
负载
电路
LC
106
调
整
电
路
SWA
SWB
SWC
SWD
P1
P2
P3
P4
T1
T2
T3
T4
Nx
VF
102
102a

图 8


(A)
113
FA
FB
106
FC
FD
ZA
ZB
ZC
ZD
106a
SWA
SWB
SWC
SWD
(B)
113
113
113
RB
Nu
Vref
Q1
Q2
Nz
Q5
Ny
90
Q3
Q4
Nw
RA

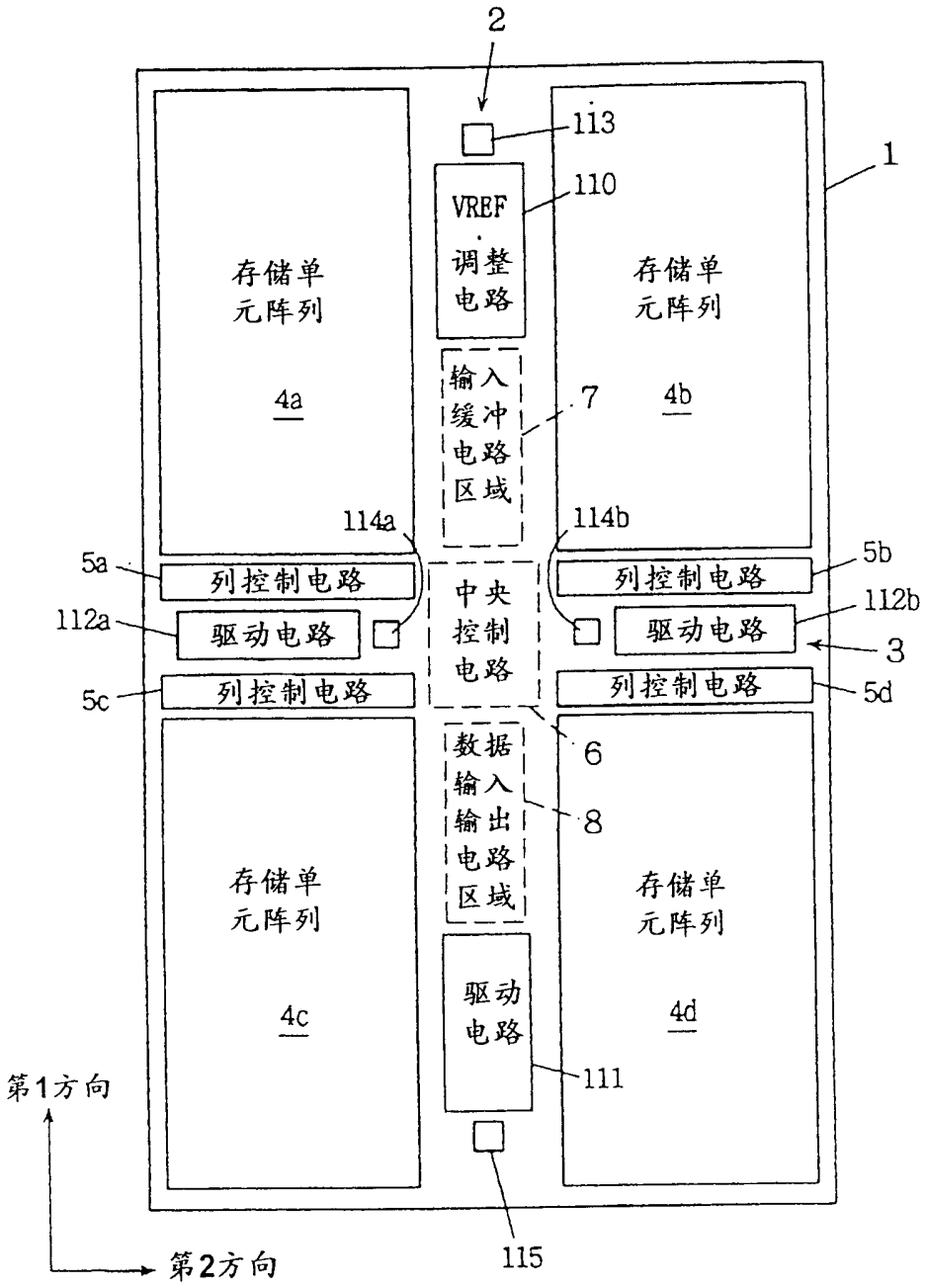

2
113
1
VREF
调整
电路
110
存储单
元阵列
4a
存储单
元阵列
4b
输入
缓冲
电路
区域
7
114a
114b
5a
列控制电路
5b
列控制电路
112a
驱动电路
中央
控制
电路
驱动电路
112b
3
5c
列控制电路
列控制电路
5d
6
数据
输入
输出
电路
区域
8
存储单
元阵列
4c
存储单
元阵列
4d
驱动
电路
111
第1方向
第2方向
115

图 9

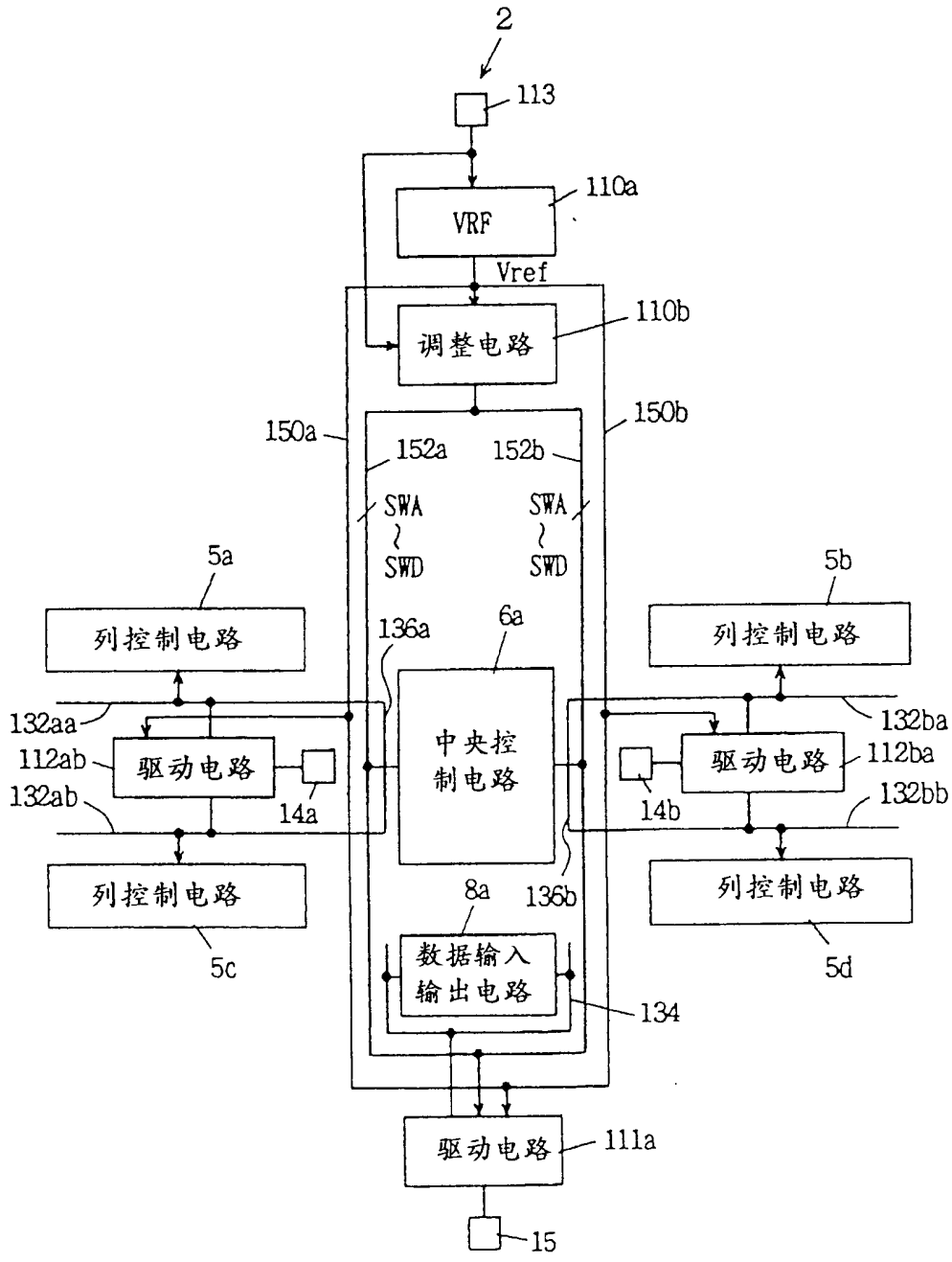

2
113
VRF
110a
Vref
调整电路
110b
150a
150b
152a
152b
SWA
SWD
SWA
SWD
5a
列控制电路
136a
6a
中央控制电路
5b
列控制电路
132aa
112ab
驱动电路
14a
132ab
132ba
驱动电路
112ba
14b
132bb
列控制电路
5c
8a
136b
数据输入输出电路
134
列控制电路
5d
驱动电路
111a
15

图 10

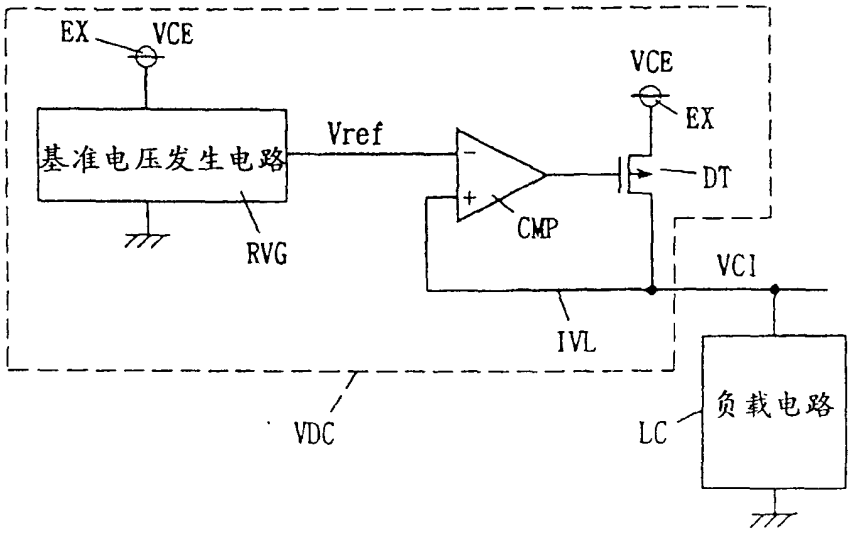

EX
VCE
基准电压发生电路
RVG
Vref
CMP
VCE
EX
DT
VCI
IVL
VDC
LC
负载电路

图 11

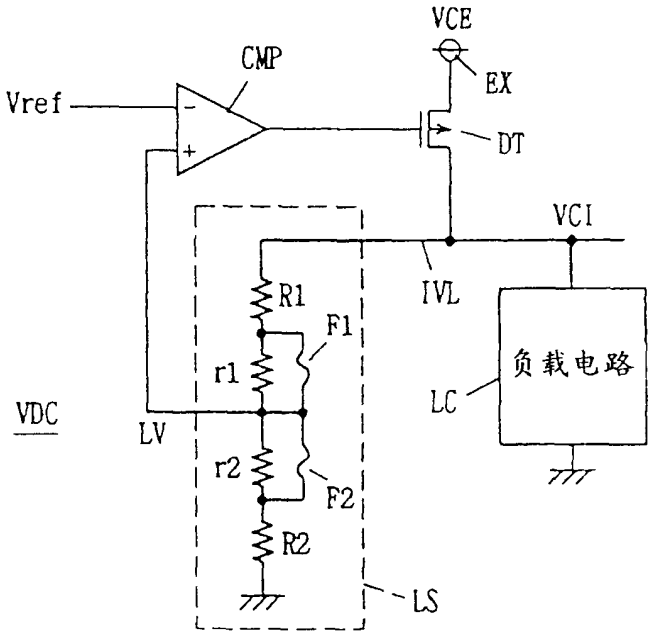

VCE
CMP
Vref
EX
DT
VCI
IVL
R1
F1
r1
负载电路
VDC
LV
LC
r2
F2
R2
LS

图 12