

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月26日(26.01.2017)



(10) 国際公開番号
WO 2017/013839 A1

- (51) 国際特許分類:
H05K 3/34 (2006.01) *H05K 1/18* (2006.01)
- (21) 国際出願番号: PCT/JP2016/003110
- (22) 国際出願日: 2016年6月29日(29.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-145923 2015年7月23日(23.07.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 岡 賢吾(OKA, Kengo); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 伊藤 修一(ITU, Syuichi); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目1番19号 瀧定ビル6階 Aichi (JP).

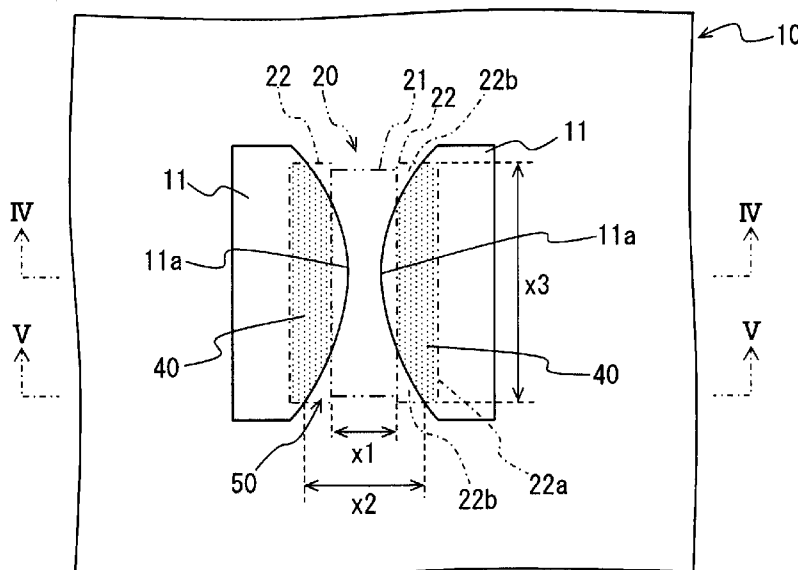
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: ELECTRONIC DEVICE AND METHOD FOR MANUFACTURING ELECTRONIC DEVICE

(54) 発明の名称: 電子装置及び電子装置の製造方法



(57) Abstract: This electronic device is provided with: a circuit board (10) having two lands (11) which are parts of wiring; a mounting component (20), which is mounted on the circuit board (10), and which has two electrodes (22) respectively facing the lands (11); and two solder sections (30), which bond the lands (11) and electrode (22) portions which the lands (11) face. In a region where the circuit board (10) and the mounting component (20) face each other, a facing space (50), which is sandwiched between the two solder sections, and is opened at both ends, is formed. The facing space (50) includes a narrow portion having an opening area that is smaller than the opening area at both the ends of the facing space.

(57) 要約: 電子装置は、配線の一部である二つのランド(11)を有した回路基板(10)と、回路基板(10)に実装されておりランド(11)の夫々と個別に対向した二つの電極(22)を有した実装部品(20)と、ランド(11)と電極(22)におけるランド(11)が対向した部位とを接合し

ている二つのはんだ(30)と、を備えている。回路基板(10)と実装部品(20)とが対向している領域には、二つのはんだで挟まれ、且つ、両端が開いた対向空間(50)が形成されている。この対向空間(50)は、自身の両端における開口面積よりも狭い開口面積である狭部位を含む。

WO 2017/013839 A1

明 細 書

発明の名称：電子装置及び電子装置の製造方法

関連出願の相互参照

[0001] 本出願は、2015年7月23日に出願された日本特許出願番号2015-145923号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、回路基板に形成されたランドと、実装部品の電極とがはんだによって接合された電子装置及び電子装置の製造方法に関する。

背景技術

[0003] 従来、上記のような構成の電子装置の一例として、特許文献1に開示された技術がある。特許文献1には、回路基板としてのプリント基板に形成されたランドと、実装部品としてのチップ部品の電極とがはんだによって接合されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2003-243814号公報

発明の概要

[0005] はんだ付けは、はんだ材料にフラックス成分が予め付与された材料を用いることがある。この場合、はんだ付け後の回路基板の表面や実装部品の表面には、フラックス成分が残る。残留フラックス成分は、洗浄処理で除去することが考えられる。洗浄処理は、例えば、回路基板に実装部品が実装された電子装置を洗浄液に浸漬させて、残留フラックス成分を洗浄液に溶出させることで除去する。しかしながら、電子装置は、回路基板と実装部品とで挟まれた対向空間が形成される。この対向空間に形成されたフラックス成分は、洗浄液で除去されずに残りやすい。

[0006] 本開示は、上記点に鑑みてなされたものであり、電極間にフラックス成分が残ることを抑制できる電子装置、及び電子装置の製造方法を提供すること

を目的とする。

[0007] 本開示の第一態様による電子装置は、配線の一部である二つのランドを有した回路基板と、回路基板に実装されており、ランドの夫々と個別に対向した二つの電極を有した実装部品と、ランドと電極におけるランドが対向した部位とを接合している二つのはんだと、を備える。一つの電極の対向領域は、ランド及びはんだが配置された領域と、ランド及びはんだが配置されていない領域とを含み、他の電極の対向領域は、ランド及びはんだが配置された領域を少なくとも含み、回路基板と実装部品とが対向している領域には、二つのはんだで挟まれ、且つ、両端が開口した対向空間が形成されている。対向空間は、自身の両端における開口面積よりも狭い開口面積である狭部位を含む。

[0008] 上記電子装置によると、はんだのフラックス成分の洗浄性を向上できる構成、すなわち、洗浄時間を短縮できる構成を有することができ、電極間にフラックス成分が残ることを抑制できる。

[0009] 本開示の第2態様による電子装置の製造方法は、上記第1態様による電子装置の製造方法であって、各電極と各ランドとの間に、フラックス成分を含むはんだの構成材料を設け、構成材料を溶融及び硬化させことで、各電極と各ランドとをはんだによって接合する接合し、その後に、電子装置を洗浄液に浸漬して、電子装置の表面に付着しているフラックス成分を除去することを含む。

[0010] 上記電子装置の製造方法によると、洗浄時間を短縮でき、電極間にフラックス成分が残ることを抑制できる。また、フラックス成分を洗浄により除去する時間を短縮できるため、その分、短時間で電子装置を製造できる。

図面の簡単な説明

[0011] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態における電子装置の概略構成を示す平面図であり、

[図2]図2は、図1のII-II線に沿う断面図であり、

[図3]図3は、第1実施形態における回路基板の概略構成を示す平面図であり、

[図4]図4は、図3のIV-IV線に沿う断面図であり、

[図5]図5は、図3のV-V線に沿う断面図であり、

[図6]図6は、第1実施形態における回路基板の概略構成を示す断面図であり、

[図7]図7は、第1実施形態におけるはんだペーストが設けられた状態の回路基板の概略構成を示す断面図であり、

[図8]図8は、第1実施形態における実装部品が設けられた状態の回路基板の概略構成を示す断面図であり、

[図9]図9は、第1実施形態におけるリフロー後の回路基板の概略構成を示す断面図であり、

[図10]図10は、第1実施形態における洗浄時の回路基板の概略構成を示す断面図であり、

[図11]図11は、第1実施形態におけるランド間距離比と圧力比との関係を示すグラフであり、

[図12]図12は、本開示の第2実施形態における回路基板の概略構成を示す平面図であり、

[図13]図13は、本開示の第3実施形態における回路基板の概略構成を示す平面図であり、

[図14]図14は、本開示の第4実施形態における回路基板の概略構成を示す平面図であり、

[図15]図15は、本開示の第5実施形態における回路基板の概略構成を示す平面図である。

発明を実施するための形態

[0012] 以下において、図面を参照しながら、開示を実施するための複数の形態を説明する。各形態において、先行する形態で説明した事項に対応する部分に

は同一の参照符号を付して重複する説明を省略する場合がある。各形態において、構成の一部のみを説明している場合は、構成の他の部分については先行して説明した他の形態を参照し適用することができる。

[0013] まず、図1～図5を用いて、電子装置100の構成に関して説明する。電子装置100は、図1、図2に示すように、回路基板10と、回路基板10に実装された実装部品20と、回路基板10と実装部品20とを接合しているはんだ30とを備えて構成されている。

[0014] 回路基板10は、樹脂やセラミックスなどの絶縁基材に、CuやAgなどの導体パターンによって配線が形成されたものである。また、回路基板10は、例えば、導体パターンが絶縁基材を介して積層された多層基板などを採用できる。回路基板10は、一面に実装部品20が実装されている。回路基板10の実装部品20が実装された面は、実装面とも言える。

[0015] 回路基板10は、図2などに示すように、実装面に配線の一部であるランド11が形成されている。つまり、ランド11は、配線の一部として、実装面に平坦に形成された部位である。また、ランド11は、実装部品20の電極22と接合される部位であり実装ランドとも言える。後程説明するが、本実施形態では、二つの電極22を有した二端子素子である実装部品20を採用している。このため、本実施形態では、一つの実装部品20に対して一対のランド11、すなわち二つのランド11が形成された回路基板10を採用している。しかしながら、本開示はこれに限定されない。実装部品20が三つ以上の電極22を有している場合、回路基板10は、この実装部品20が実装されるランド11として、実装部品20の電極22の個数と同数のランド11が形成されることになる。

[0016] ランド11は、電極22が対向配置され、はんだ30を介して電極22と電氣的及び機械的に接続される。つまり、二つのランド11は、一つのランド11に対して一つの電極22が対向配置され、対向配置された電極22と接合されている。なお、図1においては、はんだ30に隠れた位置にランド11が配置されている。また、ランド11は、例えば、厚みが10 μ m以上

であり、好ましくは $30 \sim 80 \mu\text{m}$ である。

[0017] また、ランド11は、図3に示すように、凸部11aが形成されている。一对のランド11は、凸部11aの頂点同士が向かい合って配置されている。ランド11は、図3に示す平面視では、自身に対向配置されたランド11との対向部位が曲線形状をなして凸部11aが形成されている。また、一对のランド11間の距離は、各対向部位の両端から中央に向かうに連れて短くなっている。つまり、一对のランド11は、各対向部位の両端における間隔よりも、各対向部位の中央における間隔の方が狭い。なお、凸部11aの少なくとも一部は、実装部品20に対向配置されている。

[0018] 各ランド11は、図3に示す平面視では、自身に対向配置された電極22の対向辺の二か所と交差すると共に、各端辺の一か所と交差する。また、二つのランド11は、電極22の一部に凸部11aが対向配置されている。つまり、各ランド11と各電極22とは、一部のみがオーバーラップして配置されていると言える。

[0019] 実装部品20は、基部21と、基部21に形成された電極22とを備えて構成されている。実装部品20は、回路基板10に実装されており、ランド11の夫々と個別に対向した二つの電極22を有している。各電極22は、実装部品20が回路基板10に実装された状態で、実装面に対向する部位を含んでいる。また、実装部品20は、二つの電極22が平行に配置されている。なお、実装部品20は、例えばチップ抵抗やチップコンデンサなどの受動素子を採用できる。

[0020] また、実装部品20は、二つの電極22に沿う仮想直線の端部を素子端部と称することができる。さらに、各電極22は、対向配置された電極22と対向する部位を対向辺と称することができ、素子端部に対応する部位を端辺と称することができる。よって、各電極22は、二つの端辺と、二つの短辺に連なる対向辺とを含むと言える。

[0021] 図3に示すように、各電極22の対向領域は、ランド11及びはんだ30が配置された配置領域22aと、ランド11及びはんだ30が配置されてい

ない非配置領域 22b とを含む。各電極 22 の対向領域とは、各電極 22 における実装面と対向する面の投影領域に相当する。また、各電極 22 の対向領域とは、各電極 22 における実装面と対向する面と、実装面とで挟まれた領域である。

[0022] 回路基板 10 と実装部品 20 とは、配置領域 22a において、電極 22 とランド 11 とがはんだ 30 を介して接合されている。図 3 の符号 40 は、電極 22 とランド 11 とがはんだ 30 で接合された接合部である。よって、配置領域 22a と接合部 40 とは、同じ範囲とみなすこともできる。また、非配置領域 22b では、電極 22 とはんだ 30 とが接合されていない。このように、電極 22 は、実装面と対向する部位の一部のみが、はんだ 30 を介してランド 11 と接合されている。なお、図 3 は、断面図ではないが、接合部 40 と他の領域とをわかりやすするためにハッチングを施している。

[0023] しかしながら、本開示はこれに限定されない。本開示は、一つの電極 22 の対向領域が配置領域 22a と非配置領域 22b とを含んでおり、他の電極 22 の対向領域が配置領域 22a を少なくとも含んでいればよい。つまり、二つの電極 22 のうちの一方は、回路基板 10 との対向面の全域がはんだ 30 を介してランド 11 と接合されていてもよい。

[0024] 特に、本実施形態では、実装部品 20 として、二つの電極 22 の間隔よりも、二つの電極に沿う長さの方が長い長辺電極部品を採用している。また、長辺電極部品は、回路基板 10 に実装された状態において、長辺電極部品下に形成される空間の奥行長さ $\times 3$ と一対の電極 22 の間隔 $\times 1$ の比が 2.0 以上の部品である。なお、奥行長さは、長辺電極部品の部品長さと同等である。

[0025] なお、本開示は、これに限定されない。実装部品 20 は、短辺電極部品であっても採用できる。短辺電極部品は、二つの電極 22 の間隔よりも、二つの電極に沿う長さの方が短い、又は、二つの電極 22 の間隔と二つの電極に沿う長さが同等の部品である。また、実装部品 20 は、半導体を主成分とする基部に電極が形成されたベアチップ状の半導体素子やパッケージ化された

電子部品などでも採用できる。

[0026] はんだ30は、上記のように、ランド11と、電極22におけるランド11が対向した部位とを接合している。よって、電子装置100は、一つの実装部品20に対して、二つのはんだ30を備えている。

[0027] はんだ30は、ランド11と電極22との間にはんだペースト30aが配置された状態でリフロー工程を行った後のものである。はんだ30の構成材料であるはんだペースト30aは、はんだ微粉末とフラックス成分31とを混ぜ合わせてクリーム状にしたものである。はんだ微粉末を構成する合金としては、例えば、Sn-Cu、Sn-Pb、Sn-Pb-Ag、Sn-Pb-BiなどのSn基合金、In-PbなどのIn基合金、Pb-AgなどのPb基合金が挙げられる。一方、フラックス成分31は、母材表面の酸化膜を除去するロジン、はんだ付け性を促進する活性剤、印刷性に関与する溶剤などで構成されている。

[0028] はんだ30は、ランド11上に形成される。このため、実装部品20は、上記のように、配置領域22aにははんだ30が接合されているものの、非配置領域22bにははんだ30が接合されていない。また、実装部品20は、電極22から露出している基部21にもはんだ30が接続されていない。つまり、電子装置100は、回路基板10と実装部品20とで挟まれた領域では、ランド11と配置領域22aとが対向した領域のみにはんだ30が形成されて接合部40をなしている。

[0029] よって、電子装置100は、図3に示すように、回路基板10と実装部品20とが対向している領域に、二つのはんだ30で挟まれ、且つ、両端が開口した対向空間50が形成されている。対向空間50における開口した端部は、対向空間50の開口端とも言える。また、電子装置100は、実装部品20の素子端部と回路基板10との間に、対向空間50の開口端が形成されていると言える。

[0030] 対向空間50は、自身の両端間に、二つのはんだ30の間隔が、自身の両端における二つのはんだ30の間隔よりも狭い狭部位を含む。つまり、電子

装置 100 は、対向空間 50 における中央のはんだ 30 の間隔 $\times 1$ が、対向空間 50 における両端のはんだ 30 の間隔 $\times 2$ より小さい ($\times 1 < \times 2$)。また、言い換えると、電子装置 100 は、対向空間 50 に、二つの接合部 40 の間隔が、両端における二つの接合部 40 の間隔よりも狭い部位を含む。本実施形態では、対向空間 50 における両端から対向空間 50 の中央に行くにつれて接合部 40 の間隔が徐々に狭くなり、且つ、対向空間 50 の中央を含む所定範囲で接合部 40 の間隔が一定である電子装置 100 を採用している。なお、間隔 $\times 1$ 及び間隔 $\times 2$ は、接合部 40 の間隔とも言える。

[0031] 従って、電子装置 100 は、図 4、図 5 に示すように、対向空間 50 における開口端の開口面積 A_2 よりも、対向空間 50 における中央の開口面積 A_1 が狭いと言える。また、対向空間 50 は、開口端の開口面積 A_2 よりも狭い開口面積となる領域を含んでいると言える。なお、開口面積は、対向空間 50 における二つの電極 22 に直交する仮想平面に沿う範囲の面積に相当する。また、一方の開口端と他方の開口端との間隔は、対向空間 50 の奥行とも言える。

[0032] また、本実施形態では、一例として、はんだ付け後の実装部品 20 下の寸法が、高さが 0.07 ~ 0.15 mm、電極 22 の間隔が 0.5 mm、奥行が 3.5 mm となる電子装置 100 を採用する。なお、高さとは、回路基板 10 と実装部品 20 の間隔である。

[0033] なお、電子装置 100 は、回路基板 10 の実装面と、実装部品 20 とを一体的に覆う封止樹脂を備えていてもよい。また、電子装置 100 は、三つ以上の電極 22 を有した実装部品と、この実装部品の各電極に個別に対応したランドが形成された回路基板とを備えていてもよい。

[0034] ここで、図 6 ~ 図 10 を用いて、電子装置 100 の製造方法に関して説明する。本製造方法は、以下に説明する第 1 工程 ~ 第 5 工程を含んでいる。

[0035] まず、第 1 工程では、図 6 に示すように、ランド 11 が形成された回路基板 10 を用意する。次に、第 2 工程では、図 7 に示すように、ランド 11 上にはんだペースト 30a を形成する（接合工程）。第 2 工程では、ディス

ンサーを用いた塗布やスクリーン印刷によって、予め決められた量のはんだペースト30aをランド上に形成する。次に、第3工程では、図8に示すように、はんだペースト30a上に、実装部品20を搭載する（接合工程）。このとき、はんだペースト30aは、硬化していないため、ランド11と電極22とは強固に固定されていない。

[0036] その後、第4工程では、はんだペースト30aを溶融及び硬化させることで、各電極22と各ランド11とをはんだ30によって接合する（接合工程）。つまり、第4工程は、リフロー工程と言える。このようにして、回路基板10と実装部品20は、はんだ30を介して接合される。

[0037] ところで、はんだペースト30aは、上記のように、フラックス成分31を含んでいる。このフラックス成分31は、図9に示すように、リフロー工程を行った後、回路基板10、実装部品20、はんだ30の表面に付着して残留する。また、フラックス成分31は、はんだ30を覆うように流動して、対向空間50に流入する。つまり、第4工程が終了した段階では、電子装置100の表面にフラックス成分31が付着した状態となる。この残留しているフラックス成分31は、後工程での実装加工を阻害することもありうる。さらに、残留しているフラックス成分31は、マイグレーションが発生する原因となりうる。

[0038] そのため、本製造方法では、第4工程後に、電子装置100の表面に残留しているフラックス成分31を除去する第5工程を行う。つまり、第5工程は、洗浄工程に相当する。

[0039] 第5工程では、例えば、図10に示すように、フラックス成分31が付着した電子装置100を洗浄液200に浸漬する。また、第5工程では、フラックス成分31が付着した電子装置100を洗浄液200に浸漬させた状態で放置することで、フラックス成分31が洗浄液200に接する部分から溶出して除去する。本製造方法では、電子装置100に付着しているフラックス成分31を除去できる。

[0040] このように、本製造方法では、フラックス成分31が除去されるため、マ

イグレーションの発生を抑制可能な電子装置１００を製造できる。また、本製造方法は、第５工程後に電子装置１００の実装加工がなされる場合、フラックス成分３１で実装加工が阻害されることを抑制できる。さらに、電子装置１００は、冷熱サイクル試験時に発生する応力の低いランド１１の中央部の接合面積が確保できるため長寿命化できる。

[0041] なお、フラックス成分３１の溶出に要する時間は、残留しているフラックス成分３１の量とフラックス成分３１の周囲における洗浄液２００の循環量にて決まる。また、フラックス成分３１の量は、フラックス成分３１の厚みとみなすこともできる。また、フラックス成分３１の溶出に要する時間は、洗浄時間とも言える。

[0042] 以上のように、電子装置１００は、対向空間５０に、対向空間の両端における開口面積よりも狭い開口面積である狭部位を含んでいる。これによって、電子装置１００は、洗浄液２００の圧力差を大きくすることができる。洗浄液２００の圧力は、対向空間５０における両端よりも狭部位の方が大きくできる。

[0043] 図１１に示すように、電極２２とランド１１の形状において、ランド端部の方が中央部よりも広いランド間の距離となる構造とすることで、ランド端部とランド中央部において、対向空間５０にある洗浄液２００の圧力差を大きくすることが出来る。なお、図１１は、横軸がランド１１中央部の寸法をランド１１端部の寸法で割った値であり、縦軸がランド１１中央部の圧力をランド１１端部の圧力で割った値である。寸法とは、ランド１１間の距離である。

[0044] 圧力差、つまり、圧力勾配があると、フラックス成分３１を含んだ洗浄液２００は、対向空間５０における中央部から開口端側に流れる。このため、第５工程では、対向空間５０に新鮮な洗浄液２００が流入してフラックス成分３１の溶解能力を維持できる。

[0045] なお、圧力差は、一例ではあるが、以下の式に示すベルヌーイの定理の応用を用いた考え方により求めることができる。トンネル形状における液体の

流量と流速の関係は、式 1 で示される。

[0046] $Q = C \times A \times V \cdots \text{式 1}$

Q : 流量、C : 係数、A : 面積、V : 流速

流速 V は

$$V = (2 \times P \div \rho)^{0.5} \cdots \text{式 2}$$

で表すことができる。

[0047] 式 1 に式 2 を代入し、P に変換する。

[0048] $P = (Q / A)$

なお、液体は同じであるため C、 ρ などは割愛する。

[0049] このため、電子装置 100 は、接合工程後の回路基板 10 と実装部品 20 とを洗浄液 200 に浸漬した場合、対向空間 50 における両開口端で挟まれたところから両開口端に洗浄液 200 が流れやすくなる。従って、電子装置 100 は、フラックス成分 31 の洗浄性を向上できる構成、すなわち、洗浄時間を短縮できる構成を有することができ、電極 22 間にフラックス成分 31 が残ることを抑制できる。また、電子装置 100 は、洗浄時間を短縮できる構造を有していると言える。

[0050] また、本製造方法は、狭部位を含んでいる電子装置 100 を洗浄液 200 に浸漬させて残留しているフラックス成分 31 を除去するため、第 5 工程におけるフラックス成分 31 の洗浄性を向上でき、電極 22 間にフラックス成分 31 が残ることを抑制できる。

[0051] また、対向空間 50 の奥行と幅の割合を変えた時のフラックス成分 31 を除去する時間の変化割合を確認したところ、洗浄時間は、対向空間 50 の奥行が長くなるに連れて長くなることがわかった。さらに、回路基板は、長辺電極部品が実装されている場合、同等の体格の短辺電極部品が実装される場合よりもランドが広くなり、はんだペーストの量が増え、その結果、残留するフラックス成分の量も増えることになる。また、電子装置は、長辺電極部品が実装されている場合、同等の体格の短辺電極部品が実装される場合よりも対向空間が狭くなり、洗浄液の循環量も低下する。従って、電子装置は、

長辺電極部品が実装されている場合、同等の体格の短辺電極部品が実装される場合よりも、対向空間に残留したフラックス成分を除去するのに要する時間が長くなる。

[0052] 本実施形態では、上記のように、実装部品 20 として長辺電極部品を採用している。しかしながら、電子装置 100 は、対向空間 50 における両端に挟まれたことから両端に向かって洗浄液 200 が流れやすくなるため、実装部品 20 として長辺電極部品を採用しつつ、フラックス成分 31 を洗浄により除去する時間を短縮できる。また、本製造方法は、フラックス成分 31 を洗浄により除去する時間を短縮できるため、その分、短時間で電子装置 100 を製造できる。

[0053] また、実装部品 20 として長辺電極部品を採用しつつ、対向空間 50 を広くして洗浄時間を短くするために、電極 22 の間隔よりもランド 11 の間隔を広くすることも考えられる。しかしながら、このようにすると、ランド 11 と電極 22 との接合面積が狭くなり、接合信頼性が低下する可能性がある。これに対して、電子装置 100 は、ランド 11 と電極 22 との接合面積が狭くなることを抑えつつ、洗浄時間を短くできる。よって、電子装置 100 は、ランド 11 と電極 22 との接合信頼性を保ちつつ、洗浄時間を短くできる。

[0054] 上記したように、はんだを介して、電極とランドとが接合されて、実装部品が回路基板に実装されている。また、本開示は、回路基板と実装部品とが対向している領域に、二つのはんだで挟まれ、且つ、両端が開口した対向空間が形成されている。

[0055] ところで、はんだは、接合工程後に、自身の表面にフラックス成分が形成される。また、フラックス成分は、対向空間にも形成される。通常、このフラックス成分は、接合工程後に、回路基板と実装部品とを洗浄液に浸漬することで洗浄（除去）される。

[0056] そこで、本開示による電子装置は、対向空間に、対向空間の両端における開口面積よりも狭い開口面積である狭部位を含んでいる。これによって、本

開示は、洗浄液の圧力差を大きくすることができる。洗浄液の圧力は、対向空間における両端よりも狭部位の方が大きくできる。このため、本開示は、接合工程後の回路基板と実装部品とを洗浄液に浸漬した場合、対向空間における両端に挟まれたところから両端に向かって洗浄液が流れやすくなる。従って、本開示は、はんだのフラックス成分の洗浄性を向上できる構成、すなわち、洗浄時間を短縮できる構成を有することができ、電極間にフラックス成分が残ることを抑制できる。

[0057] また、本開示は、はんだを介して、電極とランドとが接合されて、実装部品が回路基板に実装された電子装置の製造方法を提供する。電子装置は、回路基板と実装部品とが対向している領域に、二つのはんだで挟まれ、且つ、両端が開いた対向空間が形成されている。

[0058] そして、本開示による電子装置の製造方法では、各電極と各ランドとの間に、フラックス成分を含むはんだの構成材料を設け、構成材料を溶融及び硬化させことで、各電極と各ランドとをはんだによって接合する。その後、本開示は、回路基板と実装部品とを洗浄液に浸漬して、接合工程で発生したフラックス成分を除去する。接合工程で発生したフラックス成分は、対向空間にも形成される。

[0059] 電子装置は、対向空間に、対向空間の両端における開口面積よりも狭い開口面積である狭部位を含んでいる。これによって、電子装置は、洗浄液の圧力差を大きくすることができる。洗浄液の圧力は、対向空間における両端よりも狭部位の方が大きくできる。このため、本開示は、接合工程後の電子装置を洗浄液に浸漬した場合、対向空間における両端に挟まれたところから両端に向かって洗浄液が流れやすくなる。従って、本開示は、はんだのフラックス成分の洗浄性を向上でき、すなわち、洗浄時間を短縮でき、電極間にフラックス成分が残ることを抑制できる。また、本開示は、フラックス成分を洗浄により除去する時間を短縮できるため、その分、短時間で電子装置を製造できる。

[0060] 以上、本開示の好ましい実施形態について説明した。しかしながら、本開

示は、上記実施形態に何ら制限されることはなく、本開示の趣旨を逸脱しない範囲において、種々の変形が可能である。以下に、本開示の変形例１～４に関して説明する。上記実施形態及び変形例１～４は、夫々単独で実施することも可能であるが、適宜組み合わせで実施することも可能である。本開示は、実施形態において示された組み合わせに限定されることなく、種々の組み合わせによって実施可能である。

[0061] (変形例１)

図１２を用いて、変形例１の電子装置を説明する。変形例１の電子装置は、ランド１２の形状が電子装置１００と異なる。各ランド１２は、図１２に示す平面視では、対向部位が三角形状をなして凸部１２ａが形成されている。また、各ランド１２は、ランド１１と異なり、図１２に示す平面視では、自身に対向配置された電極２２の各端辺の一か所と交差するものの、対向辺と交差しない。なお、各ランド１２は、電極２２の各端辺と交差していなくてもよい。

[0062] これによって、本変形例の電子装置は、電子装置１００と同様の対向空間５０が形成される。変形例１の電子装置は、電子装置１００と同様の効果を奏することができる。

[0063] (変形例２)

図１３を用いて、変形例２の電子装置を説明する。変形例２の電子装置は、ランド１３の形状が電子装置１００と異なる。各ランド１３は、図１３に示す平面視では、対向部位が矩形形状をなして凸部１３ａが形成されている。また、各ランド１３は、ランド１１と異なり、図１３に示す平面視では、自身に対向配置された電極２２の各端辺の一か所と交差するものの、対向辺と交差しない。つまり、各ランド１３は、電極２２と対向する部位に、周辺よりも突出した凸部１３ａが形成されている。なお、各ランド１３は、電極２２の各端辺と交差していなくてもよい。

[0064] これによって、本変形例の電子装置は、電子装置１００と同様の対向空間５０が形成される。よって、変形例２の電子装置は、電子装置１００と同様

の効果を奏することができる。

[0065] (変形例3)

図14を用いて、変形例3の電子装置を説明する。変形例3の電子装置は、ランド14の形状が電子装置100と異なる。各ランド14は、ランド11と同様に、図14に示す平面視では、対向部位が曲線形状をなして凸部14aが形成されている。また、各ランド14は、ランド11と異なり、図14に示す平面視では、自身に対向配置された電極22の各端辺の一か所と交差するものの、対向辺と交差しない。さらに、一对のランド14は、凸部14aの頂点同士が向かい合っておらず、ずれた位置に配置されている。なお、各ランド14は、電極22の各端辺と交差していなくてもよい。

[0066] これによって、本変形例の電子装置は、電子装置100と同様の対向空間50が形成される。よって、変形例3の電子装置は、電子装置100と同様の効果を奏することができる。

[0067] (変形例4)

図15を用いて、変形例4の電子装置を説明する。変形例4の電子装置は、実装部品20aとランド151、152の形状が電子装置100と異なる。

[0068] 実装部品20aは、ベアチップ状態の半導体素子である。また、実装部品20aは、パワー半導体素子とも言える。実装部品20aは、一面にドレイン電極が形成されており、且つ、一面の反対面にゲート電極221とソース電極222が形成されている。実装部品20aは、反対面が回路基板10と対向した状態で、回路基板10に実装される。なお、実装部品20aは、一面にエミッタ電極が形成され、反対面にベース電極とコレクタ電極が形成されたものであっても採用できる。

[0069] 一方、回路基板10は、実装部品20aに対応して、ゲート用ランド151とソース用ランド152とを備えている。変形例4の電子装置は、この点が電子装置100と異なる。なお、変形例4の回路基板10は、ゲート用ランド151とソース用ランド152が形成されている点で回路基板10と異

なるが、便宜的に、上記実施形態と同じ符号を付与している。

[0070] 本変形例の電子装置は、ゲート電極 2 2 1 とゲート用ランド 1 5 1 がはんだ 3 0 で接合され、ソース電極 2 2 2 がソース用ランド 1 5 2 とはんだ 3 0 で接続されている。特に、ソース電極 2 2 2 の対向領域は、ソース用ランド 1 5 2 及びはんだ 3 0 が配置された配置領域 2 2 a と、ソース用ランド 1 5 2 及びはんだ 3 0 が配置されていない非配置領域 2 2 b とを含む。これによって、本変形例の電子装置は、電子装置 1 0 0 と同様の対向空間 5 0 が形成される。このため、変形例 4 の電子装置は、電子装置 1 0 0 と同様の効果を奏することができる。

請求の範囲

- [請求項1] 配線の一部である二つのランド（11～14、151、152）を有した回路基板（10）と、
- 前記回路基板に実装されており、前記ランドの夫々と個別に対向した二つの電極（22、221、222）を有した実装部品（20、20a）と、
- 前記ランドと、前記電極における前記ランドが対向した部位とを接合している二つのはんだ（30）と、を備え、
- 一つの前記電極の対向領域は、前記ランド及び前記はんだが配置された領域と、前記ランド及び前記はんだが配置されていない領域とを含み、
- 他の前記電極の対向領域は、前記ランド及び前記はんだが配置された領域を少なくとも含み、
- 前記回路基板と前記実装部品とが対向している領域には、二つの前記はんだで挟まれ、且つ、両端が開口した対向空間（50）が形成されており、
- 前記対向空間は、自身の両端における開口面積よりも狭い開口面積である狭部位を含む電子装置。
- [請求項2] 前記実装部品は、二つの前記電極の間隔よりも、二つの前記電極に沿う長さの方が長い請求項1に記載の電子装置。
- [請求項3] 二つの前記ランドは、対向配置されており、互いの対向部位に凸部（11a～14a）を有しており、前記電極の一部に前記凸部が対向配置されている請求項1又は2に記載の電子装置。
- [請求項4] 配線の一部である二つのランド（11～14、151、152）を有した回路基板（10）と、
- 前記回路基板に実装されており、前記ランドの夫々と個別に対向した二つの電極（22、221、222）を有した実装部品（20、20a）と、

前記ランドと、前記電極における前記ランドが対向した部位とを接合している二つのはんだ（30）と、を備え、

一つの前記電極の対向領域は、前記ランド及び前記はんだが配置された領域と、前記ランド及び前記はんだが配置されていない領域とを含み、

他の前記電極の対向領域は、前記ランド及び前記はんだが配置された領域を少なくとも含み、

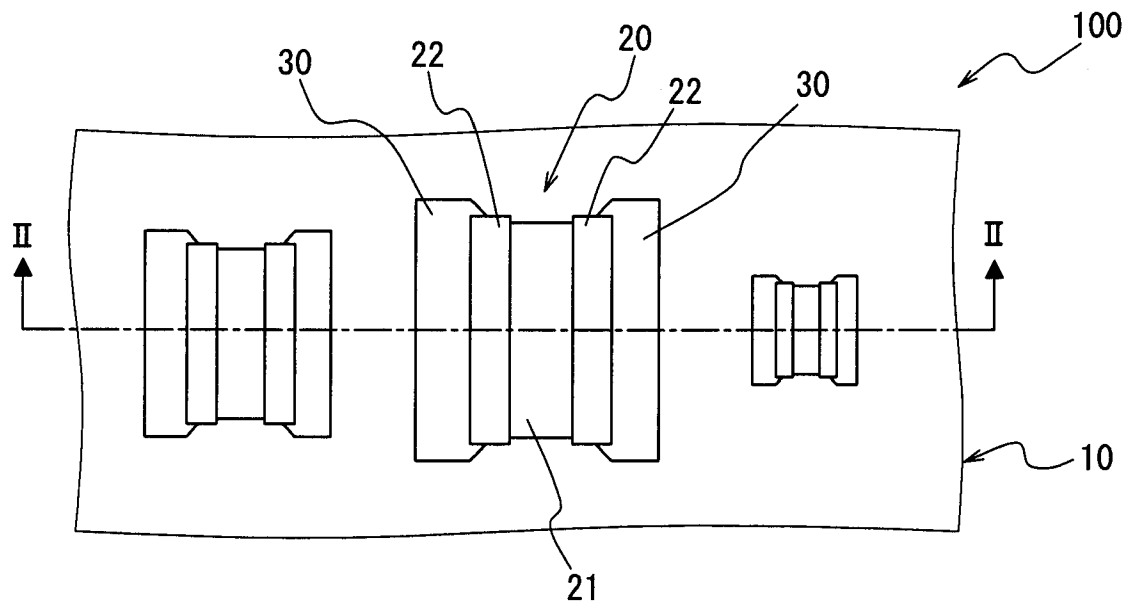
前記回路基板と前記実装部品とが対向している領域には、二つの前記はんだで挟まれ、且つ、両端が開口した対向空間（50）が形成されており、

前記対向空間は、自身の両端における開口面積よりも狭い開口面積である狭部位を含む電子装置の製造方法であって、

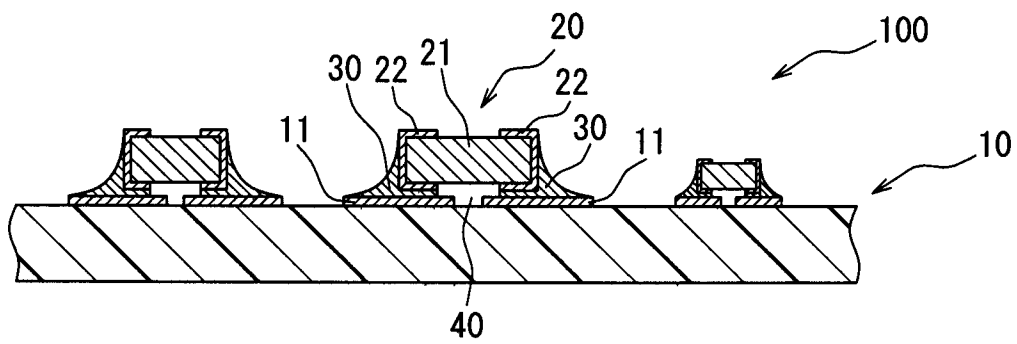
各電極と各ランドとの間に、フラックス成分を含む前記はんだの構成材料を設け、前記構成材料を溶融及び硬化させことで、各電極と各ランドとを前記はんだによって接合し、

前記各電極と各ランドとを前記はんだによって接合した後に、前記電子装置を洗浄液に浸漬して、前記電子装置の表面に付着している前記フラックス成分を除去することを含む電子装置の製造方法。

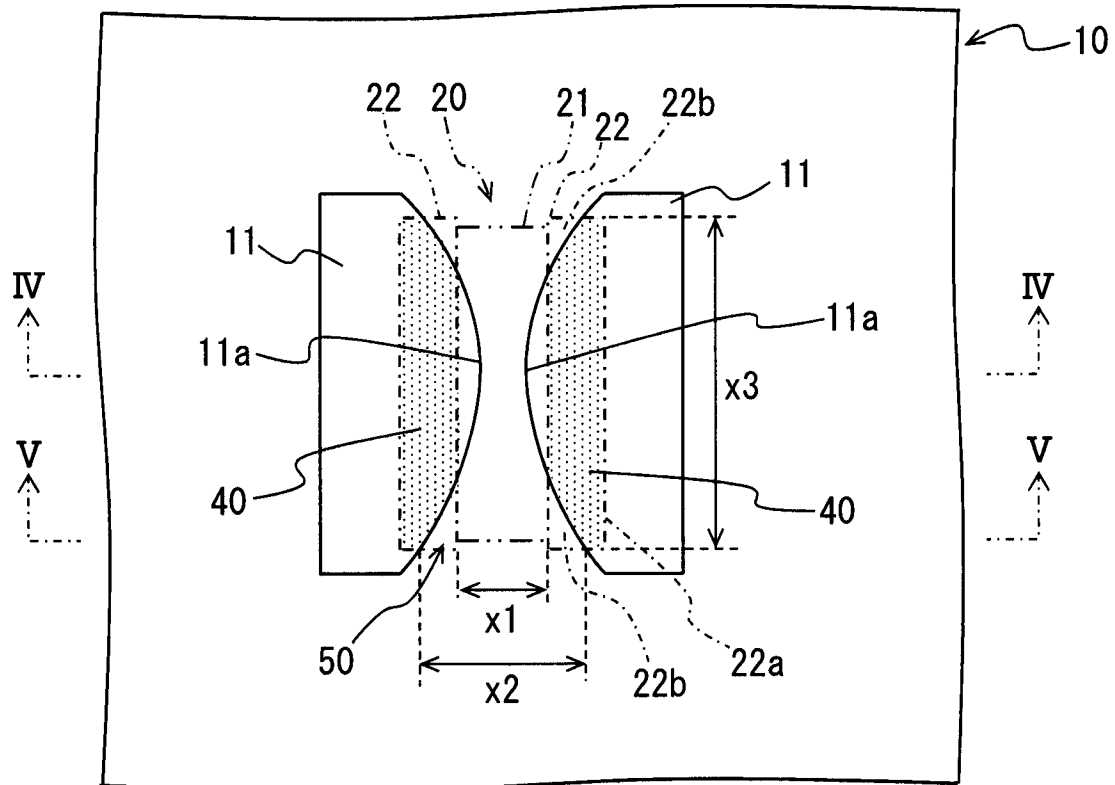
[図1]



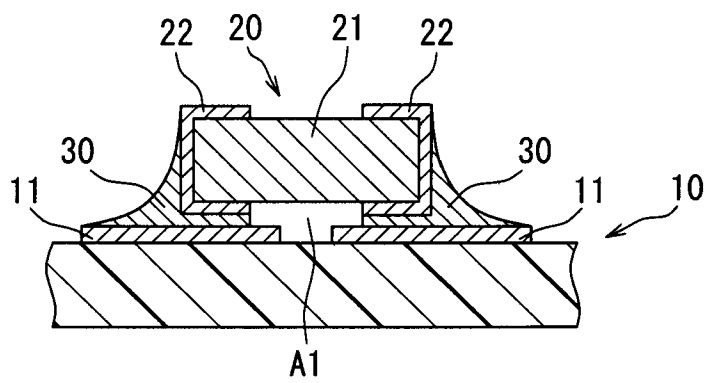
[図2]



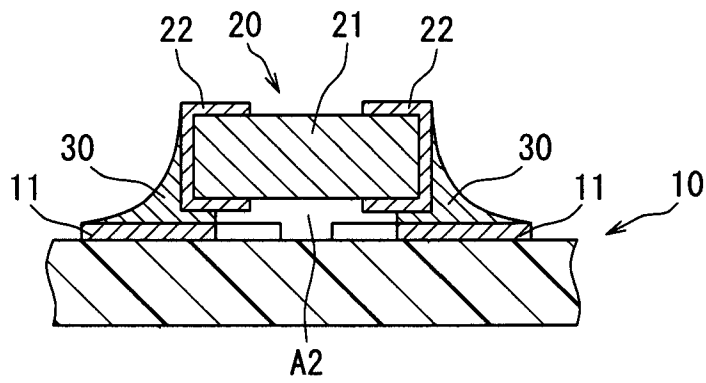
[図3]



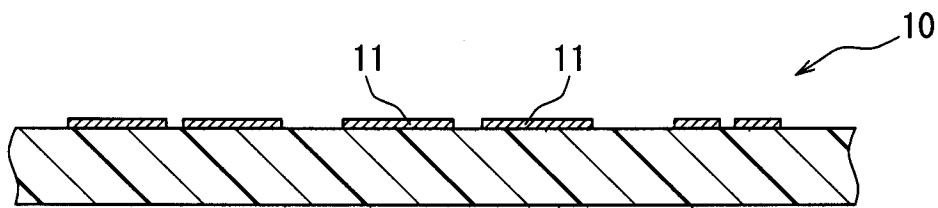
[図4]



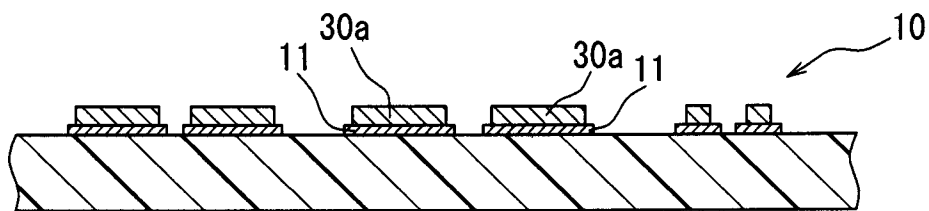
[図5]



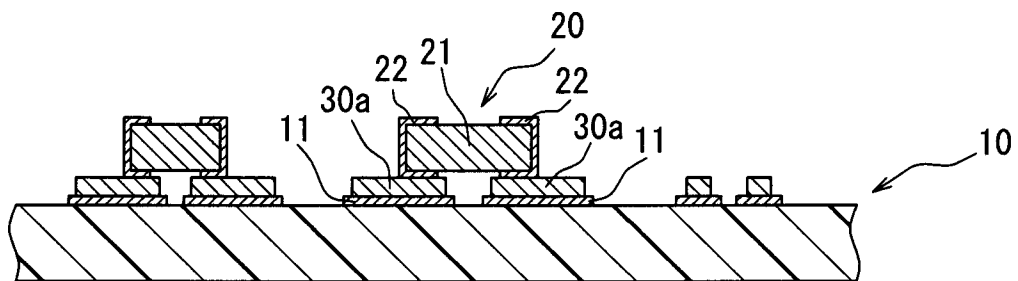
[図6]



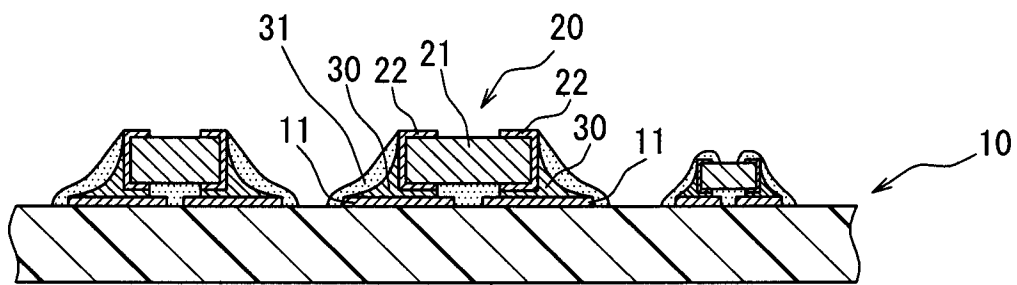
[図7]



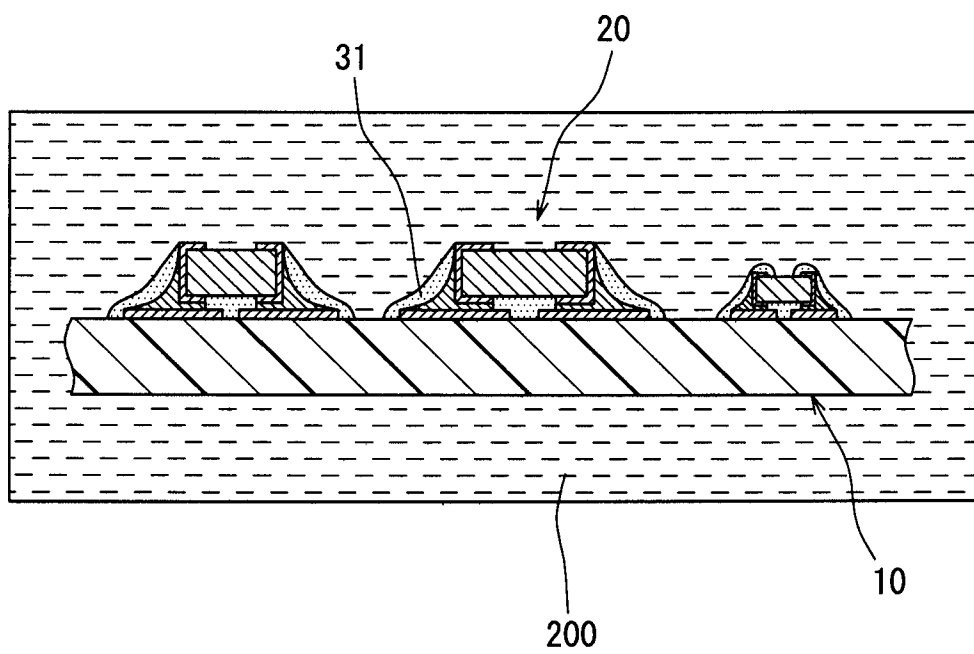
[図8]



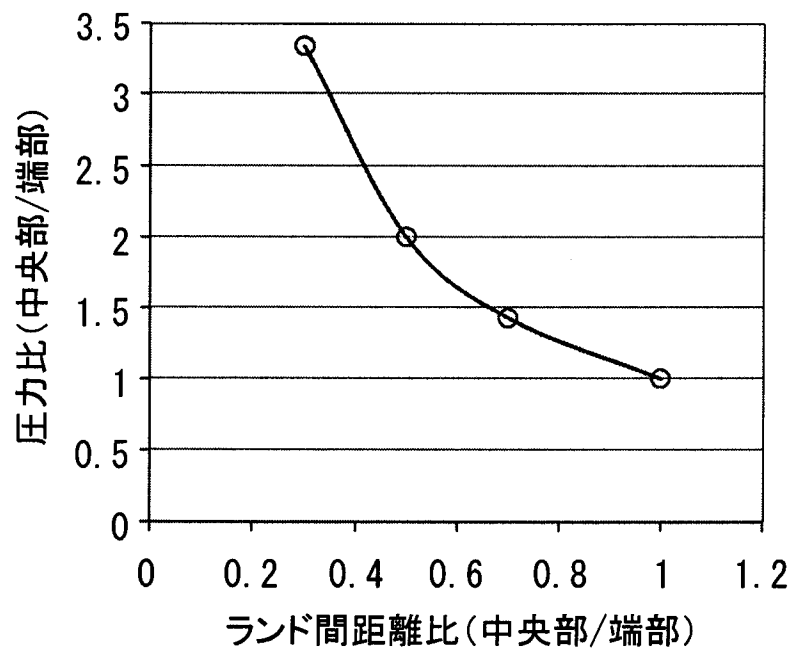
[図9]



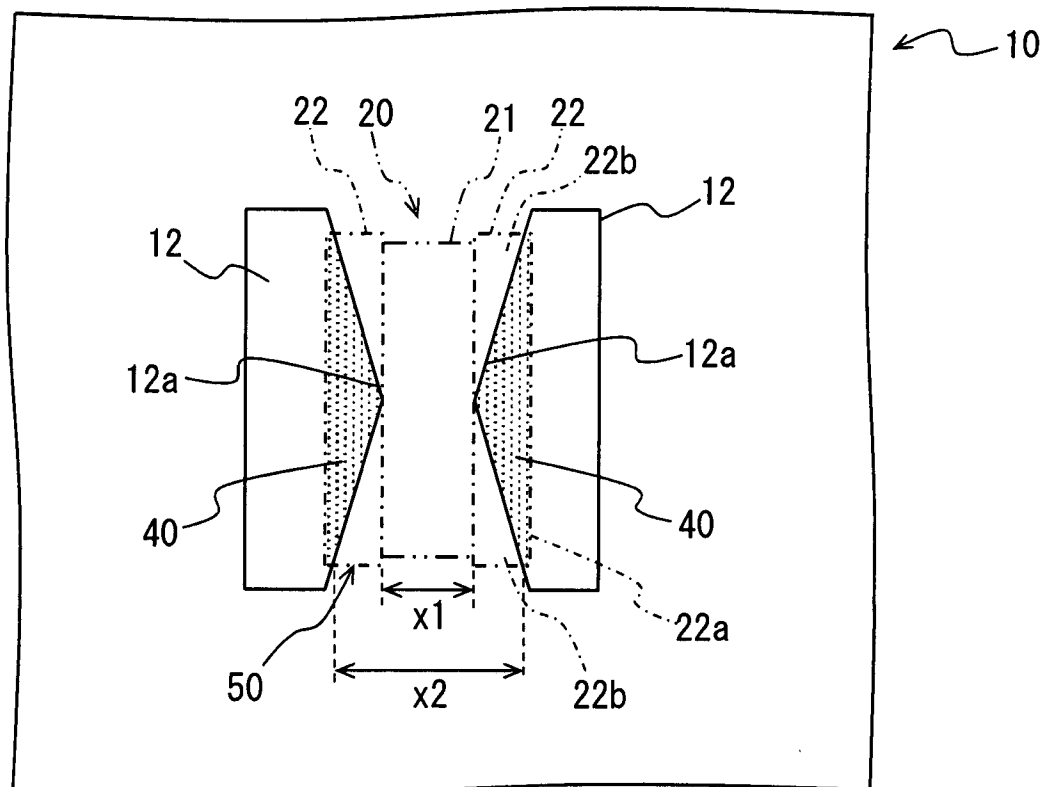
[図10]



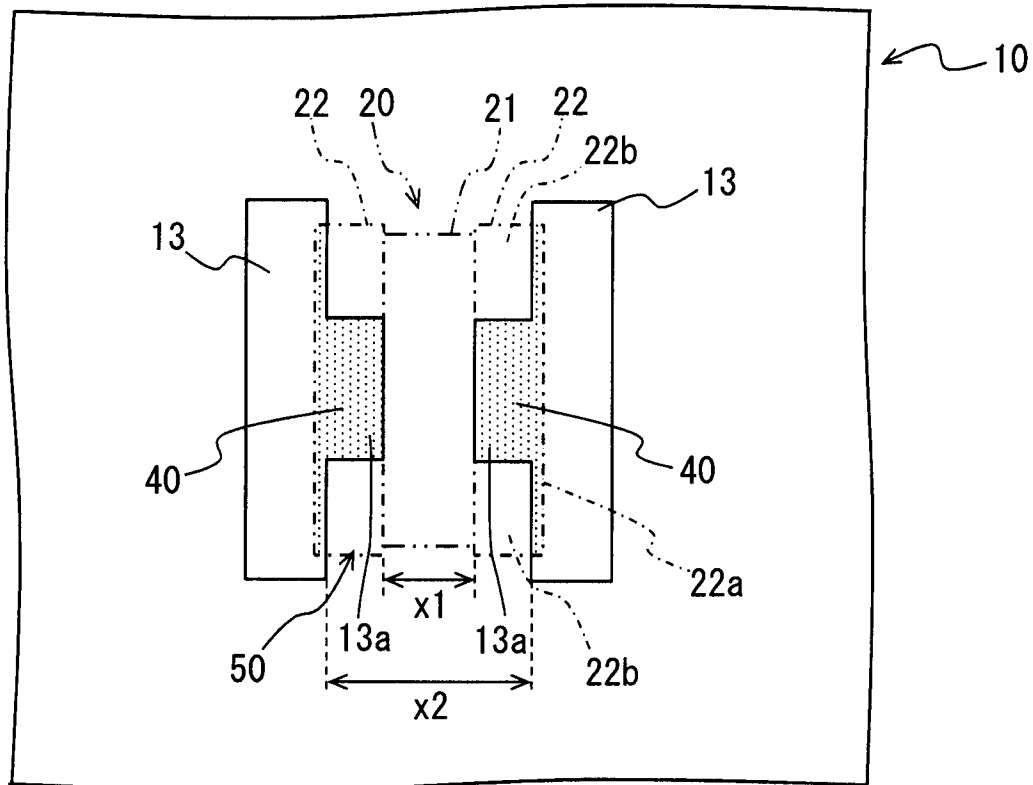
[図11]



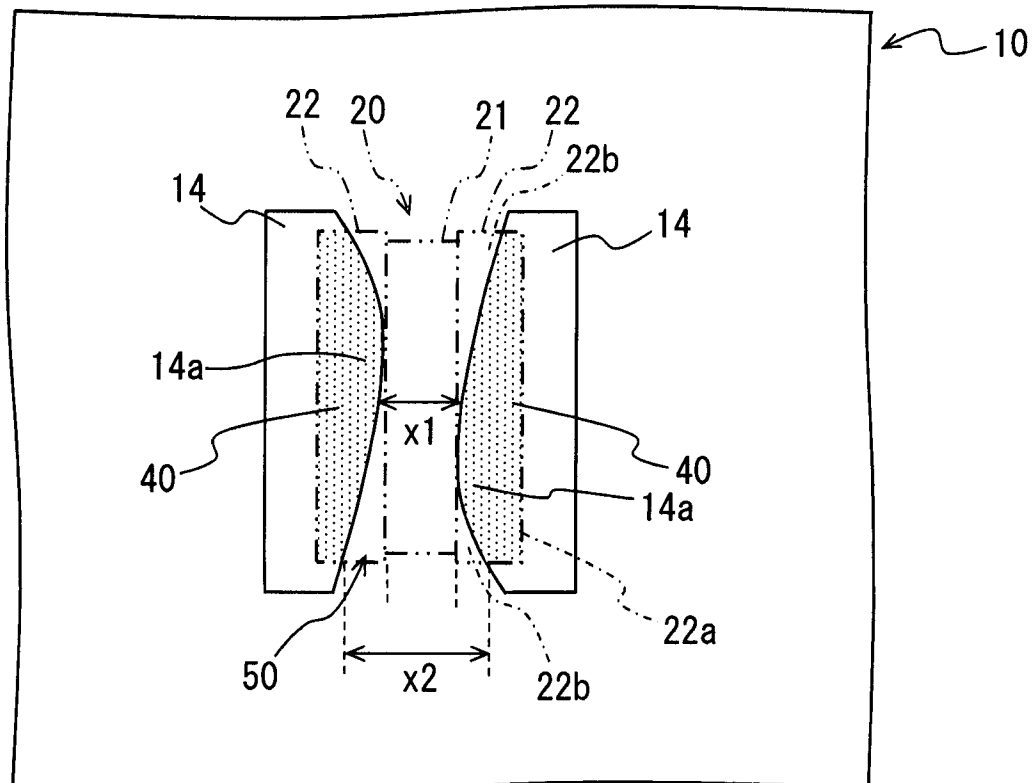
[図12]



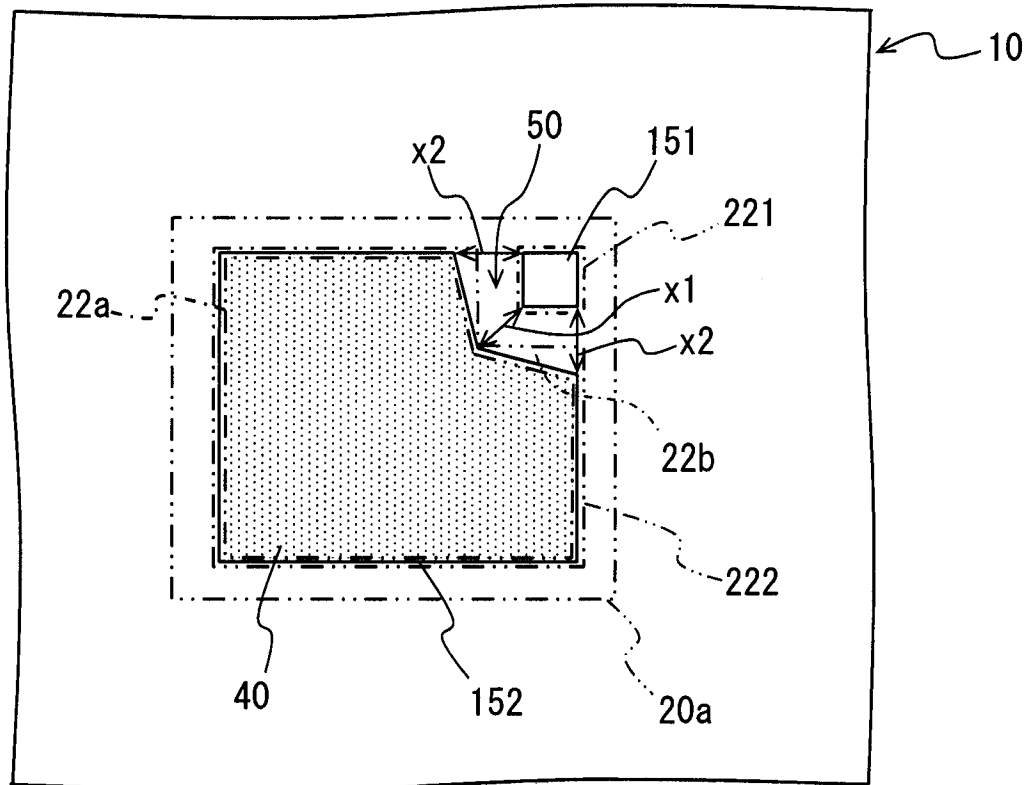
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/003110

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/34(2006.01)i, H05K1/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/34, H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-199269 A (Seiko Epson Corp.), 18 October 2012 (18.10.2012), paragraphs [0017] to [0022], [0028] to [0030]; fig. 1, 2, 4, 5, 7 (Family: none)	1-3 4
Y	JP 2003-046216 A (Kyocera Corp.), 14 February 2003 (14.02.2003), paragraphs [0032] to [0034]; fig. 3 (Family: none)	4
A	JP 2014-204027 A (Nichia Chemical Industries, Ltd.), 27 October 2014 (27.10.2014), entire text; all drawings (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September 2016 (05.09.16)

Date of mailing of the international search report
13 September 2016 (13.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/34(2006.01)i, H05K1/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K3/34, H05K1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2012-199269 A（セイコーエプソン株式会社）2012.10.18, 段落 [0017]～[0022], [0028]～[0030], 図1, 図 2, 図4, 図5, 図7（ファミリーなし）	1-3 4
Y	JP 2003-046216 A（京セラ株式会社）2003.02.14, 段落 [0032] ～[0034], 図3（ファミリーなし）	4
A	JP 2014-204027 A（日亜化学工業株式会社）2014.10.27, 全文, 全図 （ファミリーなし）	1-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.09.2016

国際調査報告の発送日

13.09.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

内田 勝久

5D

3799

電話番号 03-3581-1101 内線 3551