

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月13日(13.07.2023)

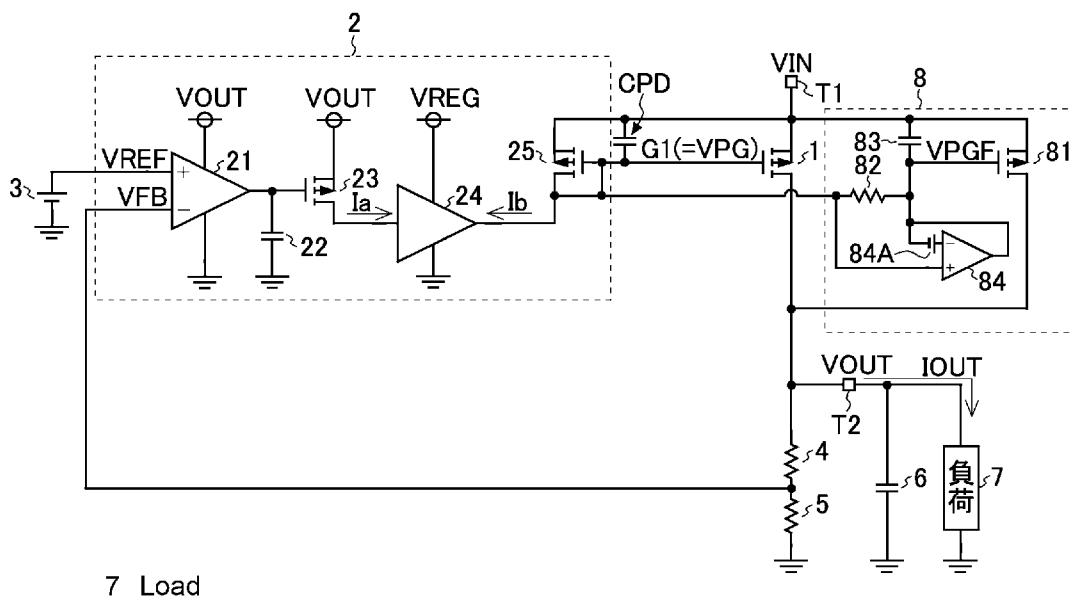


(10) 国際公開番号
WO 2023/132118 A1

- (51) 国際特許分類:
G05F 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2022/040105
- (22) 国際出願日: 2022年10月27日(27.10.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-000851 2022年1月6日(06.01.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 内本 大介 (UCHIMOTO Daisuke);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,

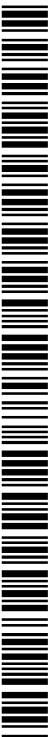
(54) Title: LINEAR POWER SUPPLY CIRCUIT AND VEHICLE

(54) 発明の名称: リニア電源回路及び車両



7 Load

(57) Abstract: This linear power supply circuit comprises: an output stage including a first output transistor and a second output transistor that are connected in parallel to each other and are provided between an input end to which an input voltage is applied and an output end to which an output voltage is applied; a driver configured to drive the first and second output transistors on the basis of the difference between a reference voltage and a voltage based on the output voltage; and a potential difference suppression unit configured to suppress the difference in potential between a control terminal of the first output transistor and a control terminal of the second output transistor. The potential difference suppression unit includes an operation amplifier. A noninverting input terminal of the operation amplifier is connected to the control



WO 2023/132118 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

terminal of the first output transistor, and an inverting input terminal and an output terminal of the operation amplifier are connected to the control terminal of the second output transistor. The operation amplifier includes a phase compensation element.

(57) 要約 : リニア電源回路は、入力電圧が印加される入力端と出力電圧が印加される出力端との間に設けられ互いに並列接続される第1出力トランジスタ及び第2出力トランジスタを含む出力段と、前記出力電圧に基づく電圧と基準電圧との差に基づいて前記第1出力トランジスタ及び前記第2出力トランジスタを駆動するように構成されるドライバと、前記第1出力トランジスタの制御端子と前記第2出力トランジスタの制御端子との電位差を抑制するように構成される電位差抑制部と、を備える。前記電位差抑制部は、オペアンプを含む。前記オペアンプの非反転入力端子が前記第1出力トランジスタの制御端子に接続され、前記オペアンプの反転入力端子及び出力端子が前記第2出力トランジスタの制御端子に接続される。前記オペアンプは、位相補償素子を含む。

明 細 書

発明の名称： リニア電源回路及び車両

技術分野

[0001] 本明細書に開示されている発明は、リニア電源回路及び当該リニア電源回路を備える車両に関する。

背景技術

[0002] LDO [low drop out] などのリニア電源回路は様々なデバイスの電源手段として用いられている。

[0003] リニア電源回路は、出力コンデンサの容量値を小さくした場合でも回路面積を大幅に増大させることなく位相補償が可能であることが望ましい。

[0004] 上記に関連する従来技術の一例としては、特許文献1を挙げるができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2020-71681号公報

[0006] ここで、図10は特許文献1に係る従来のリニア電源回路を示す図である。

[0007] 従来のリニア電源回路は、入力端T1と、出力端T2と、第1出力トランジスタ1と、ドライバ2と、基準電圧生成部3と、位相補償回路8を備える。さらに出力コンデンサ6及び負荷7が外付けされ、入力電圧VINを降圧して出力電圧VOUTを生成し、出力電圧VOUTを負荷7に供給する。第1出力トランジスタ1及び後述の第2出力トランジスタ81の導通度（裏を返せばオン抵抗値）はゲート信号G1によって制御される。なお、図10に示す構成では、第1出力トランジスタ1及び第2出力トランジスタ81としてPMOSFET [P-channel type MOSFET] が用いられている。従って、ゲート信号G1の電圧レベルが低いほど、第1出力トランジスタ1及び第2出力トランジスタ81の導通度が高くなり、出力電圧VOUTが上昇する。

- [0008] ドライバ2は、差動増幅器21と、容量22と、PMOSFET23と、電流増幅器24と、カレントミラーを構成するPMOSFET25と、を備える。
- [0009] 容量22の一端に差動増幅器21の出力が印加され、容量22の他端にグラウンド電位が印加される。このため、差動増幅器21と容量22との接続ノードが高周波帯域でグラウンド接地になることにより、ドライバ2の高速応答を実現することができる。
- [0010] 位相補償回路8は、第2出力トランジスタ81と、抵抗82と、コンデンサ83と、を備える。
- [0011] 抵抗82の一端は第1出力トランジスタ1及びカレントミラーを構成するPMOSFET25の各ゲートに接続され、抵抗の他端は第2出力トランジスタ81のゲートに接続される。コンデンサ83は第2出力トランジスタ81のゲートとソースとの間に設けられる。
- [0012] ここで、従来技術である図10に示すリニア電源回路における位相補償回路8の機能について説明する。図11は、第1出力トランジスタ1及び位相補償回路8の伝達関数のゲイン特性を示す図である。第1ポール周波数 $F_{P1'}$ は、寄生容量CPDによって生じる第1ポールの周波数である。第1出力トランジスタ1の伝達関数の第1ポールは、出力コンデンサ6が関与しないポールである。
- [0013] CR回路（抵抗82及びコンデンサ83）がゲートに接続されている第2出力トランジスタ81に電流が流れることで、第1ポール周波数 $F_{P1'}$ は位相補償回路8の無い場合（太い点線）と比較して低域にシフトする。これにより、第1ポール周波数 $F_{P1'}$ が低域にシフトしない場合と比較して第1ポール周波数 $F_{P1'}$ より高域のゲインが低下する。
- [0014] また、第1出力トランジスタ1と第2出力トランジスタ81とが並列接続されており、第1出力トランジスタ1は抵抗82の影響を受けないため、第1ポール周波数 $F_{P1'}$ が低域にシフトする前の元の位置にもポールが存在することになり、そのポールの周波数が第2ポール周波数 $F_{P2'}$ となる。

第1ポール周波数 F_{P1}' が低域にシフトしてゲインが低下することで、ゼロクロス周波数 F_{ZC}' が低域にシフトする。

[0015] 第1ポール周波数 F_{P1}' 及び第2ポール周波数 F_{P2}' は図10に示すリニア電源回路及び出力コンデンサ6の伝達関数の第2ポール周波数に関連している。そのため、位相補償回路8は、図10に示すリニア電源回路及び出力コンデンサ6の伝達関数の第2ポール周波数を位相補償回路8の無い場合と比較して低域にシフトさせることができる。そして、当該シフトにより、位相補償回路8は、図10に示すリニア電源回路及び出力コンデンサ6の伝達関数の第2ポール周波数より高域において、図10に示すリニア電源回路及び出力コンデンサ6の伝達関数のゲインを位相補償回路8の無い場合に比べて低下させることができる。その結果、図10に示すリニア電源回路及び出力コンデンサ6の伝達関数のゼロクロス周波数が低域にシフトする。つまり、図10に示すリニア電源回路は、出力コンデンサ6の静電容量を小さくした場合でも位相補償回路8の追加のみで（回路面積の大幅な増大なしで）位相補償が可能である。

発明の概要

発明が解決しようとする課題

[0016] 図12は、図10に示すリニア電源回路における入力電圧 V_{IN} と、第1出力トランジスタ1及び第2出力トランジスタ81それぞれのゲート電圧と、出力電圧 V_{OUT} の関係を示す図である。図12の縦軸は電圧であり、横軸は時間である。つまり、図12では入力電圧 V_{IN} 、出力電圧 V_{OUT} 、出力トランジスタ1を駆動するゲート電圧 V_{PG} （ゲート信号 $G1$ ）、第2出力トランジスタ81を駆動するゲート電圧 V_{PGF} それぞれが、時間経過によってどのように変化しているかを示している。

[0017] 図12によると、入力電圧 V_{IN} が4.75Vから16Vに立ち上がり始める時点 t_1 でゲート電圧 V_{PG} 及び V_{PGF} ともに立ち上がり始めているが、入力電圧 V_{IN} が立ち上がりきる時点について着目すると、ゲート電圧 V_{PG} は或る値までレベルが上昇している一方で、その時点におけるゲート

電圧 V_{PGF} は、ゲート電圧 V_{PG} のレベルより低く、ゲート電圧 V_{PG} の上昇に比べて遅延時間が生じる可能性がある。これは位相補償回路 8 が備える CR 回路（抵抗 8 2 及びコンデンサ 8 3）に起因するものである。

課題を解決するための手段

[0018] 本明細書に開示されているリニア電源回路は、入力電圧が印加されるように構成される入力端と出力電圧が印加されるように構成される出力端との間に設けられ互いに並列接続される第 1 出力トランジスタ及び第 2 出力トランジスタを含む出力段と、前記出力電圧に基づく電圧と基準電圧との差に基づいて前記第 1 出力トランジスタ及び前記第 2 出力トランジスタを駆動するように構成されるドライバと、前記第 1 出力トランジスタの制御端子と前記第 2 出力トランジスタの制御端子との電位差を抑制するように構成される電位差抑制部と、を備える。前記電位差抑制部は、オペアンプを含む。前記オペアンプの非反転入力端子が前記第 1 出力トランジスタの制御端子に接続され、前記オペアンプの反転入力端子及び出力端子が前記第 2 出力トランジスタの制御端子に接続される。前記オペアンプは、位相補償素子を含む。

[0019] また、本明細書に開示されている車両は、上記構成のリニア電源回路を備える。

発明の効果

[0020] 本明細書に開示されている発明によれば、出力電圧のオーバーシュートを抑制することが可能である。

図面の簡単な説明

[0021] [図1] 図 1 は、第 1 実施形態に係るリニア電源回路の一構成例を示す図である。

[図2] 図 2 は、オペアンプの一構成例を示す図である。

[図3] 図 3 は、電流増幅器の一構成例を示す図である。

[図4] 図 4 は、図 1 に示すリニア電源回路における第 1 出力トランジスタ及び第 2 出力トランジスタそれぞれのゲート電圧と出力電圧の関係を示す図である。

[図5]図5は、第2実施形態に係るリニア電源回路の構成例を示す図である。

[図6]図6は、電流増幅器の他の構成例を示す図である。

[図7]図7は、第3実施形態に係るリニア電源回路の構成例を示す図である。

[図8]図8は、第4実施形態に係るリニア電源回路の構成例を示す図である。

[図9A]図9Aは、半導体集積回路装置の外観図である。

[図9B]図9Bは、車両の外観図である。

[図10]図10は、特許文献1に係るリニア電源回路の一構成例を示す図である。

[図11]図11は、図10に示すリニア電源回路及び出力コンデンサの伝達関数のゲイン特性を示す図である。

[図12]図12は、図10に示すリニア電源回路における第1出力トランジスタ及び第2出力トランジスタそれぞれのゲート電圧と出力電圧の関係を示す図である。

発明を実施するための形態

[0022] 本明細書において、定電圧とは、理想的な状態において一定である電圧を意味しており、実際には温度変化等により僅かに変動し得る電圧である。

[0023] 本明細書において、基準電圧とは、理想的な状態において一定である電圧を意味しており、実際には温度変化等により僅かに変動し得る電圧である。

[0024] 本明細書において、定電流とは、理想的な状態において一定である電流を意味しており、実際には温度変化等により僅かに変動し得る電流である。

[0025] 本明細書において、MOSFETとは、ゲートの構造が、「導電体または抵抗値が小さいポリシリコン等の半導体からなる層」、「絶縁層」、及び「P型、N型、又は真性の半導体層」の少なくとも3層からなる電界効果トランジスタをいう。つまり、MOSFETのゲートの構造は、金属、酸化物、及び半導体の3層構造に限定されない。

[0026] <第1実施形態>

図1は、第1実施形態に係るリニア電源回路の一構成例を示す図である。

図1に示すリニア電源回路は、入力端T1と、出力端T2と、第1出力トラ

ンジスタ 1 と、ドライバ 2 と、基準電圧生成部 3 と、抵抗 4 及び 5 と、位相補償回路 8 と、を備え、出力コンデンサ 6 及び負荷 7 が外付けされる。

[0027] 第 1 出力トランジスタ 1 は、入力電圧 V_{IN} が印加される入力端 T 1 と出力電圧 V_{OUT} が印加される出力端 T 2 との間に設けられる。

[0028] ドライバ 2 は、第 1 出力トランジスタ 1 及び後述の第 2 出力トランジスタを駆動する。具体的には、ドライバ 2 はゲート信号 G 1 を、第 1 出力トランジスタ 1 のゲートと、抵抗 8 2 を介して第 2 出力トランジスタ 8 1 のゲートにそれぞれ供給することで、第 1 出力トランジスタ 1 及び第 2 出力トランジスタ 8 1 を駆動する。第 1 出力トランジスタ 1 及び第 2 出力トランジスタ 8 1 の導通度（裏を返せばオン抵抗値）はゲート信号 G 1 によって制御される。なお、図 1 に示す構成では、第 1 出力トランジスタ 1 及び第 2 出力トランジスタ 8 1 として PMOSFET が用いられている。従って、ゲート信号 G 1 の電圧レベルが低いほど、第 1 出力トランジスタ 1 及び第 2 出力トランジスタ 8 1 の導通度が高くなり、出力電圧 V_{OUT} が上昇する。逆に、ゲート信号 G 1 が高いほど、第 1 出力トランジスタ 1 及び第 2 出力トランジスタの導通度が低くなり、出力電圧 V_{OUT} が低下する。ただし、第 1 出力トランジスタ 1 及び第 2 出力トランジスタとしては、PMOSFET に代えて、NMOSFET を用いてもよいし、バイポーラトランジスタを用いてもよい。

[0029] ドライバ 2 は、差動増幅器 2 1 と、容量 2 2 と、PMOSFET 2 3 と、電流増幅器 2 4 と PMOSFET 2 5 と、を備える。

[0030] 差動増幅器 2 1 の反転入力端（-）に帰還電圧 V_{FB} が印加され、非反転入力端（+）に基準電圧 V_{REF} が印加される。ドライバ 2 は、帰還電圧 V_{FB} と基準電圧 V_{REF} との差分値 ΔV ($=V_{REF} - V_{FB}$) に基づいて第 1 出力トランジスタ 1 及び第 2 出力トランジスタ 8 1 を駆動する。ドライバ 2 は、差分値 ΔV が小さいほどゲート信号 G 1 の電圧レベルを高くし、逆に、差分値 ΔV が大きいほどゲート信号 G 1 の電圧レベルを低くする。

[0031] 容量 2 2 の一端に差動増幅器 2 1 の出力が印加され、容量 2 2 の他端にグランド電位が印加される。

- [0032] PMOSFET 23のソースに出力電圧 V_{OUT} が印加され、PMOSFET 23のゲートに差動増幅器21の出力に基づく電圧（差動増幅器21と容量22との接続ノード電圧）が印加される。PMOSFET 23は、差動増幅器21の出力に基づく電圧を電流に変換してドレインから出力する。差動増幅器21と容量22との接続ノードが高周波帯域でグランド接地になるため、ドライバ2の高速応答を実現することができる。
- [0033] 差動増幅器21及びPMOSFET 23の耐圧は、電流増幅器24の耐圧より低い。また差動増幅器21のゲインは、電流増幅器24のゲインより小さい。これにより、差動増幅器21及びPMOSFET 23の小型化を図ることができる。
- [0034] 電流増幅器24は、PMOSFET 23のドレインから出力される電流 I_a を電流増幅する。電流増幅器24の電源電圧は定電圧 V_{REG} である。すなわち、電流増幅器24は、定電圧 V_{REG} とグランド電位との間の電圧で駆動する。
- [0035] PMOSFET 25は、第1出力トランジスタ1とともにカレントミラー回路を構成している。PMOSFET 25は、電流増幅器24から出力される電流 I_b を電圧に変換して第1出力トランジスタ1のゲートに供給する。
- [0036] 基準電圧生成部3は基準電圧 V_{REF} を生成する。抵抗4及び5は、出力電圧 V_{OUT} の分圧である帰還電圧 V_{FB} を生成する。
- [0037] 出力コンデンサ6及び負荷7には出力端T2から供給される出力電圧 V_{OUT} が印加される。
- [0038] 位相補償回路8は、第2出力トランジスタ81と、抵抗82と、コンデンサ83と、オペアンプ84と、を備える。なお、第1出力トランジスタ1のゲート電位と第2出力トランジスタ81のゲート電位との間に遅延が生じ得る構成であれば、本実施形態の構成とは異なり、抵抗82及びコンデンサ83が設けられていない構成であってもよい。
- [0039] 第2出力トランジスタ81は第1出力トランジスタ1に並列接続される。すなわち、第2出力トランジスタ81のソースは第1出力トランジスタ1の

ソースに接続され、第2出力トランジスタ81のドレインは第1出力トランジスタ1のドレインに接続される。本実施形態では第2出力トランジスタ81を流れる電流が第1出力トランジスタ1を流れる電流より大きくなるように、第2出力トランジスタ81のサイズを第1出力トランジスタ1のサイズより大きくしている。ここで、サイズとは、面積を意味する。

[0040] 抵抗82の一端は第1出力トランジスタ1及びPMOSFET25の各ゲートに接続され、抵抗82の他端は第2出力トランジスタ81のゲートに接続される。

[0041] コンデンサ83は第2出力トランジスタ81のゲートとソースとの間に設けられる。本実施形態では、第2出力トランジスタ81の寄生コンデンサをコンデンサ83として用いている。ただし、第2出力トランジスタ81の寄生コンデンサとは異なるコンデンサをコンデンサ83として用いてもよく、第2出力トランジスタ81の寄生コンデンサ及び第2出力トランジスタ81の寄生コンデンサとは異なるコンデンサをコンデンサ83として用いてもよい。第2出力トランジスタ81の寄生コンデンサとは異なるコンデンサをコンデンサ83に含めることで、コンデンサ83の静電容量値の調整が容易になる。コンデンサ83の静電容量値は、寄生容量CPDの静電容量値より大きいことが望ましい。なお、位相補償回路8は、第2出力トランジスタ81のゲートとドレインとの間に設けられる容量をさらに備えてもよい。

[0042] オペアンプ84は、第1出力トランジスタ1のゲートと第2出力トランジスタ81のゲートとの電位差を抑制する電位差抑制部の一例である。上記電位差抑制部は、例えば、第1出力トランジスタ1のゲートの電圧と第2出力トランジスタ81のゲートの電圧との電圧差を監視し、当該電圧差が一定以上であれば、第1出力トランジスタ1のゲートの電圧又は第2出力トランジスタ81のゲートの電圧の少なくとも一方を、第1出力トランジスタ1のゲートと第2出力トランジスタ81のゲートとの電位差が小さくなるように制御する制御信号を出力するように構成されるとよい。本実施形態では、オペアンプ84が当該制御信号を出力する。

[0043] オペアンプ84は、入力オフセット電圧84Aを有する。オペアンプ84の非反転入力端子は、第1出力トランジスタ1のゲートに接続される。オペアンプ84の反転入力端子及び出力端子が第1出力トランジスタ1のゲートに接続される。このような構成によると、第1出力トランジスタ1のゲートと第2出力トランジスタ81のゲートとの電位差が入力オフセット電圧84Aを超えると、オペアンプ84は、第1出力トランジスタ1のゲートと第2出力トランジスタ81のゲートとの電位差が入力オフセット電圧84Aになるように動作する。

[0044] 図2は、オペアンプ84の一構成例を示す図である。図2に示す構成例のオペアンプ84は、第1入力差動対トランジスタであるNMOSFET841と、第2入力差動対トランジスタであるNMOSFET842と、カレントミラー回路を構成するPMOSFET843及び844と、ソースフォロワ出力段となるNMOSFET845と、位相補償素子である抵抗846及びコンデンサ847と、を備える。

[0045] 上記カレントミラー回路は、NMOSFET841に第1電流を供給しNMOSFET842に上記第1電流のミラー電流である第2電流を供給する。

[0046] NMOSFET841のソースはオペアンプ84の非反転入力端子となり、NMOSFET842のソースはオペアンプ84の反転入力端子となり、NMOSFET845のソースはオペアンプ84の出力端子となる。バイアス電圧 V_b は、NMOSFET841のゲート及びNMOSFET842のゲートに印加される。NMOSFET841のドレインは、PMOSFET843のドレイン及びNMOSFET845のゲートに接続される。NMOSFET842のドレインは、PMOSFET844のドレイン及びゲート並びにPMOSFET843のゲートに接続される。入力電圧 V_{IN} は、PMOSFET843のソース、PMOSFET844のソース、及びNMOSFET845のドレインに印加される。NMOSFET845のソースは、NMOSFET842のソースに接続される。

[0047] 図2に示す構成例のオペアンプ84では、NMOSFET841及び842が互いにチャンネル長に対するチャンネル幅の比が異なるようにするか、上記第1電流と上記第2電流とを互いに異なる値にするか（上記カレントミラー回路のミラー比を1以外にするか）の少なくとも一方によって入力オフセット電圧84Aが発生する。このような構成によると、入力オフセット電圧84Aを設計値通りにすることが容易である。

[0048] また、図2に示す構成例のオペアンプ84は位相補償素子を備えるので、オペアンプ84による電位差抑制が顕著になり、オペアンプ84が位相補償素子を含まない場合よりも出力電圧 V_{OUT} のオーバーシュートを抑えることができる。

[0049] そして、位相補償素子である抵抗846の一端は、NMOSFET845のドレインに接続され、位相補償素子であるコンデンサ847は、NMOSFET845のゲートソース間に設けられる。なお、位相補償素子である抵抗846の他端には入力電圧 V_{IN} が印加される。このように位相補償素子がオペアンプ84の適切な位置に配置されることによって、オペアンプ84による電位差抑制がより一層顕著になる。

[0050] 図3は、図1に示すリニア電源回路における電流増幅器24の一構成例を示す図である。電流増幅器24は、電流シンク型カレントミラー回路 CM_1 、 CM_2 、 \dots 、及び CM_n と、電流ソース型カレントミラー回路 CM_3 、 \dots 、及び CM_n-1 （ただし CM_n-1 は図2Bにおいて不図示）と、を備える。電流シンク型カレントミラー回路 CM_1 及び定電流 I_1 を流す定電流源 CS_1 と電流シンク型カレントミラー回路 CM_n との間において電流増幅器24の入力から出力に向かって、電流シンク型カレントミラー回路と電流ソース型カレントミラー回路とが交互に配置され、電流が増幅される。増幅された電流は最終段でゲート信号 G_1 の電圧に変換される電流 I_b となる。

[0051] 図4は、図1に示すリニア電源回路における入力電圧 V_{IN} と、第1出力トランジスタ1及び第2出力トランジスタ81それぞれのゲート電圧と、出

力電圧 V_{OUT} の関係を示す図である。図4の縦軸は電圧であり、横軸は時間である。つまり、図4では入力電圧 V_{IN} 、出力電圧 V_{OUT} 、第1出力トランジスタ1を駆動するゲート電圧（ゲート信号G1） V_{PG} 、第2出力トランジスタ81を駆動するゲート電圧 V_{PGF} それぞれが、時間経過によってどのように変化しているかを示している。

[0052] 図4によると、入力電圧 V_{IN} が4.75Vから16Vに立ち上がり始める時点 t_1 からゲート電圧 V_{PG} 及び V_{PGF} ともに立ち上がり始めているが、ゲート電圧 V_{PG} の立ち上がりに遅延することなくゲート電圧 V_{PGF} が上昇している。つまり、ゲート電圧 V_{PG} 及びゲート電圧 V_{PGF} はともに上昇する。これは、オペアンプ84がゲート電圧 V_{PG} とゲート電圧 V_{PGF} との電圧差を抑えているからである。

[0053] 第1出力トランジスタ1と第2出力トランジスタ81それぞれの導通度に着目すると、ゲート電圧 V_{PG} とゲート電圧 V_{PGF} の電圧差が抑えられているため、両者の導通度の差も抑えられている。従って、出力電圧 V_{OUT} のオーバーシュートが抑えられ、目標とする出力電圧5Vを大きく超過することがなくなる。上記のように入力電圧 V_{IN} と出力電圧 V_{OUT} とがほぼ同一値である状態から入力電圧 V_{IN} が立ちあがった場合が出力電圧 V_{OUT} のオーバーシュートが最も大きくなるが、図1に示すリニア電源回路は、出力電圧 V_{OUT} のオーバーシュート時の出力電圧 V_{OUT} の最大値を、出力電圧 V_{OUT} の目標値の1.1倍程度に抑えることができる。

[0054] <第2実施形態>

図5は、第2実施形態に係るリニア電源回路の構成を示す図である。図5において図1と同一の部分には同一の符号を付し詳細な説明を省略する。

[0055] 本実施形態では、ドライバ2は、差動増幅器21'と、容量22'と、NMOSFET23'と、電流増幅器24と、PMOSFET25と、を備える。

[0056] 差動増幅器21'は、帰還電圧 V_{FB} と基準電圧 V_{REF} との差に応じた電圧を出力する。差動増幅器21'の電源電圧は第1定電圧 V_{REG1} であ

る。すなわち、差動増幅器 2 1' は、第 1 定電圧 V_{REG1} とグランド電位との間の電圧で駆動する。

[0057] 差動増幅器 2 1' 及び $NMOSFET 2 3'$ の耐圧は、電流増幅器 2 4 の耐圧より低い。また差動増幅器 2 1' のゲインは、電流増幅器 2 4 のゲインより小さい。これにより、差動増幅器 2 1' 及び $NMOSFET 2 3'$ の小型化を図ることができる。

[0058] 容量 2 2' の一端に差動増幅器 2 1' の出力が印加され、容量 2 2' の他端に出力電圧 V_{OUT} が印加される。なお、出力電圧 V_{OUT} の代わりに、出力電圧 V_{OUT} に依存する電圧を容量 2 2' の他端に印加してもよい。

[0059] $NMOSFET 2 3'$ のソースにグランド電位が印加され、 $NMOSFET 2 3'$ のゲートに差動増幅器 2 1' の出力に基づく電圧（差動増幅器 2 1' と容量 2 2' との接続ノード電圧）が印加される。 $NMOSFET 2 3'$ は、差動増幅器 2 1' の出力に基づく電圧を電流に変換してドレインから出力する。差動増幅器 2 1' と容量 2 2' との接続ノードが高周波帯域で出力電圧 V_{OUT} 接地になるため、ドライバ 2 の高速応答を実現することができる。

[0060] 電流増幅器 2 4 は、 $NMOSFET 2 3'$ のドレインから出力される電流 I_a を電流増幅する。電流増幅器 2 4 の電源電圧は第 2 定電圧 V_{REG2} である。すなわち、電流増幅器 2 4 は、第 2 定電圧 V_{REG2} とグランド電位との間の電圧で駆動する。第 1 定電圧 V_{REG1} と第 2 定電圧 V_{REG2} とは同一の値であってもよく、互いに異なる値であってもよい。本構成例では、電流増幅器 2 4 から $NMOSFET 2 3'$ に向かって電流 I_a が流れるので、電流増幅器 2 4 を例えば図 6 に示す回路構成にすればよい。

[0061] 図 5 に示す本実施形態に係るリニア電源回路における位相補償回路は、図 1 に示す第 1 実施形態に係るリニア電源回路と同様である。従って、同様の効果により出力電圧 V_{OUT} のオーバーシュートを抑えることができる。また、図 5 に示す本実施形態に係るリニア電源回路は、出力電圧 V_{OUT} の設定値が低い場合でも差動増幅器 2 1' の動作を確保することができる。なお

、低電圧を入力電圧 V_{IN} として用いる場合は、第1定電圧 V_{REG1} の代わりに入力電圧 V_{IN} を差動増幅器21'の電源電圧として用い、第2定電圧 V_{REG2} の代わりに入力電圧 V_{IN} を電流増幅器24の電源電圧として用いてもよい。

[0062] <第3実施形態>

図7は、第3実施形態に係るリニア電源回路の構成を示す図である。図7に示すリニア電源回路は、一般的なよく知られるPMOSソース接地出力段を備えるリニア電源回路に位相補償回路8を適用させている。

[0063] 図7に示すPMOSソース接地出力段を備えるリニア電源回路については、従来技術としてよく知られているため、詳細な説明は省略する。図7に示すリニア電源回路についても、出力トランジスタQ1と第2出力トランジスタ81の導通度の差を抑えることにより出力電圧のオーバーシュートを抑えることができる。

[0064] このように、本明細書に開示されている発明に係る位相補償回路は、第1実施形態及び第2実施形態に係るリニア電源回路に限らず、出力トランジスタが複数の場合に適用可能である。

[0065] <第4実施形態>

図8は、第4実施形態に係るリニア電源回路の構成を示す図である。図8に示すリニア電源回路は、図1に示す第1実施形態に係るリニア電源回路にクランパ回路を追加した構成である。

[0066] クランパ回路は、第2出力トランジスタ81のゲートに印加される電圧をクランプするように構成される。クランパ回路が設けられることで、仮にオペアンプ84に不具合が生じた場合でも、第2出力トランジスタ81のゲートに印加される電圧が過大になることを防止することができる。

[0067] 本実施形態では、クランパ回路は、抵抗91及び92と、ダイオード93と、を含む。抵抗91及び92は、入力電圧 V_{IN} と第1出力トランジスタ1のゲートに印加される電圧との差を分圧するように構成される分圧回路である。ダイオード93のアノードには、上記の分圧回路から出力される分圧

(抵抗91と抵抗92との接続ノードに発生する電圧)が印加される。ダイオード93のカソードは、第2出力トランジスタ81のゲートに接続される。

[0068] 本実施形態では、クランパ回路を簡単な回路構成で実現しているため、クランパ回路を追加したことによるコスト及び実装面積の増大を抑えることができる。

[0069] なお、本実施形態では、第1実施形態に係るリニア電源回路にクランパ回路を追加したが、第1実施形態に係るリニア電源回路に限らず、第2実施形態に係るリニア電源回路又は第3実施形態に係るリニア電源回路にクランパ回路を追加してもよい。

[0070] <適用例1>

図9Aは、半導体集積回路装置の外観図である。図9Aに示す半導体集積回路装置は外部ピンP1～P14を備え、内部電源9を内蔵している。内部電源9は、先に説明した第1～第4実施形態のいずれかに係るリニア電源回路である。内蔵する際は出力コンデンサの有無は問わない。内部電源9は、図9Aに示す半導体集積回路装置内の少なくとも一部の回路に内部電源電圧 V_{reg} (=リニア電源回路の出力電圧 V_{OUT})を供給する。

[0071] <適用例2>

図9Bは、車両Xの外観図である。本構成例の車両Xは、不図示のバッテリーから出力される電圧の供給を受けて動作する種々の電子機器X11～X18を搭載している。なお、本図における電子機器X11～X18の搭載位置は、図示の便宜上、実際とは異なる場合がある。

[0072] 電子機器X11は、エンジンに関連する制御(インジェクション制御、電子スロットル制御、アイドルリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など)を行うエンジンコントロールユニットである。

[0073] 電子機器X12は、HID [high intensity discharged lamp] やDR L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

- [0074] 電子機器X13は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。
- [0075] 電子機器X14は、車両Xの運動に関連する制御（ABS [anti-lock brake system] 制御、EPS [electric power steering] 制御、電子サスペンション制御など）を行う制動ユニットである。
- [0076] 電子機器X15は、ドアロックや防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。
- [0077] 電子機器X16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品やメーカーオプション品として、工場出荷段階で車両Xに組み込まれている電子機器である。
- [0078] 電子機器X17は、車載A/V [audio/visual] 機器、カーナビゲーションシステム、及び、ETC [electronic toll collection system] など、ユーザオプション品として任意で車両Xに装着される電子機器である。
- [0079] 電子機器X18は、車載ブロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。
- [0080] なお、先に説明したリニア電源回路は、電子機器X11～X18のいずれにも組み込むことが可能である。
- [0081] <その他>
- 上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本明細書に開示されている発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。
- [0082] 位相補償回路は、並列接続されたトランジスタの駆動信号間の遅延を抑えることができる回路であればよく、単なる例示に過ぎない位相補償回路8の具体的な回路構成に限定されない。
- [0083] 上記実施形態で用いたMOSFETの代わりに、バイポーラトランジスタ

を用いてもよい。

[0084] 以上説明したリニア電源回路は、入力電圧が印加されるように構成される入力端と出力電圧が印加されるように構成される出力端との間に設けられ互いに並列接続される第1出力トランジスタ（1、Q1）及び第2出力トランジスタ（81）を含む出力段と、前記出力電圧に基づく電圧と基準電圧との差に基づいて前記第1出力トランジスタ及び前記第2出力トランジスタを駆動するように構成されるドライバ（2、AMP1）と、前記第1出力トランジスタの制御端子と前記第2出力トランジスタの制御端子との電位差を抑制するように構成される電位差抑制部（84）と、を備え、前記電位差抑制部は、オペアンプを含み、前記オペアンプの非反転入力端子が前記第1出力トランジスタの制御端子に接続され、前記オペアンプの反転入力端子及び出力端子が前記第2出力トランジスタの制御端子に接続され、前記オペアンプは、位相補償素子（846、847）を含む構成（第1の構成）である。

[0085] 上記第1の構成であるリニア電源回路は、第1出力トランジスタの制御端子と第2出力トランジスタの制御端子との電位差が抑えられているため、出力電圧のオーバーシュートを抑えることができる。また、オペアンプが位相補償素子を含むので、電位差抑制部による電位差抑制が顕著になり、オペアンプが位相補償素子を含まない場合よりも出力電圧のオーバーシュートを抑えることができる。

[0086] 上記第1の構成であるリニア電源回路において、前記オペアンプは、ソースフォロワ出力段又はエミッタフォロワ出力段となる出力段トランジスタ（845）を含み、前記位相補償素子は、抵抗（846）及びコンデンサ（847）を含み、前記出力段トランジスタが前記ソースフォロワ出力段である場合に、前記抵抗は前記出力段トランジスタのドレインに接続され、前記コンデンサは、前記出力段トランジスタのゲートソース間に設けられ、前記出力段トランジスタが前記エミッタフォロワ出力段である場合に、前記抵抗は前記出力段トランジスタのコレクタに接続され、前記コンデンサは、前記出力段トランジスタのベースエミッタ間に設けられる構成（第2の構成）

であってもよい。

- [0087] 上記第2の構成であるリニア電源回路は、位相補償素子がオペアンプの適切な位置に配置されるので、電位差抑制部による電位差抑制がより一層顕著になる。
- [0088] 上記第1又は第2の構成であるリニア電源回路において、前記オペアンプは、入力オフセット電圧を有する構成（第3の構成）であってもよい。
- [0089] 上記第3の構成であるリニア電源回路では、オペアンプが、第1出力トランジスタの制御端子と第2出力トランジスタの制御端子との電位差が入力オフセット電圧になるように動作するので、電位差の抑制具合を調整することが容易である。
- [0090] 上記第3の構成であるリニア電源回路において、前記オペアンプは、前記第1出力トランジスタの制御端子に接続される第1入力差動対トランジスタ（841）と、前記第2出力トランジスタの制御端子に接続される第2入力差動対トランジスタ（842）と、前記第1入力差動対トランジスタに第1電流を供給し前記第2入力差動対トランジスタに前記第1電流のミラー電流である第2電流を供給するように構成されるカレントミラー回路（843、844）と、を有し、前記第1入力差動対トランジスタ及び前記第2入力差動対トランジスタがともにMOSトランジスタであって互いにチャンネル長に対するチャンネル幅の比が異なるようにするか、前記第1電流と前記第2電流とを互いに異なる値にするかの少なくとも一方によって前記入力オフセット電圧が発生する構成（第4の構成）であってもよい。
- [0091] 上記第4の構成であるリニア電源回路は、入力オフセット電圧を設計値通りにすることが容易である。
- [0092] 上記第1～第4いずれかの構成であるリニア電源回路において、前記第2出力トランジスタの制御端子に印加される電圧をクランプするように構成されるクランパ回路（91、92、93）を備える構成（第5の構成）であってもよい。
- [0093] 上記第5の構成であるリニア電源回路は、仮に電位差抑制部に不具合が生

じた場合でも、第2出力トランジスタの制御端子に印加される電圧が過大になることを防止することができる。

[0094] 上記第5の構成であるリニア電源回路において、前記クランパ回路は、前記入力電圧と前記第1出力トランジスタの制御端子に印加される電圧との差を分圧するように構成される分圧回路（91、92）と、前記分圧回路から出力される分圧がアノードに印加されるように構成され、カソードが前記第2出力トランジスタの制御端子に接続されるダイオード（93）と、を有する構成（第6の構成）であってもよい。

[0095] 上記第6の構成であるリニア電源回路は、クランパ回路を簡単な回路構成で実現しているため、クランパ回路を追加したことによるコスト及び実装面積の増大を抑えることができる。

[0096] 以上説明した車両は、上記第1～第6いずれかの構成であるのリニア電源回路を備える構成（第7の構成）である。

[0097] 上記第7の構成である車両では、リニア電源回路の出力電圧がオーバーシュートすることを抑制できる。

符号の説明

- [0098]
- 1 第1出力トランジスタ
 - 2 ドライバ
 - 3 基準電圧生成部
 - 4、5 抵抗
 - 6 出力コンデンサ
 - 7 負荷
 - 8 位相補償回路
 - 9 内部電源
 - 21、21' 差動増幅器
 - 22、22' 容量
 - 23 PMOSFET（変換器の一例）
 - 23' NMOSFET（変換器の他の例）

- 2 4 電流増幅器
- 2 5 P M O S F E T
- 8 1 第 2 出力トランジスタ
- 8 2 抵抗
- 8 3 コンデンサ
- 8 4 オペアンプ
- 8 4 A 入力オフセット電圧
- 9 1、9 2 抵抗
- 9 3 ダイオード
- 8 4 1、8 4 2、8 4 5 N M O S F E T
- 8 4 3、8 4 4 P M O S F E T
- 8 4 6 抵抗
- 8 4 7 コンデンサ
- C M _ 1、C M _ 2、C M _ n 電流シンク型カレントミラー回路
- C M _ 3、C M _ n - 1 電流ソース型カレントミラー回路
- C P D 寄生容量
- C S 1 電流減
- P 1 ~ P 1 4 外部ピン
- T 1 入力端
- T 2 出力端
- X 車両
- X 1 1 ~ X 1 8 電子機器

請求の範囲

- [請求項1] 入力電圧が印加されるように構成される入力端と出力電圧が印加されるように構成される出力端との間に設けられ互いに並列接続される第1出力トランジスタ及び第2出力トランジスタを含む出力段と、
- 前記出力電圧に基づく電圧と基準電圧との差に基づいて前記第1出力トランジスタ及び前記第2出力トランジスタを駆動するように構成されるドライバと、
- 前記第1出力トランジスタの制御端子と前記第2出力トランジスタの制御端子との電位差を抑制するように構成される電位差抑制部と、
- を備え、
- 前記電位差抑制部は、オペアンプを含み、
- 前記オペアンプの非反転入力端子が前記第1出力トランジスタの制御端子に接続され、
- 前記オペアンプの反転入力端子及び出力端子が前記第2出力トランジスタの制御端子に接続され、
- 前記オペアンプは、位相補償素子を含む、リニア電源回路。
- [請求項2] 前記オペアンプは、ソースフォロワ出力段又はエミッタフォロワ出力段となる出力段トランジスタを含み、
- 前記位相補償素子は、抵抗及びコンデンサを含み、
- 前記出力段トランジスタが前記ソースフォロワ出力段である場合に、前記抵抗は前記出力段トランジスタのドレインに接続され、前記コンデンサは、前記出力段トランジスタのゲートソース間に設けられ、
- 前記出力段トランジスタが前記エミッタフォロワ出力段である場合に、前記抵抗は前記出力段トランジスタのコレクタに接続され、前記コンデンサは、前記出力段トランジスタのベースエミッタ間に設けられる、請求項1に記載のリニア電源回路。
- [請求項3] 前記オペアンプは、入力オフセット電圧を有する、請求項1又は請

求項2に記載のリニア電源回路。

[請求項4]

前記オペアンプは、

前記第1出力トランジスタの制御端子に接続される第1入力差動対トランジスタと、

前記第2出力トランジスタの制御端子に接続される第2入力差動対トランジスタと、

前記第1入力差動対トランジスタに第1電流を供給し前記第2入力差動対トランジスタに前記第1電流のミラー電流である第2電流を供給するように構成されるカレントミラー回路と、

を有し、

前記第1入力差動対トランジスタ及び前記第2入力差動対トランジスタがともにMOSトランジスタであって互いにチャンネル長に対するチャンネル幅の比が異なるようにするか、前記第1電流と前記第2電流とを互いに異なる値にするかの少なくとも一方によって前記入力オフセット電圧が発生する、請求項3に記載のリニア電源回路。

[請求項5]

前記第2出力トランジスタの制御端子に印加される電圧をクランプするように構成されるクランパ回路を備える、請求項1～4のいずれか一項に記載のリニア電源回路。

[請求項6]

前記クランパ回路は、

前記入力電圧と前記第1出力トランジスタの制御端子に印加される電圧との差を分圧するように構成される分圧回路と、

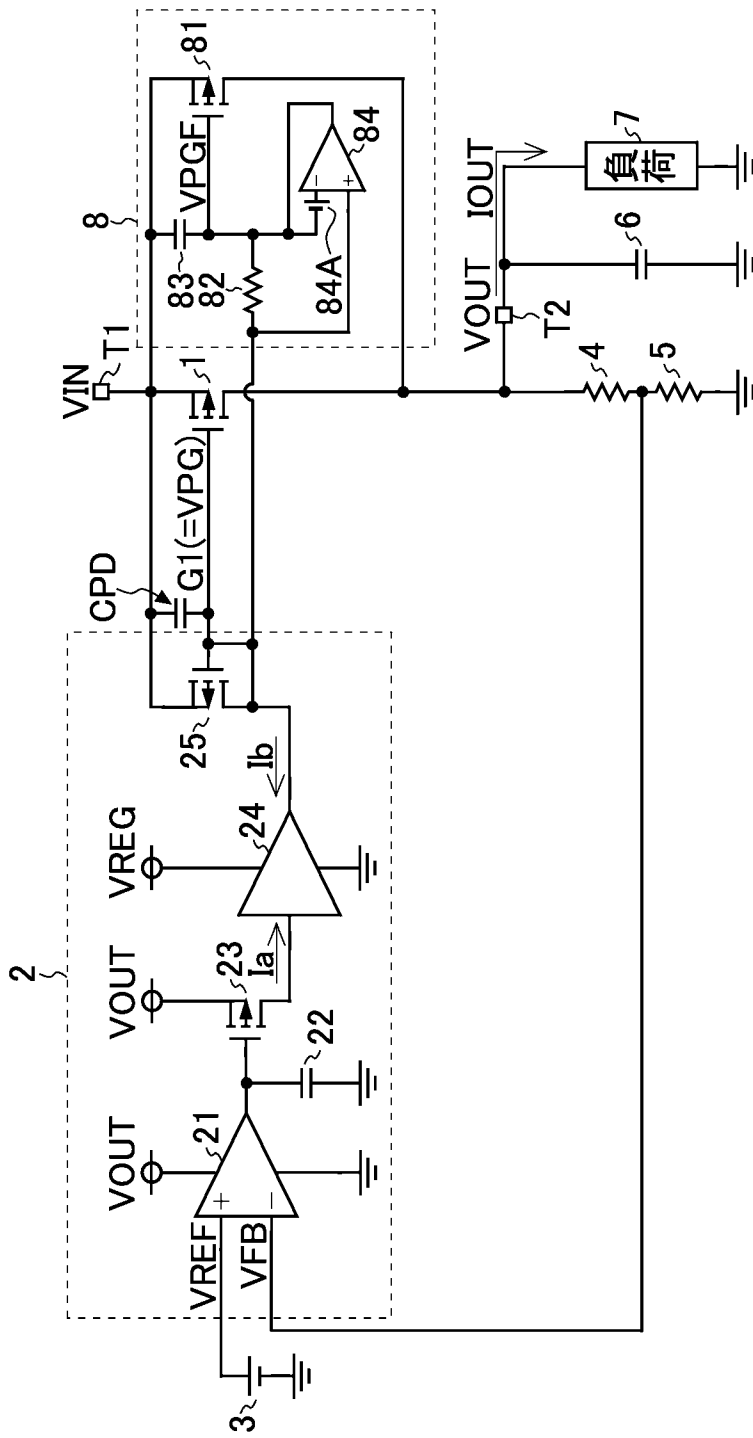
前記分圧回路から出力される分圧がアノードに印加されるように構成され、カソードが前記第2出力トランジスタの制御端子に接続されるダイオードと、

を有する、請求項5に記載のリニア電源回路。

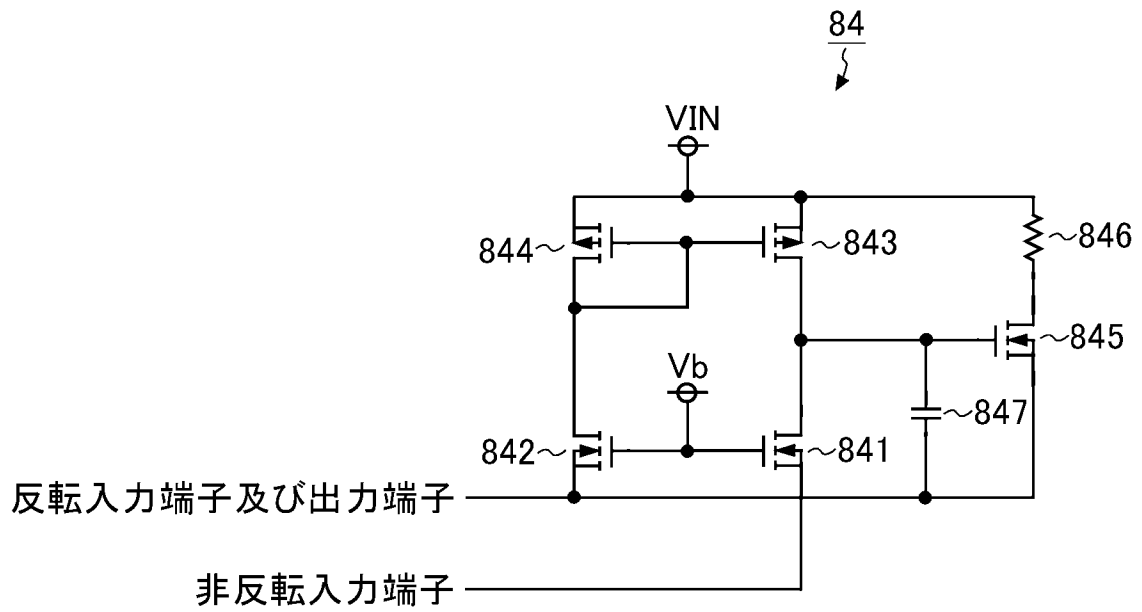
[請求項7]

請求項1～6のいずれか一項に記載のリニア電源回路を備える、車両。

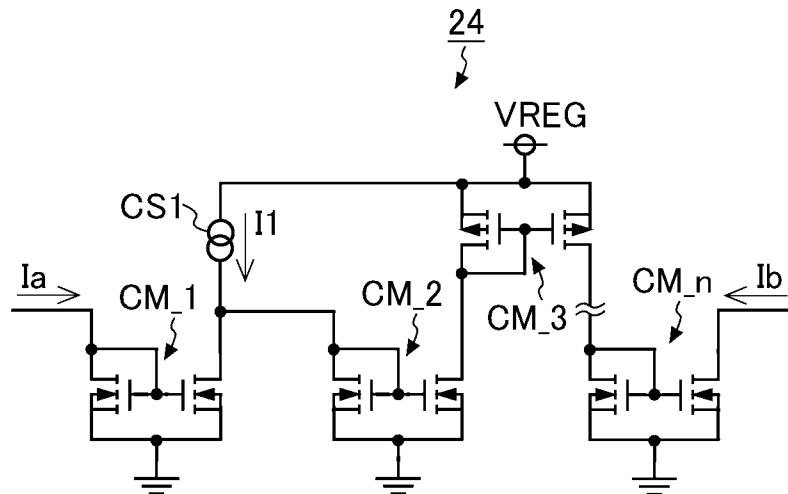
[図1]



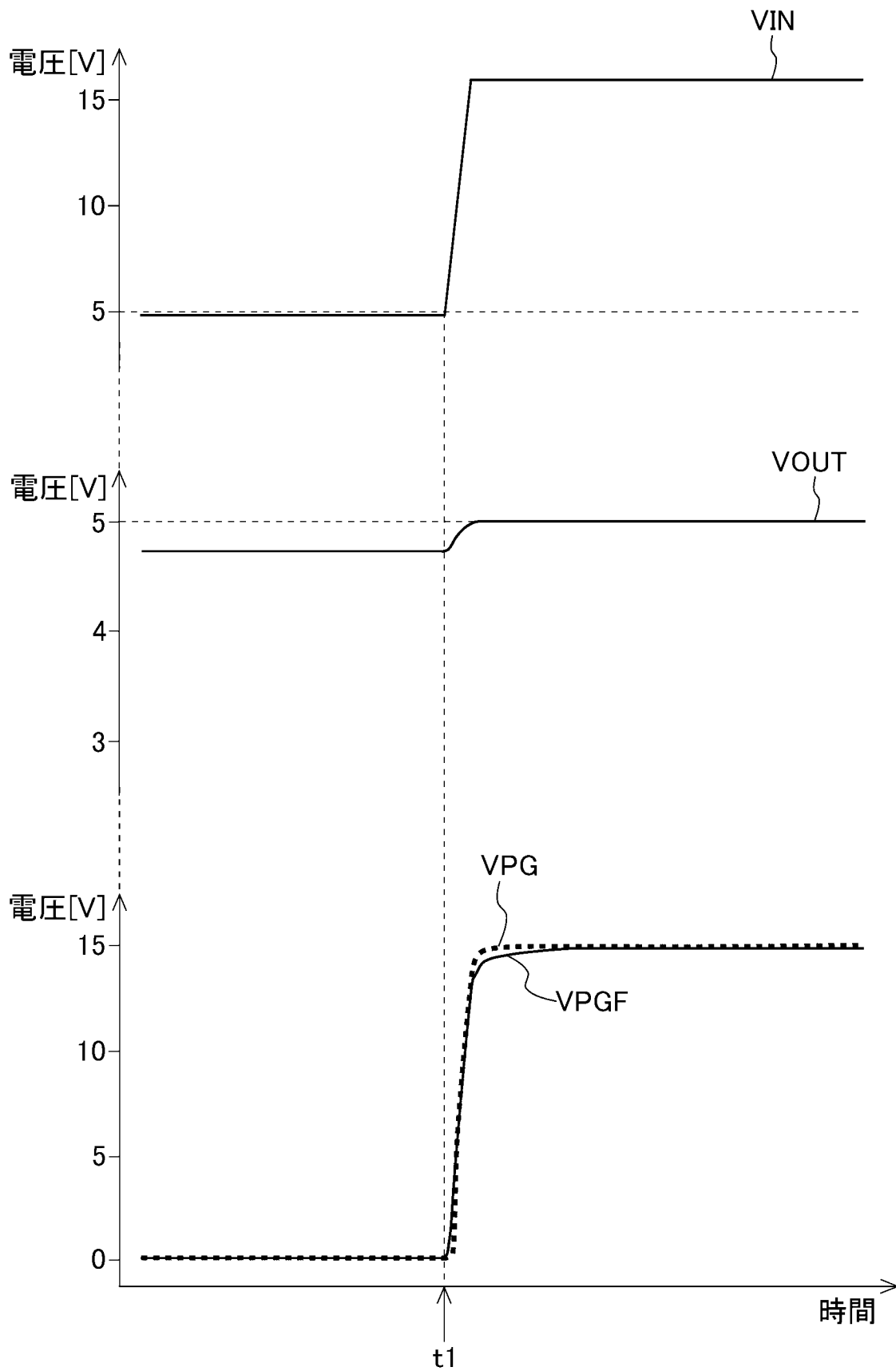
[図2]



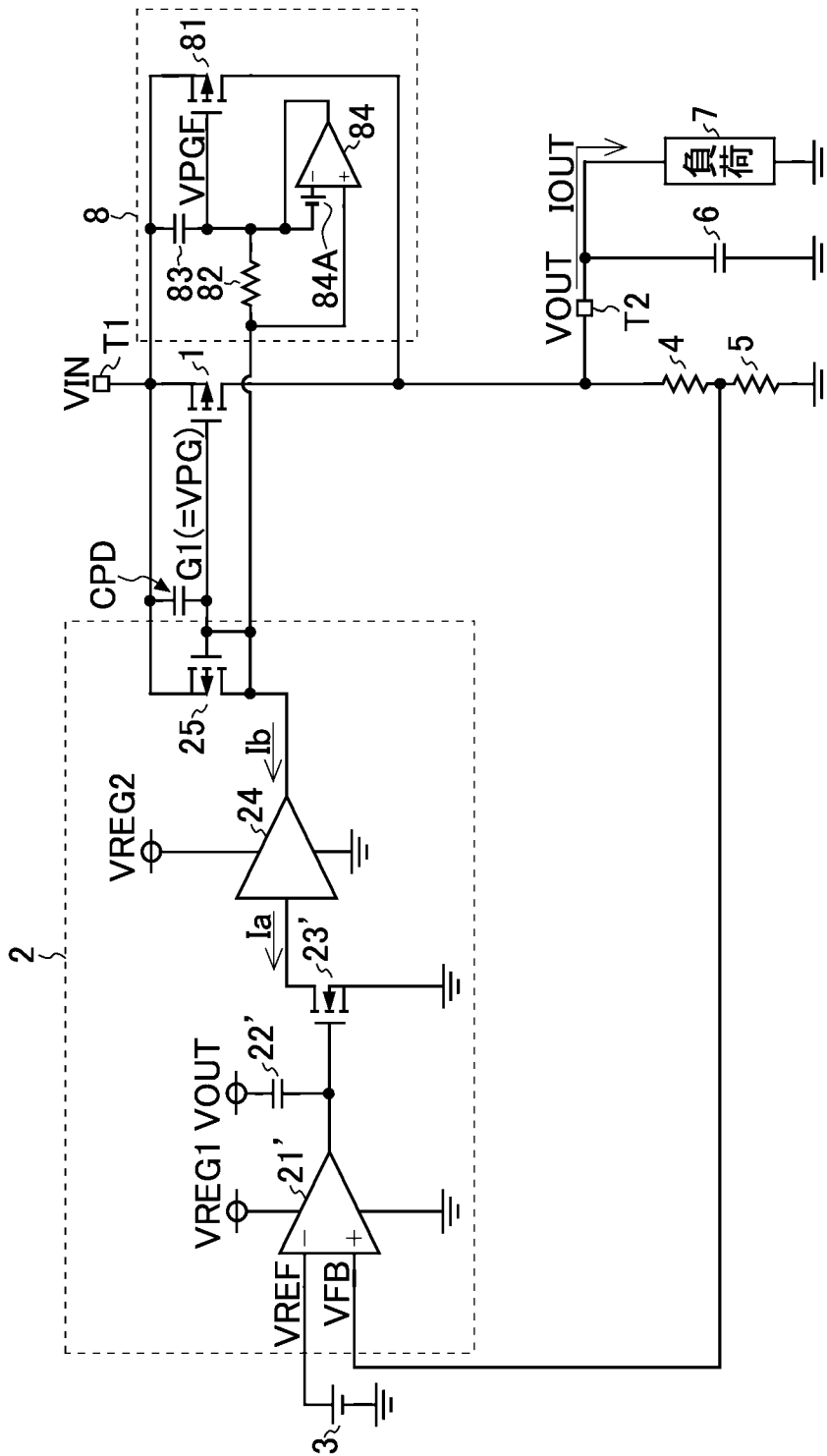
[図3]



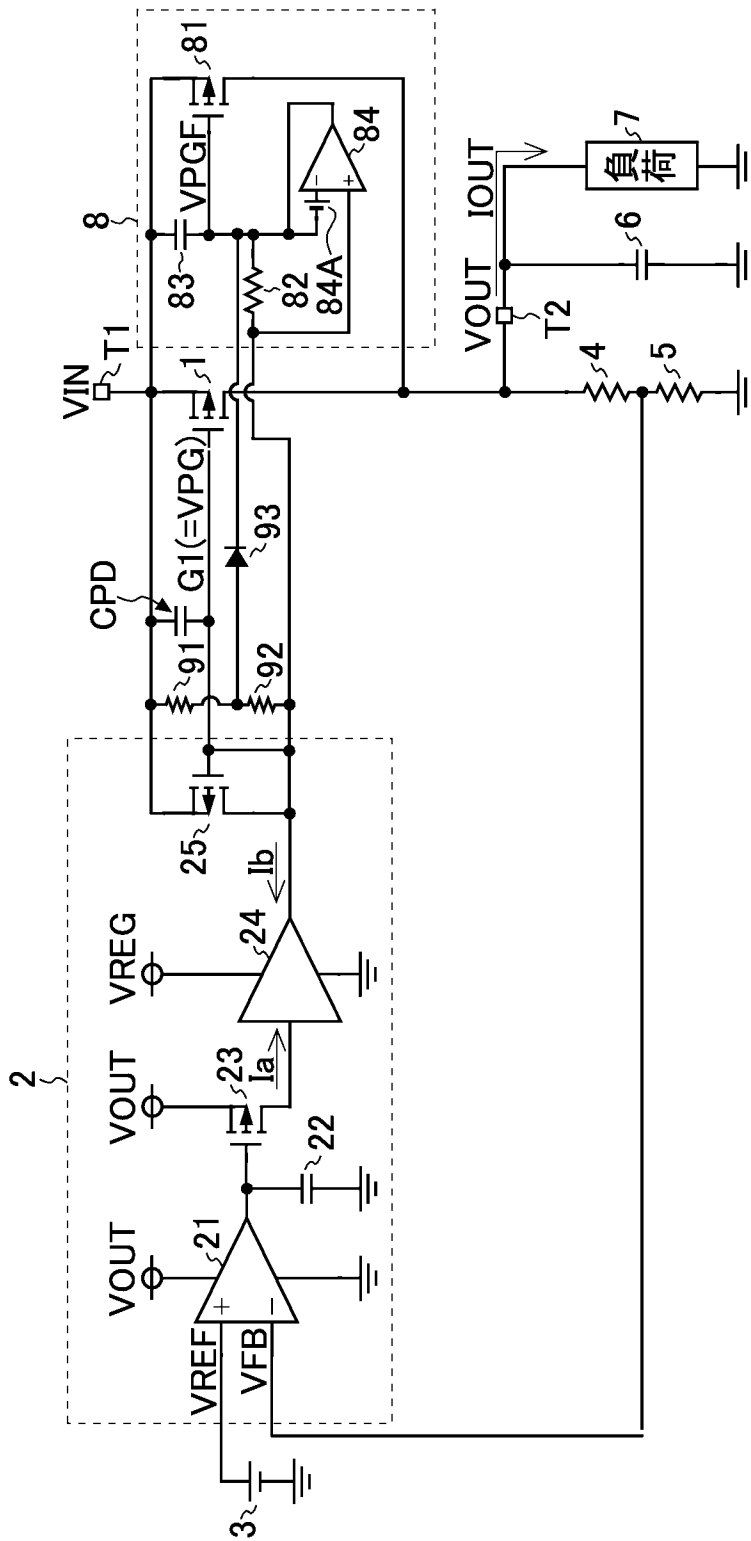
[図4]



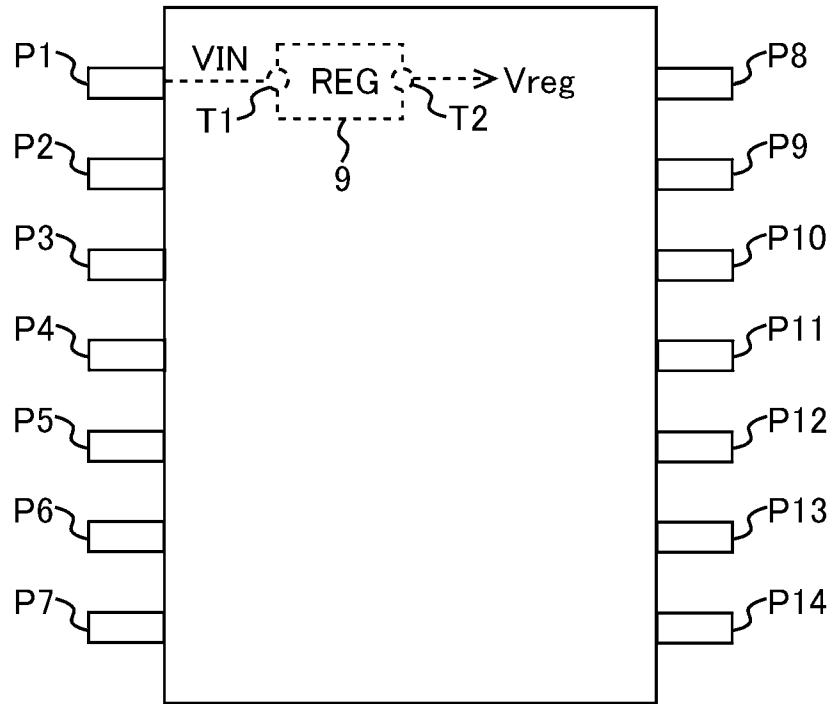
[図5]



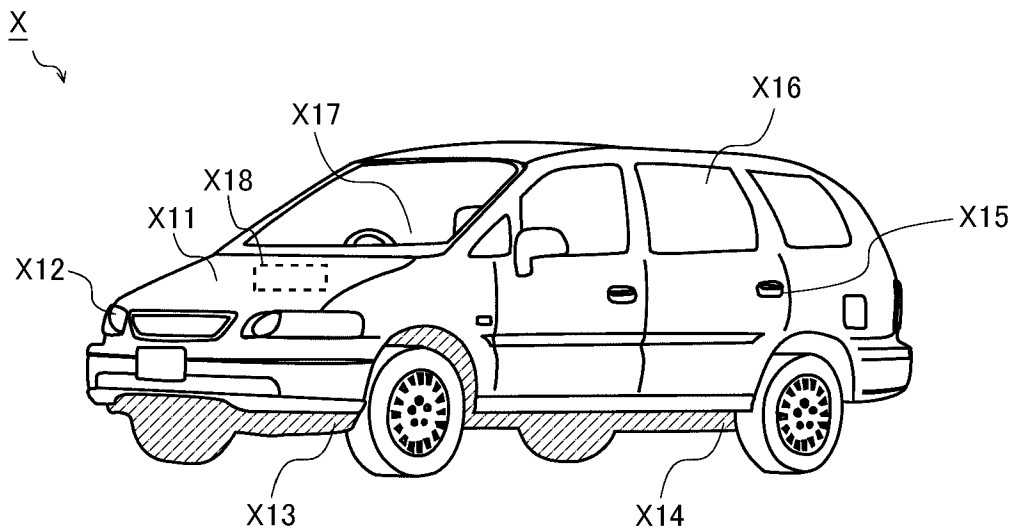
[図8]



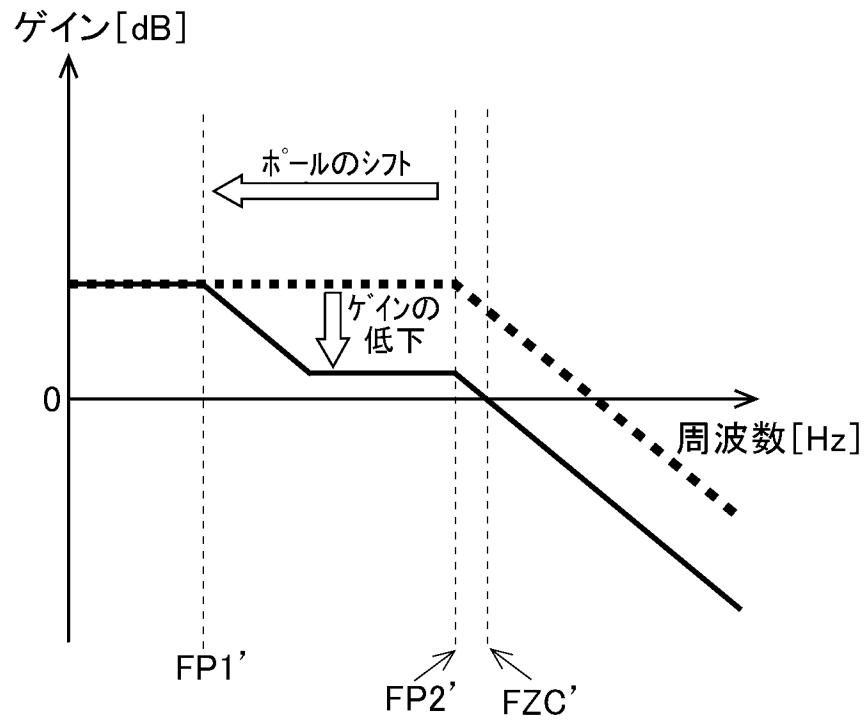
[図9A]



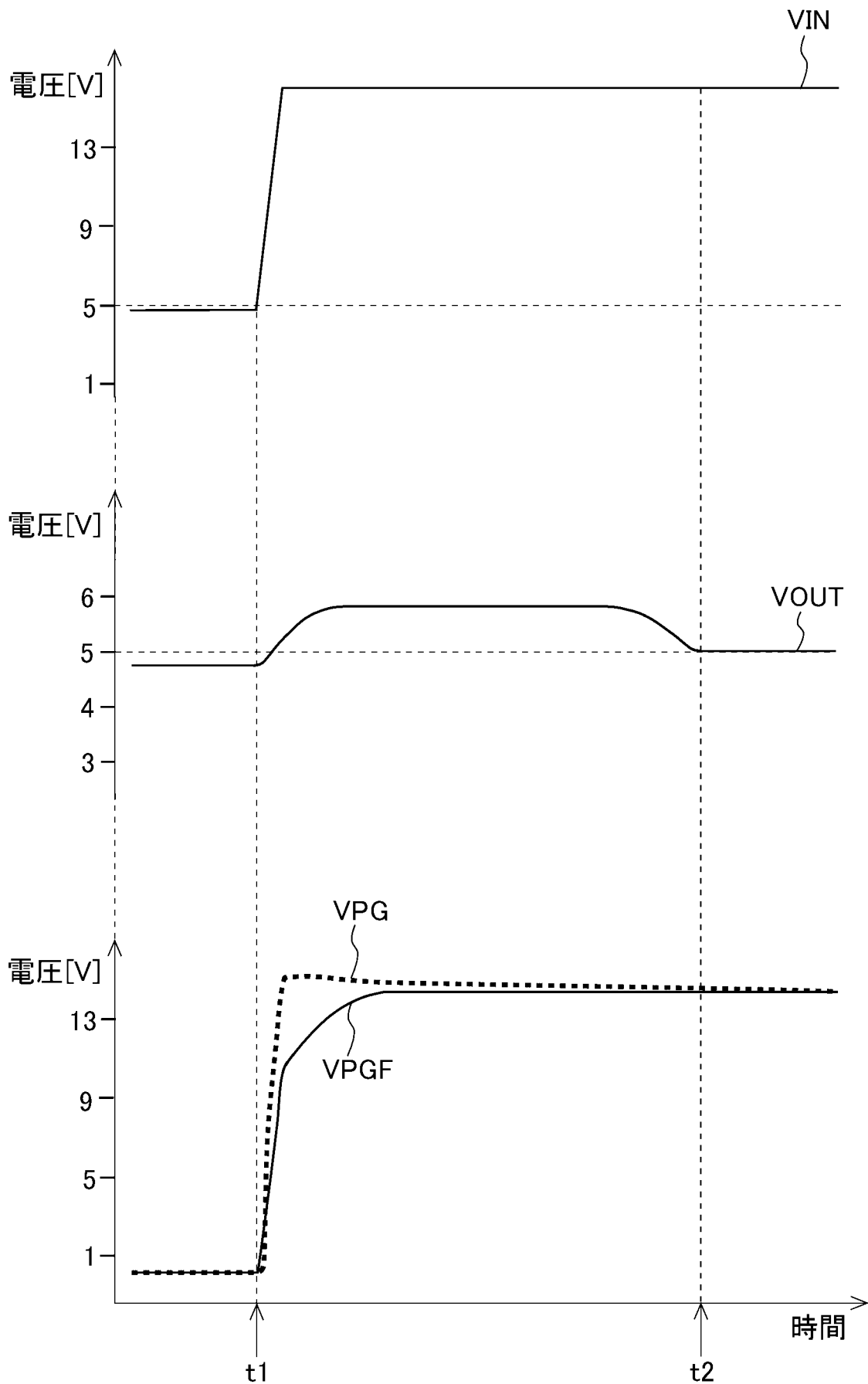
[図9B]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/040105

A. CLASSIFICATION OF SUBJECT MATTER		
<p><i>G05F 1/56</i>(2006.01)i FI: G05F1/56 310L</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G05F1/56		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-71710 A (ROHM CO LTD) 07 May 2020 (2020-05-07) entire text, all drawings	1-7
A	WO 2020/209369 A1 (ROHM CO LTD) 15 October 2020 (2020-10-15) entire text, all drawings	1-7
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 77350/1989 (Laid-open No. 17811/1991) (YOKOGAWA ELECTRIC CORPORATION) 21 February 1991 (1991-02-21), entire text, all drawings	1-7
A	JP 2007-11972 A (TOSHIBA CORP) 18 January 2007 (2007-01-18) entire text, all drawings	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 08 December 2022		Date of mailing of the international search report 20 December 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/040105

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-71710 A	07 May 2020	(Family: none)	
WO 2020/209369 A1	15 October 2020	US 2022/0158535 A1 entire text, all drawings CN 113661467 A	
JP 3-17811 U1	21 February 1991	(Family: none)	
JP 2007-11972 A	18 January 2007	US 2007/0001656 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 1/56(2006.01)i FI: G05F1/56 310L		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G05F1/56 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2022年 日本国実用新案登録公報 1996 - 2022年 日本国登録実用新案公報 1994 - 2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2020-71710 A（ローム株式会社）07.05.2020（2020-05-07） 全文,全図	1-7
A	WO 2020/209369 A1（ローム株式会社）15.10.2020（2020-10-15） 全文,全図	1-7
A	日本国実用新案登録出願1-77350号（日本国実用新案登録出願公開3-17811号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（横河電機株式会社）21.02.1991（1991-02-21）全文,全図	1-7
A	JP 2007-11972 A（株式会社東芝）18.01.2007（2007-01-18） 全文,全図	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	08.12.2022	国際調査報告の発送日 20.12.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 東 昌秋 5G 2573 電話番号 03-3581-1101 内線 3526	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/040105

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-71710 A	07.05.2020	(ファミリーなし)	
WO 2020/209369 A1	15.10.2020	US 2022/0158535 A1 全文, 全図 CN 113661467 A	
JP 3-17811 U1	21.02.1991	(ファミリーなし)	
JP 2007-11972 A	18.01.2007	US 2007/0001656 A1 全文, 全図	