

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/201727 A1

(51) 国際特許分類:
H10B 12/00 (2023.01)

(21) 国際出願番号: PCT/JP2023/012579

(22) 国際出願日: 2023年3月28日(28.03.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

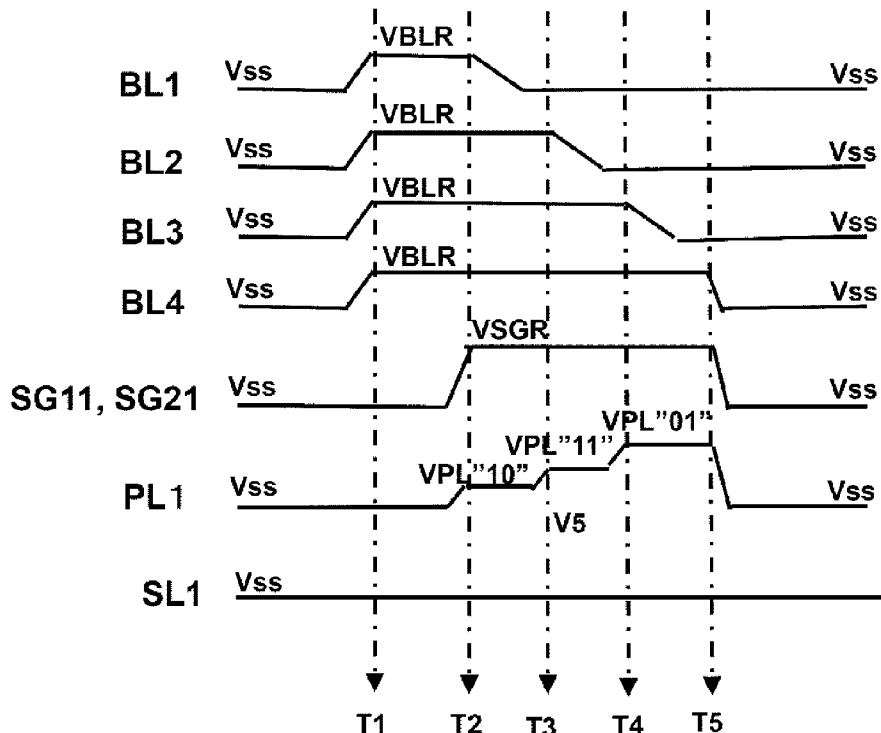
(71) 出願人(USを除く全ての指定国について):ユニ
サンティス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1
1 1、ペニンシュラ プラザ # 2 3
- 0 5 Singapore (SG).

(72) 発明者; および

(71) 出願人(USについてののみ): 作井 康司(SAKUI
Koji) [JP/JP]; 〒1020083 東京都千代田区麹町
1丁目3番7号 日月館麹町ビル5階 S e
m i c o n C o n s u l t i n g 株式会
社内 Tokyo (JP). 岩田 佳久(IWATA Yoshihisa)
[JP/JP]; 〒1020083 東京都千代田区麹町1丁目
3番7号 日月館麹町ビル5階 S e m i c o
n C o n s u l t i n g 株式会社内 Tokyo
(JP). 各務 正一(KAKUMU Masakazu) [JP/JP];
〒1020083 東京都千代田区麹町1丁目3番7
号 日月館麹町ビル5階 S e m i c o n C
o n s u l t i n g 株式会社内 Tokyo (JP).
原田 望(HARADA Nozomu) [JP/JP]; 〒1020083
東京都千代田区麹町1丁目3番7号 日月館

(54) Title: MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子を用いたメモリ装置



(57) Abstract: Provided is a memory device in which, in plan view on a substrate, a page is formed by a plurality of memory cells arranged in a row direction and a plurality of pages are arranged in a column direction, the memory device characterized in that: each memory cell included in each page has a semiconductor base, a first impurity region and a second impurity region on opposite ends of the semiconductor base, at least two first gate conductor layers, a second gate conductor layer, and a semiconductor base; the first impurity region of the memory cell is connected to a source line, the

麹町ビル5階 Semicon Consulting株式会社内 Tokyo (JP).

- (74) 代理人: 田中 伸一郎, 外 (TANAKA Shinichiro et al.); 〒1008355 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

second impurity region is connected to a bit line, either one of the first gate conductor layers and the second gate conductor layer is connected to a selection gate line, and the other is connected to a plate line; the voltage applied across the source line, the bit line, the selection gate line, and the plate line is controlled to perform a page erase operation and a page write operation; on the inside of the semiconductor base, a group of holes formed by an impact ionization phenomenon is retained, and there is logical storage data of at least three values; and during a page read operation, a determination is made with a sense amplifier circuit provided to the bit line in order from the logical storage data with the highest hole number of the group of holes retained in the semiconductor base.

(57) 要約: 基板上に平面視において、行方向に配列された複数のメモリセルによってページが構成され、複数のページが列方向に配列されたメモリ装置であって、各ページに含まれるメモリセルは、半導体母体と、半導体母体の両端にある第1の不純物領域と、第2の不純物領域と、少なくとも2つの第1のゲート導体層と、第2のゲート導体層と、半導体母体とを、有し、メモリセルの第1の不純物領域は、ソース線と接続し、第2の不純物領域は、ビット線と接続し、第1のゲート導体層と第2のゲート導体層のうちの一方は選択ゲート線と接続し、他方はプレート線と接続し、ソース線と、ビット線と、選択ゲート線と、プレート線と、に印加する電圧を制御して、ページ消去動作と、ページ書込み動作とを行い、半導体母体の内部に、インパクトイオン化現象により形成した正孔群を保持し、少なくとも3値の論理記憶データを有し、ページ読出し動作時に半導体母体内に保持された正孔群の正孔数の多い論理記憶データから順番にビット線に設けたセンスアンプ回路で判定することを特徴とする。

明 細 書

発明の名称：半導体素子を用いたメモリ装置

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置に関する。

背景技術

[0002] 近年、L S I (Large Scale Integration) 技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] メモリ素子の高密度化と高性能化が進められている。S G T (Surrounding Gate Transistor、特許文献1、非特許文献1を参照)を選択トランジスタとして用いて、キャパシタを接続したD R A M (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したP C M (Phase Change Memory、例えば、非特許文献3を参照)、R R A M (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるM R A M (Magnetoresistive Random Access Memory、例えば、非特許文献5を参照)などがある。

[0004] また、キャパシタを有しない、1個のM O S トランジスタで構成された、D R A M メモリセル(特許文献2、非特許文献6～非特許文献10を参照)などがある。例えばNチャネルM O S トランジスタのソース、ドレイン間電流によりチャネル内にインパクトイオン化現象により発生させた正孔群、電子群の内、正孔群の一部、または全てをチャネル内に保持させて論理記憶データ“1”書込みを行う。そして、チャネル内から正孔群を除去して論理記憶データ“0”書込みを行う。このメモリセルでは、共通の選択ワード線に対して、ランダムに“1”書込みのメモリセルと“0”書込みのメモリセルが存在する。選択ワード線にオン電圧が印加されると、この選択ワード線に繋がる選択メモリセルのフローティングボディチャネル電圧はゲート電極とチャネルとの容量結合により大きく変動する。このメモリセルでは、フローティングボディチャネルの電圧変動による動作マージンの低下の改善、そし

て、チャンネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

[0005] また、SOI層に、2つのMOSトランジスタを用いて1つのメモリセルを形成したTwin-Transistor MOSトランジスタメモリ素子がある（例えば、特許文献3、4、非特許文献11を参照）。これらの素子では、2つのMOSトランジスタのフローティングボディチャンネルを分ける、ソース、またはドレインとなるN⁺層が基板側にある絶縁層に接して形成されている。このN⁺層により、2つのMOSトランジスタのフローティングボディチャンネルは、電氣的に分離される。信号電荷である正孔群は、一方のMOSトランジスタのフローティングボディチャンネルだけに蓄積される。他方のMOSトランジスタは、片方のMOSトランジスタに溜められた信号の正孔群を読みだすためのスイッチとなる。このメモリセルにおいても、信号電荷である正孔群は一つのMOSトランジスタのチャンネルに溜められるので、前述の1個のMOSトランジスタよりなるメモリセルと同じく、動作マージンの低下の改善、又はチャンネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

[0006] また、図6に示す、キャパシタを有しない、MOSトランジスタで構成された、ダイナミックフラッシュメモリ（DFM: Dynamic Flash Memory）セル111がある（特許文献5、非特許文献12を参照）。図6（a）に示すように、SOI基板のSiO₂層101上にフローティングボディ半導体母体102がある。フローティングボディ半導体母体102の両端に、ソース線SLに接続するN⁺層103とビット線BLに接続するN⁺層104がある。そして、N⁺層103に繋がり、且つフローティングボディ半導体母体102を覆った第1のゲート絶縁層109aと、N⁺層104と、スリット絶縁膜110を介して第1のゲート絶縁層109aと繋がり、且つフローティングボディ半導体母体102を覆った第2のゲート絶縁層109bとがある。そして、第1のゲート絶縁層109aを覆ってプレート線PLに繋がった第1のゲート導体層105aがあり、第2のゲート絶縁層109bを覆ってワード

線WLに繋がった第2のゲート導体層105bがある。そして、第1のゲート導体層105aと第2のゲート導体層105bとの間には、スリット絶縁層110がある。これにより、DFMのメモリセル111が形成される。なお、ソース線SLがN⁺層104に接続し、ビット線BLがN⁺層103に接続するように構成してもよい。

[0007] そして、図6(a)に示すように、例えば、N⁺層103にゼロ電圧、N⁺層104にプラス電圧を印加し、第1のゲート導体層105aで覆われたフローティングボディ半導体母体102よりなる第1のNチャネルMOSトランジスタ領域を飽和領域で動作させ、第2のゲート導体層105bで覆われたフローティングボディ半導体母体102よりなる第2のNチャネルMOSトランジスタ領域を線形領域で動作させる。この結果、第2のNチャネルMOSトランジスタ領域には、ピンチオフ点は存在せずに全面に反転層107bが形成される。このワード線WLの接続された第2のゲート導体層105bの下側に形成された反転層107bは、第1のNチャネルMOSトランジスタ領域の実質的なドレインとして働く。この結果、第1のNチャネルMOSトランジスタ領域と、第2のNチャネルMOSトランジスタ領域との間のチャネル領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。そして、図6(b)に示すように、インパクトイオン化現象により生じた電子・正孔群の中の電子群をフローティングボディ半導体母体102から除き、そして正孔群106の一部、または全てをフローティングボディ半導体母体102に保持することによりメモリ書き込み動作が行われる。この状態が論理記憶データ“1”となる。

[0008] そして、図6(c)に示すように、例えばプレート線PLにプラス電圧、ワード線WLと、ビット線BLにゼロ電圧、ソース線SLにマイナス電圧を印加して、正孔群106をフローティングボディ半導体母体102から除去して消去動作を行う。この状態が論理記憶データ“0”となる。そして、データ読み出しにおいて、プレート線PLに繋がる第1のゲート導体層105aに印加する電圧を、論理記憶データ“1”時のしきい値電圧より高く、且つ

論理記憶データ“0”時のしきい値電圧より低く設定することにより、図6(d)に示すように論理記憶データ“0”読み出しでワード線WLの電圧を高くしても電流が流れない特性が得られる。この特性により、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルと比べ、大幅に動作マージンの拡大が図られる。このメモリセルでは、プレート線PLに繋がる第1のゲート導体層105aと、ワード線WLに繋がる第2のゲート導体層105bをゲートとした第1、第2のNチャネルMOSトランジスタ領域のチャネルがフローティングボディ半導体母体102で繋がっていることにより、ワード線WLに選択パルス電圧が印加された時のフローティングボディ半導体母体102の電圧変動が大きく抑圧される。これにより、前述のメモリセルにおいて問題の動作マージンの低下、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の問題が大きく改善される。今後、本メモリ素子に対して更なる特性改善が求められる。

先行技術文献

特許文献

[0009] 特許文献1：特開平2-188966号公報

特許文献2：特開平3-171768号公報

特許文献3：US2008/0137394 A1

特許文献4：US2003/0111681 A1

特許文献5：特許第7057032号公報

非特許文献

[0010] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. W. Song, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor(VPT),” 2011 Proceeding of the Euro

pean Solid-State Device Research Conference, (2011)

非特許文献3: H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: "Phase Change Memory," Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)

非特許文献4: K. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)

非特許文献5: W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE Transaction on Electron Devices, pp.1-9 (2015)

非特許文献6: M. G. Ertosun, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: "Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T 1C1A) Utilizing Electron," IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

非特許文献7: J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: "A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration," Electron Device Letters, Vol. 35, No.2, pp.179-181 (2012)

非特許文献8: T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: "Memory design using a one-transistor gain cell on SOI," IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9: T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanaabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K

. Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and its Scalability to 32nm Node and Beyond,” IEEE IEDM (2006).

非特許文献10 : E. Yoshida and T. Tanaka: “A Design of a Capacitorless 1T-DRAM Cell Using Gate-induced Drain Leakage (GIDL) Current for Low-power and High-speed Embedded Memory,” IEEE IEDM, pp. 913-916 (2003).

非特許文献11 : F. Morishita, H. Noda, I. Hayashi, T. Gyohten, M. Oksmoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto: “Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI,” IEICE Trans. Electron., Vol. E90-c., No.4 pp.765-771 (2007)

非特許文献12 : K. Sakui, N. Harada, “Dynamic Flash Memory with Dual Gate Surrounding Gate Transistor (SGT),” Proc. IEEE IMW, pp.72-75(2021)

非特許文献13 : J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: “Design Optimization of Gate-All-Around (GAA) MOSFETs,” IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186-191, (2006)

非特許文献14 : N. Loubet, et al.: “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, (2017)

非特許文献15 : H. Jiang, N. Xu, B. Chen, L. Zeng1, Y. He, G. Du, X. Liu and X. Zhang: “Experimental investigation of self heating effect (SHE) in multiple-fin SOI FinFETs,” Semicond. Sci. Technol. 29 115021 pp.7 (2014).

非特許文献16 : T. Ohsawa, “SOI DRAM with One-Transistor FET Cell,” Oyo Buturi, vol.75, No.9, pp1131-1135, (2006) .

発明の概要

発明が解決しようとする課題

[0011] ダイナミック フラッシュ メモリセルにおいて、メモリセルの論理データ保持のためのリフレッシュ動作が求められる。

課題を解決するための手段

[0012] 上記の課題を解決するために、第1発明は、

基板上に平面視において、行方向に配列された複数のメモリセルによってページが構成され、複数のページが列方向に配列されたメモリ装置であって、

前記各ページに含まれる各メモリセルは、

基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、

前記半導体母体の両端に接続した第1の不純物領域と、第2の不純物領域と、

前記半導体母体を囲んだゲート絶縁層と

前記ゲート絶縁層を覆い、且つ並んで配置された第1のゲート導体層と、第2のゲート導体層とを、有し、

前記第1の不純物領域は、ソース線と接続し、前記第2の不純物領域は、ビット線と接続し、前記第1のゲート導体層と前記第2のゲート導体層のうちの一方は選択ゲート線と接続し、他方はプレート線と接続し、

前記ソース線と、前記ビット線と、前記選択ゲート線と、前記プレート線と、に印加する電圧を制御して、ページ消去動作と、ページ書込み動作とを行い、

前記半導体母体の内部に、インパクトイオン化現象、またはドレイン誘起リーク電流現象により形成した正孔群を保持し、

少なくとも3値の論理記憶データの書き込み及び読み出しを行い、

ページ読出し動作時に前記半導体母体内に保持された前記正孔群の正孔数の多い前記論理記憶データから順番に前記ビット線に接続するセンスアンプ回路で判定する、

ことを特徴とする半導体素子を用いたメモリ装置。

[0013] 第2発明は、上記の第1発明において、前記選択ゲート線に接続する前記第1のゲート導体層、または前記第2のゲート導体層は2つに分割され、そ

れぞれが第1の選択ゲート線と、第2の選択ゲート線とに接続し、且つ分割されたゲート導体層が前記プレート線に接続した前記第1のゲート導体層、または前記第2のゲート導体層を挟み込むことを特徴とする。

[0014] 第4発明は、上記の第1発明において、前記論理記憶データは4値であることを特徴とする。

[0015] 第5発明は、上記の第1発明において、前記ページ書込み動作時に前記ビット線の電圧を段階的に上げていくことを特徴とする。

[0016] 第6発明は、上記の第1発明において、前記ページ書込み動作時に前記選択ゲート線と、前記プレート線の一方若しくは両方の電圧を段階的に上げていくことを特徴とする。

[0017] 第7発明は、上記の第1発明において、前記ページ読出し動作時に前記プレート線の電圧を段階的に上げてゆき、前記半導体母体内に保持された前記正孔群の正孔数の多い前記論理記憶データから順番に前記ビット線に設けた前記センスアンプ回路で判定することを特徴とする。

[0018] 第8発明は、上記の第3発明において、4値の前記論理記憶データは、前記選択ゲート線のしきい値電圧の低い方から、“10”、“11”、“01”、“00”の順に割り当てることを特徴とする。

図面の簡単な説明

[0019] [図1]第1実施形態に係る半導体メモリ装置の構造図である。

[図2]第1実施形態に係る半導体メモリ装置の消去動作メカニズムを説明するための図である。

[図3]第1実施形態に係る半導体メモリ装置の書込み動作メカニズムを説明するための図である。

[図4A]第1実施形態に係る半導体メモリ装置の読出し動作メカニズムを説明するための図である。

[図4B]第1実施形態に係る半導体メモリ装置の読出し動作メカニズムを説明するための図である。

[図4C]第1実施形態に係る半導体メモリ装置の読出し動作メカニズムを説明

するための図である。

[図4D]第1実施形態に係る半導体メモリ装置の読出し動作メカニズムを説明するための図である。

[図5]第1実施形態に係る半導体メモリ装置の構造図である。

[図6]従来例のダイナミックフラッシュメモリを説明するための図である。

発明を実施するための形態

[0020] 以下、本発明の実施形態に係る、半導体素子を用いたメモリ装置（特許請求の範囲の「メモリ装置」の一例である）（以後、ダイナミックフラッシュメモリと呼ぶ）について、図面を参照しながら説明する。

[0021]（第1実施形態）

図1～図4を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセル（特許請求の範囲の「メモリセル」の一例である）の構造と動作メカニズムを説明する。図1を用いて、ダイナミックフラッシュメモリセルの構造を説明する。そして、図2～図3を用いて、ページ消去動作、ページ書込み動作を説明し、図4A～図4Cを用いてページ読出し動作を説明する。

[0022] 図1に、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造を示す。基板1（特許請求の範囲の「基板」の一例である）上に、下から順にN⁺層3a（特許請求の範囲の「第1の不純物領域」の一例である）、P層であるSi柱の半導体母体7（特許請求の範囲の「半導体母体」の一例である。以下、アクセプタ不純物を含む半導体領域を「P層」と称する）、N⁺層3b（特許請求の範囲の「第2の不純物領域」の一例である）がある。柱状P層7を囲んでゲート絶縁層4がある。そして、ゲート絶縁層4を囲んで下から順に第1のゲート導体層5a、第2のゲート導体層5b、第3のゲート導体層5cがある。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6aにより分離され、第2のゲート導体層5b、第3のゲート導体層5cは絶縁層6bにより分離されている。これによりN⁺層3a、3b、柱状P層7、ゲート絶縁層4、第1のゲート導体層5a、第2の

ゲート導体層 5 b、第 3 のゲート導体層 5 c からなるダイナミック フラッシュ メモリセルが形成される。第 1 のゲート導体層 5 a で囲まれた第 1 の N チャネル MOS トランジスタ領域と、第 2 のゲート導体層 5 b で囲まれた第 2 の N チャネル MOS トランジスタ領域の間の半導体母体 7 の領域を第 1 の境界領域、第 2 の N チャネル MOS トランジスタ領域と、第 3 のゲート導体層 5 c で囲まれた第 3 の N チャネル MOS トランジスタ領域との間の柱状 P 層 7 の領域を第 2 の境界領域という。

[0023] そして、図 1 に示すように、N⁺層 3 a はソース線 S L（特許請求の範囲の「ソース線」の一例である）に、N⁺層 3 b はビット線 B L（特許請求の範囲の「ビット線」の一例である）に、第 1 のゲート導体層 5 a は第 1 の選択ゲート線 S G 1（特許請求の範囲の「第 1 の選択ゲート線」の一例である）に、第 2 のゲート導体層 5 b はプレート線 P L（特許請求の範囲の「プレート線」の一例である）に、第 3 のゲート導体層 5 c は第 2 の選択ゲート線 S G 2（特許請求の範囲の「第 2 の選択ゲート線」の一例である）に、それぞれ接続している。

[0024] なお、第 1 の選択ゲート線 S G 1 に接続している第 1 のゲート導体層 5 a と、プレート線 P L に接続している第 2 のゲート導体層 5 b とを合わせたゲート容量は、第 2 の選択ゲート線 S G 2 に接続している第 3 のゲート導体層 5 c のゲート容量よりも、大きくなるような構造を有することが望ましい。また、第 1 乃至第 3 のゲート導体層 5 a ~ 5 c の垂直方向の長さを同じにしてもよい。

[0025] また、第 1 のゲート導体層 5 a、第 2 のゲート導体層 5 b、第 3 のゲート導体層 5 c の何れか、または全てを平面視で、2 つ以上に分割して、それぞれを第 1 の選択ゲート線、プレート線、第 2 の選択ゲート線の導体電極として、同期または非同期で動作させてもよい。これによっても、ダイナミックフラッシュ メモリ動作がなされる。また、平面視において、分割された片方の導体層を繋げていてもよい。

[0026] また、第 2 のゲート導体層 5 b に加えて、少なくとも 1 つ以上のプレート

線 PL に繋がるゲート導体層を設けてもよい。それぞれをプレート線の導体電極として、同期または非同期で動作させてもよい。これによっても、ダイナミック フラッシュ メモリ動作がなされる。

[0027] また、第 1 のゲート導体層 5 a と、前記第 2 ゲート導体層 5 b と、前記第 3 ゲート導体層 5 c とは、同一の材料で構成されている。このように同一の材料で構成することにより、プロセス的に容易に製造可能である。

[0028] また、図 1 の第 1 乃至第 3 のゲート導体層 5 a ~ 5 c の内の 1 つを無くして、一方を選択ゲート線に、他方をプレート線に接続してもよい。そして、2 つのゲート導体層に同期、又は非同期の電圧を印加することにより正常なダイナミック フラッシュ メモリがなされる。

[0029] 図 2 を用いて、ページ消去動作（特許請求の範囲の「ページ消去動作」の一例である）メカニズムを説明する。実際には、基板上の平面視において、行方向に配列された複数のメモリセルによってページ（特許請求の範囲の「ページ」の一例である）が構成され、複数のページを列方向に配列し、メモリ装置が構成されている。この例では、消去されるページに含まれる 1 個のメモリセルにおける動作を説明する。N⁺層 3 a、3 b 間の半導体母体 7 は、電氣的に基板 1 から分離され、フローティングボディとなっている。図 2（a）にページ消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群 10 が半導体母体 7 に蓄えられている状態を示す。そして図 2（b）に示すように、ページ消去動作時には、ソース線 SL の電圧を、負電圧 V_{ERA} にする。ここで、 V_{ERA} は、例えば、 -1.5 V である。その結果、半導体母体 7 の初期電位の値に関係なく、ソース線 SL が接続されているソースとなる N⁺層 3 a と半導体母体 7 の PN 接合が、順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、半導体母体 7 に蓄えられていた正孔群 10 が、ソース部の N⁺層 3 a に吸い込まれ、半導体母体 7 の電位 V_{FB} は、 $V_{FB} = V_{ERA} + V_b$ 近傍の電圧となる。ここで、 V_b は PN 接合のビルトイン電圧であり、約 0.7 V である。したがって、 $V_{ERA} = -1.5\text{ V}$ の場合、半導体母体 7 の電位は、 -0.8 V になる。この値が、消去状態

の半導体母体 7 の電位状態となる。このため、フローティングボディの半導体母体 7 の電位が負の電圧になると、ダイナミック フラッシュ メモリセルの N チャネル MOS トランジスタ領域のしきい値電圧は、基板バイアス効果によって、高くなる。したがって、第 1 の選択ゲート線 S G 1 に接続された第 1 のゲート導体層 5 a と、プレート線 P L に接続された第 2 のゲート導体層 5 b と、第 2 の選択ゲート線 S G 2 に接続された第 3 のゲート導体層 5 c のしきい値電圧は高くなる。これにより、図 2 (c) に示すように、第 1 の選択ゲート線 S G 1 と第 2 の選択ゲート線 S G 2 の電圧を x 軸としたグラフにおいて、セル電流 I_{ce} は零となる。この半導体母体 7 の消去状態は論理記憶データ（特許請求の範囲の「論理記憶データ」の一例である）“00”となる。なお、上記のビット線 B L、ソース線 S L、第 1 の選択ゲート線 S G 1、プレート線 P L、第 2 の選択ゲート線 S G 2 に印加する電圧条件と、フローティングボディの電位は、ページ消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい。

[0030] 図 3 に、ダイナミック フラッシュ メモリセルのページ書込み動作（特許請求の範囲の「ページ書込み動作」の一例である）を示す。図 3 (a) に示すように、ソース線 S L の接続された N⁺層 3 a に例えば 0 V を入力し、ビット線 B L の接続された N⁺層 3 b に例えば 0.6 V を入力し、第 1 の選択ゲート線 S G 1 に接続された第 1 のゲート導体層 5 a と、第 2 の選択ゲート線 S G 2 に接続された第 3 のゲート導体層 5 c に、例えば、2 V を入力し、プレート線 P L に接続された第 2 のゲート導体層 5 b に、例えば、1.5 V を入力する。その結果、図 3 (a) に示したように、第 1 の選択ゲート線 S G 1 の接続された第 1 のゲート導体層 5 a と、第 2 の選択ゲート線 S G 2 に接続された第 3 のゲート導体層 5 c の内側の半導体母体 7 には、環状の反転層 12 a、12 c が形成される。この結果、第 1 のゲート導体層 5 a を有する第 1 の N チャネル MOS トランジスタ領域と、第 3 のゲート導体層 5 c を有する第 3 の N チャネル MOS トランジスタ領域は、例えば、線形領域で動作させる。一方、プレート線 P L の接続された第 2 のゲート導体層 5 b を有する

第2のNチャネルMOSトランジスタ領域は、例えば、飽和領域で動作させる。この結果、反転層12bには、ピンチオフ点Pが存在する。この場合、第1の選択ゲート線SG1の接続された第1のゲート導体層5aの内側と、第2の選択ゲート線SG2の接続された第3のゲート導体層5cの内側に全面に形成された反転層12a、12cはそれぞれ、プレート線PLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタ領域の実質的なソース、ドレインとして働く。

[0031] この結果、直列接続された第2のNチャネルMOSトランジスタ領域と、第3のNチャネルMOSトランジスタ領域との間の半導体母体7の第2の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。この領域は、第2の選択ゲートSG2の接続された第3のゲート導体層5cを有する第3のNチャネルMOSトランジスタ領域から見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線SLの接続されたN⁺層3aからビット線BLの接続されたN⁺層3bに向かって電子が流れる。加速された電子が格子Si原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第1のゲート導体層5a、第2のゲート導体層5b、第3のゲート導体層5cにも流れるが、大半はビット線BLの接続されたN⁺層3bに流れる。また、書込みにおいて、ゲート誘起ドレインリーク（GIDL：Gate Induced Drain Leakage）電流を用いて電子・正孔対を発生させ、生成された正孔群でフローティングボディFB内を満たしてもよい（例えば非特許文献10を参照）。

[0032] そして、図3（b）に示すように、生成された正孔群10は、半導体母体7の多数キャリアであり、半導体母体7を正バイアスに充電する。ソース線SLの接続されたN⁺層3aは、0Vであるため、半導体母体7はソース線SLの接続されたN⁺層3aと半導体母体7との間のPN接合のビルトイン電圧V_b（約0.7V）近傍まで充電される。半導体母体7が正バイアスに充電されると、第1のNチャネルMOSトランジスタ領域、第2のNチャネルM

OSトランジスタ領域と第3のNチャネルMOSトランジスタ領域のしきい値電圧は、基板バイアス効果によって、低くなる。これにより、図3(c)に示すように、第1の選択ゲート線SG1と第2の選択ゲート線SG2の電圧をx軸としたグラフにおいて、y軸としたセル電流 I_{ce} が流れる。この半導体母体7の書込み状態を論理記憶データ“01”に割り当てる。

[0033] 次にビット線BLの接続されたN⁺層3bの印加電圧を例えば0.6Vから0.8Vに上げる。この結果、第2の境界領域でのインパクトイオン化現象がさらに増大し、生成された正孔群10は、半導体母体7をさらに正バイアスに充電する。この半導体母体7の書込み状態を図3(c)に示すように、論理記憶データ“11”に割り当てる。

[0034] 次にビット線BLの接続されたN⁺層3bの印加電圧を例えば0.8Vから1.0Vに上げる。この結果、第2の境界領域でのインパクトイオン化現象がさらに増大し、生成された正孔群10は、半導体母体7をさらに正バイアスに充電する。この半導体母体7の書込み状態を図3(c)に示すように、論理記憶データ“10”に割り当てる。

[0035] 図3(c)に示すように、論理記憶データは、第1の選択ゲート線SG1と第2の選択ゲート線SG2のしきい値電圧（特許請求の範囲の「しきい値電圧」の一例である）の低い方から、“10”、“11”、“01”、“00”の順に割り当てる。“11”、“10”、“01”、“00”とすると、“10”から“01”と論理記憶データが変化すると、2ビットエラーとなるため、それを回避するためにしきい値電圧の低い方から、“10”、“11”、“01”、“00”の順に割り当てる。

[0036] なお、ページ書込み動作時に、上記の第2の境界領域に替えて、第1のNチャネルMOSトランジスタ領域と、第2のNチャネルMOSトランジスタ領域の間の半導体母体7の第1の境界領域で、インパクトイオン化現象、またはGIDL電流（例えば、非特許文献10）で、電子・正孔対を発生させ、発生した正孔群10で半導体母体7を充電しても良い。あるいは、N⁺層3aと半導体母体7との間の境界領域、または、N⁺層3bと半導体母体7との

間の境界領域で、インパクトイオン化現象、またはGIDL電流で、電子・正孔対を発生させ、発生した正孔群10で半導体母体7を充電しても良い。なお、上記のビット線BL、ソース線SL、第1の選択ゲート線SG1、プレート線PL、第2の選択ゲート線SG2、に印加する電圧条件は、ページ書き込み動作を行うための一例であり、ページ書き込み動作ができる他の電圧条件であってもよい。例えば、ページ書き込み動作時に選択ゲート線と、前記プレート線の一方若しくは両方の電圧を段階的に上げていき、しきい値電圧の高い“00”から、“01”、“11”、“10”のしきい値電圧の高い順にページ書き込み動作を行っても良い。

[0037] この場合、第1の選択ゲート線SG1と第2の選択ゲート線SG2の印加電圧を1.5V、プレート線PLの印加電圧を1.0Vで“01”を書込み、第1の選択ゲート線SG1と第2の選択ゲート線SG2の印加電圧を1.6V、プレート線PLの印加電圧を1.1Vで“11”を書込み、第1の選択ゲート線SG1と第2の選択ゲート線SG2の印加電圧を1.7V、プレート線PLの印加電圧を1.2Vで“10”を書込んで良い。

[0038] 図4A～図4Dを参照して、ダイナミックフラッシュメモリセルのページ読出し動作（特許請求の範囲の「ページ読出し動作」の一例である）を説明する。前述のように、このしきい値電圧の高い方から順番に、論理記憶データ“00”、“01”、“11”、“10”を割り当てる。図4A(b)に示すように、書き込みを行う前に選択するメモリブロックは、予め消去状態“00”にある場合は、半導体母体7がフローティング電圧 V_{FB} は $V_{ERA} + V_b$ となっている。書き込み動作によってランダムに選択されたセルに書き込み状態“10”、“11”、“01”が記憶される。この結果、第1及び第2の選択ゲート線SG1、SG2に対して、論理記憶データ“00”、“01”、“11”、“10”の4値の論理記憶データが作成される。ここで、論理記憶データ“00”、“01”、“11”、“10”の順に図4A(a)で示す半導体母体7の正孔群7の正孔数が増加する。図4A(c)に示すように、この第1及び第2の選択ゲート線SG1、SG2に対する4つのしきい値

電圧の高低差を利用して、センスアンプ回路で読出しが行われる。

[0039] 4 値の論理記憶データは、プレート線 PL の電圧 V_{PL} を低電圧から段階的に上げていくことによって判定する。すなわち、メモリセルの半導体母体 7 内に保持された正孔群 10 の正孔数の多い論理記憶データである “10”、“11”、“01”、“00” の順番で前記ビット線 BL に論理記憶データが読み出される。図 4 B (a) ~ (c) は、プレート線 PL の電圧 V_{PL} を低電圧から高電圧に変化させた時の論理記憶データ “10”、“11”、“01”、“00” の第 1 及び第 2 の選択ゲート線 SG1、SG2 に対するしきい値電圧の高低差を示している。ここで、プレート線 PL の電圧 V_{PL} は、 $V_{PL} \text{ “10”} < V_{PL} \text{ “11”} < V_{PL} \text{ “01”}$ である。この結果、プレート線 PL の電圧 V_{PL} を段階的に上げていき、半導体母体内に保持された正孔群 10 の正孔数の多い論理記憶データから順番にビット線 BL に読出し、センスアンプ回路で判定できることが分かる。

[0040] 図 4 C は、メモリセルアレイ回路を示している。ここでは、平面視において、2 行×4 列の計 8 個のメモリセル C11~C24 を示しているが、実際のバンクにあるメモリセルの数は、これよりも多い。メモリセルが行列状に配列されているときに、その配列の一方の方向を「行方向」（もしくは「行状」）、これに垂直な方向を「列方向」（もしくは「列状」）という。メモリセル C11~C24 の半導体母体 FB11~FB24 は、それぞれメモリセル毎に共通になっている。メモリセル C11~C24 には、ビット線 BL1~BL4、プレート線 PL1~PL2、第 1 の選択ゲート線 SG11~SG12、第 2 の選択ゲート線 SG21~SG22、ソース線 SL1~SL2 がそれぞれ接続している。ビット線 BL1~BL4 には、トランスファークロップであるトランジスタ T1~T4 を介して、センスアンプ回路 SA1~SA4（特許請求の範囲の「センスアンプ回路」の一例である）が接続している。トランジスタ T1~T4 のそれぞれのゲートには、トランスファー信号 FT が入力している。センスアンプ回路 SA1~SA4 には、カラム選択線 CSL1~CSL4 が入力し、入出力線 IO と $\overline{IO}$ に接続している。入出

力線 I O と / I O は、入出力バッファ回路 I O B に接続している。カラム選択信号 C S L 1 ~ C S L 4 は、カラムアドレス C A D がカラムデコーダ回路 C D E C に入力し、そのカラムアドレス C A D に応じて選択される。プレート線 P L 1 ~ P L 2 は、プレート線ドライバー回路 D P L 1 ~ D P L 2 に接続し、第 1 の選択ゲート線 S G 1 1 ~ S G 1 2 は、第 1 の選択ゲート線ドライバー回路 D S G 1 1 ~ D S G 1 2 に接続し、第 2 の選択ゲート線 S G 2 1 ~ S G 2 2 は、第 2 の選択ゲート線ドライバー回路 D S G 2 1 ~ D S G 2 2 に接続し、ソース線 S L 1 ~ S L 2 は、ソース線ドライバー回路 D S L 1 ~ D S L 2 に接続する。プレート線ドライバー回路 D P L 1 ~ D P L 2、第 1 の選択ゲート線ドライバー回路 D S G 1 1 ~ D S G 1 2、第 2 の選択ゲート線ドライバー回路 D S G 2 1 ~ D S G 2 2 と、ソース線ドライバー回路 D S L 1 ~ D S L 2 は、ロウデコーダ回路 R D E C に接続し、ロウデコーダ回路 R D E C に入力するロウアドレス R A D によって選択制御される。

[0041] なお、センスアンプ回路 S A 1 ~ S A 4 は、論理記憶データが例えば 4 値の場合、それを判定読み出し可能な 2 個のフリップフロップ回路で構成されている。また、論理記憶データが例えば 8 値の場合、3 個のフリップフロップ回路で構成しても良い。

[0042] 図 4 C のメモリセル C 1 1 には、論理記憶データ “1 0” が、メモリセル C 1 2 には、論理記憶データ “1 1” が、メモリセル C 1 3 には、論理記憶データ “0 1” が、メモリセル C 1 4 には、論理記憶データ “0 0” が、予め書かれており、メモリセル C 1 1 ~ C 1 4 のページ読出し動作に関して、図 4 D を用いて説明する。

[0043] 図 4 D において、ページ読出し動作が開始されると、第 1 の時刻 T 1 で、ビット線 B L 1 ~ B L 4 は、予備充電 (Precharge) され、低電圧 V s s から読出しビット線電圧 V B L R に充電される。ここで、V s s は、例えば接地電圧の 0 V、読出しビット線電圧 V B L R は、0. 2 V である。第 2 の時刻 T 2 で、第 1 の選択ゲート線 S G 1 1 と第 2 の選択ゲート線 S G 2 1 が選択され、低電圧 V s s から読出し選択ゲート線電圧 V S G R に上がる。ここで

、読出し選択ゲート線電圧 V_{SGR} は、例えば、 $1.5V$ である。また、プレート線 $PL1$ が選択され、低電圧 V_{ss} から“10”読出し選択ゲート線電圧 V_{PL} “10”に上がる。ここで、メモリセル $C11$ には、論理記憶データ“10”が書き込まれているため、ビット線 $BL1$ を V_{BLR} から V_{ss} へと放電する。その結果をセンスアンプ回路 $SA1$ で読み取り、判定する。なお、 V_{PL} “10”は、例えば、 $0.9V$ である。

[0044] 図4Dの第3の時刻 $T3$ において、プレート線 $PL1$ が“10”読出し選択ゲート線電圧 V_{PL} “10”から、“11”読出し選択ゲート線電圧 V_{PL} “11”に上がる。メモリセル $C12$ には、論理記憶データ“11”が書き込まれているため、ビット線 $BL2$ を V_{BLR} から V_{ss} へと放電する。その結果をセンスアンプ回路 $SA2$ で読み取り、判定する。なお、 V_{PL} “11”は、例えば、 $1.1V$ である。

[0045] 図4Dの第4の時刻 $T4$ において、プレート線 $PL1$ が“11”読出し選択ゲート線電圧 V_{PL} “11”から、“01”読出し選択ゲート線電圧 V_{PL} “01”に上がる。メモリセル $C13$ には、論理記憶データ“01”が書き込まれているため、ビット線 $BL3$ を V_{BLR} から V_{ss} へと放電する。その結果をセンスアンプ回路 $SA3$ で読み取り、判定する。なお、 V_{PL} “10”は、例えば、 $1.3V$ である。

[0046] メモリセル $C14$ には、論理記憶データ“00”が書き込まれているため、ビット線 $BL4$ は、 V_{BLR} を維持する。その結果をセンスアンプ回路 $SA4$ で読み取り、判定する。なお、メモリセル $C14$ の論理記憶データ“00”の第1の選択ゲート線 $SG11$ と第2の選択ゲート線 $SG21$ に対するしきい値電圧は、例えば、 $1.5V$ 以上である。

[0047] 図4Dの第5の時刻 $T5$ において、第1の選択ゲート線 $SG11$ 、第2の選択ゲート線 $SG21$ 、プレート線 $PL1$ 、ビット線 $BL4$ が低電圧 V_{ss} に下がり、ページ読出し動作が終了する。なお、第1の選択ゲート線 $SG11$ に接続した第1のゲート導体層 $5a$ と、第2の選択ゲート線 $SG21$ に接続した第3ゲート導体層 $5c$ の一方がないメモリセルにおいても、図4Dに

示した第1の選択ゲート線SG11、第2の選択ゲート線SG21に印加する同じ電圧を残した選択ゲートに接続したゲート導体層に印加しても、図2～図4Bに示したのと、同様のメモリ動作が出来る。

[0048] 図5は、プレート線PLが少なくとも2つのプレート線PL1とPL2から構成されるメモリセルの構造図を示している。このような構造の場合でも本実施形態で説明したダイナミック フラッシュ メモリ動作ができる。基板1上に下よりN⁺層3a、柱状P層7、N⁺層3bがある。N⁺層3a、3b間の柱状P層7がチャネルとなる。柱状P層7を囲んで、ゲート絶縁層4がある。そして、ゲート絶縁層4を囲んで、下から第1のゲート導体層5a、第2のゲート導体層5b、第3のゲート導体層5c、第4のゲート導体層5dがある。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6aにより分離され、第2のゲート導体層5b、第3のゲート導体層5cは絶縁層6bにより分離され、第3のゲート導体層5c、第4のゲート導体層5dは絶縁層6cにより分離されている。これによりN⁺層3a、3b、柱状P層7、ゲート絶縁層4、第1のゲート導体層5a、第2のゲート導体層5b、第3のゲート導体層5c、第4のゲート導体層5dからなるダイナミック フラッシュ メモリセルが形成される。そして、図5に示すように、N⁺層3aはソース線SLに、N⁺層3bはビット線BLに、第1のゲート導体層5aは第1の選択ゲート線SG1に、第2のゲート導体層5bは第1のプレート線PL1に、第3のゲート導体層5cは第2のプレート線PL2に、第4のゲート導体層5dは第2の選択ゲート線SG2に、それぞれ接続している。

[0049] 図1において、柱状P層7の水平断面形状は、円形状、楕円状、長方形状であっても、本実施形態で説明したダイナミック フラッシュ メモリ動作ができる。また、同一チップ上に、円形状、楕円状、長方形状のダイナミック フラッシュ メモリセルを混在させてもよい。

[0050] また、図1では、基板上に垂直方向に立った柱状P層7の側面全体を囲んだゲート絶縁層4を設け、ゲート絶縁層の全体を囲んだ第1のゲート導体層

5 a、第2のゲート導体層5 b、第3のゲート導体層5 cを有するSGTを例にダイナミック フラッシュ メモリ素子を説明した。本実施形態の説明で示したように、本ダイナミック フラッシュ メモリ素子は、インパクトイオン化現象により発生した正孔群10が半導体母体7に保持される条件を満たす構造であればよい。このためには、半導体母体7は基板1と分離されたフローティング ボディ構造であればよい。これより、例えばSGTの1つであるGAA (Gate All Around :例えば非特許文献13を参照) 技術、Nanosheet技術(例えば、非特許文献14を参照) を用いて、チャネル領域の半導体母体を基板1に対して水平に形成されていても、前述のダイナミック フラッシュ メモリ動作ができる。また、SOI (Silicon On Insulator) を用いたデバイス構造(例えば、非特許文献7~10を参照) であってもよい。このデバイス構造ではチャネル領域の底部がSOI基板の絶縁層に接しており、且つ他のチャネル領域を囲んでゲート絶縁層、及び素子分離絶縁層で囲まれている。この構造においても、チャネル領域はフローティング ボディ構造となる。このように、本実施形態が提供するダイナミック フラッシュ メモリ素子では、チャネル領域がフローティング ボディ構造である条件を満足すればよい。また、Finトランジスタ(例えば非特許文献15を参照) をSOI基板上に形成した構造であっても、チャネル領域がフローティング ボディ構造であれば、本ダイナミック・フラッシュ・メモリ動作が出来る。

[0051] なお、上記の第1および第2の選択ゲート線SG1とSG2、ビット線BL、ソース線SLのリセット電圧を V_{ss} としているが、それぞれを異なる電圧にしても良い。

[0052] なお、本明細書及び特許請求の範囲において「ゲート絶縁層やゲート導体層等がチャネル等を覆う」と言った場合の「覆う」の意味として、SGTやGAAのように全体を囲む場合、Finトランジスタのように一部を残して囲む場合、さらにプレナー型トランジスタのように平面的なものの上に重なるような場合も含む。

[0053] 図1においては、第1のゲート導体層5 aは、ゲート絶縁層4の全体を囲

んでいる。これに対して、第1のゲート導体層5aは、平面視において、ゲート絶縁層4の一部を囲む構造としてもよい。この第1のゲート導体層5aを少なくとも2つのゲート導体層に分割して、少なくとも2つのプレート線PLのゲート電極として、動作させても良い。プレート線PLのゲート電極は、図5のように多段積みにもできるし、360°を半分にして、左右に分離することも可能である。同様に、第2のゲート導体層5bを2つ以上に分割して、それぞれをゲート導体電極として、同期または非同期で動作させてもよい。これにより、ダイナミック フラッシュ メモリ動作を行うことができる。そして、第1のゲート導体層5aを2つ以上に分割した場合、分割した第1のゲート導体層の少なくとも1つは、上記の第1のゲート導体層5aの役割を行う。また、分割した第2のゲート導体層5bにおいても、分割した第2のゲート導体層の少なくとも1つは、上記の第2のゲート導体層5bの役割を行う。

[0054] また、上記のビット線BL、ソース線SL、第1および第2の選択ゲート線SG1とSG2、プレート線PLに印加する電圧条件と、フローティングボディの電圧は、消去動作、書き込み動作、読み出し動作の基本動作を行うための一例であり、本発明の基本動作を行うことができれば、他の電圧条件であってもよい。

[0055] なお、図1においては、第1の選択ゲート線SG1と、第2の選択ゲート線SG2と、プレート線PLの、3つのゲート導体層を有する場合について説明したが、第1の選択ゲート線SG1と、第2の選択ゲート線SG2とを1つの選択ゲート線SGとして、2つのゲート導体層で構成しても良い。この2つのゲート導体層で構成した場合にプレート線PLと選択ゲート線SGのどちらをビット線側に設けても良い。

[0056] 本実施形態は、下記の特徴を有する。

(特徴)

本発明の第1実施形態に係るダイナミック フラッシュ メモリセルにおいて、ソース線と、ビット線と、選択ゲート線と、プレート線と、に印加する

電圧を制御して、ページ消去動作と、ページ書込み動作とを行い、半導体母体の内部の正孔群の個数を変化させ、保持し、少なくとも3値の論理記憶データを有することが可能である。例えば、4値の論理記憶データを有する場合、2値に比べて、メモリ装置の容量を2倍に増加することができる。すなわち、1ビット当たりのコストを半減させた安価なメモリ装置の提供できる。

また、特徴として、ページ読出し動作時に半導体母体内に保持された正孔群の正孔数の多い論理記憶データから順番にビット線に設けたセンスアンプ回路で容易に判定できる。具体的には、ページ読出し動作時にプレート線の電圧を段階的に上げていき、選択ゲート線に対するしきい値電圧の低い記論理記憶データから順番にビット線に設けたセンスアンプ回路で判定できるため、高速に例えば4値のデータを読み出すことが可能である。

[0057] (その他の実施形態)

なお、本発明では、P層であるSi柱で半導体母体7を形成したが、Si以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0058] また、図1において、N⁺層3a、3b、P層であるSi柱の半導体母体7のそれぞれの導電型の極性を逆にした構造においても、ダイナミックフラッシュメモリ動作がなされる。この場合、N層であるSi柱の半導体母体では、多数キャリアは電子になる。従って、インパクトイオン化により生成された電子群が半導体母体7に蓄えられて、“1”状態が設定される。

[0059] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0060] 本発明に係る、半導体素子を用いたメモリ装置によれば、高密度で、かつ高性能のSGTを用いたメモリ装置であるダイナミック フラッシュ メモリが得られる。

符号の説明

[0061] 10 : ダイナミック フラッシュ メモリセル
3a、3b : N⁺層
7 : 半導体母体 (柱状P層)
4 : ゲート絶縁層
5a、5b、5c、5d : ゲート導体層
6 : 2層のゲート導体層を分離するための絶縁層
10 : 正孔群
BL、BL1～BL4 : ビット線
SL : ソース線
PL、PL1、PL2 : プレート線
SG1、SG11、SG12 : 第1の選択ゲート線
SG2、SG21、SG22 : 第2の選択ゲート線
FB、FB11～FB24 : 半導体母体 (フローティングボディ)
C11～C24 : メモリセル
SA1～SA4 : センスアンプ回路
CSL1～CSL4 : カラム選択線
CDEC : カラムデコーダー回路
CAD : カラムアドレス
IO、/IO : 入出力線
IOB : 入出力バッファ回路
DPL1～DPL2 : プレート線ドライバー回路
DSG11～DSG12 : 第1の選択ゲート線ドライバー回路
DSG21～DSG22 : 第2の選択ゲート線ドライバー回路
DSL1～DSL2 : ソース線ドライバー回路

RDEC : ロウデコーダー回路

RAD : ロウアドレス

“00”、“01”、“11”、“10” : 論理記憶データ

請求の範囲

- [請求項1] 基板上に平面視において、行方向に配列された複数のメモリセルによってページが構成され、複数のページが列方向に配列されたメモリ装置であって、
- 前記各ページに含まれる各メモリセルは、
- 基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、
- 前記半導体母体の両端に接続した第1の不純物領域と、第2の不純物領域と、
- 前記半導体母体を囲んだゲート絶縁層と
- 前記ゲート絶縁層を覆い、且つ並んで配置された第1のゲート導体層と、第2のゲート導体層とを、有し、
- 前記第1の不純物領域は、ソース線と接続し、前記第2の不純物領域は、ビット線と接続し、前記第1のゲート導体層と前記第2のゲート導体層のうちの一方は選択ゲート線と接続し、他方はプレート線と接続し、
- 前記ソース線と、前記ビット線と、前記選択ゲート線と、前記プレート線と、に印加する電圧を制御して、ページ消去動作と、ページ書き込み動作とを行い、
- 前記半導体母体の内部に、インパクトイオン化現象、またはドレイン誘起リーク電流現象により形成した正孔群を保持し、
- 少なくとも3値の論理記憶データの書き込み及び読み出しを行い、
- ページ読出し動作時に前記半導体母体内に保持された前記正孔群の正孔数の多い前記論理記憶データから順番に前記ビット線に接続するセンスアンプ回路で判定する、
- ことを特徴とする半導体素子を用いたメモリ装置。
- [請求項2] 前記選択ゲート線に接続する前記第1のゲート導体層、または前記第2のゲート導体層は2つに分割され、それぞれが第1の選択ゲート

線と、第2の選択ゲート線とに接続し、且つ分割されたゲート導体層が前記プレート線に接続した前記第1のゲート導体層、または前記第2のゲート導体層を挟み込む、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項3] 前記論理記憶データは、4値である、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項4] 前記ページ書込み動作時に前記ビット線の電圧を段階的に上げていく、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項5] 前記ページ書込み動作時に前記選択ゲート線と、前記プレート線の一方若しくは両方の電圧を段階的に上げていく、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項6] 前記ページ読出し動作時に前記プレート線の電圧を段階的に上げてゆき、

前記半導体母体内に保持された前記正孔群の正孔数の多い前記論理記憶データから順番に前記ビット線に設けた前記センスアンプ回路で判定する、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

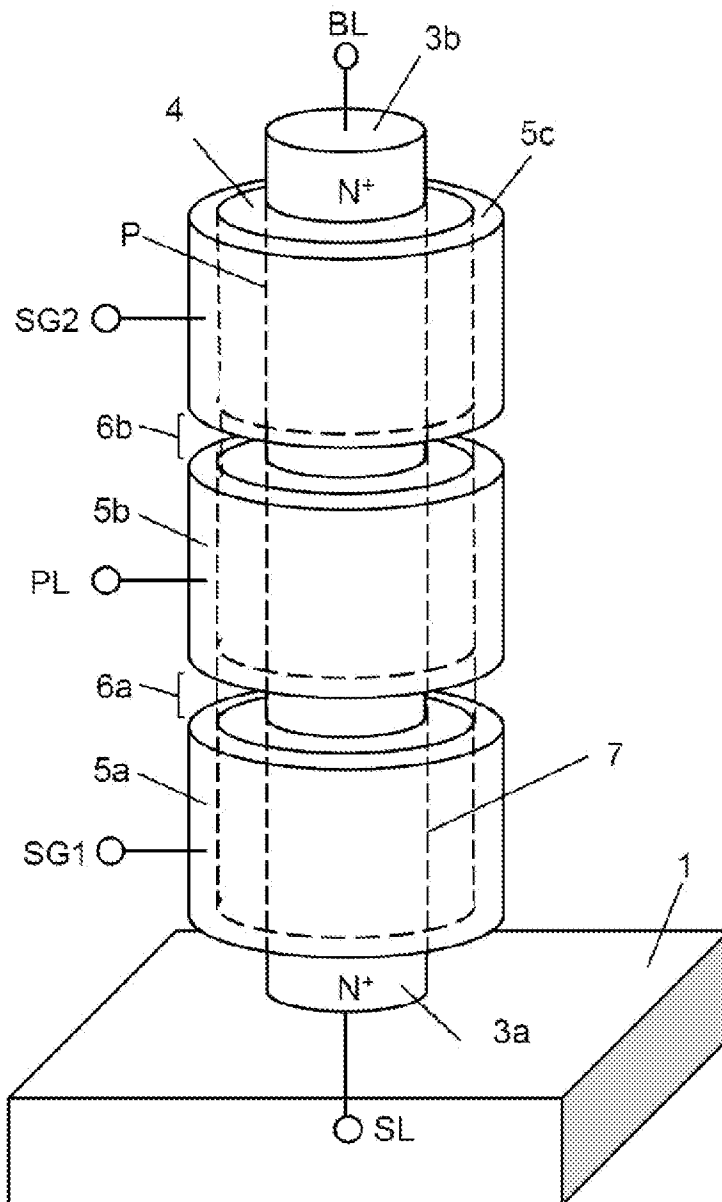
。

[請求項7] 4値の前記論理記憶データは、前記選択ゲート線のしきい値電圧の低い方から、“10”、“11”、“01”、“00”の順に割り当てる、

ことを特徴とする請求項3に記載の半導体素子を用いたメモリ装置

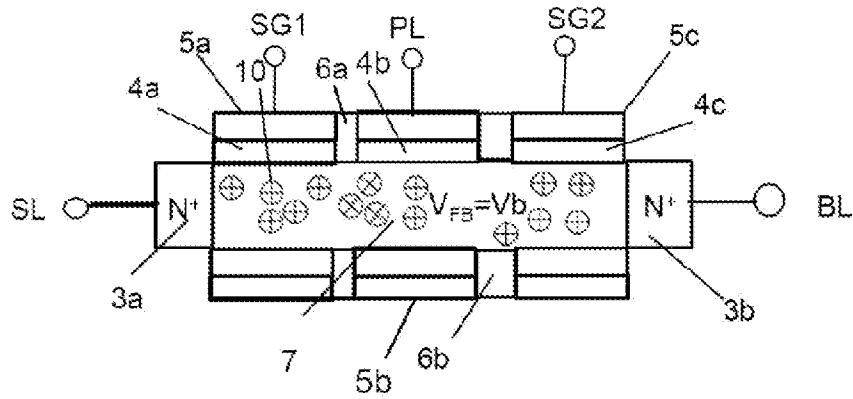
。

[図1]

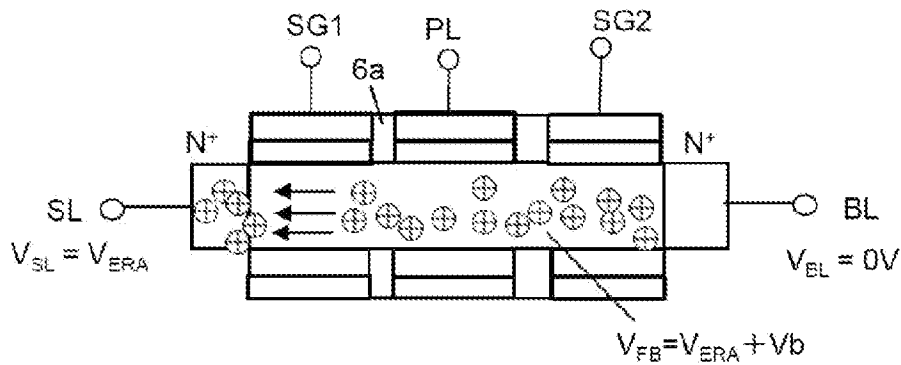


[図2]

(a) 書込み状態

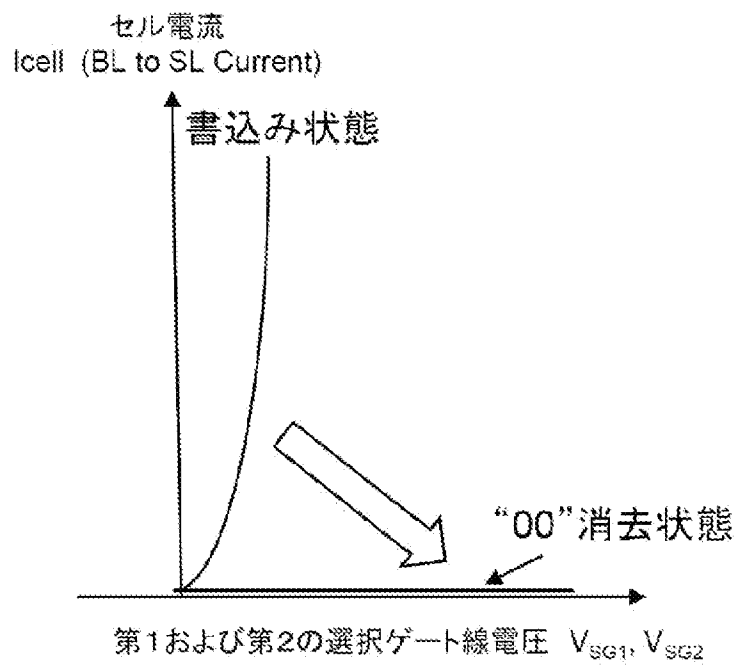


(b) "00" 消去動作

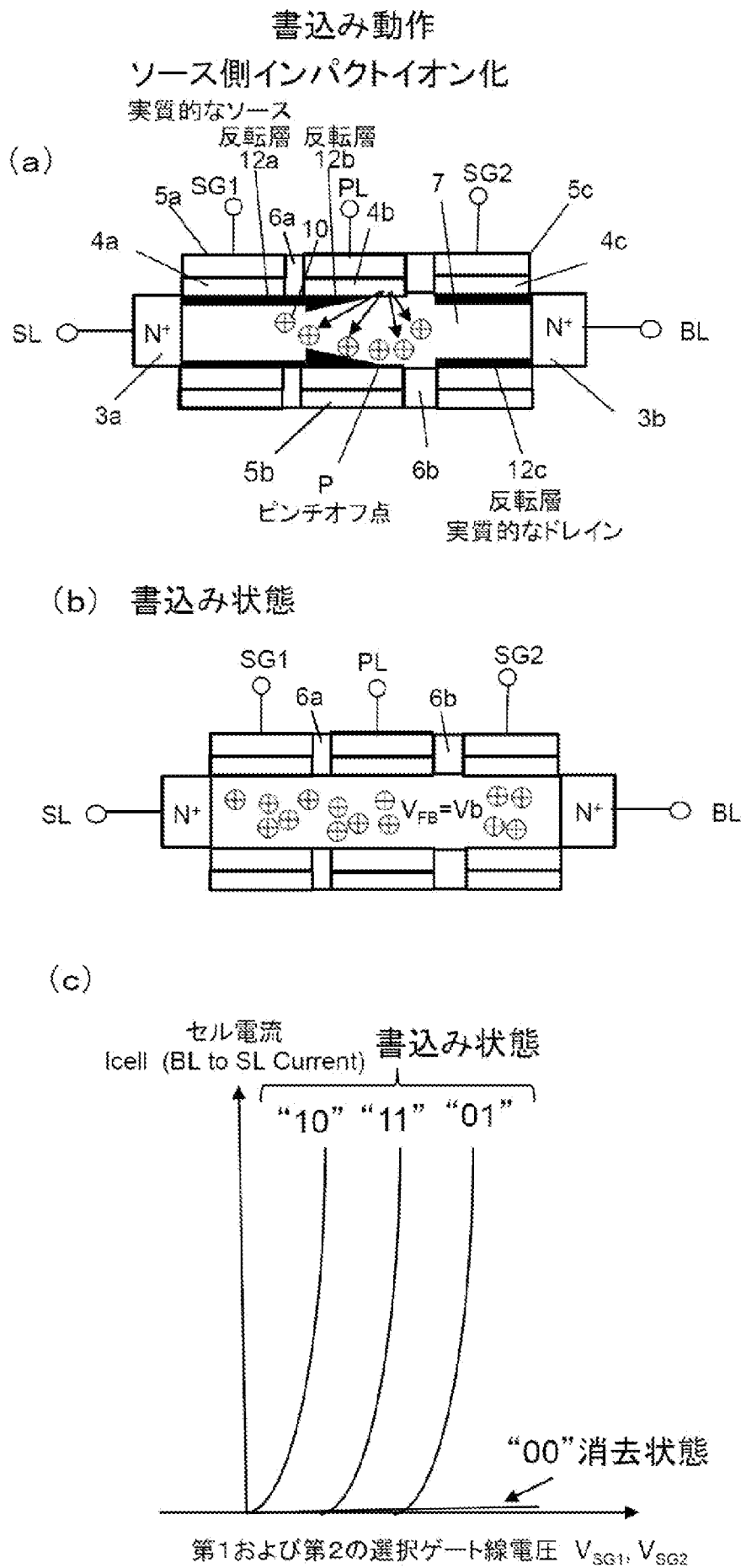


V_b : Built-in Voltage $\sim 0.7V$
 ビルトイン電圧 $\sim 0.7V$

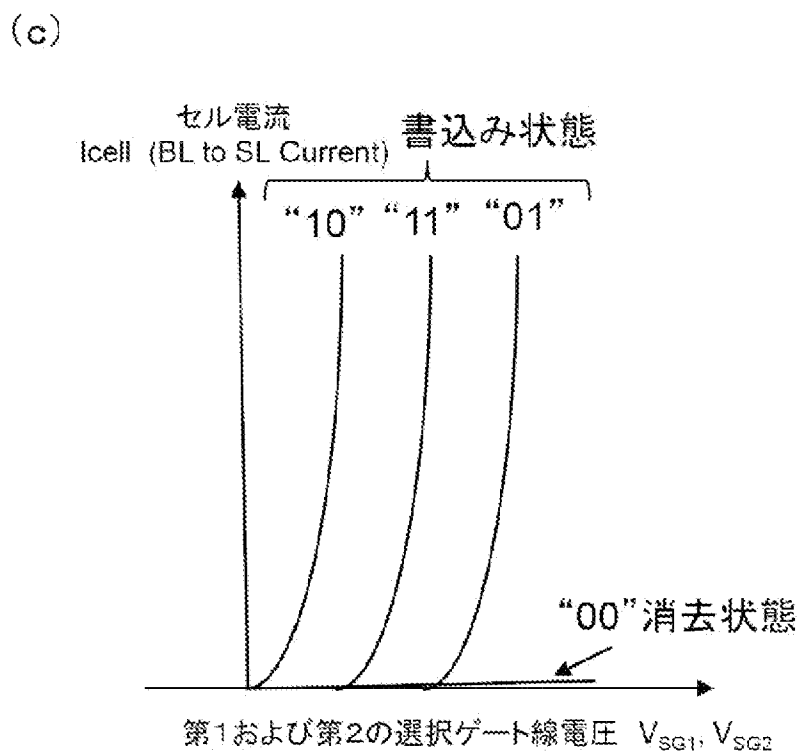
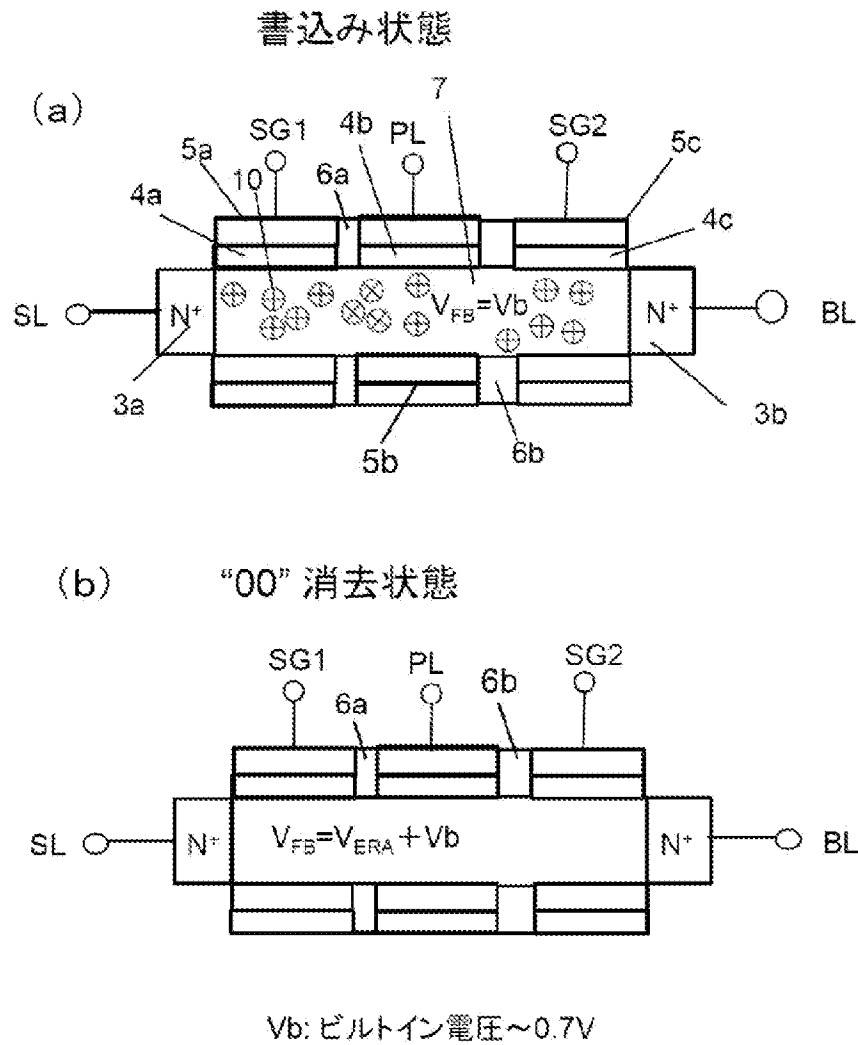
(c)



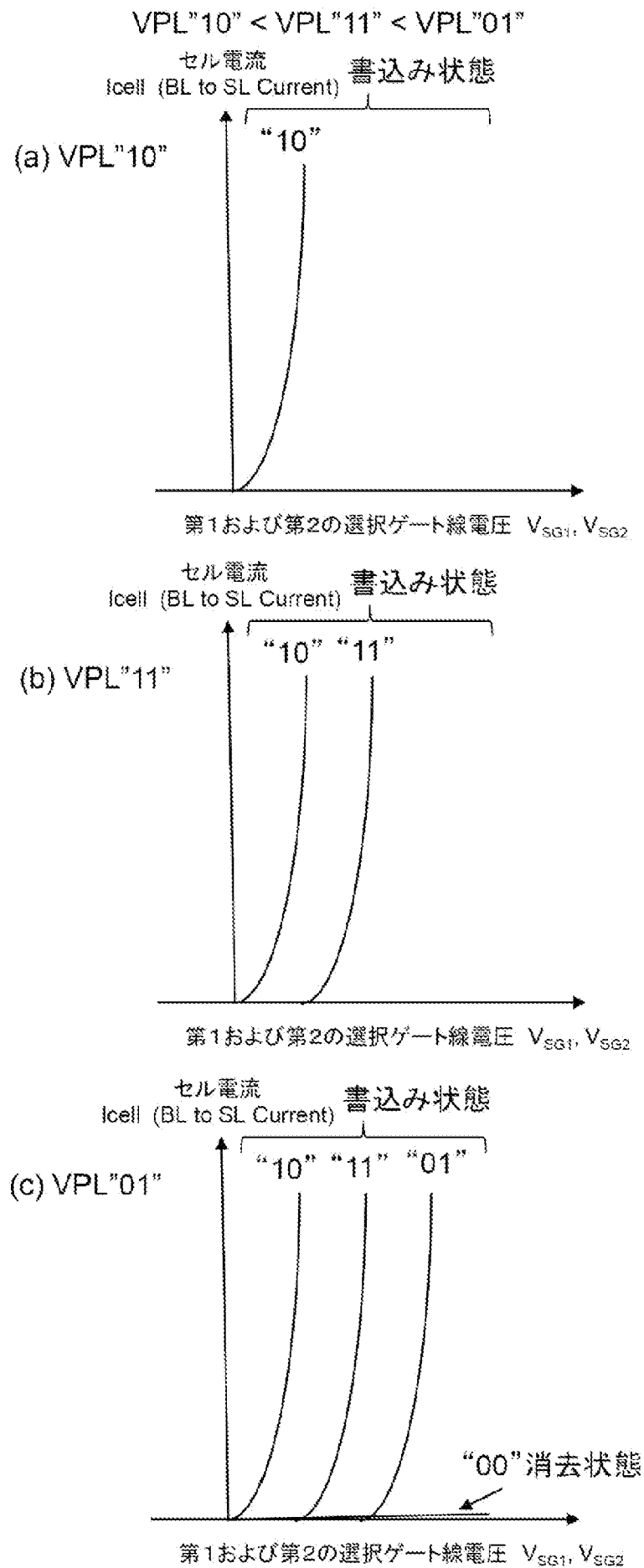
[図3]



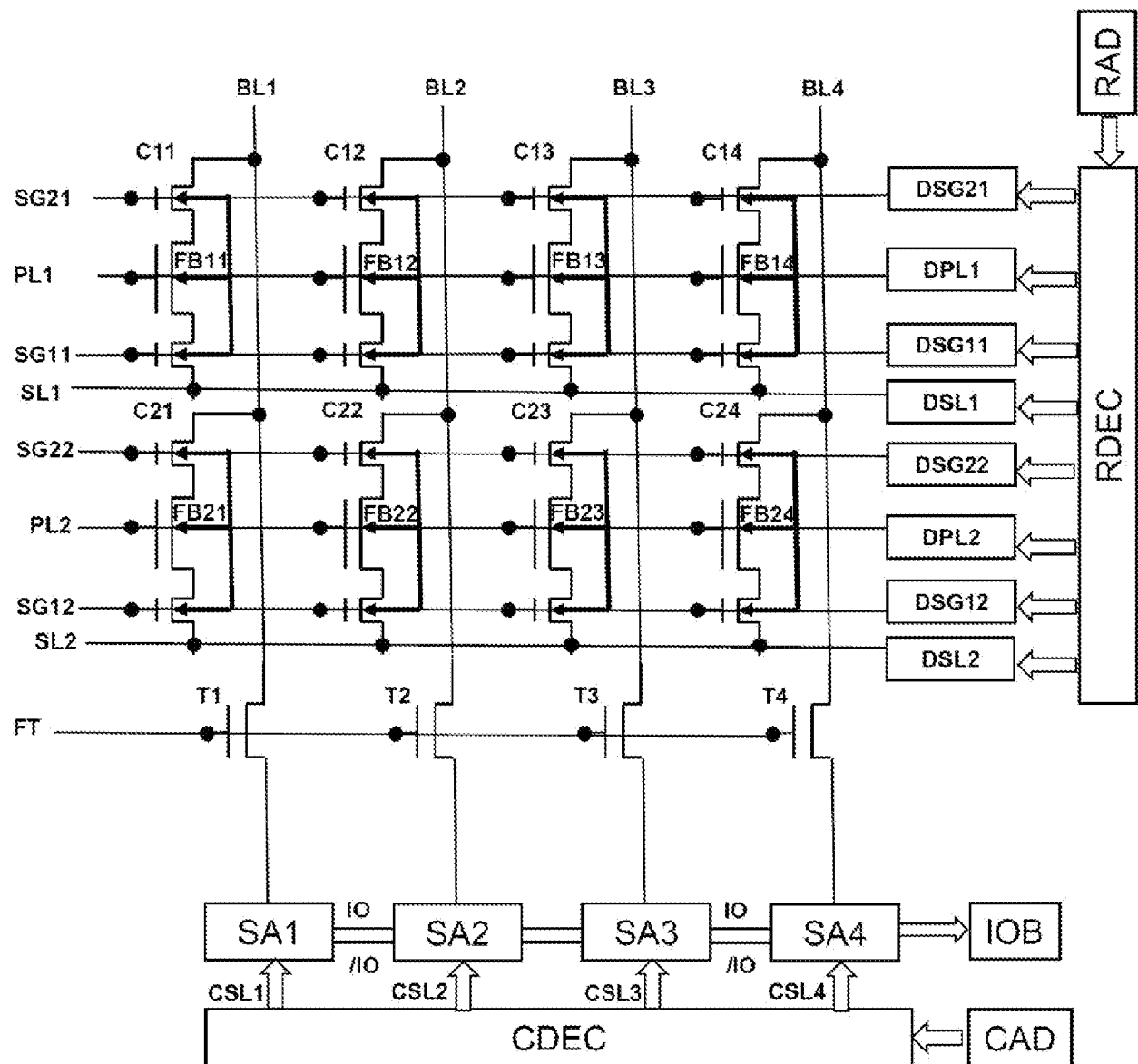
[図4A]



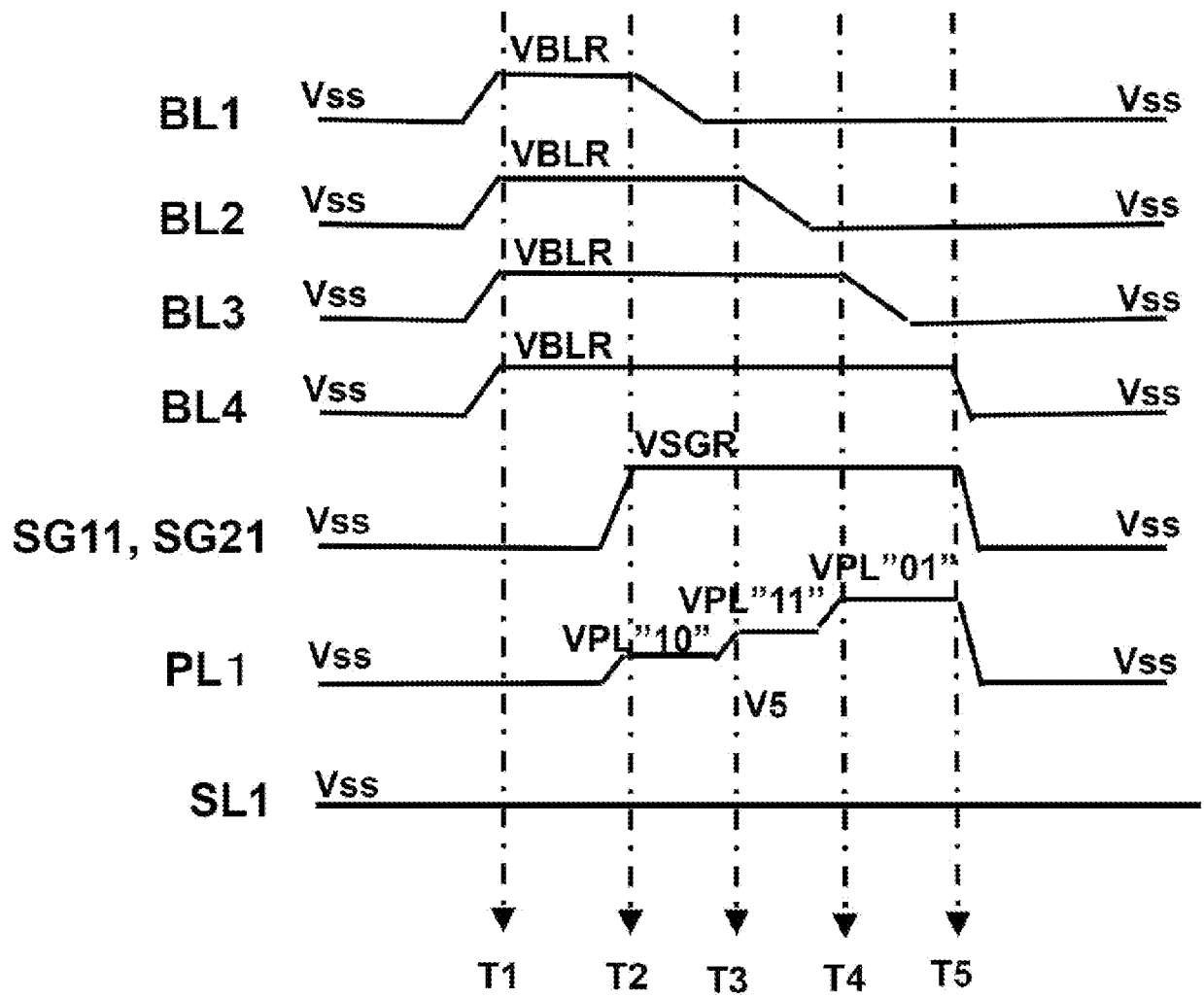
[図4B]



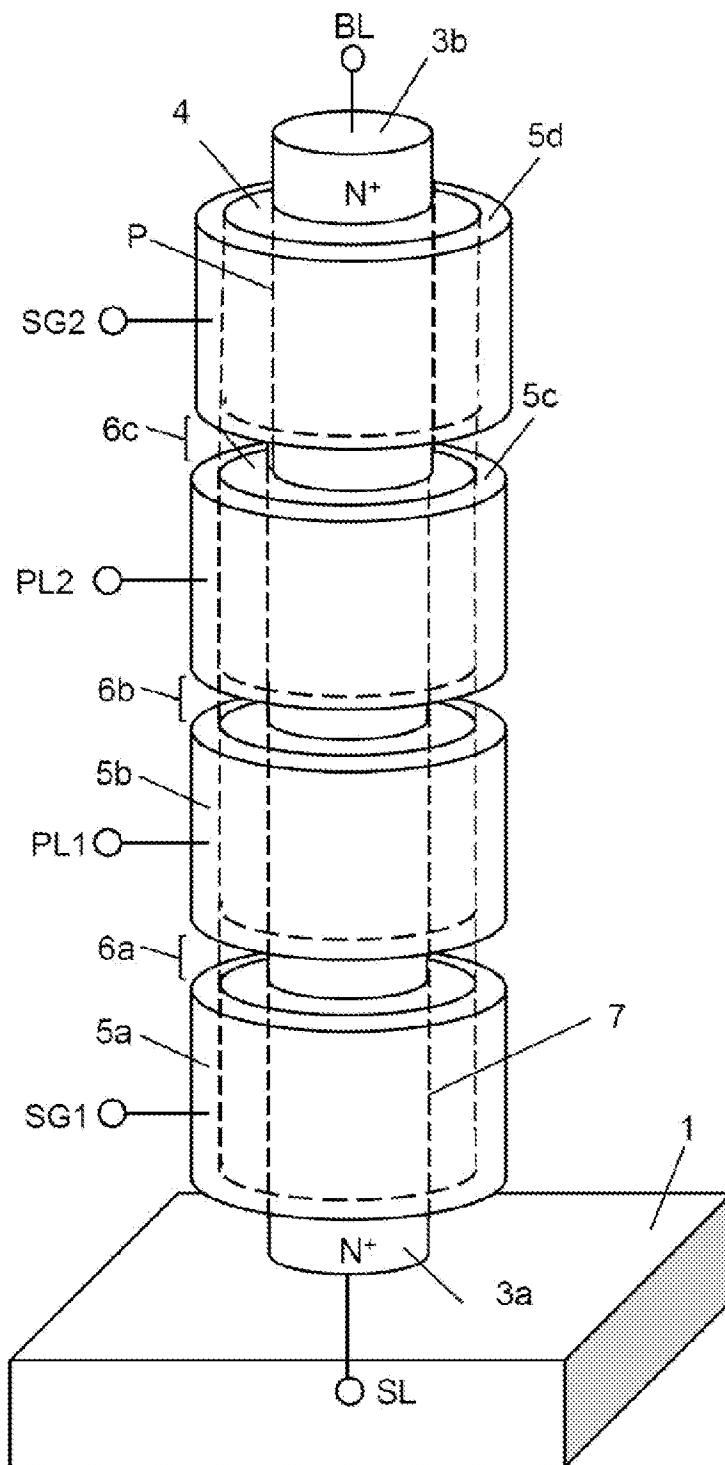
[図4C]



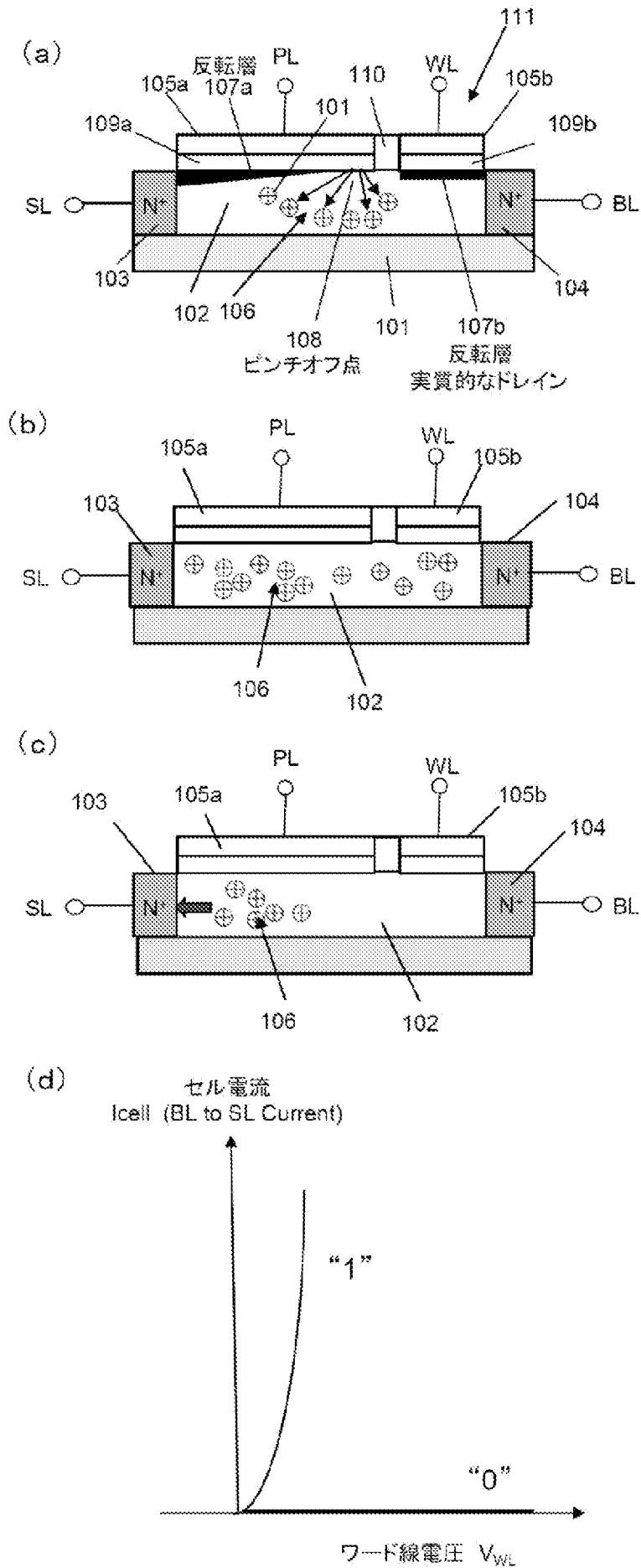
[図4D]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012579

A. CLASSIFICATION OF SUBJECT MATTER**H10B 12/00**(2023.01)i

FI: H10B12/00 801; H10B12/00 671A; H10B12/00 671Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2022/215155 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE LTD.) 13 October 2022 (2022-10-13)	1, 3-4, 7
A	paragraphs [0010], [0023], [0031], [0032], [0038], [0046]-[0051], fig. 1, 6A-6B	2, 5-6
Y	US 2021/0249078 A1 (ZENO SEMICONDUCTOR, INC.) 12 August 2021 (2021-08-12)	1, 3-4, 7
A	paragraphs [0003], [0012], [0645]-[0651], [0692], [0693], [0702], [1303]-[1315], [1320]-[1323], [1333], fig. 53C, 54A, 55A, 55E, 215A, 217	2, 5-6
A	JP 2003-188279 A (KABUSHIKI KAISHA TOSHIBA) 04 July 2003 (2003-07-04)	1-7
	entire text, all drawings	
A	JP 2008-147514 A (RENESAS TECHNOLOGY CORP.) 26 June 2008 (2008-06-26)	1-7
	entire text, all drawings	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

06 June 2023

Date of mailing of the international search report

13 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012579

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
WO	2022/215155	A1	13 October 2022	US	2022/0319566	A1
				paragraphs [0028], [0075], [0083], [0084], [0090], [0098]- [0103], fig. 1, 6A-6B		
US	2021/0249078	A1	12 August 2021	US	2020/0211647	A1
				US	2020/0051633	A1
				US	2012/0081976	A1
				US	2012/0081940	A1
				US	2008/0123418	A1
				US	8817548	B2
				US	8531881	B2
				US	8837247	B2
				WO	2011/097592	A1
				WO	2008/136813	A2
				CN	102971797	A
				CN	107293322	A
JP	2003-188279	A	04 July 2003	US	2003/0111681	A1
				entire text, all drawings		
				US	2006/0157738	A1
				KR	10-2003-0051299	A
				CN	1427484	A
JP	2008-147514	A	26 June 2008	US	2008/0137394	A1
				entire text, all drawings		
				CN	101266981	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H10B 12/00(2023.01)i FI: H10B12/00 801; H10B12/00 671A; H10B12/00 671Z		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H10B12/00 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2022/215155 A1 (ユニサンティス エレクトロニクス シンガポール プライ ベート リミテッド) 13.10.2022 (2022-10-13) [0010], [0023], [0031] - [0032], [0038], [0046] - [0051], 図1, 6A - 6B	1,3-4,7 2,5-6
Y A	US 2021/0249078 A1 (ZEN0 SEMICONDUCTOR, INC.) 12.08.2021 (2021-08-12) [0003], [0012], [0645] - [0651], [0692] - [0693], [0702], [1303] - [1315], [1320] - [1323], [1333], 図53C, 54A, 55A, 55E, 215A, 217	1,3-4,7 2,5-6
A	JP 2003-188279 A (株式会社東芝) 04.07.2003 (2003-07-04) 全文, 全図	1-7
A	JP 2008-147514 A (株式会社ルネサステクノロジ) 26.06.2008 (2008-06-26) 全文, 全図	1-7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 06.06.2023		国際調査報告の発送日 13.06.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宮本 博司 5F 6313 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/012579

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/215155	A1	13.10.2022	US	2022/0319566	A1	
				[0028], [0075], [0083] -			
				[0084], [0090], [0098] -			
				[0103], 図1, 6A - 6B			
US	2021/0249078	A1	12.08.2021	US	2020/0211647	A1	
				US	2020/0051633	A1	
				US	2012/0081976	A1	
				US	2012/0081940	A1	
				US	2008/0123418	A1	
				US	8817548	B2	
				US	8531881	B2	
				US	8837247	B2	
				WO	2011/097592	A1	
				WO	2008/136813	A2	
				CN	102971797	A	
				CN	107293322	A	
JP	2003-188279	A	04.07.2003	US	2003/0111681	A1	
				全文, 全図			
				US	2006/0157738	A1	
				KR	10-2003-0051299	A	
				CN	1427484	A	
JP	2008-147514	A	26.06.2008	US	2008/0137394	A1	
				全文, 全図			
				CN	101266981	A	