

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4178638号
(P4178638)

(45) 発行日 平成20年11月12日(2008.11.12)

(24) 登録日 平成20年9月5日(2008.9.5)

(51) Int.Cl.

H04N 5/335 (2006.01)
H01L 27/148 (2006.01)

F 1

H04N 5/335
H01L 27/14F
B

請求項の数 4 (全 11 頁)

(21) 出願番号 特願平10-370842
 (22) 出願日 平成10年12月25日(1998.12.25)
 (65) 公開番号 特開2000-196964 (P2000-196964A)
 (43) 公開日 平成12年7月14日(2000.7.14)
 審査請求日 平成17年8月4日(2005.8.4)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100122884
 弁理士 角田 芳末
 (74) 代理人 100113516
 弁理士 磯山 弘信
 (74) 代理人 100080883
 弁理士 松隈 秀盛
 (72) 発明者 中川 進次
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 ▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 固体撮像素子及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

全画素読み出し方式の固体撮像素子であって、マトリックス状に配列された画素と、各画素列毎に設けられた垂直転送レジスタと、各画素に対応する読み出しゲート部と、前記各読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加する手段を備えて成ることを特徴とする固体撮像素子。

【請求項 2】

全画素読み出し方式の固体撮像素子であって、マトリックス状に配列された画素と、各画素列毎に設けられた垂直転送レジスタと、各画素に対応する読み出しゲート部と、前記各読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加し、且つ複数の画素群毎の前記読み出しゲート部に位相のずれた読み出しパルスを印加する手段を備えて成ることを特徴とする固体撮像素子。

【請求項 3】

全画素読み出し方式の固体撮像素子の駆動方法であって、各画素毎に対応する読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加することを特徴とする固体撮像素子の駆動方法。

【請求項 4】

全画素読み出し方式の固体撮像素子の駆動方法であって、各画素毎に対応する読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加し且つ複数の画素群毎に位相のずれた読み出しパルスを印加することを特徴とする固体撮像素子の

駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、全画素読み出し方式の固体撮像素子及びその駆動方法に関する。

【0002】

【従来の技術】

図8は、従来の3相駆動による全画素読み出し方式のCCD固体撮像素子、特にその撮像領域の要部の構成を示す。

このCCD固体撮像素子1は、いわゆる縦型オーバーフロー構造の撮像素子であって、
10
画素となる複数の受光部2がマトリックス状に配列され、各受光部列毎にその一側にCC
D構造の垂直転送レジスタ3が形成され、各受光部2と垂直転送レジスタ3間に受光部2
からの信号電荷を垂直転送レジスタ3へ読み出すための読み出しゲート部4が形成されて
撮像領域5が構成され、さらに、図示せざるも垂直転送レジスタ3からの信号電荷を出力
部へ転送するためのCCD構造の水平転送レジスタが設けられて成る。6は垂直転送レジ
スタ3の転送チャネル領域を示す。

【0003】

垂直転送レジスタ3は、各受光部2に対して3相構造による3つの転送電極7〔 V_1 、 V_2 、 V_3 〕を対応させて構成される。即ち、転送チャネル領域6上にゲート絶縁膜を介して
20
例えれば第1層目の多結晶シリコン層からなる第1転送電極 V_1 、第2層目の多結晶シリ
コン層からなる第2転送電極 V_2 及び第3層目の多結晶シリコン層からなる第3転送電極
 V_3 が順次電荷転送方向に沿って繰り返し配列される。

読み出しゲート部4は、転送電極7〔 V_1 、 V_2 、 V_3 〕のうちの例えは第2転送電極 V_2
の延長部を読み出しゲート電極 8_2 として、或いは例えば第2、第3転送電極 V_2 、 V_3
の延長部を読み出しゲート電極 8_2 、 8_3 として形成される。

【0004】

このCCD固体撮像素子1では、第1転送電極 V_1 、第2転送電極 V_2 および第3転送電
極 V_3 に3相の垂直駆動パルス V_1 、 V_2 及び V_3 が印加され、その垂直駆動パルス
30
 V_1 ～ V_3 のうちの所要の駆動パルスに読み出しパルス $_{SG}$ （図示せず）が重畠され、全画素読み出し時には、各受光部2の信号電荷を同時に読み出すようにしている。例
えれば第2転送電極 V_2 にのみ読み出しパルス $_{SG}$ を与えて読み出しゲート部4から読み出
す方式、或は第2、第3転送電極 V_2 、 V_3 に読み出しパルスを与えて読み出しゲート部
4の間口を広げて読み出す方式がとられる。以後信号電荷は、垂直駆動パルス V_1 ～
 V_3 によって垂直転送される。

【0005】

【発明が解決しようとする課題】

ところで、従来の全画素読み出し方式のCCD固体撮像素子1では、全ての受光部2の信
号電荷を同時に垂直転送レジスタ3へ読み出す為に、読み出しパルス $_{SG}$ が印加された際
に、受光部2のオーバーフローバリアのポテンシャルが深くなる度合いが大きく、受光部
2から垂直転送レジスタ3への転送に必要な読み出しパルス $_{SG}$ の電圧値（以後、読み出
し電圧と呼ぶ）を下げる事が困難であった。

また、この読み出しパルス $_{SG}$ の印加により、オーバーフローバリアが深くなる現象があ
るため、読み出しパルス $_{SG}$ の印加される領域、つまり受光部2から垂直転送レジスタ
3への間口、したがって読み出しゲート部4の間口（幅）を単に広げただけでは読み出
し電圧の低減を大幅に改善することができなかった。

【0006】

即ち、例えば、図8の構成において、第2、第3転送電極 V_2 、 V_3 に読み出しパルス
 $_{SG}$ を印加し、読み出しゲート電極 8_2 、 8_3 として読み出しゲート部4の間口を広げて信
号電荷を読み出す場合には、全ての画素領域の2/3に高い電圧が印加される為、受光部
2のオーバーフローバリアも深くなり、読み出し電圧が高くなるという問題が発生してし
50

まう。

また、この減少を抑えようとして、第2転送電極V₂のみに読み出しパルスSGを印加し、読み出し電極8₂のみとして読み出す場合には、逆に読み出しゲート部4の間口が狭くなつて信号電荷が流れにくくなり、この場合も読み出し電圧が高くなつてしまつ。

【0007】

現在急速に進んでいるチップサイズの小型化や多画素化により読み出し電圧を下げることは更に困難になってきている。読み出し電圧が高くなると当然のことながら周辺システムを含めた消費電力の増加を招く。

【0008】

本発明は、上述の点に鑑み、読み出し電圧を低減して消費電力の低減化を図り、併せて、
画素サイズの小型化を可能にした全画素読み出し方式の固体撮像素子及びその駆動方法を
提供するものである。 10

【0009】

【課題を解決するための手段】

本発明は、全画素読み出しの際、各画素に対応する読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加し、又は/及び複数の画素群毎の読み出しゲート部に位相のずれた読み出しパルスを印加して全画素読み出しを行う。

【0010】

このように、読み出しゲート部内の複数種の読み出しゲート電極に、又は/及び複数の画素群毎の読み出しゲート部に位相のずれた読み出しパルスを印加することにより、全ての画素領域に対して同時に読み出しパルスが印加される領域が従来に較べて少なくなり、オーバーフローバリアへの変調が小さく抑えられ、また読み出しゲート部の間口が大きくとれるので、読み出しパルスの電圧値を下げることができる。 20

【0011】

【発明の実施の形態】

本発明に係る固体撮像素子は、全画素読み出し方式の固体撮像素子であつて、マトリックス状に配列された画素と、各画素列毎に設けられた垂直転送レジスタと、各画素に対応する読み出しゲート部と、各読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加する手段を備えた構成とする。

【0012】

本発明に係る固体撮像素子は、全画素読み出し方式の固体撮像素子であつて、マトリックス状に配列された画素と、各画素列毎に設けられた垂直転送レジスタと、各画素に対応する読み出しゲート部と、複数の画素群毎の読み出しゲート部に位相のずれた読み出しパルスを印加する手段を備えた構成とする。 30

【0013】

本発明に係る固体撮像素子は、全画素読み出し方式の固体撮像素子であつて、マトリックス状に配列された画素と、各画素列毎に設けられた垂直転送レジスタと、各画素に対応する読み出しゲート部と、各読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加し、且つ複数の画素群毎の読み出しゲート部に位相のずれた読み出しパルスを印加する手段を備えた構成とする。 40

【0014】

本発明に係る固体撮像素子の駆動方法は、全画素読み出し方式の固体撮像素子の駆動方法であつて、各画素毎に対応する読み出しゲート部の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加する。

【0015】

本発明に係る固体撮像素子の駆動方法は、全画素読み出し方式の固体撮像素子の駆動方法であつて、複数の画素群毎に位相のずれた読み出しパルスを印加する。

【0016】

本発明に係る固体撮像素子の駆動方法は、全画素読み出し方式の固体撮像素子の駆動方法であつて、各画素毎に対応する読み出しゲート部内の複数種の読み出し電極に位相のずれ 50

た読み出しパルスを印加し、且つ複数の画素群毎に位相のずれた読み出しパルスを印加する。

【0017】

以下、図面を参照して本発明の実施の形態を説明する。

【0018】

図1は、本発明の全画素読み出し方式の固体撮像素子の一実施の形態を示す。本実施の形態は、3相駆動による全画素読み出し方式のCCD固体撮像素子に適用した場合であり、同図は、その撮像領域の要部の構成を示す。

【0019】

本実施の形態に係るCCD固体撮像素子11は、いわゆる縦形オーバーフロー構造を採り、画素となる複数の受光部12がマトリックス状に配列され、各受光部列毎にその一側にCCD構造の垂直転送レジスタ13が形成され、各受光部12と垂直転送レジスタ13間に受光部2からの信号電荷を垂直転送レジスタ13へ読み出すための読み出しへ部14が形成され撮像領域15が構成される。さらに、図示させるも、垂直転送レジスタ13からの信号電荷を出力部へ転送するためのCCD構造の水平転送レジスタが設けられる。16は垂直転送レジスタ13の転送チャネル領域を示す。

【0020】

垂直転送レジスタ13は、各受光部12に対して3層構造による3つの転送電極17〔 V_1 、 V_2 、 V_3 〕が対応するも、特に、奇数ラインの受光部12に対応する第2、第3転送電極と、偶数ラインの受光部12に対応する第2、第3転送電極が分離して構成される。

【0021】

即ち、本実施の形態においては、転送チャネル領域16上にゲート絶縁膜を介して、例えば各奇数ラインの受光部12に対応して第1層目の多結晶シリコン層からなる第1転送電極 V_1 、第2層目の多結晶シリコン層からなる第2転送電極 V_{2A} 及び第3層目の多結晶シリコン層からなる第3転送電極 V_{3A} が配列され、例えば各偶数ラインの受光部12に対応して第1層目の多結晶シリコン層からなる第1転送電極 V_1 、第2層目の多結晶シリコン層からなる第2転送電極 V_{2B} 及び第3層目の多結晶シリコン層からなる第3転送電極 V_{3B} が配列され、之等転送電極 V_1 、 V_{2A} 、 V_{3A} 、 V_1 、 V_{2B} 及び V_{3B} が電荷転送方向に順次に繰り返し配列される。

【0022】

読み出しへ部14は、複数種、本例では2種の読み出しへ電極を有して構成される。図1では、第2転送電極 V_{2A} 及び第3転送電極 V_{3A} の延長部が奇数ラインの読み出しへ部14の2種の読み出しへ電極182A、183Aとなり、第2転送電極 V_{2B} 及び第3転送電極 V_{3B} の延長部が偶数ラインの読み出しへ部14の2種の読み出しへ電極182B、183Bとなる。

【0023】

このCCD固体撮像素子では、垂直転送レジスタ13の各転送電極 V_1 、 V_{2A} 、 V_{3A} 、 V_{2B} 及び V_{3B} に夫々例えば図2に示すような垂直駆動パルス V_1 、 V_{2A} 、 V_{3A} 、 V_{2B} および V_{3B} が印加される。奇数ラインの第2、第3の転送電極 V_{2A} 、 V_{3A} に印加される駆動パルス V_{2A} 及び V_{3A} は、読み出しへパルス SG が重畠された3値パルス(例えば-7V、0V、+15V)であり、偶数ラインの第2、第3の転送電極 V_{2B} 、 V_{3B} に印加される駆動パルス V_{2B} 及び V_{3B} は、読み出しへパルス SG が重畠された3値パルス(例えば-7V、0V、+15V)である。

【0024】

この垂直駆動パルスにおいて、通常の垂直転送のためのクロックパルス V_{2A} と V_{2B} 、 V_{3A} と V_{3B} は、夫々互に同相とし、読み出しへパルス SG と SG とは互に立ち上りのタイミングをずらしている。この図2の例では、 V_{2A} と V_{3A} の読み出しへパルス SG を同相とし、 V_{2B} と V_{3B} の読み出しへパルス SG を同相としている。

【0025】

10

20

30

40

50

本実施の形態に係る C C D 固体撮像素子 1 1 では、全画素読み出し時に、一方の第 2、第 3 転送電極 V_{2A} , V_{3A} 、従って読み出しゲート電極 1 8 2 A, 1 8 3 A に同時に読み出しパルス SG が印加されることにより、奇数ラインの受光部 1 2 の信号電荷が先に垂直転送レジスタ 1 3 の第 2、第 3 転送電極 V_{2A} , V_{3A} 下に読み出され、これより少し遅れて他方の第 2、第 3 転送電極 V_{2B} , V_{3B} 、従って読み出しゲート電極 1 8 2 B, 1 8 3 B に同時に読み出しパルス SG が印加されることにより、偶数ラインの受光部 1 2 の信号電荷が垂直転送レジスタ 1 3 の第 2、第 3 転送電極 V_{2B} , V_{3B} 下に読み出され、これによって、いわゆる全画素読み出しが行われる。以後、信号電荷は、垂直駆動パルス V_1 , V_{2A} , V_{2B} , V_{3A} , V_{3B} によって、垂直転送される。

【 0 0 2 6 】

10

上述の本実施の形態によれば、奇数ラインの読み出しゲート部 1 4 の読み出しゲート電極 1 8 2 A, 1 8 3 A と、偶数ラインの読み出しゲート部 1 4 の読み出し電極 1 8 2 B, 1 8 3 B とを夫々分離し、全画素読み出し時に奇数ラインの読み出しゲート電極 1 8 2 A, 1 8 3 A への読み出しパルス SG と、偶数ラインの読み出しゲート電極 1 8 2 B, 1 8 3 B への読み出しパルス SG を位相をずらして印加することにより、例え 2 つの転送電極 V_{2A} と V_{3A} 及び転送電極 V_{2B} と V_{3B} に夫々読み出しパルス SG 及び SG が印加されても、全ての画素の領域に対して読み出しパルス SG 又は SG が印加されている領域は 1 / 3 であり、前述した従来の全画素読み出し方式の C C D 固体撮像素子 1 に較べて読み出し時のオーバーフローバリアへの変調を小さくすることができる。

【 0 0 2 7 】

20

また、読み出しゲート部 1 4 の間口を 2 電極分 (1 8 2 A, 1 8 3 A、又は 1 8 2 B, 1 8 3 B) として広くとれるので、オーバーフローバリアへの変調が小さくなることと相俟つて読み出しパルス SG , SG の電圧値 (即ち読み出し電圧) を低く抑えることができる。従って、周辺システムを含めた全画素読み出し方式の C C D 固体撮像素子における消費電力を低下することができる。また、このように読み出しゲート部 1 4 の間口を広げても読み出し電圧を低減できるので、画素サイズの小型化も可能になる。

【 0 0 2 8 】

図 3 は、奇数ラインの第 2、第 3 転送電極 V_{2A} , V_{3A} と偶数ラインの第 2、第 3 転送電極 V_{2B} , V_{3B} に印加する読み出しパルス SG と SG の立ち上り時間の差 (いわゆるタイミングずれ量) による読み出し電圧の変化を評価した実測結果を示す。

30

図 3 において横軸は読み出しパルス SG と SG のタイミングずれ量を取り、図 2 の両読み出しパルス SG 及び SG が同相のときのずれ両を「 0 」とし、両パルス SG と SG が丁度パルス幅分ずれたときのずれ量を「 1 」として示す。縦軸は読み出し電圧 (即ち読み出しパルスの電圧値) を取り、数値は相対値で示す。

【 0 0 2 9 】

図 3 によれば、読み出しパルス SG と SG の立ち上り時間を少し変えるだけで大幅な読み出し電圧の低下が見られる。C C D 固体撮像素子のサイズにもよるが、タイミングずれ量 (即ち、図 2 の SG のパルス幅から SG のオーバーラップ分の差分) がパルス幅の略 1 / 2 を超えると読み出し電圧はそれ以上低下せず略一定となる。

【 0 0 3 0 】

40

本実施の形態においては、読み出しパルス SG と SG のずれ量が極短時間であるので、このタイミングのずれによる奇数ラインと偶数ラインの受光部 1 2 での露光時間の差が無視でき、問題とならない。この露光時間差が無視できる点は、以後説明する他の実施の形態でも同様である。

【 0 0 3 1 】

図 4 は、本発明の全画素読み出し方式の C C D 固体撮像素子の他の実施の形態、特にその受光部から垂直転送レジスタへの読み出しタイミングの他の例を示す。

【 0 0 3 2 】

本実施の形態においては、図 1 の C C D 固体撮像素子 1 1 の構成において、全画素読み出し時に、各受光部 1 2 毎の読み出しゲート部、即ち同一画素の読み出しゲート部 1 4 内の

50

2種の読み出しゲート電極 $182A$, $182B$ と、 $183A$, $183B$ とに夫々位相のずれた読み出しパルス SG と SG を印加するようになる。

ここで、奇数ラインと偶数ラインの夫々の第2転送電極 V_{2A} 及び V_{2B} には同相の読み出しパルス SG が印加され、奇数ラインと偶数ラインの夫々の第3転送電極 V_{3A} 及び V_{3B} には同相の読み出しパルス SG が印加される。

この垂直駆動パルスにおいて、通常の垂直転送のためのクロックパルス V_1 , V_{2A} , V_{2B} , V_{3A} , V_{3B} は、前述の図2と同様である。

【0033】

図4の本実施の形態によれば、全画素読み出し時に、各読み出しゲート部14内の2種の読み出しゲート電極 $182A$ と $183A$, $182B$ と $183B$ に夫々位相のずれた読み出しパルス SG 及び SG を印加することにより、前述の図2の場合と同様に、読み出しパルスが同時に印加する領域が、全ての画素の領域に対して $1/3$ となるので、従来に較べてオーバーフローバリアへの変調を小さくすることができ、また、読み出しゲート部14の間口としては2電極分 ($182A$, $183A$ 、又は $182B$, $183B$) と広くとれるので、読み出し電圧を低減することができる。

従って、周辺システムを含めて全画素読み出し方式のCCD固体撮像素子における消費電力の低減を図ることができ、また、画素サイズの小型化を可能にする。

【0034】

図5は、本発明の全画素読み出し方式のCCD固体撮像素子のさらに他の実施の形態、特にその受光部から垂直転送レジスタへの読み出しタイミングの他の例を示す。

【0035】

本実施の形態は、図2及び図4の読み出しタイミングを組み合せたものであり、図1のCCD固体撮像素子の構成において、全画素読み出し時に、奇数ラインの読み出しゲート部14と偶数ラインの読み出しゲート部14に印加する読み出しパルス (SG_1 , SG_2) と (SG_1 , SG_2) との位相をずらすと同時に、奇数ライン側の各読み出しゲート部14内の2種の読み出しゲート電極 $182A$ と $183A$ に印加する読み出しパルス SG_1 と SG_2 との位相、及び偶数ライン側の各読み出しゲート部14内の2種の読み出しゲート電極 $182B$ と $183B$ に印加する読み出しパルス SG_1 と SG_2 との位相をも夫々ずらすようにする。なお、駆動パルスにおいて、垂直転送のためのクロックパルス V_1 , V_{2A} , V_{2B} , V_{3A} , V_{3B} のタイミングは前述の図2と同様である。

【0036】

本実施の形態によれば、全画素読み出し時に、奇数ラインと偶数ラインの読み出しゲート部14への夫々の読み出しパルス (SG_1 , SG_2) と (SG_1 , SG_2) の位相をずらすと共に、同一読み出しゲート部14内でその2種の読み出しゲート電極 $182A$ と $183A$, $182B$ と $183B$ への夫々の読み出しパルス SG_1 と SG_2 、 SG_1 と SG_2 の位相をずらすことにより、さらに、全ての画素の領域に対して読み出しパルスが同時に印加される領域の割合が小さくなり、読み出し電圧の更なる低減が可能となって、消費電力の更なる低減が図られる。同時に画素サイズのさらなる小型化も可能となる。

【0037】

一方、垂直転送レジスタの転送電極を図1のような特別な構造にしなくても、通常の3相駆動の転送電極構造において、各読み出しゲート部内の2種の読み出しゲート電極に印加する読み出しパルスの位相をずらすようにしても、読み出し電圧の低減を図ることができる。

図6及び図7は、このような場合の本発明に係る全画素読み出し方式のCCD固体撮像素子のさらに他の実施の形態を示す。

本実施の形態のCCD固体撮像素子21は、いわゆる縦形オーバーフロー構造の撮像素子であって、画素となる複数の受光部12がマトリックス状に配列され、各受光部列毎にその一側にCCD構造の垂直転送レジスタ13が形成され、各受光部12と垂直転送レジスタ13間に受光部12からの信号電荷を垂直転送レジスタ13へ読み出すための読み出しゲート部14が形成されて撮像領域が構成され、さらに、図示せざるも、垂直転送レジス

10

20

30

40

50

タ 1 3 からの信号電荷を出力部へ転送するための C C D 構造の水平転送レジスタが設けられて成る。1 6 は垂直転送レジスタの転送チャネル領域を示す。

【 0 0 3 8 】

垂直転送レジスタ 1 3 は、各受光部 1 2 に対して前述の図 8 と同様に 3 層構造による 3 つの転送電極 2 7 [V_1 , V_2 , V_3] を対応させて構成される。即ち、転送チャネル領域 1 6 上にゲート絶縁膜を介して例えば第 1 層目の多結晶シリコン層からなる第 1 転送電極 V_1 、第 2 層目の多結晶シリコン層からなる第 2 転送電極 V_2 及び第 3 層目の多結晶シリコン層からなる第 3 転送電極 V_3 が順次電荷転送方向に沿って繰り返し配列される。

【 0 0 3 9 】

そして、本実施の形態においては、読み出しゲート部 1 4 の読み出しゲート電極 2 8 2 , 2 8 3 が、転送電極 2 7 のうちの、例えば第 2 転送電極 V_2 と第 3 転送電極 V_3 の延長部によって形成される。

【 0 0 4 0 】

この C C D 固体撮像素子 2 1 には、その垂直転送レジスタ 1 3 の転送電極 2 7 [V_1 , V_2 , V_3] に図 7 に示すような垂直駆動パルス V_1 , V_2 及び V_3 が印加される。駆動パルス V_2 , V_3 は、夫々読み出しパルス SG , SG が重畠された 3 値パルスである。読み出しパルス SG と SG とは互に立ち上りのタイミングをずらしている。

【 0 0 4 1 】

従って、全画素読み出し時には、転送電極 V_2 を通じて読み出しゲート電極 2 8 2 に読み出しパルス SG を印加した後で、転送電極 V_3 を通して読み出しゲート電極 2 8 3 に読み出しパルス SG を印加し、転送電極 V_3 に読み出しパルス SG が印加されている状態で転送電極 V_2 の読み出しパルス SG を立ち下げる。即ち、受光部 1 2 の信号電荷が先に読み出しゲート電極 2 8 2 下を通じて転送電極 V_2 下に読み出され、少し遅れて読み出しゲート電極 2 8 3 下を通じて残りの信号電荷が転送電極 V_3 下に読み出され、いわゆる全画素読み出しが行われる。

【 0 0 4 2 】

本実施の形態によれば、通常の電極配置で 1 つの受光部 1 2 に対して 2 つの読み出しゲート電極 2 8 2 , 2 8 3 を設けて、夫々に図 7 に示すタイミングで読み出しパルス SG 及び SG を印加することにより、前述の実施の形態と同様に、オーバーフローバリアが深くなるのを抑え、また受光部 1 2 のポテンシャルを浅くする効果もあるので、読み出し電圧を下げることができる。

従って、周辺システムを含めた全画素読み出し方式の C C D 固体撮像素子における消費電力を低下することができ、併せて画素サイズの小型化を可能にする。

【 0 0 4 3 】

なお、上例では 3 相駆動の全画素読み出し方式の C C D 固体撮像素子に適用したが、その他 4 相駆動の全画素読み出し方式の C C D 固体撮像素子にも適用できる。この 4 相駆動方式の場合には、読み出しゲート電極としては、2 相分に相当する転送電極の延長部で形成してもよいし（即ち 2 種の読み出しゲート電極を有する読み出しゲート部とする）、3 相分に相当する転送電極の延長部で形成するようにしてもよい（3 種の読み出しゲート電極を有する読み出しゲート部とする）。3 種の読み出しゲート電極の場合には、図 4 の全画素読み出し方式を応用すると 3 種の読み出しゲート電極に与える読み出しパルスを少しずつ位相をずらして与えるようにする。

【 0 0 4 4 】

上例の図 2 、図 5 では、奇数ラインの画素（受光部）群と偶数ラインの画素（受光部）群に位相のずれた読み出しパルス SG と SG を印加するようにしたが、その他、任意の複数の画素群毎の読み出しゲート部に夫々位相のずれた読み出しパルスを印加することも可能である。

【 0 0 4 5 】

【 発明の効果 】

本発明に係る全画素読み出し方式の固体撮像素子によれば、各画素に対応する読み出しひ

10

20

30

40

50

ート部内に複数種の読み出しゲート電極を設け、夫々の読み出しゲート電極に位相のずれた読み出しパルスを印加する手段を有することにより、全ての画素の領域に対して同時に読み出しパルスを印加する領域が減り、読み出し電圧を低減することができ、消費電力を低減することができる。さらに画素サイズの小型化を可能にする。

【0046】

本発明に係る全画素読み出し方式の固体撮像素子によれば、複数の画素群毎の読み出しゲート部に位相のずれた読み出しパルスを印加する手段と有することにより、全ての画素の領域に対して同時に読み出しパルスを印加する領域が減り、読み出し電圧を低減することができ、消費電力を低減することができる。さらに、画素サイズの小型化を可能にする。

【0047】

本発明に係る全画素読み出し方式の固体撮像素子によれば、各画素に対応する読み出しゲート部内に複数種の読み出しゲート電極を設け、その複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加し、且つ複数画素群毎の読み出しゲート部に位相のずれた読み出しパルスを印加する手段を有することにより、全ての画素の領域に対して同時に読み出しパルスを印加する領域が更に減り、更なる消費電力の低減を可能にし、併せて、更なる画素サイズの小型化を可能にする。

【0048】

本発明に係る全画素読み出し方式の固体撮像素子の駆動方法によれば、各画素毎に対応する読み出しゲート部内の複数種の読み出しゲート電極に位相のずれた読み出しパルスを印加することにより、読み出し電圧を低減し、消費電力の低減を可能にする。併せて、画素サイズの小さい固体撮像素子における低消費電力の駆動を可能にする。

【0049】

本発明に係る全画素読み出し方式の固体撮像素子の駆動方法によれば、複数の画素群毎に位相のずれた読み出しパルスを印加することにより、読み出し電圧を低減し、消費電力の低減を可能にする。併せて、画素サイズの小さい固体撮像素子における低消費電力の駆動を可能にする。

【0050】

本発明に係る全画素読み出し方式の固体撮像素子の駆動方法によれば、各画素毎に対応する読み出しゲート部内の複数種の読み出し電極に位相のずれた読み出しパルスを印加し且つ複数の画素群毎に位相のずれた読み出しパルスを印加することにより、更に、読み出し電圧を低減し、消費電力の低減を可能にする。併せて、画素サイズの小さい固体撮像素子における低消費電力の駆動を可能にする。

【図面の簡単な説明】

【図1】本発明に係る固体撮像素子の一実施の形態を示す要部の構成図である。

【図2】本発明に係る垂直駆動パルスの一実施の形態を示すタイミング図である。

【図3】読み出しパルスのタイミングずれ量による読み出し電圧（電圧値）の変化を示すグラフである。

【図4】本発明に係る垂直駆動パルスの他の実施の形態を示すタイミング図である。

【図5】本発明に係る垂直駆動パルスの他の実施の形態を示すタイミング図である。

【図6】本発明に係る固体撮像素子の他の実施の形態を示す要部の構成図である。

【図7】図6の垂直駆動パルスのタイミング図である。

【図8】従来の固体撮像素子の要部の構成図である。

【符号の説明】

11, 21 固体撮像素子、 12 受光部、 13 垂直転送レジスタ、 14 読み出しゲート部、 17 [V₁, V_{2A}, V_{2B}, V_{3A}, V_{3B}], 27 [V₁, V₂, V₃] 転送電極、 182, 183, 282, 293 読み出しゲート電極、 SG, SG1, SG2, SG, SG1, SG2 読み出しパルス、 V₁, V_{2A}, V_{2B}, V_{3A}, V_{3B} 垂直パルス駆動

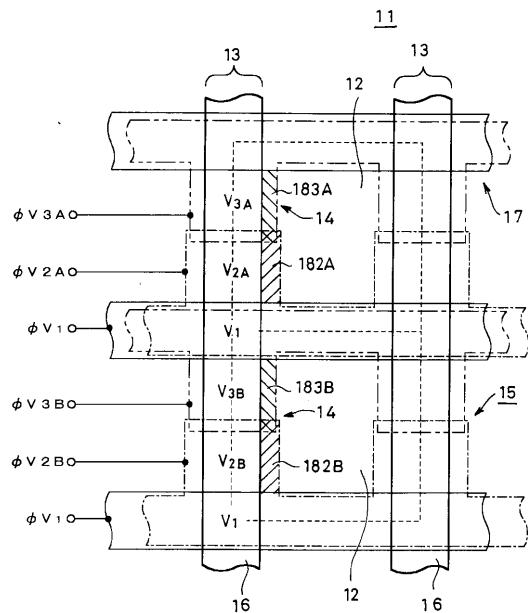
10

20

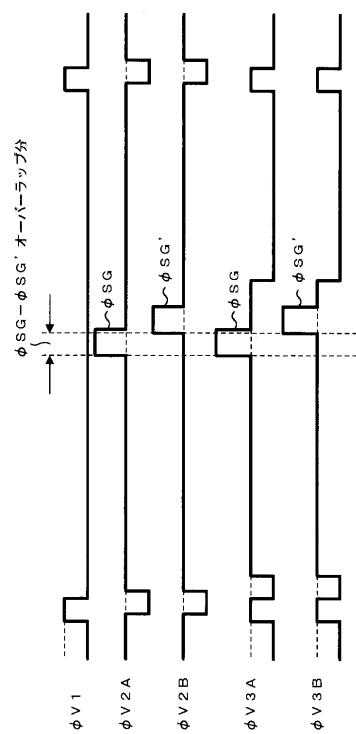
30

40

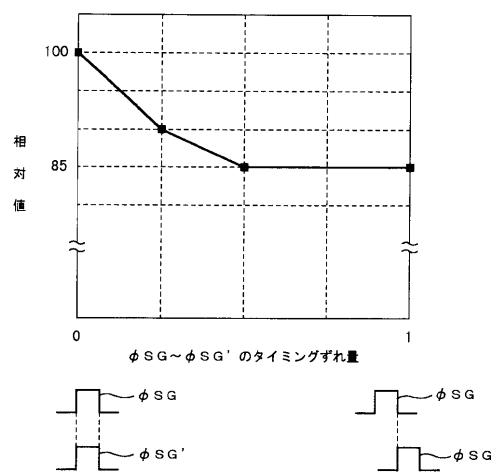
【図1】



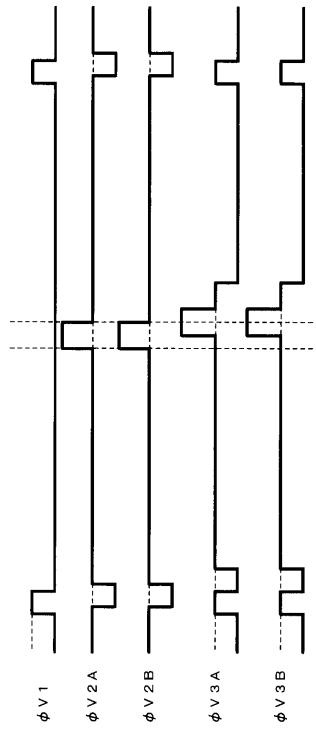
【図2】



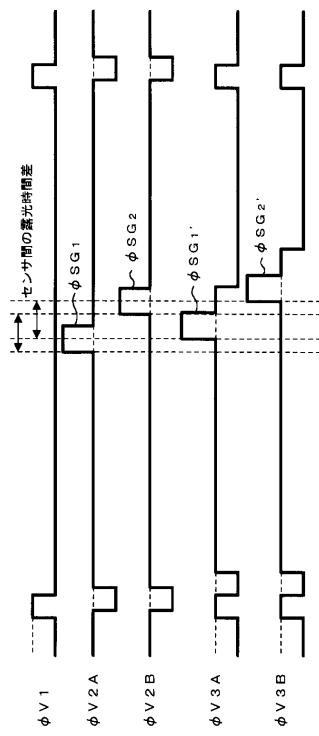
【図3】



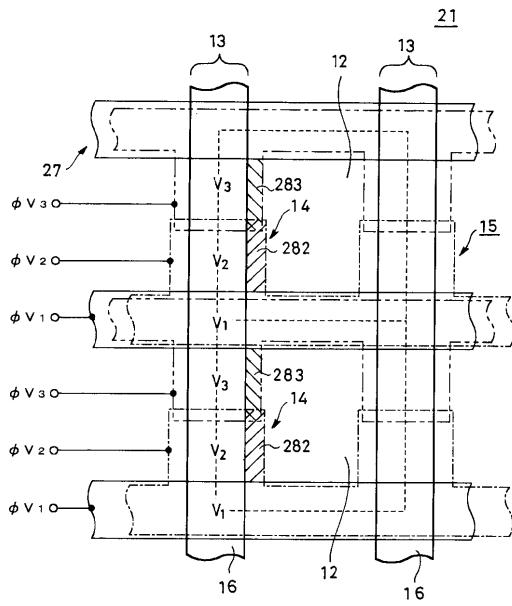
【図4】



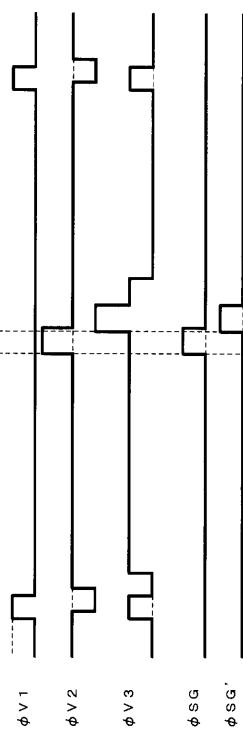
【図5】



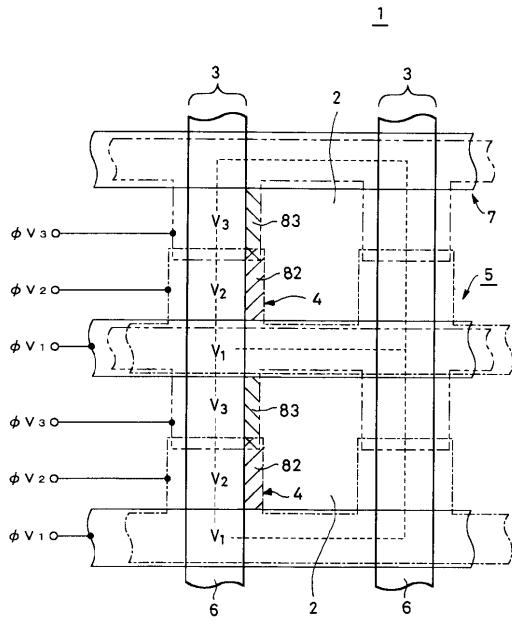
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開平08-009266(JP,A)
特開平10-027897(JP,A)
特開平05-299632(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335

H01L 27/148