

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 7 日(07.09.2012)



(10) 国際公開番号

WO 2012/117778 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2012/051659
- (22) 国際出願日: 2012 年 1 月 26 日(26.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-041219 2011 年 2 月 28 日(28.02.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 河村 哲史 (KAWAMURA, Tetsufumi) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 内山 博幸 (UCHIYAMA, Hiroyuki) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 若菜 裕紀 (WAKANA, Hironori) [JP/JP]; 〒1858601 東京都国

分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 尾崎 太亮 (OZAKI, Hiroaki) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP).

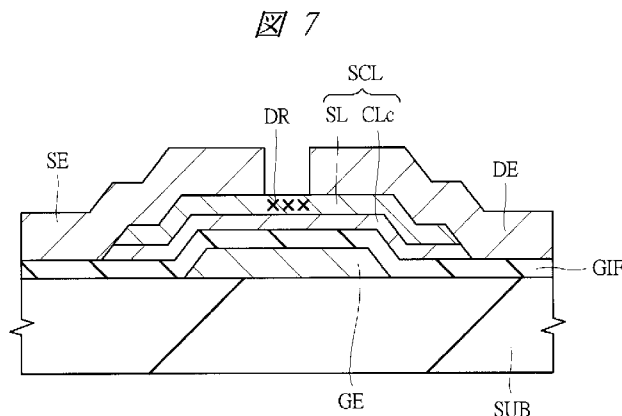
- (74) 代理人: 筒井 大和(TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー

[続葉有]

(54) Title: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置

[図7]



(57) Abstract: A semiconductor device (a thin film transistor) having good properties is manufactured. The present invention comprises the steps of (a) forming a conductive layer comprising a semiconductor material containing a first metal oxide above a substrate (SUB), (b) forming a sacrificial layer (SL) comprising a semiconductor material containing a second metal oxide on the conductive layer, (c) processing a laminate film composed of the conductive layer and the sacrificial layer (SL), (d) subsequent to the step (c), forming a metal film on the sacrificial layer (SL), (e) subsequent to the step (d), removing a first region in the metal film by dry etching, and (f) subsequent to the step (e), removing a part of the sacrificial layer (SL) which corresponds to the first region by wet etching, wherein a step (g) of transforming the conductive layer into a conductive layer (CLc) by heating the conductive layer to cause the crystallization of the conductive layer is provided between the step (c) and the step (f). According to these steps, a damaged region (DR) which is generated in the sacrificial layer (SL) by the dry etching can be removed.

(57) 要約:

[続葉有]



ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, 添付公開書類:

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

特性の良好な半導体装置 (薄膜トランジスタ) を製造する。本発明は、(a) 基板 SUB の上方に、第 1 金属酸化物を含有する半導体からなる導電層を形成する工程と、(b) 導電層上に第 2 金属酸化物を含有する半導体からなる犠牲層 SL を形成する工程と、(c) 導電層と犠牲層 SL との積層膜を加工する工程と、(d) 上記 (c) 工程の後、犠牲層 SL 上に、金属膜を形成する工程と、(e) 上記 (d) 工程の後、上記金属膜の第 1 領域をドライエッチングにより除去する工程と、(f) 上記 (e) 工程の後、上記第 1 領域の上記犠牲層 SL をウェットエッチングにより除去する工程と、を有し、上記 (c) 工程と、上記 (f) 工程との間に、(g) 導電層に熱処理を施し、導電層を結晶化し、導電層 CLc とする工程を有する。かかる工程によれば、ドライエッチングにより生じた犠牲層 SL のダメージ領域 DR を除去できる。

明 細 書

発明の名称：半導体装置の製造方法および半導体装置

技術分野

[0001] 本発明は、半導体装置の製造方法および半導体装置に関し、特に、金属酸化物よりなる半導体膜をチャネル層として用いた電界効果トランジスタを有する半導体装置に適用して有効な技術に関する。

背景技術

[0002] 電界効果トランジスタの一種である薄膜トランジスタ（Thin Film Transistor; TFT）は、ガラスなどの絶縁体基板上に形成することができ、エレクトロニクス技術において重要な役割を担うデバイスである。現在TFTのチャネル層材料としては、アモルファスシリコンまたは多結晶シリコンが広く使われているが、近年、これらシリコン材料の代替材料として、金属酸化物よりなる半導体膜をチャネル層として用いたTFTが注目を集めている。

[0003] 金属酸化物よりなる半導体膜はチャネル層としての特性が優れているため、その採用により、TFTの特性を向上させることができる。また、金属酸化物よりなる半導体膜には、室温付近で成膜可能な材料も多い。そのため、耐熱性の低いプラスチックフィルムなどのいわゆるフレキシブル基板上へTFTを形成する際にも使用可能であり、当該TFTのチャネル層材料の有力候補の一つとしても考えられている。

[0004] 例えば、下記非特許文献1には、 In-Ga-Zn-O をチャネル層として用いたTFTが開示されている。また、当該文献においては、ソース電極およびドレイン電極のドライエッチングの際に、下層のチャネル層がダメージを受けた厚さ30nm程の領域をウェットエッチングにより除去することが開示されている。

[0005] また、非特許文献2では、 In-Ga-Zn-O をチャネル層として用いたTFTが開示されている。また、当該文献においては、 In-Ga-Zn

ーOチャネル層上にCu-In-Ga-Zn-O（高抵抗半導体）でエッチスストッパ層を形成することで、ソース電極およびドレイン電極のドライエッチングの際のダメージがチャネル層に及ばないようにしている。

先行技術文献

非特許文献

- [0006] 非特許文献1: Electrochemical and Solid-State Letters, 12 (4) H95-H97 (2009)
非特許文献2: Journal of The Electrochemical Society, 156 (3) H184-H187 (2009)

発明の概要

発明が解決しようとする課題

- [0007] 本発明者は、上記のような金属酸化物よりなる半導体膜をチャネル層として用いた薄膜トランジスタの研究・開発に従事している。
- [0008] しかしながら、金属酸化物よりなる半導体は、プラズマや加速粒子にさらされるとダメージを受け易いものがある。即ち、このダメージによって、酸素欠損や捕獲準位を形成してしまう。このように酸素欠損が過剰になるとキャリアが過剰になり、TFETのゲート電極による電流制御が困難となる。また、捕獲準位の形成により、TFETの電流－電圧特性が劣化し、その信頼性が低下する恐れがある。
- [0009] そのため、現在産業的に広く用いられているシリコンを用いたTFETの一形態であるトップコンタクト型のTFETを形成する場合に、次の点が課題となる。
- [0010] 第1の課題として、金属酸化物よりなる半導体膜上にスパッタリング法など、プラズマや加速粒子を生成する方法により金属の膜を形成する際に、金属酸化物よりなる半導体膜が受けるダメージを解消することが課題となる。
- 第2の課題として、金属膜を加工しソース・ドレイン電極を形成する際にド

ライエッチングなどのエッチング方法を用いたときに、その下層の金属酸化物よりなる半導体膜が受けるダメージを解消することが課題となる。金属膜のスパッタリング法による形成は、膜質や成膜速度、均一性、歩留まりに優れるため、量産性が高く産業的に広く用いられている方法である。また、ドライエッチングによる加工も、加工精度や加工速度に優れるため、量産性が高く産業的に広く用いられている方法である。よって、このようなスパッタリング法やドライエッチング方法の採用の回避は困難である。そこで、上記ダメージ層の効果的な除去方法の検討が切望される。

[0011] 例えば、上述の2つの課題を解決する方法として、非特許文献1では、前述のとおり、ダメージを受けた厚さ30nm程のチャネル層をウェットエッチングにより除去することが検討されている、また、非特許文献2では、前述のとおり、エッチスストッパ層を形成し、ソース電極およびドレイン電極のドライエッチングの際のダメージがチャネル層に及ばないようにしている。

[0012] しかしながら、例えば、上記非特許文献1に記載の方法では、ドライエッチングによりダメージを受けた領域を、単にウェットエッチングにより除去するだけでは、チャネル層の厚さにバラツキが生じ得る。即ち、ウェットエッチングは制御性が低く、大面積の領域に多数のTFETを形成する場合、各TFETのチャネル層の厚さにバラツキが生じてしまう。このチャネル層の厚さは、TFETの特性を左右する重要なパラメータであるため、チャネル層の厚さのバラツキによりTFET特性のバラツキが増大してしまう。結果として、製品の歩留まりが低下するという問題がある。

[0013] 一方、非特許文献2に記載の方法では、チャネル層とソース・ドレイン電極との間に抵抗が大きいCu-In-Ga-Zn-O層が入るため、TFETのオン電流が低減するという問題がある。

[0014] そこで、本発明は、上述のような事情に基づいてなされたものであり、本発明の目的は、特性の良好な半導体装置の製造方法を提供することにある。特に、ソース・ドレイン電極の加工の際のエッチングダメージが加わりやす

いトップコンタクト型TFETにおいても、その特性を向上させることができる半導体装置の製造方法を提供することにある。また、製造歩留まりを向上させることができる半導体装置の製造方法を提供することにある。

[0015] また、本発明の他の目的は、特性の良好な半導体装置を提供することにある。特に、ソース・ドレイン電極の加工の際のエッチングダメージが加わりやすいトップコンタクト型TFETにおいても、その特性を向上させることができる半導体装置の構成を提供することにある。

[0016] 本発明の上記目的およびその他の目的と新規な特徴は、本願明細書の記載および添付図面から明らかになるであろう。

課題を解決するための手段

[0017] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0018] 本願において開示される発明のうち、代表的な実施の形態に示される半導体装置の製造方法は、（a）基板の上方に、第1金属酸化物を含有する半導体からなる第1半導体膜を形成する工程と、（b）上記第1半導体膜上に第2金属酸化物を含有する半導体からなる第2半導体膜を形成する工程と、（c）上記第1半導体膜と上記第2半導体膜との積層膜を加工する工程と、（d）上記（c）工程の後、上記第2半導体膜上に、第1導電性膜を形成する工程と、（e）上記（d）工程の後、上記第2半導体膜上の第1領域の上記第1導電性膜をエッチングにより除去する工程と、（f）上記（e）工程の後、上記第1領域の上記第2半導体膜をエッチングにより除去する工程と、を有し、上記（c）工程と、上記（f）工程との間に、（g）上記第1半導体膜に熱処理を施し、上記第1半導体膜を結晶化する工程を有する。

[0019] 本願において開示される発明のうち、代表的な実施の形態に示される半導体装置の製造方法は、（a）基板の上方に、半導体層を形成する工程と、（b）上記半導体層上に、第1金属酸化物を含有する半導体からなる第1半導体膜を形成する工程と、（c）上記第1半導体膜上に第2金属酸化物を含有する半導体からなる第2半導体膜を形成する工程と、（d）上記半導体層、

上記第 1 半導体膜および上記第 2 半導体膜との積層膜を加工する工程と、（e）上記（d）工程の後、上記第 2 半導体膜上に、第 1 導電性膜を形成する工程と、（f）上記（e）工程の後、上記第 2 半導体膜上の第 1 領域の上記第 1 導電性膜をエッチングにより除去する工程と、（g）上記（e）工程の後、上記第 1 領域の上記第 2 半導体膜をエッチングにより除去する工程と、を有し、上記（d）工程と、上記（g）工程との間に、（h）上記第 1 半導体膜に熱処理を施し、上記第 1 半導体膜を結晶化する工程を有する。

[0020] 本願において開示される発明のうち、代表的な実施の形態に示される半導体装置は、（a）基板の上方に配置された第 1 金属酸化物を含有する多結晶の半導体からなる第 1 半導体膜と、（b）上記第 1 半導体膜の上方に配置され、上記第 1 半導体膜上の第 1 領域を挟んで離間して配置されたソース電極およびドレイン電極と、（c）ゲート電極と、（d）ゲート絶縁膜と、を有するトランジスタを有し、（e）第 2 金属酸化物を含有する半導体からなる第 2 半導体膜であって、上記第 1 半導体膜と上記ソース電極、および上記第 1 半導体膜と上記ドレイン電極との間に配置された第 2 半導体膜と、を有する。また、（f）上記第 1 半導体膜の下層に半導体層を有していてもよい。

発明の効果

[0021] 本願において開示される発明のうち、以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

[0022] 本願において開示される発明のうち、以下に示す代表的な実施の形態に示される半導体装置によれば、その特性を向上させることができる。

図面の簡単な説明

[0023] [図1]実施の形態 1 の半導体装置の製造工程を示す要部断面図である。

[図2]実施の形態 1 の半導体装置の製造工程を示す要部平面図である。

[図3]実施の形態 1 の半導体装置の製造工程を示す要部断面図であって、図 1 に続く工程を示す要部断面図である。

[図4]実施の形態 1 の半導体装置の製造工程を示す要部断面図であって、図 3

に続く工程を示す要部断面図である。

[図5]実施の形態1の半導体装置の製造工程を示す要部平面図であって、図2に続く工程を示す要部平面図である。

[図6]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図4に続く工程を示す要部断面図である。

[図7]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図6に続く工程を示す要部断面図である。

[図8]実施の形態1の半導体装置の製造工程を示す要部平面図であって、図5に続く工程を示す要部平面図である。

[図9]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図7に続く工程を示す要部断面図である。

[図10]第1金属酸化物半導体膜（導電層）と第2金属酸化物半導体膜（犠牲層）とのエッチレート比に対する第1金属酸化物半導体膜（導電層）のエッチング量のバラツキを示すグラフである。

[図11]各種酸化物材料のシュウ酸系エッチング液に対するエッチレートを示す表である。

[図12]実施の形態2の半導体装置の製造工程を示す要部断面図である。

[図13]実施の形態2の半導体装置の製造工程を示す要部断面図であって、図12に続く工程を示す要部断面図である。

[図14]実施の形態2の半導体装置の製造工程を示す要部断面図であって、図13に続く工程を示す要部断面図である。

[図15]実施の形態2の半導体装置の製造工程を示す要部断面図であって、図14に続く工程を示す要部断面図である。

[図16]実施の形態2の半導体装置の製造工程を示す要部断面図であって、図15に続く工程を示す要部断面図である。

[図17]実施の形態3の半導体装置の製造工程を示す要部断面図である。

[図18]実施の形態3の半導体装置の製造工程を示す要部断面図であって、図17に続く工程を示す要部断面図である。

[図19]実施の形態3の半導体装置の製造工程を示す要部断面図であって、図18に続く工程を示す要部断面図である。

[図20]実施の形態3の半導体装置の製造工程を示す要部断面図であって、図19に続く工程を示す要部断面図である。

[図21]実施の形態4の半導体装置の製造工程を示す要部断面図である。

[図22]実施の形態4の半導体装置の製造工程を示す要部断面図であって、図21に続く工程を示す要部断面図である。

[図23]実施の形態4の半導体装置の製造工程を示す要部断面図であって、図22に続く工程を示す要部断面図である。

[図24]実施の形態4の半導体装置の製造工程を示す要部断面図であって、図23に続く工程を示す要部断面図である。

[図25]アクティブマトリクス基板の構成を示す回路図である。

[図26]アクティブマトリクス基板の構成を示す平面図である。

[図27]RFIDタグの構成を示すブロック図である。

[図28]論理回路を示す回路図であり、図28(A)は、インバータ回路、図28(B)は、NOR回路、図28(C)は、NAND回路である。

発明を実施するための形態

[0024] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0025] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態に

において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

[0026] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0027] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

[0028] （実施の形態１）

以下、図面を参照しながら本実施の形態の半導体装置の構成と製造方法について詳細に説明する。図１～図９は、本実施の形態の半導体装置の製造工程を示す要部断面図または要部平面図である。なお、要部断面図は要部平面図のＡ－Ａ部に対応する。

[0029] [構造説明]

まず、本実施の形態の半導体装置の製造工程を示す要部断面図の一つである図９を参照しながら本実施の形態の半導体装置の特徴的な構成について説明する。

[0030] 図９に示すように、本実施の形態の半導体装置は、薄膜トランジスタを有する。この薄膜トランジスタは、いわゆる、ボトムゲート／トップコンタクト構造のトランジスタである。このボトムゲート構造とは、チャネルを形成する半導体膜（チャネル層、ここでは、第１および第２金属酸化物半導体膜（導電層ＣＬｃと犠牲層ＳＬ）の積層膜ＳＣＬ）よりも下層にゲート電極ＧＥが配置されている構造をいう。また、トップコンタクトとは、上記半導体膜（ここでは、上記積層膜ＳＣＬ）よりも上層にソース電極ＳＥおよびドレ

イン電極D Eが配置されている構造をいう。

[0031] 即ち、図9に示すように、本実施の形態の薄膜トランジスタは、基板S U Bの主表面に配置される。具体的には、本実施の形態の薄膜トランジスタは、基板S U B上に配置されたゲート電極G Eと、ゲート電極G E上にゲート絶縁膜G I Fを介して配置された半導体膜である上記積層膜S C Lと、この積層膜S C L上に配置されたソース電極S Eおよびドレイン電極D Eとを有する。

[0032] このソース電極S Eおよびドレイン電極D Eは、ゲート電極G Eと積層膜S C Lとの重なり領域上において、所定の間隔を置いて配置されている。この所定の間隔の部分がチャネル領域（第1領域）となる。

[0033] ここで、上記半導体膜は、第1金属酸化物半導体膜（導電層C L c、第1半導体膜）と、その上部に配置された第2金属酸化物半導体膜（犠牲層S L、第2半導体膜）との積層膜S C Lよりなるが、上記チャネル領域において、上層の第2金属酸化物半導体膜（犠牲層S L）が除去された構成となっている。言い換えれば、上記チャネル領域においては、第1金属酸化物半導体膜（導電層C L c）が配置され、このチャネル領域の両側、即ち、ソース電極S Eおよびドレイン電極D Eの下層には、第1および第2金属酸化物半導体膜（導電層C L cおよび犠牲層S L）の積層膜が配置されている。

[0034] このように、本実施の形態においては、半導体膜を積層膜（導電層C L cおよび犠牲層S L）で構成するとともに、チャネル領域において上層膜（ここでは、犠牲層S L）を除去しているので、トランジスタ特性が向上する。

[0035] 即ち、チャネル領域においては、ソース電極S Eおよびドレイン電極D Eの形成の際のドライエッチング工程において、ダメージが加わりやすい。これに対し、本実施の形態においては、チャネル領域の半導体膜のうち上層膜（ここでは、犠牲層S L）を除去した構成としたので、ダメージが除去され、トランジスタの特性を向上させることができる。

[0036] また、半導体膜（導電層C L cおよび犠牲層S L）を構成する積層膜のうち、下層膜（ここでは、導電層C L c）が、そのエッチングレート（エッチ

レート）が上層膜（ここでは、犠牲層 S L）のエッチングレートより低くなるよう選択されている。

[0037] また、半導体膜（導電層 C L c および犠牲層 S L）を構成する積層膜のうち、下層膜（ここでは、導電層 C L c）を結晶化（多結晶化）している。結晶の平均粒径は 1 n m 以上である。よって、結晶化によりエッチングレートが低下し、積層膜中の上層膜（ここでは、犠牲層 S L）のウェットエッチングの際、下層膜（ここでは、導電層 C L c）の膜減りやバラツキを低減することができる。よって、トランジスタ特性を向上させることができる。

[0038] また、主たるチャネル層を構成する下層膜（ここでは、導電層 C L c）を結晶化することにより、キャリア（電子やホール）の移動度が向上し、トランジスタ特性を向上させることができる。

[0039] なお、薄膜トランジスタの各部位を構成する材料や平面形状などについては、以下の「製造方法説明」の欄において詳細に説明する。

[0040] [製造方法説明]

次いで、図 1 ～図 9 を参照しながら、本実施の形態の半導体装置の製造工程を説明するとともに、当該半導体装置の構成をより明確にする。

[0041] 図 1 に示すように、基板 S U B として、例えば、ガラス基板を準備する。基板 S U B としては、例えば、ガラスの他、石英、サファイアなどからなる基板を用いることができる。また、プラスチックフィルム等よりなる基板、いわゆるフレキシブル基板を用いてもよい。また、必要に応じて、ゲート電極 G E が形成される側の表面に絶縁膜がコーティングされている基板を用いてもよい。

[0042] 次いで、基板 S U B 上に、ゲート電極材料として、例えば、導電性膜をスパッタリング法などで堆積し、所定の形状（図 2 参照）にパターニングすることによりゲート電極 G E を形成する。ゲート電極材料としては、例えば、モリブデン（M o）、クロム（C r）、タングステン（W）、アルミニウム（A l）、銅（C u）、チタン（T i）、ニッケル（N i）、銀（A g）、金（A u）、プラチナ（P t）、タンタル（T a）、亜鉛（Z n）などの金

属材料を用いることができる。これらを単体で用いてもよいし、また、これらのうち、数種の金属を合金として用いてもよい。また、上記金属の単体層または合金層を積層した膜を用いても良い。また、ITO（酸化インジウムスズ、 In-Sn-O 、Indium Tin Oxide）や酸化アルミニウム亜鉛（ Al-Zn-O ）などの導電性を有する金属酸化物を用いてもよい。また、窒化チタン（ TiN ）などの導電性を有する金属窒化物を用いることができる。また、不純物を含有し、キャリア（電子、ホール）の多い半導体を用いてもよい。また、上記金属化合物（金属酸化物、金属窒化物）や半導体と、金属（合金を含む）との積層体を用いてもよい。

[0043] このゲート電極GEの成膜には、スパッタリング法その他、蒸着法やCVD（化学気相成長、Chemical Vapor Deposition）法などを用いることができる。また、パターニングは、所定の形状のフォトレジスト膜をフォトリソグラフィ技術を用いて形成した後、当該フォトレジスト膜をマスクとしたエッチングにより行うことができる。このエッチングとしては、ドライエッチングまたはウェットエッチングを用いることができる。また、所定の形状を開口したフォトレジスト膜上に、導電性膜を堆積した後、上記所定の形状以外の領域の導電性膜をフォトレジスト膜とともに除去する、いわゆるリフトオフ法によりパターニングを行ってもよい。

[0044] ここでは、例えば、電子線（EB）を用いた蒸着法により、厚さ100nm程度のモリブデン膜（Mo）を成膜し、反応性イオンエッチング（RIE（Reactive Ion Etching））によりパターニングすることにより、基板SUB上にゲート電極GEを形成する。

[0045] このゲート電極GEの形状（上面から見た平面形状）は、例えば、図2に示すように、第1方向（図面縦方向）に長辺を有する略矩形状に形成する。

[0046] 次いで、図3に示すように、ゲート電極GE上に、ゲート絶縁膜GIFとして、酸化シリコン膜（ SiO_x ）を、CVD法などにより、100nm程度堆積する。酸化シリコン膜その他、酸化アルミニウム膜などの他の酸化膜を用いてもよい。これらの酸化膜を用いることが好ましい。また、酸化膜以外

に、窒化シリコン膜や窒化アルミニウム膜などの無機絶縁膜を用いることができる。また、パリレンなどの有機絶縁膜を用いてもよい。また、成膜方法としては、上記CVD法その他、スパッタリング法や塗布法などを用いてもよい。

[0047] 次いで、ゲート絶縁膜GIF上に、導電層（導電膜、半導体膜、半導体層）CLとして、第1金属酸化物半導体膜を形成する。この導電層CLは、薄膜トランジスタの主たるチャネル領域を構成する膜であり、半導体の性質を有する。ここでは、第1金属酸化物半導体膜として、酸化インジウムスズ（ In-Sn-O 、ITO: Indium Tin Oxide）膜を、例えば、RFスパッタリング法を用いて5 nm以上の膜厚で堆積する。第1金属酸化物半導体膜としては、上記酸化インジウムスズ（ In-Sn-O ）の他、酸化インジウム（ In-O ）を用いてもよい。このように、Inの酸化物を主体とした酸化物を用いることができる。

[0048] また、成膜方法としては、上記スパッタリング法その他、CVD法、PLD（Pulsed Laser Deposition）法、塗布法、印刷法などを用いることができる。なお、PLD法とは、レーザー光をターゲットに照射し、ターゲットの対面に置かれた基板にターゲット材料を堆積させる成膜方法である。この第1金属酸化物半導体膜の成膜時の温度は、金属酸化物半導体膜（導電層CL）が結晶化しない温度（例えば、150℃以下）とする。即ち、上記金属酸化物半導体膜（導電層CL）は、成膜時において、非結晶（アモルファス）状態の膜である。

[0049] 次いで、導電層CL上に、犠牲層（導電膜、半導体膜、半導体層）SLとして第2金属酸化物半導体膜を形成する。この犠牲層SLも、半導体の性質を有する膜である。ここでは、第2金属酸化物半導体膜（犠牲層SL）として、例えば、酸化インジウムガリウム亜鉛（ In-Ga-Zn-O ）膜を、例えば、RFスパッタリング法を用いて堆積する。この際、第2金属酸化物半導体膜（犠牲層SL）の膜厚は、30 nm以上とすることが望ましい。これは、後述する、金属膜MFをドライエッチングで加工する際のダメージの

深さが約30nmであるためである。第2金属酸化物半導体膜としては、上記酸化インジウムガリウム亜鉛の他、酸化亜鉛（ $Zn-O$ ）、酸化ガリウム（ $Ga-O$ ）、酸化亜鉛スズ（ $Zn-Sn-O$ ）、酸化インジウム亜鉛（ $In-Zn-O$ ）、酸化ガリウム亜鉛（ $Ga-Zn-O$ ）、酸化インジウムガリウム（ $In-Ga-O$ ）、酸化アルミニウム亜鉛（ $Al-Zn-O$ ）などの、 Zn 又は Ga 系酸化物、およびそれらと他の金属の複合酸化物を用いることができる。また、成膜方法としては、上記スパッタリング法その他、CVD法、PLD法、塗布法、印刷法などを用いることができる。この第2金属酸化物半導体膜の成膜時の温度は、この時点で上記第1金属酸化物半導体膜（導電層CL）が結晶化しないよう、上記第1金属酸化物半導体膜（導電層CL）が結晶化しない上記温度（例えば、150℃以下）とすることが好ましい。

[0050] 第1金属酸化物半導体膜（導電層CL）と第2金属酸化物半導体膜（犠牲層SL）との組み合わせとしては上述の材料の中から種々の組み合わせが考えられるが、中でも、導電層CLが $In-Sn-O$ から成り、犠牲層SLが $In-Ga-Zn-O$ 、 $Zn-O$ 、 $Al-Zn-O$ 、 $Ga-Zn-O$ 、 $Zn-Sn-O$ の何れか一つからなるような組み合わせが好ましい。その理由を以下に説明する。

[0051] 酸化インジウムスズ（ $In-Sn-O$ ）については、実用性、汎用性が高く、酸素含有量を調整するだけで、半導体特性を容易に顕在化させることができる。酸化インジウムスズ（ $In-Sn-O$ ）については、 In_2O_3 中に10wt%程度以下の Sn を含有したものが透明導電膜用のスパッタリングターゲットとして市販されているが、このターゲットを用いて成膜する際に、酸素分圧を制御することで導電性と半導体特性のどちらを顕在化させるかを制御することができる。即ち、酸素分圧を増加させることで膜中の酸素量が増え（したがってキャリア電子量が減り）、連続的に導電性から半導体特性に移行する。具体的には、酸素分圧を45mPa程度とするとキャリア電子密度が $5 \times 10^{19} \text{ cm}^{-3}$ 程度になり、半導体特性が顕在化し始める。また

、酸素分圧を20mPa程度以下とすると、導電性が顕著になり、前述のゲート電極GEや後述のソース電極SE、ドレイン電極DEの材料として使用可能となる。

[0052] また、犠牲層SLについては、In-Ga-Zn-O、Zn-O、Al-Zn-O、Ga-Zn-O、Zn-Sn-Oの各材料は、そのエッチングレートが、多結晶の酸化インジウムスズ(In-Sn-O)のエッチングレート0.1nm/minより大きく、具体的に、In-Ga-Zn-O（アモルファス状態）については、12nm/min、Zn-O（結晶状態）については、100nm/min、Zn-Sn-O（アモルファス状態）については15nm/minである（図11参照）。なお、上記データは、エッチング液として、シュウ酸系のエッチング液（具体的には、関東化学株式会社製ITO-07N）を用いた場合のデータである。

[0053] また、本明細書においては、金属酸化物について、含有する各元素を羅列する表示をしており、これらの組成比を明記していないが、これらの組成比については、所望の特性、例えば、半導体膜であれば、半導体特性、また、導電性膜であれば、導電性を有する組成比であればよい。

[0054] 次いで、図4に示すように、積層膜SCLを素子分離のため島状に加工する。例えば、第1および第2金属酸化物半導体膜（導電層CLと犠牲層SL）の積層膜（積層半導体膜）SCL上に図示しないフォトリソグレイ膜を形成した後、露光・現像処理（フォトリソグラフィ）を施すことにより、所望の形状のフォトリソグレイ膜のみ残存させる。次いで、上記フォトリソグレイ膜をマスクに、上記積層膜をウェットエッチングすることにより、所望の形状の上記積層膜を残存させる。この際、導電層CLは結晶化されておらず（アモルファス状態で）、そのエッチングレートは大きく、12nm/minである。よって、エッチングしやすい。特に、上記犠牲層SLの例示である、In-Ga-Zn-O、Zn-O、Al-Zn-OおよびGa-Zn-O、Zn-Sn-Oらは、アモルファスの酸化インジウムスズ(In-Sn-O)のエッチングレートとの差が小さく（いずれも10倍以下であり）、犠牲層

S Lとして用いて好適である。

[0055] この第1および第2金属酸化物半導体膜（導電層C Lと犠牲層S L）の積層膜S C Lの形状（上面から見た平面形状）は、例えば、図5に示すように、第1方向（図面縦方向）に短辺を有する略矩形状に形成する。また、上記積層膜S C Lは、ゲート電極G Eと重なる領域を有する形状に形成される。なお、このようなフォトリソグラフィおよびエッチング技術を用いた膜の加工をパターニングということがある。

[0056] 次に、基板S U Bに熱処理を施し、上記積層膜S C Lの下層の膜、即ち、第1金属酸化物半導体膜（導電層C L）を結晶化させる。結晶化後の第1金属酸化物半導体膜（導電層）をC L cで示す。ここでの結晶化とは、平均粒径（結晶粒の直径）が少なくとも1 n m以上となるよう多結晶化することを用いる。平均粒径の下限は1 n mであるが、典型的な場合には、平均粒径は20 n m程度となる。なお、この平均粒径（結晶粒の直径）は、透過型電子顕微鏡などを用いて測定した値である（以降の実施の形態2～3においても同様である）。また、熱処理温度は、100℃以上300℃以下である。また、酸化インジウムスズ（I n－S n－O）の結晶化温度は150℃程度である。

[0057] このように、第1金属酸化物半導体膜（導電層C L）を結晶化させることで、無機酸あるいは有機酸によるエッチングレートが、結晶化前（アモルファス状態）の1／100（100分の1）程度に小さくなる。例えば、第1金属酸化物半導体膜（導電層C L）として、酸化インジウムスズ（I n－S n－O）を用いた場合には、アモルファス状態でのエッチングレートは、12 n m／m i nであるのに対し、多結晶化した後は、エッチングレートが、0.1 n m／m i n（1／120）となる（図11参照）。なお、上記データは、エッチング液として、シュウ酸系のエッチング液（具体的には、関東化学株式会社製I T O－07 N）を用いた場合のデータである。

[0058] 次に、図6に示すように、第2金属酸化物半導体膜（犠牲層S L）上に、導電性膜として金属膜M Fを形成する。金属膜M Fは、例えば、モリブデ

ン (Mo)、クロム (Cr)、タングステン (W)、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、ニッケル (Ni)、タンタル (Ta)、銀 (Ag)、亜鉛 (Zn) などの金属の単層膜を用いることができる。また、上記複数の金属のうち、2種以上の金属を含有する合金膜を用いることができる。また、上記金属よりなる膜および合金膜のうち、2種以上の膜の積層膜を用いることができる。また、ITO (酸化インジウムスズ、In-Sn-O、Indium Tin Oxide) などの金属酸化物よりなる導電性膜、窒化チタン (TiN) などの金属窒化物よりなる導電性膜などの金属化合物よりなる導電性膜を用いてもよい。また、このような金属化合物よりなる導電性膜と、上記金属膜または合金膜との積層膜を用いてもよい。また、多結晶シリコン膜などの半導体膜に不純物を含有させ、キャリア (電子、ホール) を多くした半導体膜を用いてもよい。また、多結晶シリコン膜などの半導体膜と上記金属膜または合金膜との積層膜を用いてもよい。

[0059] 例えば、上記金属膜や合金膜は、例えば、スパッタリング法や蒸着法を用いて成膜することができる。また、上記半導体膜は、CVD法などを用いて成膜することができる。

[0060] 次いで、図7に示すように、金属膜MFを、パターニングすることによりソース電極SEおよびドレイン電極DEを形成する。このパターニングは、フォトリソグロフィ技術を用いてソース電極SEおよびドレイン電極DEの形成領域に残存させ、当該フォトリソグロフィ技術を用いてソース電極SEおよびドレイン電極DEの形成領域を残存させ、当該フォトリソグロフィ技術を用いてソース電極SEおよびドレイン電極DEの形成領域を残存させたドライエッチングにより行うことができる。

[0061] このドライエッチングの際、ソース電極SEとドレイン電極DEとの間から露出する第2金属酸化物半導体膜 (犠牲層SL) がプラズマや加速粒子にさらされるため、ダメージ領域DRが形成される。

[0062] このソース電極SEおよびドレイン電極DEの形状 (上面から見た平面形状) は、例えば、図8に示すように、それぞれ略矩形状であり、上記重なり領域上において、所定の間隔を置いて配置されている。この所定の間隔の部分がチャネル領域となる。

[0063] よって、前述したダメージ領域DRは、薄膜トランジスタの特性を左右するチャネル領域に形成される。

[0064] そこで、図9に示すように、上記フォトリソ膜をアッシングなどにより除去した後、その下層のソース電極SE、ドレイン電極DEをマスクとして、下層の第2金属酸化物半導体膜（犠牲層SL）をウェットエッチングにより除去する。エッチング液としては、無機酸あるいは有機酸を含有するエッチング液を用いる。具体的には、上述のシュウ酸系のエッチング液（関東化学株式会社製ITO-07N）を用いることができる。

[0065] このウェットエッチングにより、第2金属酸化物半導体膜（犠牲層SL）のダメージ領域DRが除去され、下層の第1金属酸化物半導体膜（導電層CLc）がチャネル領域から露出する。この第1金属酸化物半導体膜（導電層CLc）は、前述の結晶化により、エッチングされ難くなっており、上記ウェットエッチングは第1金属酸化物半導体膜（導電層CLc）の表面で自動的にほぼ停止する。また、ウェットエッチングによる導電層CLcの膜厚の減少は生じたとしても極微量である。また、この工程では、ドライエッチングではなく、ウェットエッチングを用いているため、ドライエッチングの際に生じるプラズマや加速粒子に第1金属酸化物半導体膜（導電層CLc）がさらされることがなく、第1金属酸化物半導体膜（導電層CLc）のチャネル領域にプラズマや加速粒子によるダメージが加わることを回避することができる。

[0066] 以上の工程により本実施の形態の薄膜トランジスタが略完成する。

[0067] なお、上記工程においては、第1および第2金属酸化物半導体膜（導電層CLと犠牲層SL）の積層膜SCLのパターニング後、第1金属酸化物半導体膜（導電層CL）を結晶化させ、その後、金属膜MFの形成および金属膜MFのパターニングを行ったが、第1金属酸化物半導体膜（導電層CL）の結晶化は、積層膜SCLのパターニング工程の後、ダメージ領域DR（第2金属酸化物半導体膜（犠牲層SL））の除去工程までの間に行えばよい。例えば、金属膜MFの形成工程後や金属膜MFのドライエッチング工程後に、

第1金属酸化物半導体膜（導電層CL）の結晶化を行ってもよい。

[0068] このように、本実施の形態によれば、半導体膜を第1および第2金属酸化物半導体膜（導電層CLcと犠牲層SL）の積層膜SCLとしたので、ダメージ領域DRを除去することができる。よって、ダメージ領域DRの除去により、薄膜トランジスタの特性を向上させることができる。

[0069] また、ダメージ領域DRの除去に際し、一般的に制御性が低いとされるウェットエッチングを用いても、下層の第1金属酸化物半導体膜（導電層CLc）のエッチングレートが結晶化により低下しているため、当該ウェットエッチングによる膜減りを低減することができる。また、上記ウェットエッチングの際、ダメージ領域DRの残存を低減するためオーバーエッチングを施した場合においても、第1金属酸化物半導体膜（導電層CLc）の膜減りを低減することができる。その結果、主たるチャネル領域となる下層の第1金属酸化物半導体膜（導電層CLc）の膜厚のバラツキを抑制することができる。閾値電位などの薄膜トランジスタの特性のバラツキを低減することができる。また、薄膜トランジスタの特性の劣化を低減し、半導体装置の製造歩留まりを向上させることができる。

[0070] また、半導体膜を第1および第2金属酸化物半導体膜（導電層CLと犠牲層SL）の積層膜SCLとしたので、ソース電極SE、ドレイン電極DEを構成する金属膜MFの成膜時に、プラズマや加速粒子によるダメージが加わっても、そのダメージは、上層の犠牲層SL内に留まり、主たるチャネル層となる第1金属酸化物半導体膜（導電層CL）に加わるダメージを低減することができる。よって、薄膜トランジスタの特性を向上させることができる。

[0071] また、本実施の形態においては、ソース電極SE、ドレイン電極DEと第1金属酸化物半導体膜（導電層CLc）との間に第2金属酸化物半導体膜（犠牲層SL）が残存する構成となるが、第2金属酸化物半導体膜（犠牲層SL）も半導体の性質を有し、また、薄膜トランジスタの動作時の抵抗が比較的低い半導体であるため、薄膜トランジスタの動作特性に与える影響は少な

い。具体的に、第2金属酸化物半導体膜（犠牲層SL）として例示した各種半導体は、例えば、Cu-In-Ga-Zn-Oのような高抵抗半導体ではない。よって、薄膜トランジスタのオン電流の低減を抑制することができる。

[0072] さらに、第1金属酸化物半導体膜（導電層CLc）の結晶化により、アモルファス状の場合に比べてキャリア移動度が向上するため、薄膜トランジスタのオン電流を向上させることができる。

[0073] 次に、本発明者の検討事項に基づき本実施の形態の効果をさらに詳細に説明する。図10は、第1金属酸化物半導体膜（導電層CLc）と第2金属酸化物半導体膜（犠牲層SL）とのエッチレート比に対する第1金属酸化物半導体膜（導電層CLc）のエッチング量のバラツキを示すグラフである。図11は、各種酸化物材料の上記シュウ酸系エッチング液（具体的には、関東化学株式会社製ITO-07N）に対するエッチレートを示す表である。

[0074] 例えば、薄膜トランジスタの製造工程において、成膜工程における膜厚バラツキの許容範囲は±5%程度である。よって、例えば、第2金属酸化物半導体膜（犠牲層SL）の膜厚を30nm以上で成膜した場合、3nm以上のバラツキが存在することになる。

[0075] よって、図10に示すように、エッチングレート比（エッチレート比）が1、即ち、第2金属酸化物半導体膜（犠牲層SL）のエッチングレート E_{r2} と、第1金属酸化物半導体膜（導電層CLc）のエッチングレート E_{r1} と同じ（ E_{r2}/E_{r1} が1の）場合、第1金属酸化物半導体膜（導電層CLc）の膜厚には、3nm以上のバラツキが生じることになる。

[0076] これに対し、エッチングレート比を10、即ち、 E_{r2}/E_{r1} が10の場合は、バラツキ量は $1/10$ （10分の1）の0.3nm以上となる。エッチングレート比を100、即ち、 E_{r2}/E_{r1} が100の場合は、バラツキ量は $1/100$ （100分の1）の0.03nm以上となり、実質的にバラツキ量は、ほぼ0（ゼロ）に近い値となる。

[0077] よって、例えば、図11に示す、各種酸化物材料のうち、エッチングレ

ト比 (E_{r2}/E_{r1}) が 1 より大きい、より好ましくは、10 以上となる酸化物材料を第 2 金属酸化物半導体膜 (犠牲層 SL) として選択することにより、第 1 金属酸化物半導体膜 (導電層 CLc、ここでは、多結晶 In-Sn-O) の膜厚のバラツキ量を低減することができる。

[0078] なお、図 10、図 11 においては、第 1 金属酸化物半導体膜 (導電層 CLc、ここでは、多結晶 In-Sn-O) を例に説明したが、前述したとおり、第 1 金属酸化物半導体膜 (導電層 CLc) として、酸化インジウム (In-O) を用いてもよい。この酸化インジウムも、アモルファス状態より多結晶状態でエッチングレートが低くなるため、第 1 金属酸化物半導体膜 (導電層 CL、CLc) として用いて好適である。なお、酸化インジウム (In-O) の結晶化温度は、150℃程度である。

[0079] また、図 12 に示す第 2 金属酸化物半導体膜 (犠牲層 SL)、具体的には、In-Ga-Zn-O、Zn-O、Zn-Sn-O は一例であり、そのエッチングレート E_{r2} が、 E_{r1} より大きくなる ($E_{r2} > E_{r1}$ の) 関係を満たす金属酸化物半導体膜であれば他の膜を用いてもよい。また、第 1 金属酸化物半導体膜 (導電層 CL) においても、アモルファス状態のエッチングレートを E_{r1a} と、結晶化後のエッチングレートを上記 E_{r1} とした場合、 $E_{r1a} > E_{r1}$ の条件を満たす金属酸化物半導体膜であれば他の膜を用いてもよい。また、 E_{r1a} と E_{r2} の差は小さい方が好ましい。

[0080] また、図 11 においては、関東化学株式会社製 ITO-O7N に対するエッチングレートを例示したが、無機酸あるいは有機酸によるエッチングにおいても同様の傾向を示す。エッチング液としては、関東化学株式会社製 ITO-O7N 以外にも、フッ酸、塩酸、硝酸、硫酸、酢酸、シュウ酸やそれらの混合液を用いることもできる。

[0081] (実施の形態 2)

実施の形態 1 においては、半導体膜を、2 種の半導体膜の積層膜 (導電層 CL と犠牲層 SL) としたが、この半導体膜を 3 種の半導体膜の積層膜としてもよい。

[0082] 以下、図面を参照しながら本実施の形態の半導体装置の構成と製造方法について詳細に説明する。図12～図16は、本実施の形態の半導体装置の製造工程を示す要部断面図である。なお、実施の形態1とは、積層膜SCLの構成が異なるため、積層膜SCLの構成およびその製造工程について特に詳細に説明する。

[0083] [構造説明]

まず、本実施の形態の半導体装置の製造工程を示す要部断面図の一つである図16を参照しながら本実施の形態の半導体装置の特徴的な構成について説明する。

[0084] 図16に示すように、本実施の形態の半導体装置は、薄膜トランジスタを有する。この薄膜トランジスタは、いわゆる、ボトムゲート／トップコンタクト構造のトランジスタである。

[0085] 具体的には、図16に示すように、本実施の形態の薄膜トランジスタは、基板SUBの主表面に配置される。具体的には、本実施の形態の薄膜トランジスタは、基板SUB上に配置されたゲート電極GEと、ゲート電極GE上にゲート絶縁膜GIFを介して配置された半導体膜である上記積層膜SCLと、この積層膜SCL上に配置されたソース電極SEおよびドレイン電極DEとを有する。

[0086] このソース電極SEおよびドレイン電極DEは、ゲート電極GEと積層膜SCLとの重なり領域上において、所定の間隔を置いて配置されている。この所定の間隔の部分がチャネル領域となる。

[0087] ここで、上記半導体膜は、金属酸化物半導体膜（導電層CL、半導体層、主たるチャネル層）と、その上部に配置された第1金属酸化物半導体膜（エッチングストッパ層ESLc、第1半導体膜）と、さらにその上部に配置された第2金属酸化物半導体膜（犠牲層SL、第2半導体膜）との3層の半導体膜の積層膜SCLよりなる。

[0088] ここで、上記チャネル領域において、最上層の第2金属酸化物半導体膜（犠牲層SL）が除去された構成となっている。言い換えれば、上記チャネル

領域においては、第1金属酸化物半導体膜（エッチングストップ層E S L c）および金属酸化物半導体膜（導電層C L）の2層の積層膜が配置され、このチャネル領域の両側、即ち、ソース電極S Eおよびドレイン電極D Eの下層には、3層の金属酸化物半導体膜（導電層C L、エッチングストップ層E S L cおよび犠牲層S L）の積層膜が配置されている。

[0089] このように、本実施の形態においては、半導体膜を3層の積層膜（導電層C L、エッチングストップ層E S L cおよび犠牲層S L）S C Lで構成するとともに、チャネル領域において最上層膜（ここでは、犠牲層S L）を除去しているので、トランジスタ特性が向上する。

[0090] 即ち、チャネル領域においては、ソース電極S Eおよびドレイン電極D Eの形成の際のドライエッチング工程において、ダメージが加わりやすい。これに対し、本実施の形態においては、チャネル領域の半導体膜のうち最上層膜（ここでは、犠牲層S L）を除去した構成としたので、ダメージが除去され、トランジスタの特性を向上させることができる。

[0091] また、半導体膜を構成する積層膜のうち、中層膜（ここでは、エッチングストップ層E S L c）が、そのエッチングレートが最上層膜（ここでは、犠牲層S L）のエッチングレートより低くなるよう選択されている。

[0092] また、半導体膜を構成する3層の積層膜S C Lのうち、中層膜（ここでは、エッチングストップ層E S L c）を結晶化（多結晶化）している。結晶の平均粒径は1 nm以上である。よって、結晶化によりエッチングレートが低下し、積層膜中の上層膜（ここでは、犠牲層S L）のウェットエッチングの際、中層膜（ここでは、エッチングストップ層E S L c）をエッチングストップとして機能させることができ、上層膜より下層の膜（ここでは、エッチングストップ層E S L cおよび導電層C L）の膜減りやバラツキを低減することができる。よって、トランジスタ特性を向上させることができる。

[0093] また、主たるチャネル層を構成する最下層膜（ここでは、導電層C L）の選択性が向上し、例えば、中層膜（ここでは、エッチングストップ層E S L c）より半導体特性の良好な膜、例えば、キャリア移動度が高い膜を適宜選

択して最下層に配置することができる。これにより、キャリア（電子やホール）の移動度が向上し、トランジスタ特性を向上させることができる。

[0094] なお、薄膜トランジスタの各部位を構成する材料や平面形状などについては、以下の「製造方法説明」の欄において詳細に説明する。

[0095] [製造方法説明]

次いで、図12～図16を参照しながら、本実施の形態の半導体装置の製造工程を説明するとともに、当該半導体装置の構成をより明確にする。

[0096] 図12に示すように、実施の形態1と同様に、基板SUB上に、ゲート電極GEを形成した後、ゲート電極GE上に、ゲート絶縁膜GIFを形成する。ゲート電極GEおよびゲート絶縁膜GIFの形成方法および材料は実施の形態1と同様であるためその詳細な説明を省略する。

[0097] 次いで、ゲート絶縁膜GIF上に、導電層（導電膜、半導体膜、半導体層）CLとして、金属酸化物半導体膜を形成する。この導電層CLは、薄膜トランジスタの主たるチャネル領域を構成する膜であり、半導体の性質を有する。ここでは、金属酸化物半導体膜として、実施の形態1で説明した金属化合物半導体膜（実施の形態1において、導電層CL、犠牲層SLとして例示した膜など）、即ち、酸化インジウム（ $In-O$ ）、酸化インジウム亜鉛（ $In-Zn-O$ ）、酸化亜鉛（ $Zn-O$ ）、酸化ガリウム（ $Ga-O$ ）、酸化インジウムガリウム亜鉛（ $In-Ga-Zn-O$ ）、酸化亜鉛スズ（ $Zn-Sn-O$ ）、酸化ガリウム亜鉛（ $Ga-Zn-O$ ）、酸化インジウムガリウム（ $In-Ga-O$ ）、酸化アルミニウム亜鉛（ $Al-Zn-O$ ）などの他、酸化スズ（ $Sn-O$ ）など、から選択して用いることができる。これらの成膜方法は、実施の形態1で説明したとおりである。

[0098] この導電層CLは、薄膜トランジスタの主たるチャネル領域を構成する膜であるため、半導体特性の良好な金属酸化物半導体膜を適宜選択すればよい。例えば、少なくとも後述のエッチングストッパ（エッチストッパ）層ESLcより半導体特性（例えば、キャリア移動度など）が、良好な膜を選択することによりトランジスタ特性を向上させることができる。また、成膜性の

良好な膜を選択してもよい。この場合もトランジスタ特性を向上させることができる。また、低コストの膜を用いてもよい。この場合、薄膜トランジスタの製造コストを低減することができる。このように、積層膜SCLの最下層に配置される導電層CLは、要求される性能や用途に応じて適宜選択することが可能である。

[0099] 次いで、導電層CL上に、エッチングストッパ層ESLとして、第1金属酸化物半導体膜を形成する。このエッチングストッパ層ESLは、半導体の性質を有する。ここでは、第1金属酸化物半導体膜として、酸化インジウムスズ (In-Sn-O 、ITO: Indium Tin Oxide) 膜を、例えば、RFスパッタリング法を用いて5 nm以上の膜厚で堆積する。第1金属酸化物半導体膜としては、上記酸化インジウムスズ (In-Sn-O) の他、酸化インジウム (In-O) を用いてもよい。このように、Inの酸化物を主体とした酸化物を用いることができる。

[0100] また、成膜方法としては、上記スパッタリング法その他、CVD法、PLD法、塗布法、印刷法などを用いることができる。この第1金属酸化物半導体膜の成膜時の温度は、例えば、金属酸化物半導体膜（導電層CL）が結晶化しない温度（例えば、150℃以下）とする。即ち、上記金属酸化物半導体膜（導電層CL）は、成膜時において、非結晶（アモルファス）状態の膜である。

[0101] 次いで、エッチングストッパ層ESL上に、犠牲層（導電膜、半導体膜、半導体層）SLとして第2金属酸化物半導体膜を形成する。この犠牲層SLも、半導体の性質を有する膜である。ここでは、第2金属酸化物半導体膜（犠牲層SL）として、例えば、酸化インジウムガリウム亜鉛 (In-Ga-Zn-O) を、例えば、RFスパッタリング法を用いて堆積する。この際、第2金属酸化物半導体膜（犠牲層SL）の膜厚は、30 nm以上とすることが望ましい。これは、後述する、金属膜MFをドライエッチングで加工する際のダメージの深さが約30 nmであるためである。第2金属酸化物半導体膜としては、上記酸化亜鉛の他、酸化亜鉛 (Zn-O)、酸化ガリウム (G

a-O)、酸化亜鉛スズ ($Zn-Sn-O$)、酸化インジウム亜鉛 ($In-Zn-O$)、酸化ガリウム亜鉛 ($Ga-Zn-O$)、酸化インジウムガリウム ($In-Ga-O$)、酸化アルミニウム亜鉛 ($Al-Zn-O$) などの、 Zn 又は Ga 系酸化物、およびそれらと他の金属の複合酸化物を用いることができる。また、成膜方法としては、上記スパッタリング法その他、CVD法、PLD法、塗布法、印刷法などを用いることができる。この第2金属酸化物半導体膜の成膜時の温度は、この時点で上記第1金属酸化物半導体膜（エッチングストッパ層ESL）が結晶化しないよう、上記第1金属酸化物半導体膜（エッチングストッパ層ESL）が結晶化しない上記温度（例えば、150℃以下）とすることが好ましい。

[0102] 第1金属酸化物半導体膜（エッチングストッパ層ESL）と第2金属酸化物半導体膜（犠牲層SL）との組み合わせとしては上述の材料の中から種々の組み合わせが考えられるが、中でも、エッチングストッパ層ESLが $In-Sn-O$ から成り、犠牲層SLが $In-Ga-Zn-O$ 、 $Zn-O$ 、 $Al-Zn-O$ 、 $Ga-Zn-O$ 、 $Zn-Sn-O$ の何れか一つからなるような組み合わせが好ましい。その理由は、実施の形態1で説明したとおりである（図11等参照）。

[0103] 次に、図13に示すように、積層膜SCLを素子分離のため島状に加工する。例えば、金属酸化物半導体膜、第1および第2金属酸化物半導体膜（導電層CL、エッチングストッパ層ESLおよび犠牲層SL）の積層膜（積層半導体膜）SCL上に図示しないフォトリソ膜を形成した後、露光・現像処理（フォトリソグラフィ）を施すことにより、所望の形状のフォトリソ膜のみ残存させる。次に、上記フォトリソ膜をマスクに、上記積層膜をウェットエッチングすることにより、所望の形状の上記積層膜を残存させる。この際、エッチングストッパ層ESLは結晶化されておらず（アモルファス状態で）、そのエッチングレートは大きい。よって、エッチングしやすい。特に、上記犠牲層SLの例示である、 $In-Ga-Zn-O$ 、 $Zn-O$ 、 $Al-Zn-O$ および $Ga-Zn-O$ 、 $Zn-Sn-O$ らは、アモ

ルファスの酸化インジウムスズ (In-Sn-O) のエッチングレートとの差が小さく (いずれも 10 倍以下であり)、犠牲層 SL として用いて好適である (図 11 参照)。

[0104] この積層膜 SCL の形状 (上面から見た平面形状) は、実施の形態 1 と同様に (図 5 参照)、第 1 方向 (図面縦方向) に短辺を有する略矩形状に形成する。上記積層膜 SCL は、ゲート電極 GE と重なる領域を有する形状に形成される。

[0105] 次いで、図 14 に示すように、基板 SUB に熱処理を施し、上記積層膜 SCL の下層の膜、即ち、第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) を結晶化させる。結晶化後の第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) を ESLc で示す。ここでの結晶化とは、平均粒径 (結晶粒の直径) が少なくとも 1 nm 以上となるよう多結晶化することをいう。平均粒径の下限は 1 nm であるが、典型的な場合には、平均粒径は 20 nm 程度となる。また、熱処理温度は、100℃以上 300℃以下である。

[0106] このように、第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) を結晶化させることで、無機酸あるいは有機酸によるエッチングレートが、結晶化前 (アモルファス状態) の $1/100$ (100 分の 1) 程度に小さくなる。例えば、第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) として、酸化インジウムスズ (In-Sn-O) を用いた場合には、アモルファス状態でのエッチングレートは、 12 nm/min であるのに対し、多結晶化した後は、エッチングレートが、 0.1 nm/min ($1/120$) となる (図 11 参照)。なお、上記データは、エッチング液として、シュウ酸系のエッチング液 (具体的には、関東化学株式会社製 ITO-07N) を用いた場合のデータである。

[0107] 次いで、第 2 金属酸化物半導体膜 (犠牲層 SL) 上に、導電性膜として金属膜 MF を形成する。金属膜 MF は、例えば、実施の形態 1 で示した材料を用い、実施の形態 1 で説明した成膜方法で形成することができる。

[0108] 次いで、図 15 に示すように、金属膜 MF を、実施の形態 1 と同様に、パ

ターニングすることによりソース電極S Eおよびドレイン電極D Eを形成する。このドライエッチングの際、ソース電極S Eとドレイン電極D Eとの間から露出する第2金属酸化物半導体膜（犠牲層S L）がプラズマや加速粒子にさらされるため、ダメージ領域D Rが形成される。

[0109] このソース電極S Eおよびドレイン電極D Eの形状（上面から見た平面形状）は、実施の形態1と同様に（図8参照）、それぞれ略矩形状であり、上記重なり領域上において、所定の間隔を置いて配置されている。この所定の間隔の部分がチャネル領域となる。

[0110] よって、前述したダメージ領域D Rは、薄膜トランジスタの特性を左右するチャネル領域に形成される。

[0111] そこで、図16に示すように、ソース電極S E、ドレイン電極D Eをマスクとして、下層の第2金属酸化物半導体膜（犠牲層S L）をウェットエッチングにより除去する。エッチング液としては、無機酸あるいは有機酸を含有するエッチング液を用いる。具体的には、上述のシュウ酸系のエッチング液（関東化学株式会社製I T O - 0 7 N）を用いることができる。

[0112] このウェットエッチングにより、第2金属酸化物半導体膜（犠牲層S L）のダメージ領域D Rが除去され、下層の第1金属酸化物半導体膜（エッチングストッパ層E S L c）がチャネル領域から露出する。この第1金属酸化物半導体膜（エッチングストッパ層E S L c）は、前述の結晶化により、エッチングされ難くなっており、上記ウェットエッチングは第1金属酸化物半導体膜（エッチングストッパ層E S L c）の表面で自動的にほぼ停止する。また、ウェットエッチングによるエッチングストッパ層E S L cの膜厚の減少は生じたとしても極微量である。また、第1金属酸化物半導体膜（エッチングストッパ層E S L c）がエッチングストッパとしての役割を果たすため、さらに下層の金属酸化物半導体膜（導電層C L）まではエッチングの影響は及ばない。

[0113] 以上の工程により本実施の形態の薄膜トランジスタが略完成する。

[0114] なお、上記工程においては、金属酸化物半導体膜、第1および第2金属酸

化物半導体膜（導電層CL、エッチングストッパ層ESLおよび犠牲層SL）の積層膜SCLのパターニング後、第1金属酸化物半導体膜（エッチングストッパ層ESL）を結晶化させ、その後、金属膜MFの形成および金属膜MFのパターニングを行ったが、第1金属酸化物半導体膜（エッチングストッパ層ESL）の結晶化は、積層膜SCLのパターニング工程の後、ダメージ領域DR（第2金属酸化物半導体膜（犠牲層SL））の除去工程までの間に行えばよい。例えば、金属膜MFの形成工程後や金属膜MFのドライエッチング工程後に、第1金属酸化物半導体膜（エッチングストッパ層ESL）の結晶化を行ってもよい。

[0115] このように、本実施の形態によれば、半導体膜を金属酸化物半導体膜、第1および第2金属酸化物半導体膜（導電層CL、エッチングストッパ層ESLcおよび犠牲層SL）の積層膜SCLとしたので、ダメージ領域DRを除去することができる。よって、ダメージ領域DRの除去により、薄膜トランジスタの特性を向上させることができる。

[0116] また、ダメージ領域DRの除去に際し、一般的に制御性が低いとされるウェットエッチングを用いても、下層の第1金属酸化物半導体膜（エッチングストッパ層ESLc）のエッチングレートが結晶化により低下しており、エッチングストッパの役割を果たすため、自身の膜減りを低減するとともに、その下層の金属酸化物半導体膜（導電層CL）を保護する役割を果たす。また、上記ウェットエッチングの際、ダメージ領域DRの残存を低減するためオーバーエッチングを施した場合においても、第1金属酸化物半導体膜（エッチングストッパ層ESLc）の膜減りを低減するとともに、その下層の金属酸化物半導体膜（導電層CL）を保護することができる。その結果、主たるチャネル領域となる下層の金属酸化物半導体膜（導電層CL）の膜厚のバラツキを抑制することができ、閾値電位などの薄膜トランジスタの特性のバラツキを低減することができる。また、薄膜トランジスタの特性の劣化を低減し、半導体装置の製造歩留まりを向上させることができる。

[0117] また、半導体膜を3層（導電層CL、エッチングストッパ層ESLc、犠牲層SL）とした場合、ダメージ領域DRの除去に際し、一般的に制御性が低いとされるウェットエッチングを用いても、下層の第1金属酸化物半導体膜（エッチングストッパ層ESLc）のエッチングレートが結晶化により低下しており、エッチングストッパの役割を果たすため、自身の膜減りを低減するとともに、その下層の金属酸化物半導体膜（導電層CL）を保護する役割を果たす。また、上記ウェットエッチングの際、ダメージ領域DRの残存を低減するためオーバーエッチングを施した場合においても、第1金属酸化物半導体膜（エッチングストッパ層ESLc）の膜減りを低減するとともに、その下層の金属酸化物半導体膜（導電層CL）を保護することができる。その結果、主たるチャネル領域となる下層の金属酸化物半導体膜（導電層CL）の膜厚のバラツキを抑制することができ、閾値電位などの薄膜トランジスタの特性のバラツキを低減することができる。また、薄膜トランジスタの特性の劣化を低減し、半導体装置の製造歩留まりを向上させることができる。

犠牲層SL)の積層膜SCLとしたので、ソース電極SE、ドレイン電極DEを構成する金属膜MFの成膜時に、プラズマや加速粒子によるダメージが加わっても、そのダメージは、最上層の犠牲層SL内に留まり、主たるチャネル層となる金属酸化物半導体膜(導電層CL)や第1金属酸化物半導体膜(エッチングストッパ層ESLc)に加わるダメージを低減することができる。よって、薄膜トランジスタの特性を向上させることができる。

[0118] また、本実施の形態においては、ソース電極SE、ドレイン電極DEと金属酸化物半導体膜(導電層CL)との間に第1および第2金属酸化物半導体膜(エッチングストッパ層ESLcおよび犠牲層SL)が残存する構成となるが、これらの膜も半導体の性質を有し、また、薄膜トランジスタの動作時の抵抗が比較的低い半導体であるため、薄膜トランジスタの動作特性に与える影響は少ない。具体的に、第1および第2金属酸化物半導体膜(エッチングストッパ層ESLcおよび犠牲層SL)として例示した各種半導体は、例えば、Cu-In-Ga-Zn-Oのような高抵抗半導体ではない。よって、薄膜トランジスタのオン電流の低減を抑制することができる。

[0119] さらに、上記積層膜SCLを3層とすることで、最下層の金属酸化物半導体の選択の幅が増す。即ち、エッチングレートに係わらず、所望の半導体膜を選択することで、半導体特性を向上させたり、また、その生産性を向上させたりすることができる。

[0120] (実施の形態3)

実施の形態1においては、2層の半導体膜(導電層CLと犠牲層SL)を、いわゆる、ボトムゲート/トップコンタクト構造のトランジスタを例に説明したが、2層の半導体膜(導電層CLと犠牲層SL)を、トップゲート/トップコンタクト構造のトランジスタに適用してもよい。

[0121] 以下、図面を参照しながら本実施の形態の半導体装置の構成と製造方法について詳細に説明する。図17~図20は、本実施の形態の半導体装置の製造工程を示す要部断面図である。なお、実施の形態1と共通する構成および製造工程については、その詳細な説明を省略する。

[0122] [構造説明]

まず、本実施の形態の半導体装置の製造工程を示す要部断面図の一つである図20を参照しながら本実施の形態の半導体装置の特徴的な構成について説明する。

[0123] 図20に示すように、本実施の形態の半導体装置は、薄膜トランジスタを有する。この薄膜トランジスタは、いわゆる、トップゲート／トップコンタクト構造のトランジスタである。このトップゲート構造とは、チャンネルを形成する半導体膜（チャンネル層、ここでは、第1および第2金属酸化物半導体膜（導電層CLcと犠牲層SL）の積層膜SC L）よりも上層にゲート電極GEが配置されている構造をいう。また、トップコンタクトとは、上記半導体膜（ここでは、導電層CLcと犠牲層SL）よりも上層にソース電極SEおよびドレイン電極DEが配置されている構造をいう。

[0124] 即ち、図20に示すように、本実施の形態の薄膜トランジスタは、基板SUBの主表面に配置される。具体的には、本実施の形態の薄膜トランジスタは、基板SUB上に配置された半導体膜である上記積層膜SC Lと、積層膜SC L上に配置されたソース電極SEおよびドレイン電極DEと、ソース電極SEおよびドレイン電極DE間上にゲート絶縁膜GIFを介して配置されたゲート電極GEとを有する。

[0125] このソース電極SEおよびドレイン電極DEは、積層膜SC L上において、所定の間隔を置いて配置される。この所定の間隔部上にゲート絶縁膜GIFを介してゲート電極GEが配置され、この所定の間隔の部分がチャンネル領域となる。

[0126] ここで、上記半導体膜は、第1金属酸化物半導体膜（導電層CLc、第1半導体膜）と、その上部に配置された第2金属酸化物半導体膜（犠牲層SL、第2半導体膜）との積層膜SC Lよりなるが、上記チャンネル領域において、上層の第2金属酸化物半導体膜（犠牲層SL）が除去された構成となっている。言い換えれば、上記チャンネル領域においては、第1金属酸化物半導体膜（導電層CLc）が配置され、このチャンネル領域の両側、即ち、ソース電

極S Eおよびドレイン電極D Eの下層には、第1および第2金属酸化物半導体膜（導電層C L cおよび犠牲層S L）の積層膜が配置されている。

[0127] このように、本実施の形態においては、半導体膜を積層膜（導電層C L cおよび犠牲層S L）で構成するとともに、チャネル領域において上層膜（ここでは、犠牲層S L）を除去しているので、トランジスタ特性が向上する。

[0128] 即ち、チャネル領域においては、ソース電極S Eおよびドレイン電極D Eの形成の際のドライエッチング工程において、ダメージが加わりやすい。これに対し、本実施の形態においては、チャネル領域の半導体膜のうち上層膜（ここでは、犠牲層S L）を除去した構成としたので、ダメージが除去され、トランジスタの特性を向上させることができる。

[0129] また、半導体膜（導電層C L cおよび犠牲層S L）を構成する積層膜のうち、下層膜（ここでは、導電層C L c）が、そのエッチングレートが上層膜（ここでは、犠牲層S L）のエッチングレートより低くなるよう選択されている。

[0130] また、半導体膜（導電層C L cおよび犠牲層S L）を構成する積層膜のうち、下層膜（ここでは、導電層C L c）を結晶化（多結晶化）している。結晶の平均粒径は1 nm以上である。よって、結晶化によりエッチングレートが低下し、積層膜中の上層膜（ここでは、犠牲層S L）のウェットエッチングの際、下層膜（ここでは、導電層C L c）の膜減りやバラツキを低減することができる。よって、トランジスタ特性を向上させることができる。

[0131] また、主たるチャネル層を構成する下層膜（ここでは、導電層C L c）を結晶化することにより、キャリア（電子やホール）の移動度が向上し、トランジスタ特性を向上させることができる。

[0132] なお、薄膜トランジスタの各部位を構成する材料や平面形状などについては、以下の「製造方法説明」の欄において詳細に説明する。

[0133] [製造方法説明]

次いで、図17～図20を参照しながら、本実施の形態の半導体装置の製造工程を説明するとともに、当該半導体装置の構成をより明確にする。

[0134] 図17に示すように、実施の形態1と同様に、基板SUBを準備する。次いで、基板SUB上に、導電層（導電膜、半導体膜、半導体層）CLとして、第1金属酸化物半導体膜を形成する。この導電層CLは、薄膜トランジスタの主たるチャネル領域を構成する膜であり、半導体の性質を有する。ここでは、第1金属酸化物半導体膜として、酸化インジウムスズ（ In-Sn-O 、ITO: Indium Tin Oxide）膜を、例えば、RFスパッタリング法を用いて5nm以上の膜厚で堆積する。第1金属酸化物半導体膜としては、上記酸化インジウムスズ（ In-Sn-O ）の他、酸化インジウム（ In-O ）を用いてもよい。このように、Inの酸化物を主体とした酸化物を用いることができる。

[0135] また、成膜方法としては、上記スパッタリング法の外、CVD法、PLD法、塗布法、印刷法などを用いることができる。この第1金属酸化物半導体膜の成膜時の温度は、金属酸化物半導体膜（導電層CL）が結晶化しない温度（例えば、150℃以下）とする。即ち、上記金属酸化物半導体膜（導電層CL）は、成膜時において、非結晶（アモルファス）状態の膜である。

[0136] 次いで、導電層CL上に、犠牲層（導電膜、半導体膜、半導体層）SLとして第2金属酸化物半導体膜を形成する。この犠牲層SLも、半導体の性質を有する膜である。ここでは、第2金属酸化物半導体膜（犠牲層SL）として、例えば、酸化インジウムガリウム亜鉛（ In-Ga-Zn-O ）膜を、例えば、RFスパッタリング法を用いて堆積する。この際、第2金属酸化物半導体膜（犠牲層SL）の膜厚は、30nm以上とすることが望ましい。これは、後述する、金属膜MFをドライエッチングで加工する際のダメージの深さが約30nmであるためである。第2金属酸化物半導体膜としては、上記酸化インジウムガリウム亜鉛の他、酸化亜鉛（ Zn-O ）、酸化ガリウム（ Ga-O ）、酸化亜鉛スズ（ Zn-Sn-O ）、酸化インジウム亜鉛（ In-Zn-O ）、酸化ガリウム亜鉛（ Ga-Zn-O ）、酸化インジウムガリウム（ In-Ga-O ）、酸化アルミニウム亜鉛（ Al-Zn-O ）などの、Zn又はGa系酸化物、およびそれらと他の金属の複合酸化物を用いる

ことができる。また、成膜方法としては、上記スパッタリング法その他、CVD法、PLD法、塗布法、印刷法などを用いることができる。この第2金属酸化物半導体膜の成膜時の温度は、この時点で上記第1金属酸化物半導体膜（導電層CL）が結晶化しないよう、上記第1金属酸化物半導体膜（導電層CL）が結晶化しない上記温度（例えば、150℃以下）とすることが好ましい。

[0137] 第1金属酸化物半導体膜（導電層CL）と第2金属酸化物半導体膜（犠牲層SL）との組み合わせとしては上述の材料の中から種々の組み合わせが考えられるが、中でも、導電層CLがIn-Sn-Oから成り、犠牲層SLがIn-Ga-Zn-O、Zn-O、Al-Zn-O、Ga-Zn-O、Zn-Sn-Oの何れか一つからなるような組み合わせが好ましい。その理由は、実施の形態1で説明したとおりである。

[0138] 次いで、積層膜SCLを素子分離のため島状に加工する。例えば、第1および第2金属酸化物半導体膜（導電層CLと犠牲層SL）の積層膜（積層半導体膜）SCL上に図示しないフォトリソスト膜を形成した後、露光・現像処理（フォトリソグラフィ）を施すことにより、所望の形状のフォトリソスト膜のみ残存させる。次いで、上記フォトリソスト膜をマスクに、上記積層膜をウェットエッチングすることにより、所望の形状の上記積層膜を残存させる。この際、導電層CLは結晶化されておらず（アモルファス状態で）、そのエッチングレートは大きい。よって、エッチングしやすい。特に、上記犠牲層SLの例示である、In-Ga-Zn-O、Zn-O、Al-Zn-OおよびGa-Zn-O、Zn-Sn-Oらは、アモルファスの酸化インジウムスズ（In-Sn-O）のエッチングレートとの差が小さく（いずれも10倍以下であり）、犠牲層SLとして用いて好適である。

[0139] この第1および第2金属酸化物半導体膜（導電層CLと犠牲層SL）の積層膜SCLの形状（上面から見た平面形状）は、例えば、実施の形態1と同様に、第1方向（図面縦方向）に短辺を有する略矩形状に形成する（図5参照）。

[0140] 次いで、基板SUBに熱処理を施し、上記積層膜SCLの下層の膜、即ち、第1金属酸化物半導体膜（導電層CL）を結晶化させる。結晶化後の第1金属酸化物半導体膜（導電層）をCLcで示す。ここでの結晶化とは、平均粒径（結晶粒の直径）が少なくとも1nm以上となるよう多結晶化することをいう。平均粒径の下限は1nmであるが、典型的な場合には、平均粒径は20nm程度となる。また、熱処理温度は、100℃以上300℃以下である。

[0141] このように、第1金属酸化物半導体膜（導電層CL）を結晶化させることで、無機酸あるいは有機酸によるエッチングレートが、結晶化前（アモルファス状態）の1/100（100分の1）程度に小さくなる。例えば、第1金属酸化物半導体膜（導電層CL）として、酸化インジウムスズ（In-Sn-O）を用いた場合には、アモルファス状態でのエッチングレートは、12nm/minであるのに対し、多結晶化した後は、エッチングレートが、0.1nm/min（1/120）となる。なお、上記データは、エッチング液として、シュウ酸系のエッチング液（具体的には、関東化学株式会社製ITO-07N）を用いた場合のデータである。

[0142] 次いで、第2金属酸化物半導体膜（犠牲層SL）上に、導電性膜として金属膜MFを形成する。金属膜MFは、例えば、実施の形態1で詳細に説明した、金属膜および合金膜などの各種材料を用い、実施の形態1で詳細に説明した成膜方法を用いて形成することができる。

[0143] 次いで、図18に示すように、金属膜MFを、パターニングすることによりソース電極SEおよびドレイン電極DEを形成する。このパターニングは、フォトリソグロフィ技術を用いてソース電極SEおよびドレイン電極DEの形成領域に残存させ、当該フォトリソグロフィ技術を用いたドライエッチングにより行うことができる。

[0144] このドライエッチングの際、ソース電極SEとドレイン電極DEとの間から露出する第2金属酸化物半導体膜（犠牲層SL）がプラズマや加速粒子にさらされるため、ダメージ領域DRが形成される。

- [0145] このソース電極S Eおよびドレイン電極D Eの形状（上面から見た平面形状）は、例えば、実施の形態1と同様に、それぞれ略矩形状（図8参照）とすることができ、積層膜S C L上において、所定の間隔を置いて配置されている。この所定の間隔の部分がチャネル領域となる。
- [0146] よって、前述したダメージ領域D Rは、薄膜トランジスタの特性を左右するチャネル領域に形成される。
- [0147] そこで、図19に示すように、上記フォトリソグ膜をアッシングなどにより除去した後、その下層のソース電極S E、ドレイン電極D Eをマスクとして、下層の第2金属酸化物半導体膜（犠牲層S L）をウェットエッチングにより除去する。エッチング液としては、無機酸あるいは有機酸を含有するエッチング液を用いる。具体的には、上述のシュウ酸系のエッチング液（関東化学株式会社製I T O - 0 7 N）を用いることができる。
- [0148] このウェットエッチングにより、第2金属酸化物半導体膜（犠牲層S L）のダメージ領域D Rが除去され、下層の第1金属酸化物半導体膜（導電層C L c）がチャネル領域から露出する。この第1金属酸化物半導体膜（導電層C L c）は、前述の結晶化により、エッチングされ難くなっており、上記ウェットエッチングは第1金属酸化物半導体膜（導電層C L c）の表面で自動的にほぼ停止する。また、ウェットエッチングによる導電層C L cの膜厚の減少は生じたとしても極微量である。また、この工程では、ドライエッチングではなく、ウェットエッチングを用いているため、ドライエッチングの際に生じるプラズマや加速粒子に第1金属酸化物半導体膜（導電層C L c）がさらされることがなく、第1金属酸化物半導体膜（導電層C L c）のチャネル領域にプラズマや加速粒子によるダメージが加わることを回避することができる。
- [0149] 次いで、図20に示すように、ソース電極S E、ドレイン電極D Eおよびこれらの間（チャネル領域）上に、ゲート絶縁膜G I Fとして、酸化シリコン膜（S i O x）を、C V D法などにより、100nm程度堆積する。ゲート絶縁膜G I Fとしては、酸化シリコン膜の他、実施の形態1で説明した各

種材料を実施の形態１で説明した成膜方法で形成することができる。

[0150] 次いで、ゲート絶縁膜G I F上に、ゲート電極材料として、例えば、導電性膜をスパッタリング法などで堆積し、所定の形状（図２参照）にパターニングすることによりゲート電極G Eを形成する。ゲート電極材料としては、例えば、実施の形態１で詳細に説明した各種材料を、実施の形態１で詳細に説明した成膜方法を用いて形成することができる。

[0151] このゲート電極G Eの形状（上面から見た平面形状）は、例えば、実施の形態１と同様に（図２参照）、上記チャネル領域上において、第１方向（図面縦方向）に長辺を有する略矩形状に形成する。

[0152] 以上の工程により本実施の形態の薄膜トランジスタが略完成する。

[0153] なお、上記工程においては、第１および第２金属酸化物半導体膜（導電層C Lと犠牲層S L）の積層膜S C Lのパターニング後、第１金属酸化物半導体膜（導電層C L）を結晶化させ、その後、金属膜M Fの形成および金属膜M Fのパターニングを行ったが、第１金属酸化物半導体膜（導電層C L）の結晶化は、積層膜S C Lのパターニング工程の後、ダメージ領域D R（第２金属酸化物半導体膜（犠牲層S L））の除去工程までの間に行えばよい。例えば、金属膜M Fの形成工程後や金属膜M Fのドライエッチング工程後に、第１金属酸化物半導体膜（導電層C L）の結晶化を行ってもよい。

[0154] このように、本実施の形態によっても、実施の形態１と同様の効果を奏することができる。

[0155] 即ち、半導体膜を第１および第２金属酸化物半導体膜（導電層C L cと犠牲層S L）の積層膜S C Lとしたので、ダメージ領域D Rを除去することができる。よって、ダメージ領域D Rの除去により、薄膜トランジスタの特性を向上させることができる。

[0156] また、ダメージ領域D Rの除去に際し、一般的に制御性が低いとされるウェットエッチングを用いても、下層の第１金属酸化物半導体膜（導電層C L c）のエッチングレートが結晶化により低下しているため、当該ウェットエッチングによる膜減りを低減することができる。また、上記ウェットエッチ

ングの際、ダメージ領域DRの残存を低減するためオーバーエッチングを施した場合においても、第1金属酸化物半導体膜（導電層CLc）の膜減りを低減することができる。その結果、主たるチャネル領域となる下層の第1金属酸化物半導体膜（導電層CLc）の膜厚のバラツキを抑制することができる。また、薄膜トランジスタの特性のバラツキを低減することができる。また、薄膜トランジスタの特性の劣化を低減し、半導体装置の製造歩留まりを向上させることができる。

[0157] また、半導体膜を第1および第2金属酸化物半導体膜（導電層CLcと犠牲層SL）の積層膜SCLとしたので、ソース電極SE、ドレイン電極DEを構成する金属膜MFの成膜時に、プラズマや加速粒子によるダメージが加わっても、そのダメージは、上層の犠牲層SL内に留まり、主たるチャネル層となる第1金属酸化物半導体膜（導電層CLc）に加わるダメージを低減することができる。よって、薄膜トランジスタの特性を向上させることができる。

[0158] また、本実施の形態においては、ソース電極SE、ドレイン電極DEと第1金属酸化物半導体膜（導電層CLc）との間に第2金属酸化物半導体膜（犠牲層SL）が残存する構成となるが、第2金属酸化物半導体膜（犠牲層SL）も半導体の性質を有し、また、薄膜トランジスタの動作時の抵抗が比較的低い半導体であるため、薄膜トランジスタの動作特性に与える影響は少ない。具体的に、第2金属酸化物半導体膜（犠牲層SL）として例示した各種半導体は、例えば、Cu-In-Ga-Zn-Oのような高抵抗半導体ではない。よって、薄膜トランジスタのオン電流の低減を抑制することができる。

[0159] さらに、第1金属酸化物半導体膜（導電層CL）の結晶化により、アモルファス状の場合に比べてキャリア移動度が向上するため、薄膜トランジスタのオン電流を向上させることができる。

[0160] （実施の形態4）

実施の形態2においては、3層の半導体膜（導電層CL、エッチングスト

ッパ層E S L cおよび犠牲層S L)を、いわゆる、ボトムゲート／トップコンタクト構造のトランジスタを例に説明したが、3層の半導体膜(導電層C L、エッチングストップパ層E S L cおよび犠牲層S L)を、トップゲート／トップコンタクト構造のトランジスタに適用してもよい。

[0161] 以下、図面を参照しながら本実施の形態の半導体装置の構成と製造方法について詳細に説明する。図2 1～図2 4は、本実施の形態の半導体装置の製造工程を示す要部断面図である。なお、実施の形態1と共通する構成および製造工程については、その詳細な説明を省略する。

[0162] [構造説明]

まず、本実施の形態の半導体装置の製造工程を示す要部断面図の一つである図2 4を参照しながら本実施の形態の半導体装置の特徴的な構成について説明する。

[0163] 図2 4に示すように、本実施の形態の半導体装置は、薄膜トランジスタを有する。この薄膜トランジスタは、いわゆる、トップゲート／トップコンタクト構造のトランジスタである。

[0164] 即ち、図2 4に示すように、本実施の形態の薄膜トランジスタは、基板S U Bの主表面に配置される。具体的には、本実施の形態の薄膜トランジスタは、基板S U B上に配置された半導体膜である上記積層膜S C Lと、積層膜S C L上に配置されたソース電極S Eおよびドレイン電極D Eと、ソース電極S Eおよびドレイン電極D E間上にゲート絶縁膜G I Fを介して配置されたゲート電極G Eとを有する。

[0165] このソース電極S Eおよびドレイン電極D Eは、積層膜S C L上において、所定の間隔を置いて配置される。この所定の間隔部上にゲート絶縁膜G I Fを介してゲート電極G Eが配置され、この所定の間隔の部分がチャネル領域となる。

[0166] ここで、上記半導体膜は、金属酸化物半導体膜(導電層C L、半導体層、主たるチャネル層)と、その上部に配置された第1金属酸化物半導体膜(エッチングストップパ層E S L c、第1半導体膜)と、さらにその上部に配置さ

れた第2金属酸化物半導体膜（犠牲層SL、第2半導体膜）との3層の半導体膜の積層膜SCLよりなる。

[0167] ここで、上記チャネル領域において、最上層の第2金属酸化物半導体膜（犠牲層SL）が除去された構成となっている。言い換えれば、上記チャネル領域においては、第1金属酸化物半導体膜（エッチングストッパ層ESLc）および金属酸化物半導体膜（導電層CL）の2層の積層膜が配置され、このチャネル領域の両側、即ち、ソース電極SEおよびドレイン電極DEの下層には、3層の金属酸化物半導体膜（導電層CL、エッチングストッパ層ESLcおよび犠牲層SL）の積層膜が配置されている。

[0168] このように、本実施の形態においては、半導体膜を3層の積層膜（導電層CL、エッチングストッパ層ESLcおよび犠牲層SL）SCLで構成するとともに、チャネル領域において最上層膜（ここでは、犠牲層SL）を除去しているので、トランジスタ特性が向上する。

[0169] 即ち、チャネル領域においては、ソース電極SEおよびドレイン電極DEの形成の際のドライエッチング工程において、ダメージが加わりやすい。これに対し、本実施の形態においては、チャネル領域の半導体膜のうち最上層膜（ここでは、犠牲層SL）を除去した構成としたので、ダメージが除去され、トランジスタの特性を向上させることができる。

[0170] また、半導体膜を構成する積層膜のうち、中層膜（ここでは、エッチングストッパ層ESLc）が、そのエッチングレートが最上層膜（ここでは、犠牲層SL）のエッチングレートより低くなるよう選択されている。

[0171] また、半導体膜を構成する3層の積層膜SCLのうち、中層膜（ここでは、エッチングストッパ層ESLc）を結晶化（多結晶化）している。結晶の平均粒径は1nm以上である。よって、結晶化によりエッチングレートが低下し、積層膜中の上層膜（ここでは、犠牲層SL）のウェットエッチングの際、中層膜（ここでは、エッチングストッパ層ESLc）をエッチングストッパとして機能させることができ、上層膜より下層の膜（ここでは、エッチングストッパ層ESLおよび導電層CL）の膜減りやバラツキを低減するこ

とができる。よって、トランジスタ特性を向上させることができる。

[0172] また、主たるチャネル層を構成する最下層膜（ここでは、導電層CL）の選択性が向上し、例えば、中層膜（ここでは、エッチングストッパ層ESLc）より半導体特性の良好な膜、例えば、キャリア移動度が高い膜を適宜選択して最下層に配置することができる。これにより、キャリア（電子やホール）の移動度が向上し、トランジスタ特性を向上させることができる。

[0173] なお、薄膜トランジスタの各部位を構成する材料や平面形状などについては、以下の「製造方法説明」の欄において詳細に説明する。

[0174] [製造方法説明]

次いで、図21～図24を参照しながら、本実施の形態の半導体装置の製造工程を説明するとともに、当該半導体装置の構成をより明確にする。

[0175] 図21に示すように、実施の形態1と同様に、基板SUBを準備する。次いで、基板SUB上に、導電層（導電膜、半導体膜、半導体層）CLとして、金属酸化物半導体膜を形成する。この導電層CLは、薄膜トランジスタの主たるチャネル領域を構成する膜であり、半導体の性質を有する。ここでは、金属酸化物半導体膜として、実施の形態1で説明した金属化合物半導体膜（実施の形態1において、導電層CL、犠牲層SLとして例示した膜など）、即ち、酸化インジウム（In-O）、酸化インジウム亜鉛（In-Zn-O）、酸化亜鉛（Zn-O）、酸化ガリウム（Ga-O）、酸化インジウムガリウム亜鉛（In-Ga-Zn-O）、酸化亜鉛スズ（Zn-Sn-O）、酸化ガリウム亜鉛（Ga-Zn-O）、酸化インジウムガリウム（In-Ga-O）、酸化アルミニウム亜鉛（Al-Zn-O）などの他、酸化スズ（Sn-O）など、から選択して用いることができる。これらの成膜方法は、実施の形態1で説明したとおりである。

[0176] この導電層CLは、薄膜トランジスタの主たるチャネル領域を構成する膜であるため、半導体特性の良好な金属酸化物半導体膜を適宜選択すればよい。例えば、少なくとも後述のエッチングストッパ層ESLcより半導体特性（例えば、キャリア移動度など）が、良好な膜を選択することによりラン

ジスタ特性を向上させることができる。また、成膜性の良好な膜を選択してもよい。この場合もトランジスタ特性を向上させることができる。また、低コストの膜を用いてもよい。この場合、薄膜トランジスタの製造コストを低減することができる。このように、積層膜SCLの最下層に配置される導電層CLは、要求される性能や用途に応じて適宜選択することが可能である。

[0177] 次いで、導電層CL上に、エッチングストッパ層ESLとして、第1金属酸化物半導体膜を形成する。このエッチングストッパ層ESLは、半導体の性質を有する。ここでは、第1金属酸化物半導体膜として、酸化インジウムスズ (In-Sn-O 、ITO: Indium Tin Oxide) 膜を、例えば、RFスパッタリング法を用いて5 nm以上の膜厚で堆積する。第1金属酸化物半導体膜としては、上記酸化インジウムスズ (In-Sn-O) の他、酸化インジウム (In-O) を用いてもよい。このように、Inの酸化物を主体とした酸化物を用いることができる。

[0178] また、成膜方法としては、上記スパッタリング法その他、CVD法、PLD法、塗布法、印刷法などを用いることができる。この第1金属酸化物半導体膜の成膜時の温度は、例えば、金属酸化物半導体膜（導電層CL）が結晶化しない温度（例えば、150℃以下）とする。即ち、上記金属酸化物半導体膜（導電層CL）は、成膜時において、非結晶（アモルファス）状態の膜である。

[0179] 次いで、エッチングストッパ層ESL上に、犠牲層（導電膜、半導体膜、半導体層）SLとして第2金属酸化物半導体膜を形成する。この犠牲層SLも、半導体の性質を有する膜である。ここでは、第2金属酸化物半導体膜（犠牲層SL）として、例えば、酸化インジウムガリウム亜鉛 (In-Ga-Zn-O) 膜を、例えば、RFスパッタリング法を用いて堆積する。この際、第2金属酸化物半導体膜（犠牲層SL）の膜厚は、30 nm以上とすることが望ましい。これは、後述する、金属膜MFをドライエッチングで加工する際のダメージの深さが約30 nmであるためである。第2金属酸化物半導体膜としては、上記酸化亜鉛の他、酸化亜鉛 (Zn-O)、酸化ガリウム（

Ga-O)、酸化亜鉛スズ (Zn-Sn-O)、酸化インジウム亜鉛 (In-Zn-O)、酸化ガリウム亜鉛 (Ga-Zn-O)、酸化インジウムガリウム (In-Ga-O)、酸化アルミニウム亜鉛 (Al-Zn-O) などの、Zn又はGa系酸化物、およびそれらと他の金属の複合酸化物を用いることができる。また、成膜方法としては、上記スパッタリング法その他、CVD法、PLD法、塗布法、印刷法などを用いることができる。この第2金属酸化物半導体膜の成膜時の温度は、この時点で上記第1金属酸化物半導体膜 (エッチングストップ層ESL) が結晶化しないよう、上記第1金属酸化物半導体膜 (エッチングストップ層ESL) が結晶化しない上記温度 (例えば、150℃以下) とすることが好ましい。

[0180] 第1金属酸化物半導体膜 (エッチングストップ層ESL) と第2金属酸化物半導体膜 (犠牲層SL) との組み合わせとしては上述の材料の中から種々の組み合わせが考えられるが、中でも、エッチングストップ層ESLがIn-Sn-Oから成り、犠牲層SLがIn-Ga-Zn-O、Zn-O、Al-Zn-O、Ga-Zn-O、Zn-Sn-Oの何れか一つからなるような組み合わせが好ましい。その理由は、実施の形態1で説明したとおりである (図11等参照)。

[0181] 次いで、積層膜SCLを素子分離のため島状に加工する。例えば、金属酸化物半導体膜、第1および第2金属酸化物半導体膜 (導電層CL、エッチングストップ層ESLおよび犠牲層SL) の積層膜 (積層半導体膜) SCL上に図示しないフォトリソ膜を形成した後、露光・現像処理 (フォトリソグラフィ) を施すことにより、所望の形状のフォトリソ膜のみ残存させる。次いで、上記フォトリソ膜をマスクに、上記積層膜をウェットエッチングすることにより、所望の形状の上記積層膜を残存させる。この際、エッチングストップ層ESLは結晶化されておらず (アモルファス状態で)、そのエッチングレートは大きい。よって、エッチングしやすい。特に、上記犠牲層SLの例示である、In-Ga-Zn-O、Zn-O、Al-Zn-OおよびGa-Zn-O、Zn-Sn-Oらは、アモルファスの酸化インジ

ウムスズ (In-Sn-O) のエッチングレートとの差が小さく (いずれも 10 倍以下であり)、犠牲層 SL として用いて好適である (図 11 参照)。

[0182] この積層膜 SCL の形状 (上面から見た平面形状) は、実施の形態 1 と同様に (図 5 参照)、第 1 方向 (図面縦方向) に短辺を有する略矩形状に形成する。上記積層膜 SCL は、ゲート電極 GE と重なる領域を有する形状に形成される。

[0183] 次いで、基板 SUB に熱処理を施し、上記積層膜 SCL の中層の膜、即ち、第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) を結晶化させる。結晶化後の第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) を ESLc で示す。ここでの結晶化とは、平均粒径 (結晶粒の直径) が少なくとも 1 nm 以上となるよう多結晶化することをいう。平均粒径の下限は 1 nm であるが、典型的な場合には、平均粒径は 20 nm 程度となる。また、熱処理温度は、100℃以上 300℃以下である。

[0184] このように、第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) を結晶化させることで、無機酸あるいは有機酸によるエッチングレートが、結晶化前 (アモルファス状態) の $1/100$ (100 分の 1) 程度に小さくなる。例えば、第 1 金属酸化物半導体膜 (エッチングストッパ層 ESL) として、酸化インジウムスズ (In-Sn-O) を用いた場合には、アモルファス状態でのエッチングレートは、 12 nm/min であるのに対し、多結晶化した後は、エッチングレートが、 0.1 nm/min ($1/120$) となる (図 11 参照)。なお、上記データは、エッチング液として、シュウ酸系のエッチング液 (具体的には、関東化学株式会社製 ITO-07N) を用いた場合のデータである。

[0185] 次いで、第 2 金属酸化物半導体膜 (犠牲層 SL) 上に、導電性膜として金属膜 MF を形成する。金属膜 MF は、例えば、実施の形態 1 で詳細に説明した、金属膜および合金膜などの各種材料を用い、実施の形態 1 で詳細に説明した成膜方法を用いて形成することができる。

[0186] 次いで、図 22 に示すように、金属膜 MF を、パターニングすることによ

リソース電極S Eおよびドレイン電極D Eを形成する。このパターニングは、フォトリソグロフ膜をフォトリソグラフィ技術を用いてソース電極S Eおよびドレイン電極D Eの形成領域に残存させ、当該フォトリソグロフ膜をマスクとしたドライエッチングにより行うことができる。

[0187] このドライエッチングの際、ソース電極S Eとドレイン電極D Eとの間から露出する第2金属酸化物半導体膜（犠牲層S L）がプラズマや加速粒子にさらされるため、ダメージ領域D Rが形成される。

[0188] このソース電極S Eおよびドレイン電極D Eの形状（上面から見た平面形状）は、例えば、実施の形態1と同様に、それぞれ略矩形状（図8参照）とすることができ、積層膜S C L上において、所定の間隔を置いて配置されている。この所定の間隔の部分がチャネル領域となる。

[0189] よって、前述したダメージ領域D Rは、薄膜トランジスタの特性を左右するチャネル領域に形成される。

[0190] そこで、図23に示すように、上記フォトリソグロフ膜をアッシングなどにより除去した後、その下層のソース電極S E、ドレイン電極D Eをマスクとして、下層の第2金属酸化物半導体膜（犠牲層S L）をウェットエッチングにより除去する。エッチング液としては、無機酸あるいは有機酸を含有するエッチング液を用いる。具体的には、上述のシュウ酸系のエッチング液（関東化学株式会社製I T O - 0 7 N）を用いることができる。

[0191] このウェットエッチングにより、第2金属酸化物半導体膜（犠牲層S L）のダメージ領域D Rが除去され、下層の第1金属酸化物半導体膜（エッチングストップ層E S L c）がチャネル領域から露出する。この第1金属酸化物半導体膜（エッチングストップ層E S L c）は、前述の結晶化により、エッチングされ難くなっており、上記ウェットエッチングは第1金属酸化物半導体膜（エッチングストップ層E S L c）の表面で自動的にほぼ停止する。また、ウェットエッチングによるエッチングストップ層E S L cの膜厚の減少は生じたとしても極微量である。また、第1金属酸化物半導体膜（エッチングストップ層E S L）がエッチングストップとしての役割を果たすため、さ

らに下層の金属酸化物半導体膜（導電層CL）まではエッチングの影響は及ばない。

[0192] 以上の工程により本実施の形態の薄膜トランジスタが略完成する。

[0193] なお、上記工程においては、金属酸化物半導体膜、第1および第2金属酸化物半導体膜（導電層CL、エッチングストッパ層ESLおよび犠牲層SL）の積層膜SCLのパターニング後、第1金属酸化物半導体膜（エッチングストッパ層ESL）を結晶化させ、その後、金属膜MFの形成および金属膜MFのパターニングを行ったが、第1金属酸化物半導体膜（エッチングストッパ層ESL）の結晶化は、積層膜SCLのパターニング工程の後、ダメージ領域DR（第2金属酸化物半導体膜（犠牲層SL））の除去工程までの間に行えばよい。例えば、金属膜MFの形成工程後や金属膜MFのドライエッチング工程後に、第1金属酸化物半導体膜（エッチングストッパ層ESL）の結晶化を行ってもよい。

[0194] このように、本実施の形態によっても、実施の形態1と同様の効果を奏することができる。

[0195] 即ち、本実施の形態によれば、半導体膜を金属酸化物半導体膜、第1および第2金属酸化物半導体膜（導電層CL、エッチングストッパ層ESLcおよび犠牲層SL）の積層膜SCLとしたので、ダメージ領域DRを除去することができる。よって、ダメージ領域DRの除去により、薄膜トランジスタの特性を向上させることができる。

[0196] また、ダメージ領域DRの除去に際し、一般的に制御性が低いとされるウェットエッチングを用いても、下層の第1金属酸化物半導体膜（エッチングストッパ層ESLc）のエッチングレートが結晶化により低下しており、エッチングストッパの役割を果たすため、自身の膜減りを低減するとともに、その下層の金属酸化物半導体膜（導電層CL）を保護する役割を果たす。また、上記ウェットエッチングの際、ダメージ領域DRの残存を低減するためオーバーエッチングを施した場合においても、第1金属酸化物半導体膜（エッチングストッパ層ESLc）の膜減りを低減するとともに、その下層の金

属酸化物半導体膜（導電層CL）を保護することができる。その結果、主たるチャネル領域となる下層の金属酸化物半導体膜（導電層CL）の膜厚のバラツキを抑制することができ、閾値電位などの薄膜トランジスタの特性のバラツキを低減することができる。また、薄膜トランジスタの特性の劣化を低減し、半導体装置の製造歩留まりを向上させることができる。

[0197] また、半導体膜を（導電層CL、エッチングストッパ層ESLc、犠牲層SL）の積層膜SCLとしたので、ソース電極SE、ドレイン電極DEを構成する金属膜MFの成膜時に、プラズマや加速粒子によるダメージが加わっても、そのダメージは、最上層の犠牲層SL内に留まり、主たるチャネル層となる金属酸化物半導体膜（導電層CL）や第1金属酸化物半導体膜（エッチングストッパ層ESLc）に加わるダメージを低減することができる。よって、薄膜トランジスタの特性を向上させることができる。

[0198] また、本実施の形態においては、ソース電極SE、ドレイン電極DEと金属酸化物半導体膜（導電層CL）との間に第1および第2金属酸化物半導体膜（エッチングストッパ層ESLcおよび犠牲層SL）が残存する構成となるが、これらの膜も半導体の性質を有し、また、薄膜トランジスタの動作時の抵抗が比較的低い半導体であるため、薄膜トランジスタの動作特性に与える影響は少ない。具体的に、第1および第2金属酸化物半導体膜（エッチングストッパ層ESLcおよび犠牲層SL）として例示した各種半導体は、例えば、Cu-In-Ga-Zn-Oのような高抵抗半導体ではない。よって、薄膜トランジスタのオン電流の低減を抑制することができる。

[0199] さらに、上記積層膜SCLを3層とすることで、最下層の金属酸化物半導体の選択の幅が増す。即ち、エッチングレートに係わらず、所望の半導体膜を選択することで、半導体特性を向上させたり、また、その生産性を向上させたりすることができる。

[0200] 上記実施の形態1～4で説明した薄膜トランジスタにおいて、実施の形態2の薄膜トランジスタのエッチングストッパ層ESLcおよび犠牲層SLは、実施の形態1の薄膜トランジスタの導電層CLcおよび犠牲層SLと対応

し、実施の形態 2 の構成は、実施の形態 1 の導電層 C L c の下層に他の半導体膜を有する構造であると言える。同様に、実施の形態 4 の薄膜トランジスタのエッチングストッパ層 E S L c および犠牲層 S L は、実施の形態 3 の薄膜トランジスタの導電層 C L c および犠牲層 S L と対応し、実施の形態 4 の構成は、実施の形態 3 の導電層 C L c の下層に他の半導体膜を有する構造であると言える。

[0201] (実施の形態 5)

上記実施の形態 1 ～ 4 で説明した薄膜トランジスタの適用例に制限はないが、例えば、液晶表示装置などの電気光学装置に用いられるアクティブマトリクス基板（アレイ基板）に適用することができる。

[0202] 図 2 5 は、アクティブマトリクス基板の構成を示す回路図である。また、図 2 6 は、アクティブマトリクス基板の構成を示す平面図である。

[0203] 図 2 5 に示すように、アレイ基板は、表示部（表示領域）内に Y 方向に配置された複数のデータ線 D L（ソース線）と、X 方向に配置された複数のゲート線 G L とを有する。また、各画素は、データ線 D L とゲート線 G L との交点に、マトリクス状に複数配置される。この画素は、画素電極 P E および薄膜トランジスタ T を有している。例えば、データ線 D L は、データ線駆動回路 D D C（X ドライバ）により駆動され、また、ゲート線 G L は、ゲート線駆動回路 G D C（Y ドライバ）により駆動される。

[0204] 図 2 6 に示すように、例えば、薄膜トランジスタ T のゲート電極部は、X 方向に延在するゲート線 G L と接続される。ここでは、ゲート電極とゲート線 G L が一体となっている。このゲート電極部の上層には、ゲート絶縁膜を介して半導体膜が配置され、この半導体膜の図中左側にソース電極、図中右側にドレイン電極が配置されている。図 2 6 においては、ボトムゲート構造の薄膜トランジスタ T として表示してある。ソース電極は、Y 方向に延在するデータ線 D L と接続され、ドレイン電極は、画素電極 P E と接続されている。なお、データ線 D L とソース電極とを一体としてもよい。図 2 6 においては、ボトムゲート構造の薄膜トランジスタの平面図として記載されている。

が、トップゲート構造の薄膜トランジスタとしてもよい。この場合、ゲート電極が、半導体膜の上層に位置する構成となる。

[0205] このようなアレイ基板と対向電極が形成された対向基板との間に液晶を封止することにより、液晶表示装置が形成される。

[0206] 液晶表示装置においては、ゲート線GLに走査信号が供給されると、薄膜トランジスタTがオンし、このオンされた薄膜トランジスタTを通して、図中Y方向に延在するデータ線DLからの映像信号が画素電極PEに供給される。よって、ゲート線GLとデータ線DLによって選択された画素部が表示状態となる。

[0207] なお、上記においては、画素を構成する薄膜トランジスタTに上記実施の形態1～4の薄膜トランジスタを適用したが、前述のデータ線駆動回路DDCやゲート線駆動回路GDC中の論理回路として、上記実施の形態1～4の薄膜トランジスタを用いてもよい。

[0208] 即ち、前述のデータ線駆動回路DDCやゲート線駆動回路GDCは、複数の論理回路を含み構成される。よって、これら論理回路（例えば、インバータ、NOR回路、NAND回路など）を、上記実施の形態1～4の薄膜トランジスタを用いて構成してもよい。また、上記アレイ基板は、上記液晶表示装置のみならず、有機EL（Electro-Luminescence）表示装置などの他の表示装置に広く適用可能である。また、上記アレイ基板の構成において画素電極PEを記憶素子（例えば、キャパシタ）とし、実施の形態1～4の薄膜トランジスタを記憶装置の選択トランジスタとして用いてもよい。

[0209] （実施の形態6）

上記実施の形態1～4で説明した薄膜トランジスタの適用例に制限はないが、例えば、RFID（Radio Frequency IDentification）タグに適用することができる。

[0210] 図27は、RFIDタグの構成を示すブロック図である。図27に示すように、RFIDタグは、アンテナ共振回路AR、整流器RCT、変調器MODおよびデジタル回路DGCを有している。このように構成されているRF

I D タグは、リーダ R D およびライタ W R との間で、例えば、周波数が 1 3 . 5 6 M H z の送受信信号のやり取りを行なう。例えば、ライタ W R から送信された送信信号は、R F I D タグのアンテナ共振回路 A R で受信された後、整流器 R C T で D C 信号に変換される。その後、整流器 R C T で変換された D C 信号は、デジタル回路 D G C で処理され、デジタル回路 D G C で処理された結果はメモリ回路（図示せず）などに保存される。このように、ライタ W R によって R F I D タグに情報の書き込みを行なうことができる。一方、R F I D タグに記憶されている情報を読み出すには、デジタル回路 D G C がメモリ回路にアクセスしてメモリ回路に記憶されている情報を取り出した後、この情報に従い変調器 M O D によりインピーダンスを変化させ、アンテナ共振回路 A R から信号を送信する。そして、送信された信号は、リーダ R D によって受信されて R F I D タグに記憶されている情報が読み出される。

[0211] この R F I D タグのアンテナ共振回路 A R、整流器 R C T、変調器 M O D、デジタル回路 D G C などを上記実施の形態 1 ～ 4 で説明した薄膜トランジスタを用いて構成することができる。この結果、各構成部（アンテナ共振回路 A R、整流器 R C T、変調器 M O D、デジタル回路 D G C など）に使用している薄膜トランジスタの特性が良好となり、R F I D タグの特性向上を図ることができる。

[0212] （実施の形態 7）

上記実施の形態 5 で説明した論理回路（例えば、インバータ、N O R 回路、N A N D 回路など）や上記実施の形態 6 で説明したデジタル回路 D G C に関しては、以下に説明する論理回路（論理ゲート）を用いて構成することができる。

[0213] 図 2 8 は、論理回路を示す回路図であり、図 2 8 （A）は、インバータ回路である。図 2 8 （A）においては、電源端子（V D D）と接地端子（V S S）との間にトランジスタ T 1 および T 2 が直列に接続されている。トランジスタ T 1 のゲート電極は、2 つのトランジスタの接続ノードに接続され、この接続ノードが出力端子（O U T）となる。一方、トランジスタ T 2 のゲ

ート電極は、入力端子（IN）と接続される。上記トランジスタT1およびT2は、nチャネル型トランジスタである。このように、上記トランジスタT1およびT2として、上記実施の形態1～4で説明した薄膜トランジスタを適用することができる。

[0214] 図28（B）は、NOR回路である。図28（B）においては、電源端子（VDD）と接地端子（VSS）との間にトランジスタT3およびT4が直列に接続されている。トランジスタT3のゲート電極は、2つのトランジスタT3とT4の接続ノードに接続され、この接続ノードが出力端子（OUT）となる。また、出力端子（OUT）と接地端子（VSS）との間にトランジスタT5が接続されている。トランジスタT4のゲート電極は、第1入力端子（IN1）と接続される。トランジスタT5のゲート電極は、第2入力端子（IN2）と接続される。上記トランジスタT3、T4およびT5は、nチャネル型トランジスタである。このように、上記トランジスタT3、T4およびT5として、上記実施の形態1～4で説明した薄膜トランジスタを適用することができる。

[0215] 図28（C）は、NAND回路である。図28（C）においては、電源端子（VDD）と接地端子（VSS）との間にトランジスタT6、T7およびT8が直列に接続されている。トランジスタT6のゲート電極は、2つのトランジスタT6とT7の接続ノードに接続され、この接続ノードが出力端子（OUT）となる。トランジスタT7のゲート電極は、第1入力端子（IN1）と接続される。トランジスタT8のゲート電極は、第2入力端子（IN2）と接続される。上記トランジスタT6、T7およびT8は、nチャネル型トランジスタである。このように、上記トランジスタT6、T7およびT8として、上記実施の形態1～4で説明した薄膜トランジスタを適用することができる。

[0216] 特に、実施の形態1～4で説明した金属化合物半導体膜は、nチャネル型トランジスタとして用いて特性が良好である。即ち、電子をキャリアとする場合に特性が良好となる。よって、上記のように、nチャネル型トランジス

タのみを用いた論理回路に実施の形態１～４で説明した薄膜トランジスタを適用して好適である。

[0217] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

産業上の利用可能性

[0218] 本発明は、半導体装置の製造方法および半導体装置に関し、特に、金属酸化物よりなる半導体膜をチャネル層として用いた電界効果トランジスタを有する半導体装置に適用して有効である。

符号の説明

[0219] A R アンテナ共振回路
C L 導電層
C L c 導電層
D D C データ線駆動回路
D E ドレイン電極
D G C デジタル回路
D L データ線
D R ダメージ領域
E S L エッチングストoppa層
E S L c エッチングストoppa層
G D C ゲート線駆動回路
G E ゲート電極
G I F ゲート絶縁膜
G L ゲート線
M F 金属膜
M O D 変調器
P E 画素電極
R C T 整流器

R D リーダ
S C L 積層膜
S E ソース電極
S L 犠牲層
S U B 基板
T 薄膜トランジスタ
T 1 トランジスタ
T 2 トランジスタ
T 3 トランジスタ
T 4 トランジスタ
T 5 トランジスタ
T 6 トランジスタ
T 7 トランジスタ
T 8 トランジスタ
W R ライタ

請求の範囲

- [請求項1] (a) 基板の上方に、第1金属酸化物を含有する半導体からなる第1半導体膜を形成する工程と、
- (b) 前記第1半導体膜上に第2金属酸化物を含有する半導体からなる第2半導体膜を形成する工程と、
- (c) 前記第1半導体膜と前記第2半導体膜との積層膜を加工する工程と、
- (d) 前記(c)工程の後、前記第2半導体膜上に、第1導電性膜を形成する工程と、
- (e) 前記(d)工程の後、前記第2半導体膜上の第1領域の前記第1導電性膜をエッチングにより除去する工程と、
- (f) 前記(e)工程の後、前記第1領域の前記第2半導体膜をエッチングにより除去する工程と、
- を有し、
- 前記(c)工程と、前記(f)工程との間に、
- (g) 前記第1半導体膜に熱処理を施し、前記第1半導体膜を結晶化する工程を有することを特徴とする半導体装置の製造方法。
- [請求項2] 前記(e)工程のエッチングは、ドライエッチングであり、
- 前記(f)工程のエッチングは、ウェットエッチングであることを特徴とする請求項1記載の半導体装置の製造方法。
- [請求項3] 前記(g)工程により結晶化された前記第1半導体膜の前記(f)工程のエッチングにおけるエッチングレートは、前記第2半導体膜の前記(f)工程のエッチングにおけるエッチングレートより低いことを特徴とする請求項2記載の半導体装置の製造方法。
- [請求項4] 前記(g)工程により結晶化された前記第1半導体膜の結晶粒の平均粒径は、1 nm以上であることを特徴とする請求項2記載の半導体装置の製造方法。
- [請求項5] 前記第1金属酸化物は、インジウム(In)元素および酸素元素を

含む膜 ($In-O$)、または、インジウム (In) 元素、すず (Sn) 元素および酸素元素を含む膜 ($In-Sn-O$) であることを特徴とする請求項 2 記載の半導体装置の製造方法。

[請求項 6] 前記第 2 金属酸化物は、亜鉛 (Zn) 元素および酸素元素を含む膜 ($Zn-O$)、ガリウム (Ga) 元素および酸素元素を含む膜 ($Ga-O$)、インジウム (In) 元素、ガリウム (Ga) 元素、亜鉛 (Zn) 元素および酸素元素を含む膜 ($In-Ga-Zn-O$)、亜鉛 (Zn) 元素、すず (Sn) 元素および酸素元素を含む膜 ($Zn-Sn-O$)、インジウム (In) 元素、亜鉛 (Zn) 元素および酸素元素を含む膜 ($In-Zn-O$)、ガリウム (Ga) 元素、亜鉛 (Zn) 元素および酸素元素を含む膜 ($Ga-Zn-O$)、インジウム (In) 元素、ガリウム (Ga) 元素および酸素元素を含む膜 ($In-Ga-O$)、および、アルミニウム (Al) 元素、亜鉛 (Zn) 元素および酸素元素を含む膜 ($Al-Zn-O$) から選択されるいずれかの膜であることを特徴とする請求項 5 記載の半導体装置の製造方法。

[請求項 7] 前記 (a) 工程の前に、
(h) 前記基板上にトランジスタのゲート電極を形成した後、前記ゲート電極上にゲート絶縁膜を形成する工程を有し、
前記 (a) 工程は、前記ゲート絶縁膜上に、前記第 1 半導体膜を形成する工程であり、
前記 (e) 工程は、前記第 1 領域の前記第 1 導電性膜を除去することにより、前記第 1 領域を介して離間して配置される前記トランジスタのソース電極およびドレイン電極を形成する工程であることを特徴とする請求項 1 記載の半導体装置の製造方法。

[請求項 8] 前記 (e) 工程は、前記第 1 領域の前記第 1 導電性膜を除去することにより、前記第 1 領域を介して離間して配置されるトランジスタのソース電極およびドレイン電極を形成する工程であり、

(i) 前記 (f) 工程の後に、前記ソース電極および前記ドレイン

電極上にゲート絶縁膜を形成した後、前記ゲート絶縁膜上に前記トランジスタのゲート電極を形成する工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

[請求項9]

(a) 基板の上方に、半導体層を形成する工程と、
(b) 前記半導体層上に、第 1 金属酸化物を含有する半導体からなる第 1 半導体膜を形成する工程と、
(c) 前記第 1 半導体膜上に第 2 金属酸化物を含有する半導体からなる第 2 半導体膜を形成する工程と、
(d) 前記半導体層、前記第 1 半導体膜および前記第 2 半導体膜との積層膜を加工する工程と、
(e) 前記 (d) 工程の後、前記第 2 半導体膜上に、第 1 導電性膜を形成する工程と、
(f) 前記 (e) 工程の後、前記第 2 半導体膜上の第 1 領域の前記第 1 導電性膜をエッチングにより除去する工程と、
(g) 前記 (f) 工程の後、前記第 1 領域の前記第 2 半導体膜をエッチングにより除去する工程と、
を有し、
前記 (d) 工程と、前記 (g) 工程との間に、
(h) 前記第 1 半導体膜に熱処理を施し、前記第 1 半導体膜を結晶化する工程を有することを特徴とする半導体装置の製造方法。

[請求項10]

前記 (f) 工程のエッチングは、ドライエッチングであり、
前記 (g) 工程のエッチングは、ウェットエッチングであることを特徴とする請求項 9 記載の半導体装置の製造方法。

[請求項11]

前記 (h) 工程により結晶化された前記第 1 半導体膜の前記 (g) 工程のエッチングにおけるエッチングレートは、前記第 2 半導体膜の前記 (g) 工程のエッチングにおけるエッチングレートより低いことを特徴とする請求項 10 記載の半導体装置の製造方法。

[請求項12]

前記 (h) 工程により結晶化された前記第 1 半導体膜の結晶粒の平

均粒径は、1 nm以上であることを特徴とする請求項10記載の半導体装置の製造方法。

[請求項13] 前記第1金属酸化物は、インジウム(In)元素および酸素元素を含む膜(In-O)、または、インジウム(In)元素、すず(Sn)元素および酸素元素を含む膜(In-Sn-O)であることを特徴とする請求項10記載の半導体装置の製造方法。

[請求項14] 前記第2金属酸化物は、亜鉛(Zn)元素および酸素元素を含む膜(Zn-O)、ガリウム(Ga)元素および酸素元素を含む膜(Ga-O)、インジウム(In)元素、ガリウム(Ga)元素、亜鉛(Zn)元素および酸素元素を含む膜(In-Ga-Zn-O)、亜鉛(Zn)元素、すず(Sn)元素および酸素元素を含む膜(Zn-Sn-O)、インジウム(In)元素、亜鉛(Zn)元素および酸素元素を含む膜(In-Zn-O)、ガリウム(Ga)元素、亜鉛(Zn)元素および酸素元素を含む膜(Ga-Zn-O)、インジウム(In)元素、ガリウム(Ga)元素および酸素元素を含む膜(In-Ga-O)、および、アルミニウム(Al)元素、亜鉛(Zn)元素および酸素元素を含む膜(Al-Zn-O)から選択されるいずれかの膜であることを特徴とする請求項13記載の半導体装置の製造方法。

[請求項15] (a) 基板の上方に配置された第1金属酸化物を含有する多結晶の半導体からなる第1半導体膜と、

(b) 前記第1半導体膜の上方に配置され、前記第1半導体膜上の第1領域を挟んで離間して配置されたソース電極およびドレイン電極と、

(c) ゲート電極と、

(d) ゲート絶縁膜と、

を有するトランジスタを有し、

(e) 第2金属酸化物を含有する半導体からなる第2半導体膜であって、前記第1半導体膜と前記ソース電極、および前記第1半導体膜

と前記ドレイン電極との間に配置された第2半導体膜と、を有することを特徴とする半導体装置。

[請求項16] 前記第1半導体膜のエッチングレートは、前記第2半導体膜のエッチングレートより低いことを特徴とする請求項15記載の半導体装置。

[請求項17] 前記第1半導体膜の平均粒径は、1nm以上であることを特徴とする請求項15記載の半導体装置。

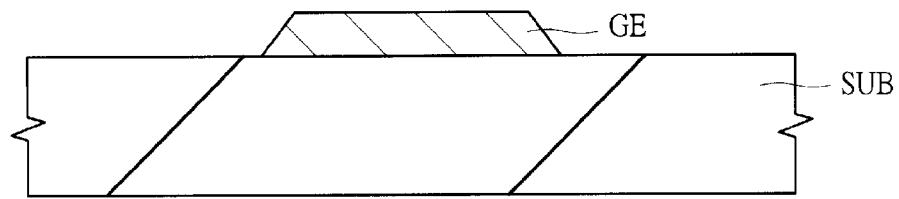
[請求項18] (f) 前記第1半導体膜の下層に半導体層を有することを特徴とする請求項15記載の半導体装置。

[請求項19] 前記第1金属酸化物は、インジウム(In)元素および酸素元素を含む膜(In-O)、または、インジウム(In)元素、すず(Sn)元素および酸素元素を含む膜(In-Sn-O)であることを特徴とする請求項15記載の半導体装置。

[請求項20] 前記第2金属酸化物は、亜鉛(Zn)元素および酸素元素を含む膜(Zn-O)、ガリウム(Ga)元素および酸素元素を含む膜(Ga-O)、インジウム(In)元素、ガリウム(Ga)元素、亜鉛(Zn)元素および酸素元素を含む膜(In-Ga-Zn-O)、亜鉛(Zn)元素、すず(Sn)元素および酸素元素を含む膜(Zn-Sn-O)、インジウム(In)元素、亜鉛(Zn)元素および酸素元素を含む膜(In-Zn-O)、ガリウム(Ga)元素、亜鉛(Zn)元素および酸素元素を含む膜(Ga-Zn-O)、インジウム(In)元素、ガリウム(Ga)元素および酸素元素を含む膜(In-Ga-O)、および、アルミニウム(Al)元素、亜鉛(Zn)元素および酸素元素を含む膜(Al-Zn-O)から選択されるいずれかの膜であることを特徴とする請求項19記載の半導体装置。

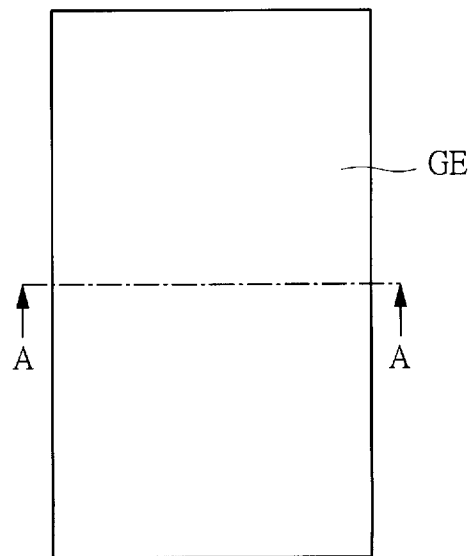
[図1]

図 1



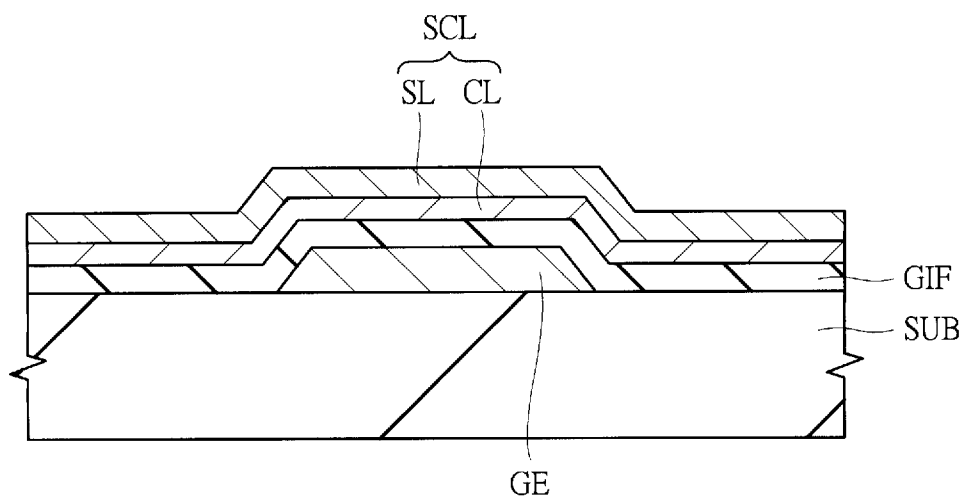
[図2]

図 2

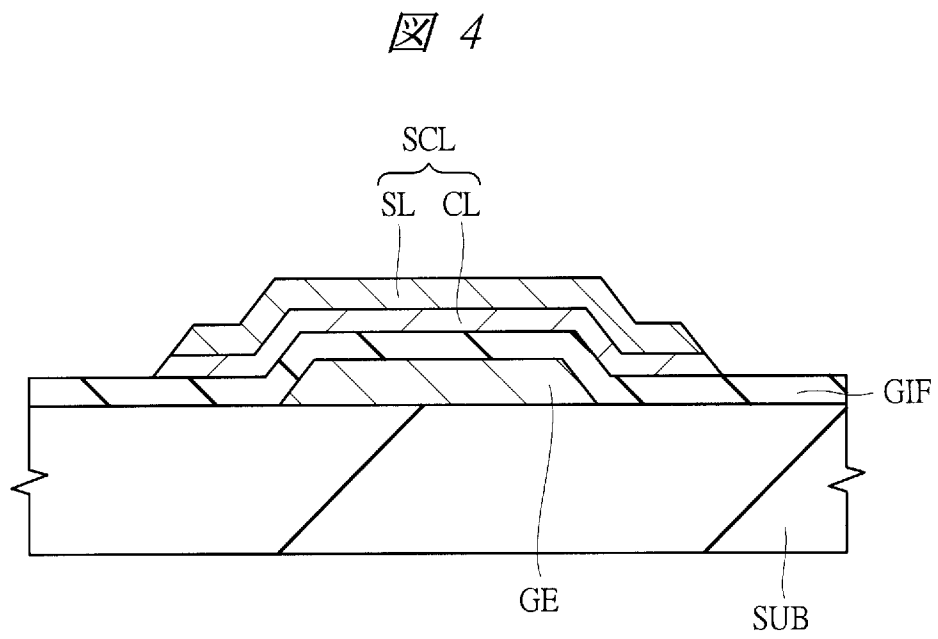


[図3]

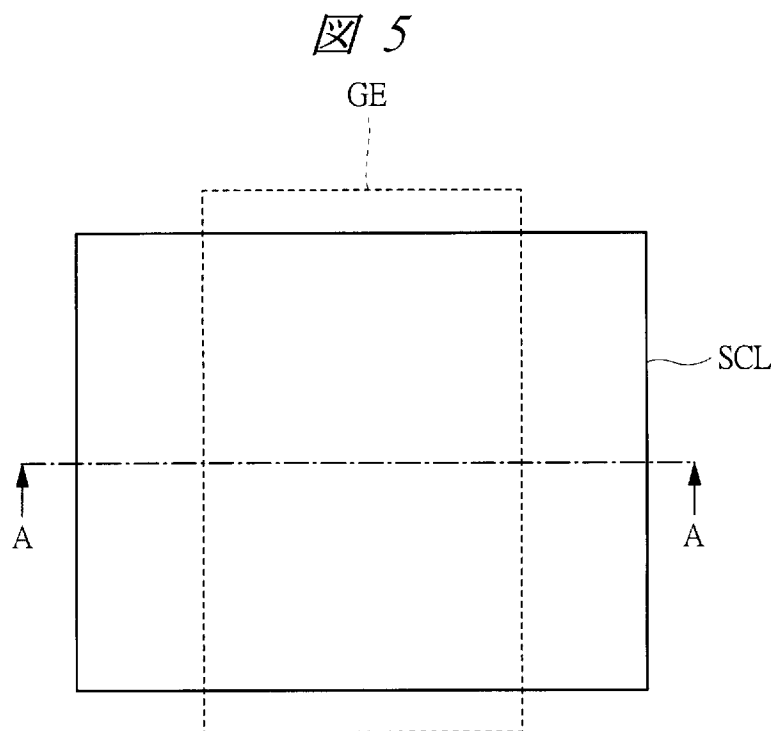
図 3



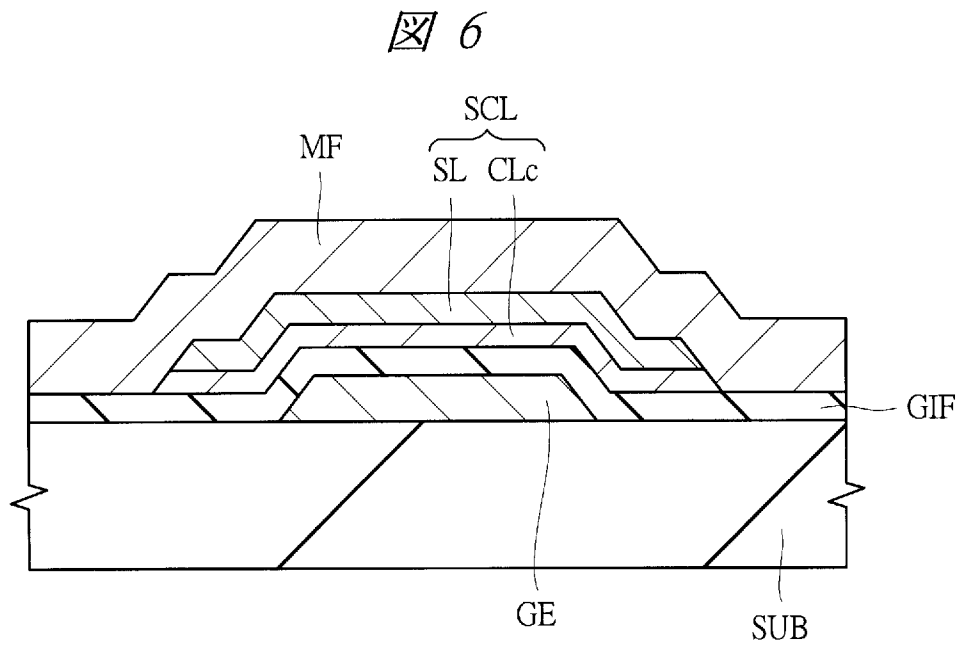
[図4]



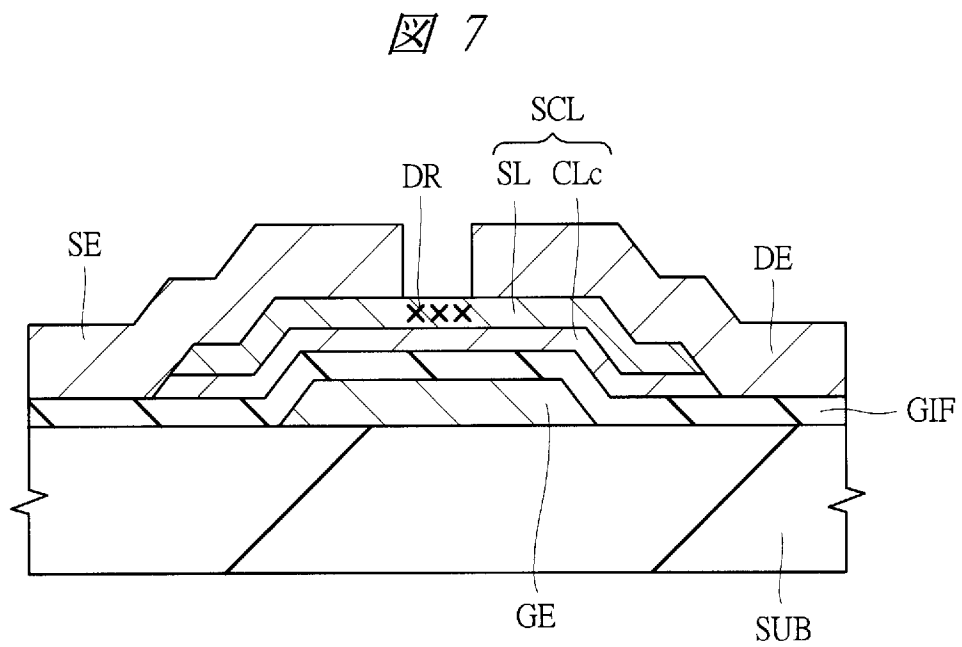
[図5]



[図6]

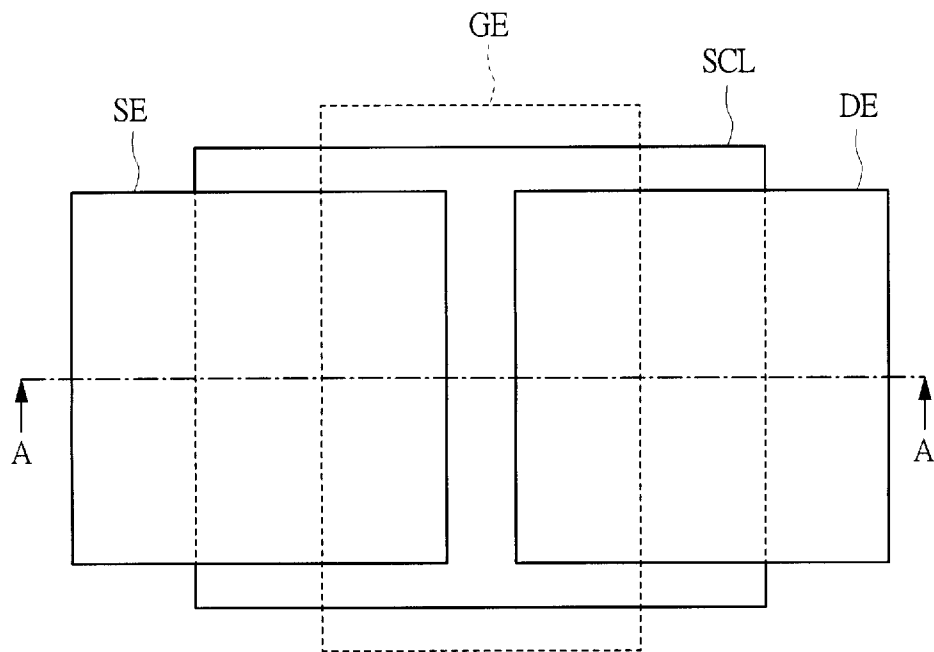


[図7]



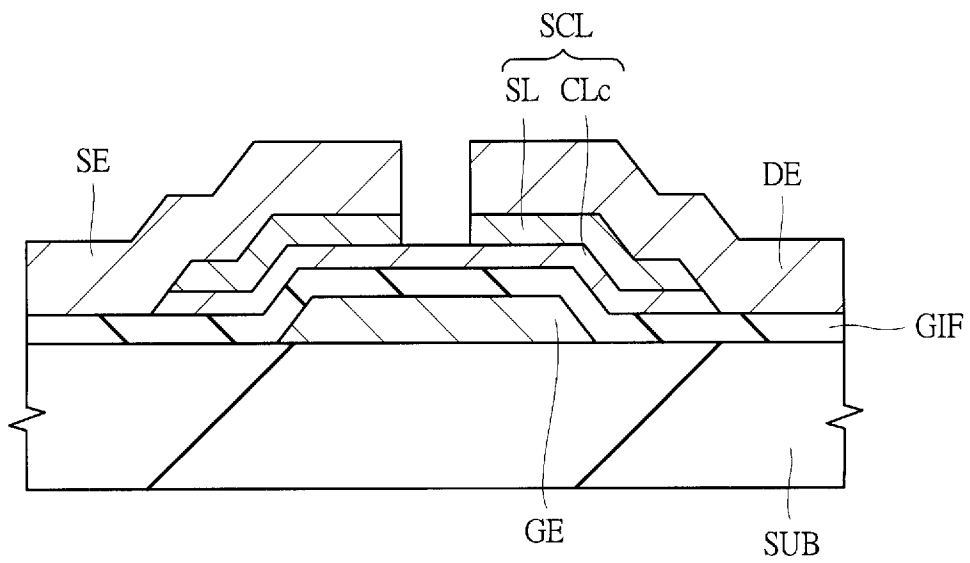
[図8]

図 8



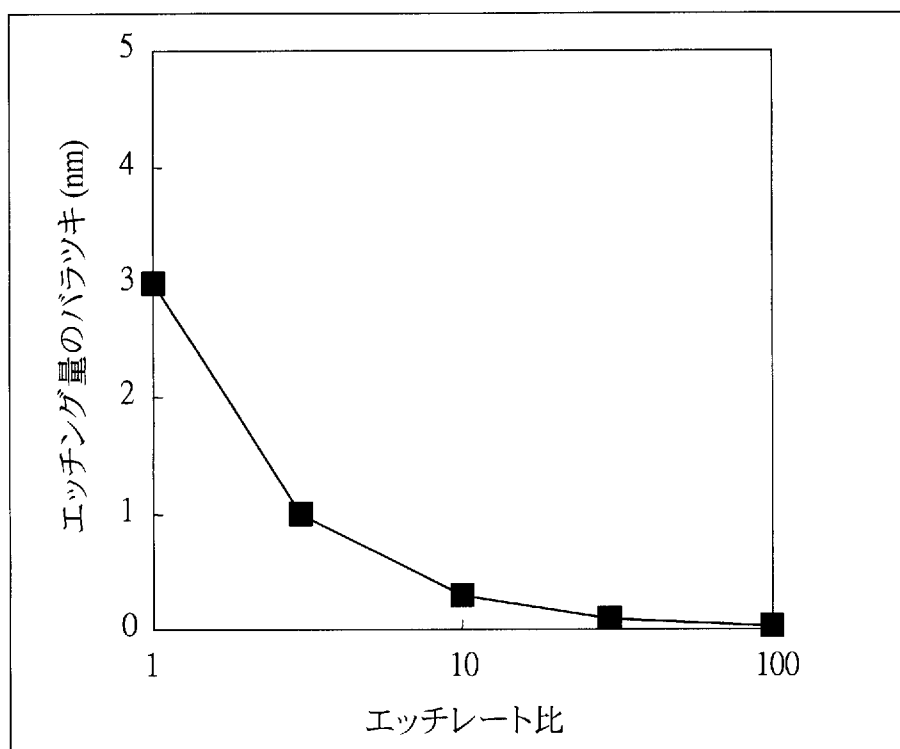
[図9]

図 9



[図10]

図 10



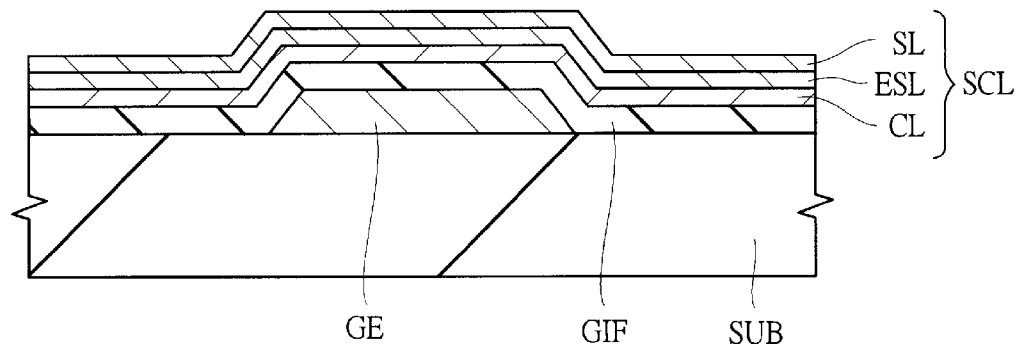
[図11]

図 11

酸化物材料	エッチレート (nm / min)	多結晶In-Sn-Oに対する エッチレート比
多結晶In-Sn-O	0.1	1
アモルファスIn-Sn-O	12	120
In-Ga-Zn-O	12	120
Zn-O	100	1000
Zn-Sn-O	15	150

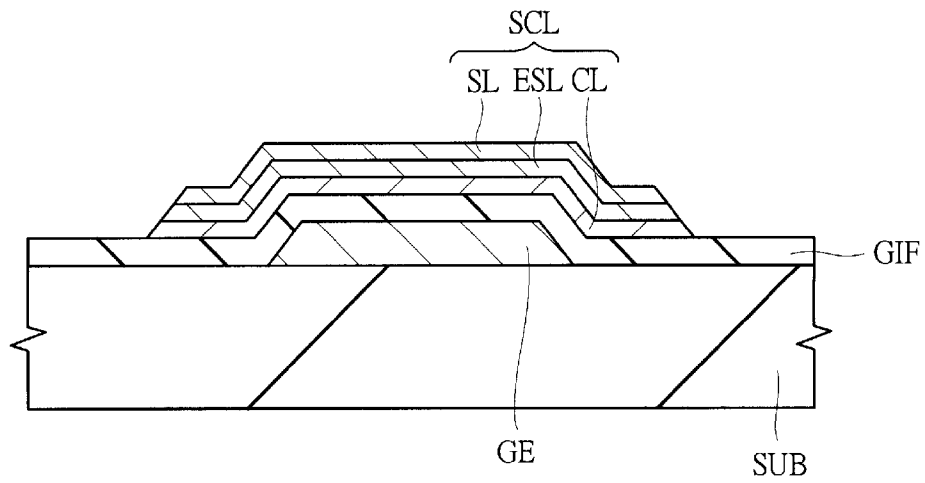
[図12]

図 12

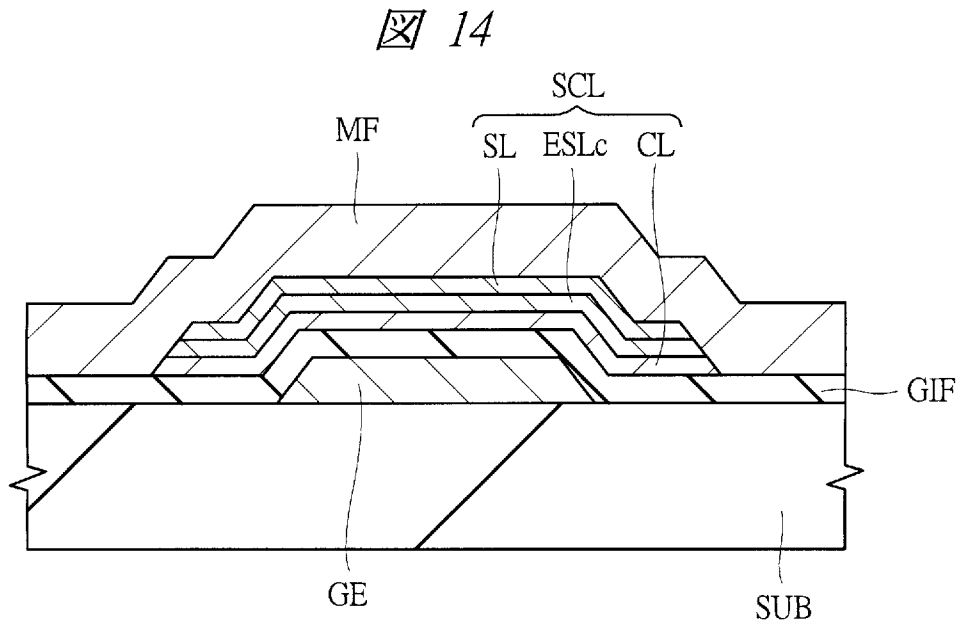


[図13]

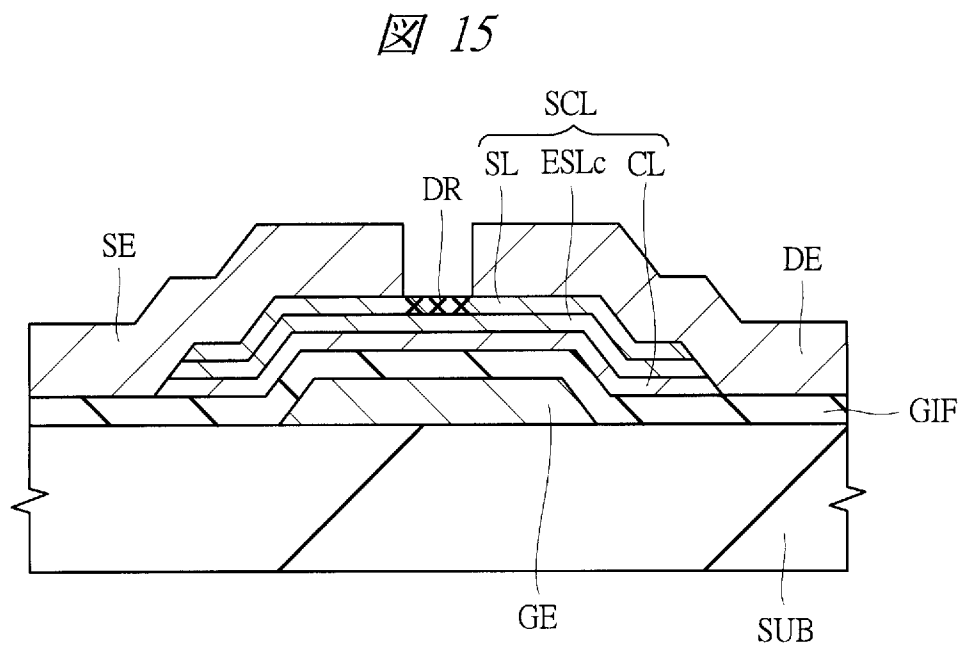
図 13



[図14]

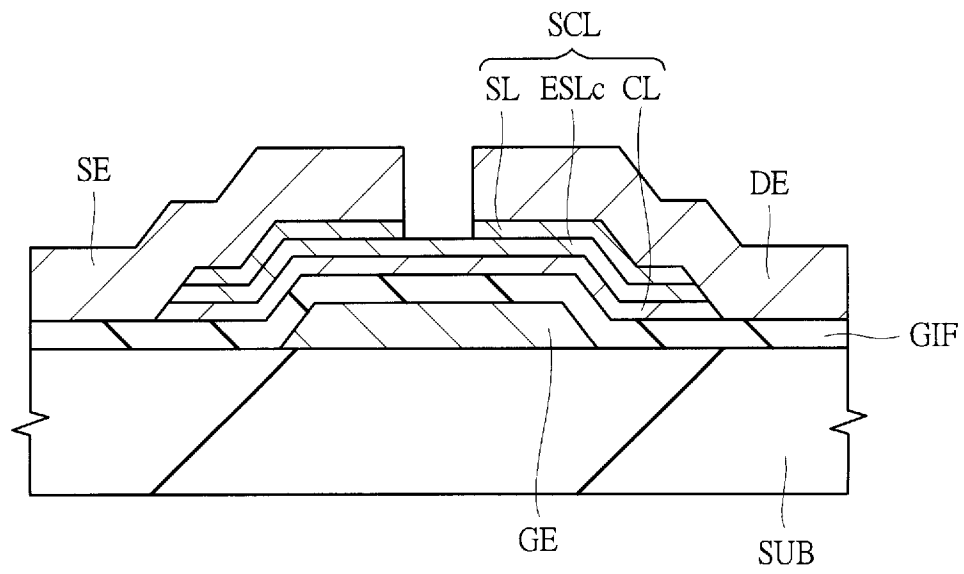


[図15]



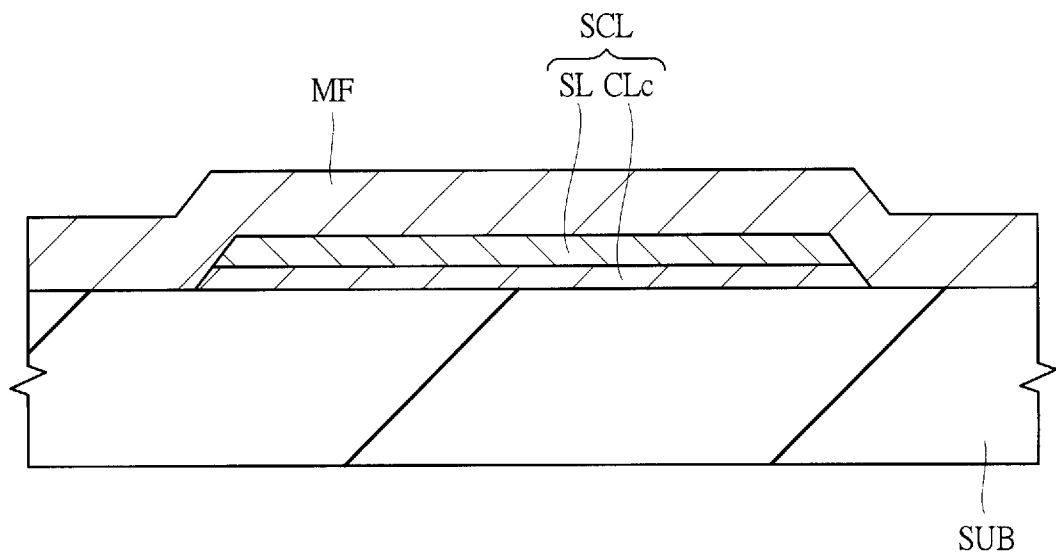
[図16]

図 16



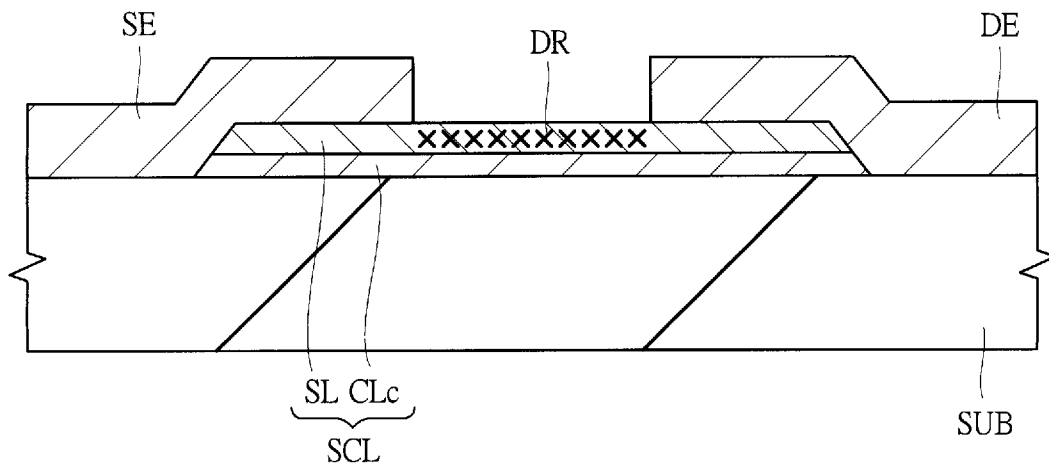
[図17]

図 17



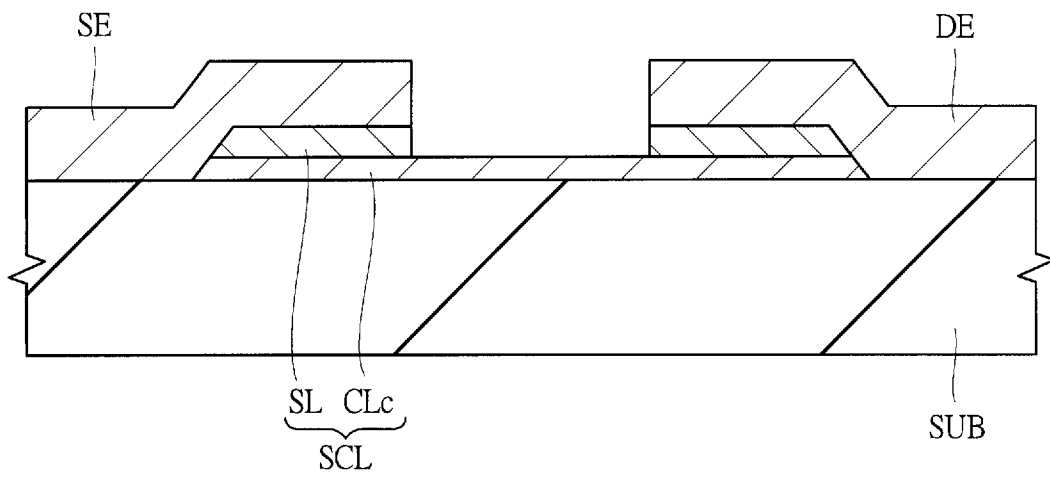
[図18]

図 18



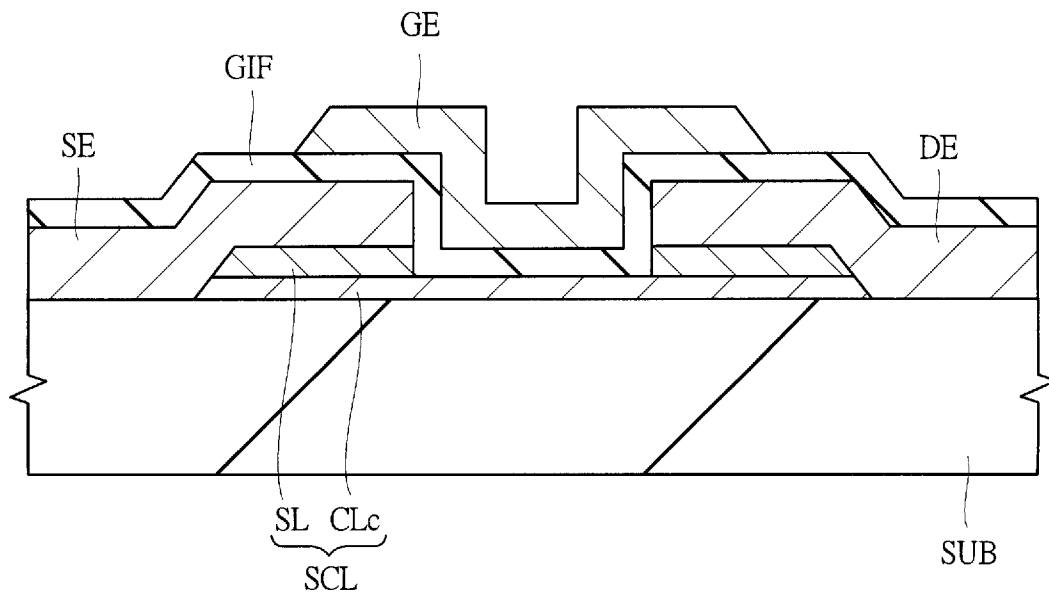
[図19]

図 19



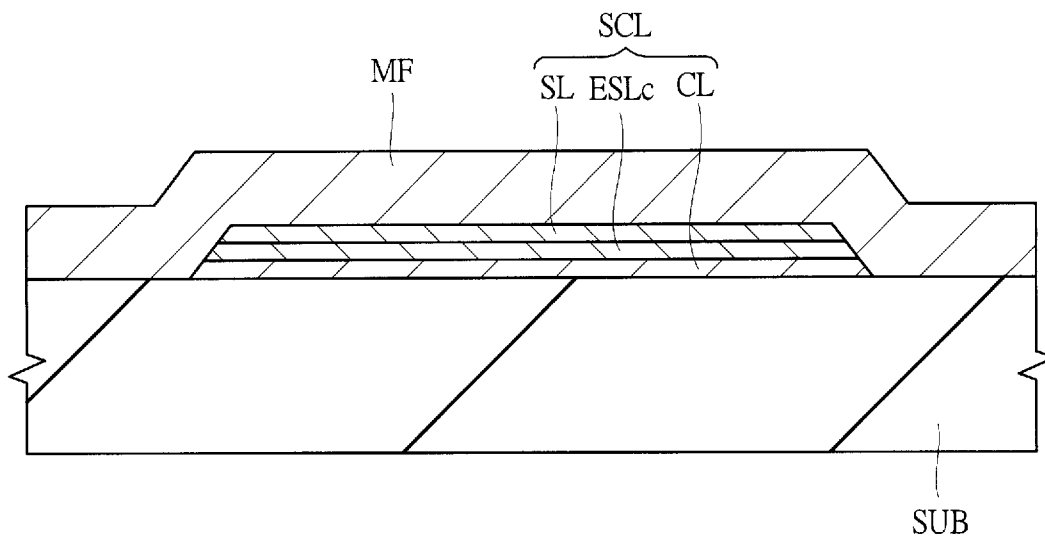
[図20]

図 20



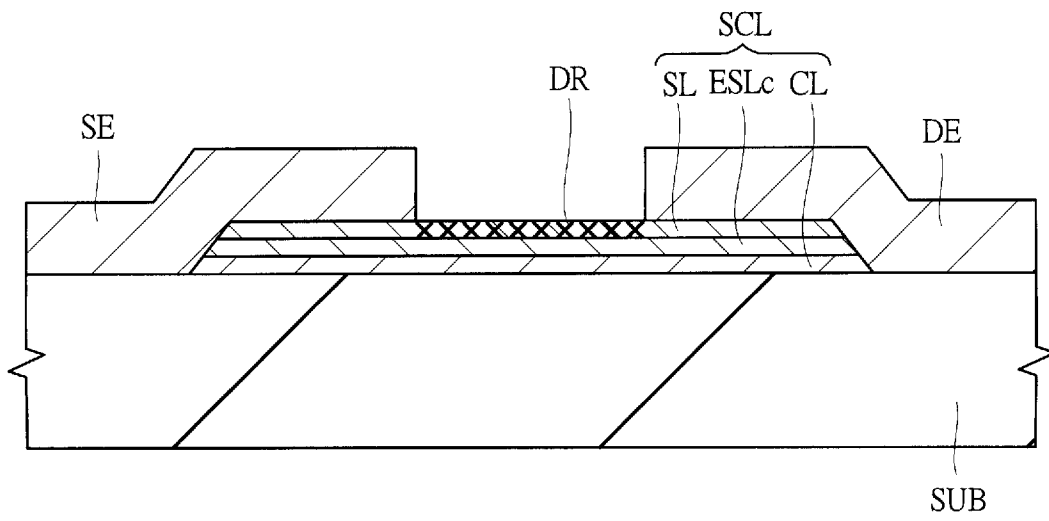
[図21]

図 21



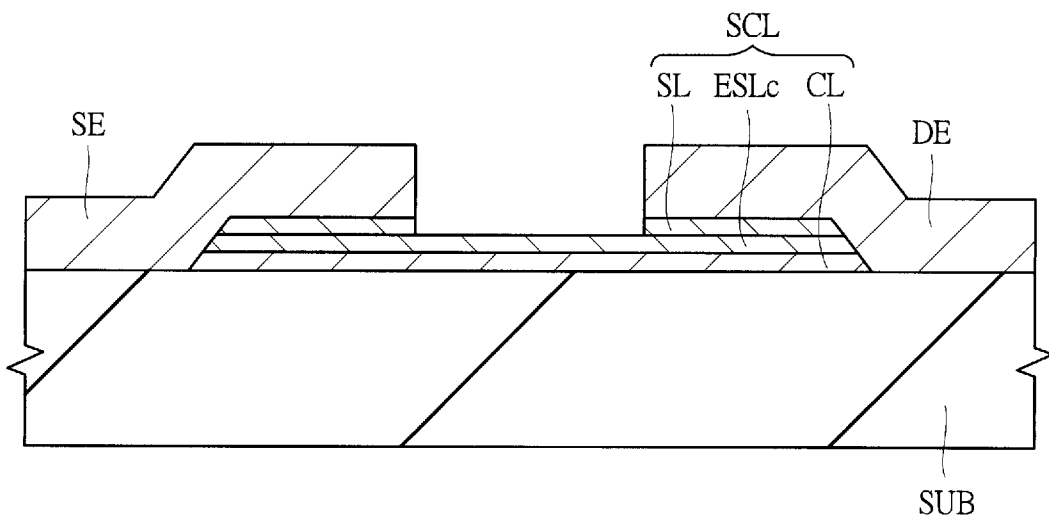
[図22]

図 22



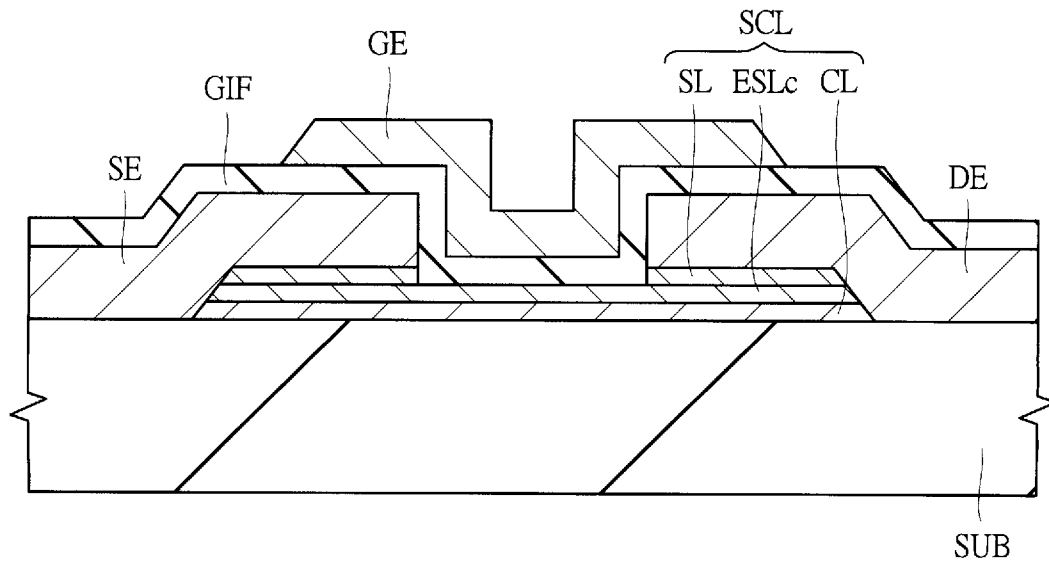
[図23]

図 23



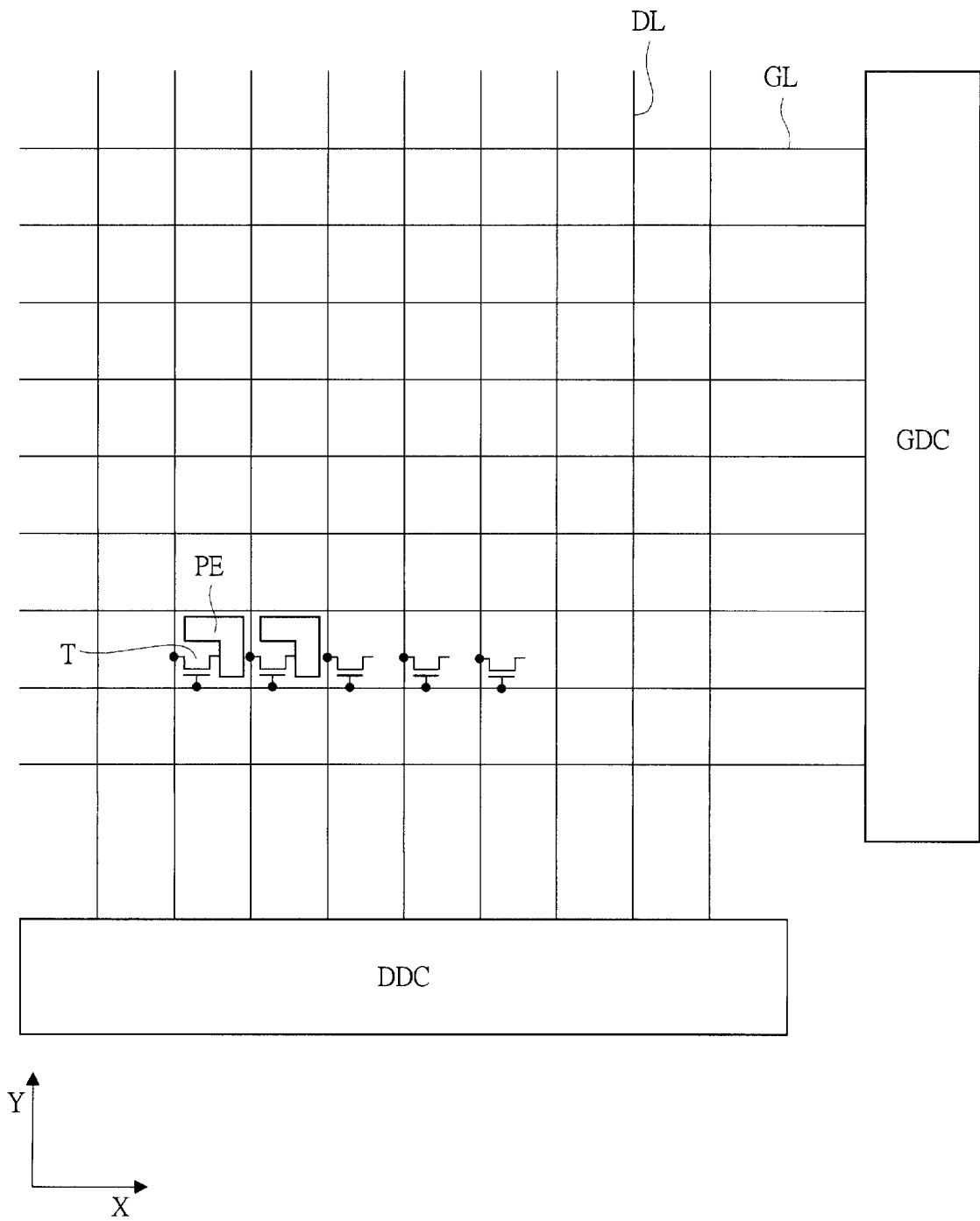
[図24]

図 24



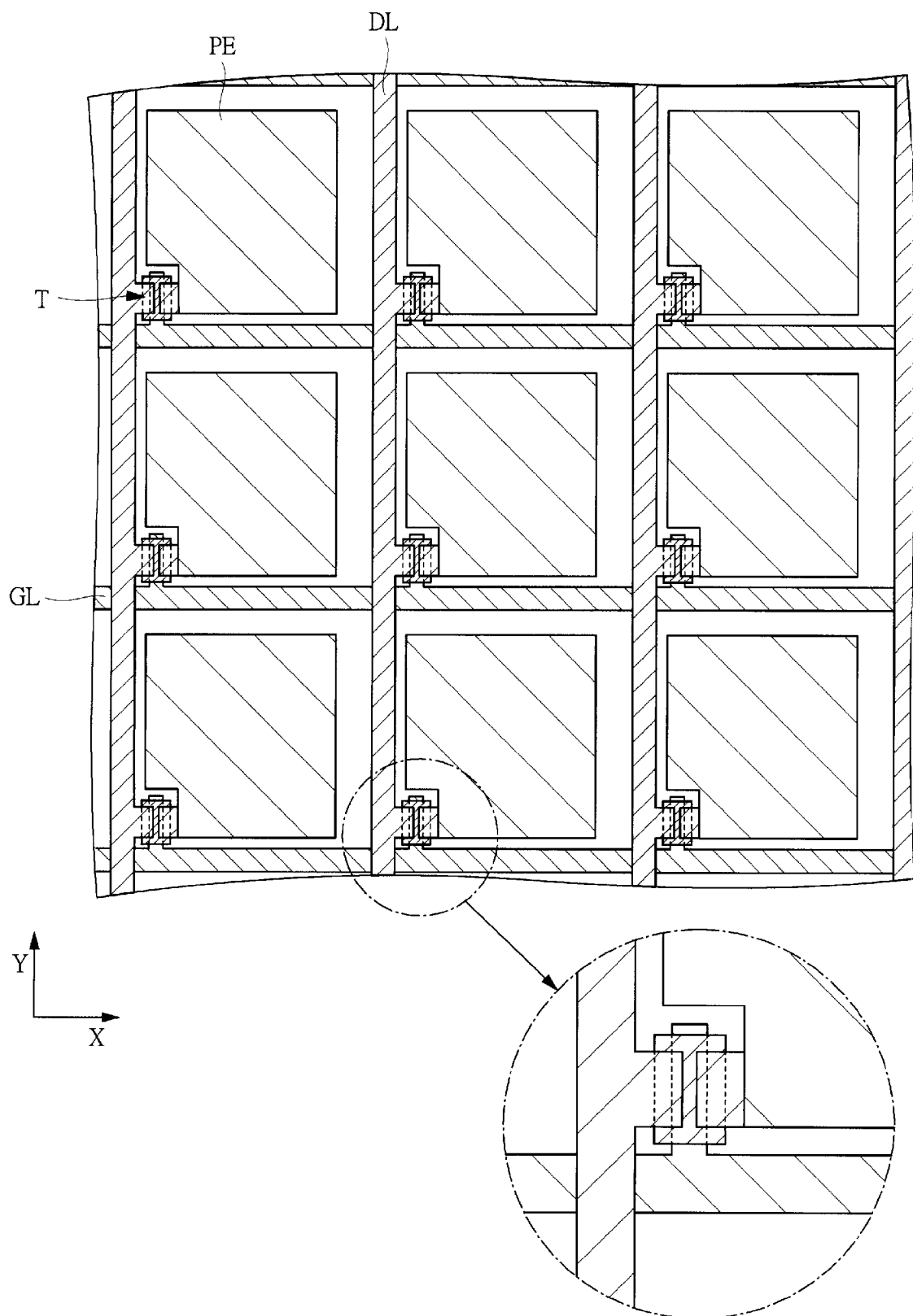
[図25]

図 25



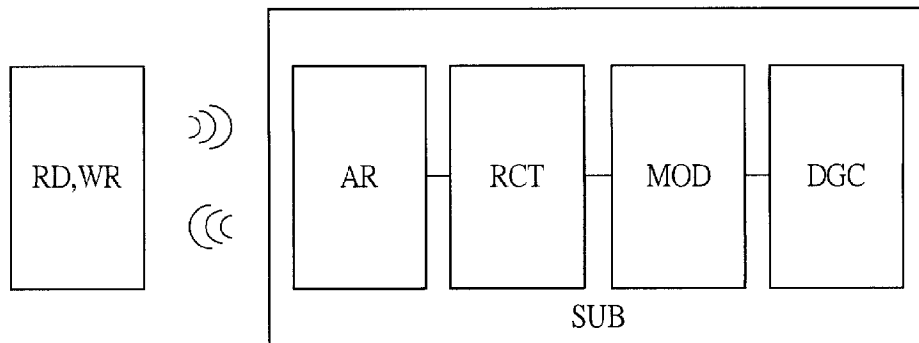
[図26]

図 26



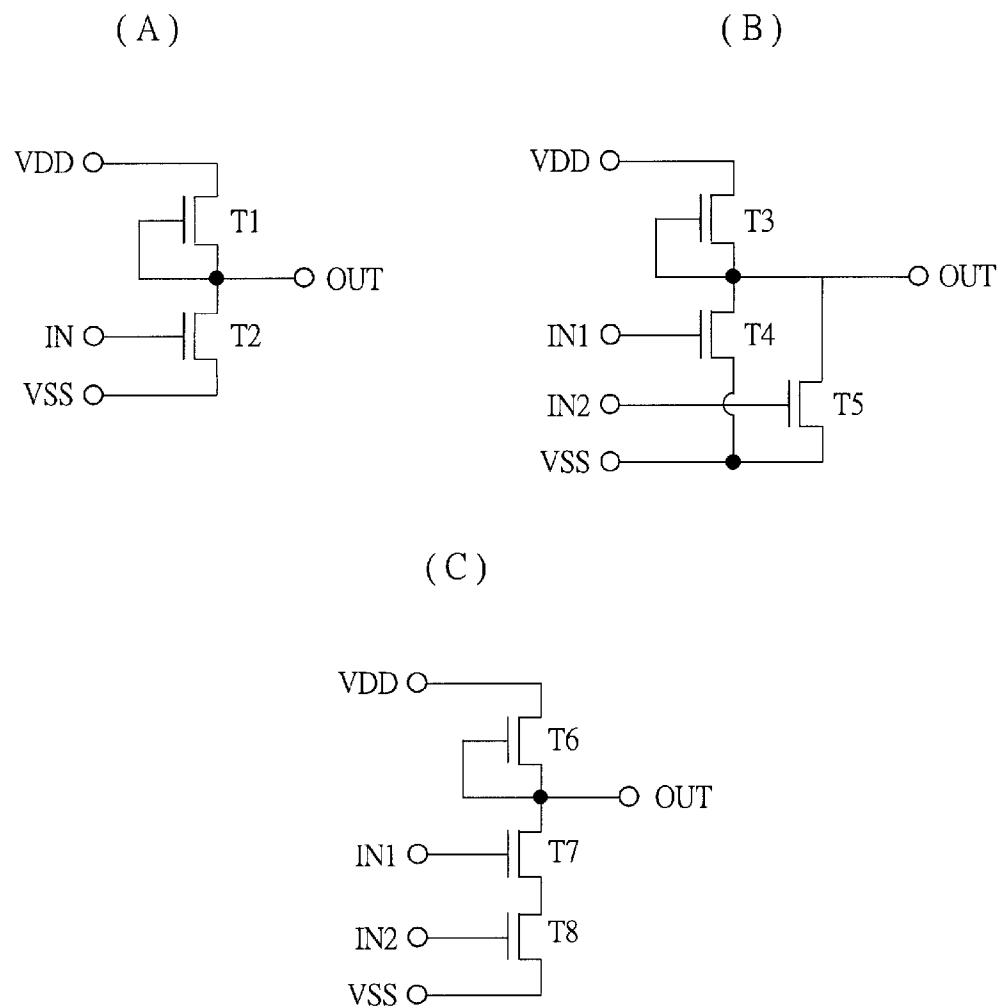
[図27]

図 27



[図28]

図 28



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051659

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-123758 A (NEC Corp.), 03 June 2010 (03.06.2010), paragraphs [0178] to [0188]; fig. 14 & US 2010/0123132 A1 & CN 101740635 A	15, 16, 18 1-14, 17, 19, 20
Y	WO 2007/063966 A1 (Idemitsu Kosan Co., Ltd.), 07 June 2007 (07.06.2007), paragraphs [0149] to [0166] & US 2010/0283055 A1 & KR 10-2008-0082616 A & CN 101336485 A	1-7, 9-14, 17, 19, 20
Y	JP 2009-004787 A (Samsung Electronics Co., Ltd.), 08 January 2009 (08.01.2009), paragraphs [0005], [0014] & US 2008/0315193 A1 & KR 10-2008-0112877 A & CN 101328409 A	2, 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
11 April, 2012 (11.04.12)

Date of mailing of the international search report
24 April, 2012 (24.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051659

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-205923 A (Fujifilm Corp.) , 16 September 2010 (16.09.2010) , paragraphs [0011] to [0081] (Family: none)	5, 6, 8, 13, 14, 19, 20

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-123758 A（日本電気株式会社）2010.06.03, 段落 0178-0188, 図 14 & US 2010/0123132 A1 & CN 101740635 A	15, 16, 18 1-14, 17, 19, 20
Y	WO 2007/063966 A1（出光興産株式会社）2007.06.07, 段落 0149-0166 & US 2010/0283055 A1 & KR 10-2008-0082616 A & CN 101336485 A	1-7, 9-14, 17, 19, 20

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 4 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿 引 隆

5 F

2 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-004787 A (三星電子株式会社) 2009. 01. 08, 段落 0005, 0014 & US 2008/0315193 A1 & KR 10-2008-0112877 A & CN 101328409 A	2, 10
Y	JP 2010-205923 A (富士フイルム株式会社) 2010. 09. 16, 段落 0011-0081 (ファミリーなし)	5, 6, 8, 13, 14, 19, 20