



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월30일
(11) 등록번호 10-2550487
(24) 등록일자 2023년06월28일

- (51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) H01L 21/027 (2006.01)
H01L 21/304 (2006.01) H01L 21/306 (2006.01)
H01L 21/67 (2006.01)
- (52) CPC특허분류
H01L 22/24 (2013.01)
H01L 21/027 (2013.01)
- (21) 출원번호 10-2021-7010195
- (22) 출원일자(국제) 2019년09월05일
심사청구일자 2022년09월05일
- (85) 번역문제출일자 2021년04월06일
- (65) 공개번호 10-2021-0043000
- (43) 공개일자 2021년04월20일
- (86) 국제출원번호 PCT/US2019/049611
- (87) 국제공개번호 WO 2020/051258
국제공개일자 2020년03월12일
- (30) 우선권주장
62/728,664 2018년09월07일 미국(US)
16/184,898 2018년11월08일 미국(US)
- (56) 선행기술조사문헌
US20090294840 A1
US20120181665 A1
US20170373161 A1
- (73) 특허권자
케이엘에이 코포레이션
미합중국, 캘리포니아 95035, 밀피타스, 윈 테크
놀로지 드라이브
- (72) 발명자
클리 파렛
미국 캘리포니아주 94587 유니언 시티 퀸 앤 드라이브 4324
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 11 항

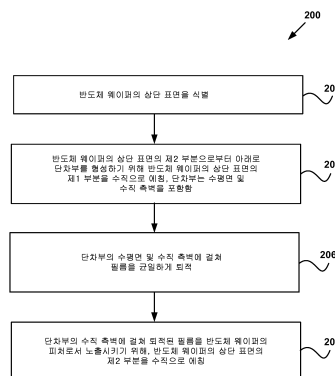
심사관 : 홍중선

(54) 발명의 명칭 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 시스템 및 방법

(57) 요약

제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 시스템 및 방법이 제공된다. 사용 시, 반도체 웨이퍼의 상단 표면이 식별된다. 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 아래로 단차부(step)를 형성하기 위해 반도체 웨이퍼의 상단 표면의 제1 부분이 그 후 수직으로 에칭되며, 단차부는 수평면 및 수직 측벽을 포함한다. 또한, 막은 단차부의 수평면 및 수직 측벽에 걸쳐 균일하게 퇴적된다. 또한, 단차부의 수직 측벽에 걸쳐 퇴적된 막을 반도체 웨이퍼의 피처로서 노출시키기 위해, 반도체 웨이퍼의 상단 표면의 제2 부분이 수직으로 에칭된다.

대표도 - 도2



(52) CPC특허분류

H01L 21/304 (2013.01)

H01L 21/306 (2013.01)

H01L 21/67063 (2013.01)

H01L 21/67242 (2013.01)

H01L 22/12 (2013.01)

H01L 22/26 (2013.01)

H01L 22/30 (2013.01)

명세서

청구범위

청구항 1

방법으로서,

반도체 웨이퍼의 상단 표면 - 상기 반도체 웨이퍼의 상단 표면은 상기 반도체 웨이퍼의 기판 상에 퇴적된 하드 마스크임 - 을 식별하는 단계;

상기 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 아래로 단차부(step)를 형성하기 위해 상기 반도체 웨이퍼의 상단 표면의 제1 부분을 선택 깊이까지 수직으로 에칭하는 단계 - 상기 단차부는:

상기 반도체 웨이퍼의 상단 표면의 제2 부분보다 더 낮은 높이에 있는 수평면, 및

상기 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 상기 수평면까지 연장되는 수직 측벽

을 포함함 -;

상기 단차부의 화학적 기계적 평탄화(CMP, chemical mechanical planarization)를 수행하는 단계;

상기 단차부의 CMP를 수행하는 단계 후에, 상기 단차부의 수평면 및 수직 측벽에 걸쳐 선택 두께의 막을 균일하게 퇴적하는 단계;

상기 단차부의 수평면 및 수직 측벽에 걸쳐 상기 막을 균일하게 퇴적하는 단계 후에, 상기 단차부의 높이를 감소시키기 위해 상기 반도체 웨이퍼의 상단 표면의 제2 부분 상에서 CMP를 수행하는 단계; 및

상기 단차부의 높이를 감소시키기 위해 상기 반도체 웨이퍼의 상단 표면의 제2 부분 상에서 CMP를 수행하는 단계 후에, 상기 단차부의 수직 측벽에 걸쳐 퇴적된 막을 상기 반도체 웨이퍼의 피처로서 노출시키기 위해, 상기 반도체 웨이퍼의 상단 표면의 상기 제2 부분, 및 상기 반도체 웨이퍼의 상단 표면의 상기 제2 부분이 퇴적된 상기 반도체 웨이퍼의 기판의 일부를 관통해 수직으로 에칭함으로써, 상기 막으로부터 상기 반도체 웨이퍼의 상단 표면의 제2 부분을 선택 깊이까지 수직으로 에칭하는 단계를 포함하며,

상기 피처의 치수는 상기 막이 퇴적되는 선택 두께 및 상기 반도체 웨이퍼의 상단 표면의 제2 부분이 수직으로 에칭되는 선택 깊이에 따라 제어되는 것인, 방법.

청구항 2

제1항에 있어서, 상기 반도체 웨이퍼는 실리콘 웨이퍼인 것인, 방법.

청구항 3

제1항에 있어서, 상기 반도체 웨이퍼의 기판은 실리콘 기판인 것인, 방법.

청구항 4

제1항에 있어서, 상기 하드 마스크는 실리콘 질화물인 것인, 방법.

청구항 5

제1항에 있어서, 상기 반도체 웨이퍼의 상단 표면의 제1 부분은 습식 에칭을 사용하여 수직으로 에칭되는 것인, 방법.

청구항 6

제1항에 있어서, 상기 반도체 웨이퍼의 상단 표면의 제1 부분은 건식 에칭을 사용하여 수직으로 에칭되는 것인, 방법.

청구항 7

제1항에 있어서, 상기 막은 열 산화(thermal oxidation)에 의해 상기 단차부의 수직 측벽에 걸쳐 균일하게 퇴적되는 것인, 방법.

청구항 8

제1항에 있어서, 상기 막은 화학적 기상 퇴적(chemical vapor deposition)에 의해 상기 단차부의 수직 측벽에 걸쳐 제어된 폭으로 균일하게 퇴적되는 것인, 방법.

청구항 9

제1항에 있어서, 상기 피처는 계측 툴의 교정(calibration)을 위해 이용되는 것인, 방법.

청구항 10

제1항에 있어서, 상기 피처는 복수의 계측 툴 사이의 측정 정합(measurement matching)을 위해 이용되는 것인, 방법.

청구항 11

제1항에 있어서, 상기 반도체 웨이퍼의 상단 표면의 상이한 위치들에 대해, 상기 반도체 웨이퍼의 상단 표면의 제1 부분을 수직으로 에칭하는 단계, 상기 막을 균일하게 퇴적하는 단계, 및 상기 반도체 웨이퍼의 상단 표면의 제2 부분을 수직으로 에칭하는 단계를 반복함으로써, 상기 반도체 웨이퍼의 복수의 피처가 형성되는 것인, 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

- [0001] [관련 출원]
- [0002] 본 출원은, 2018년 9월 7일에 출원된 미국 가특허 출원 제62/728,664호에 대한 이익을 청구하며, 이 미국 가특허 출원의 전체 내용은 본 명세서에 참조로서 통합된다.
- [0003] [기술분야]
- [0004] 본 발명은 반도체 웨이퍼의 제조에 관한 것이며, 더 구체적으로는, 치수 표준으로서의 사용을 위한 피처(feature)를 제조하기 위한 공정에 관한 것이다.

배경 기술

- [0005] 반도체 웨이퍼를 제조하기 위한 기존의 공정에는, 규정된 치수에 따라서 반도체 웨이퍼의 피처를 제조하는 것이 수반된다. 기대되는 바와 같이 기능하는 반도체 웨이퍼를 생산하기 위해서는, 제조되는 반도체 웨이퍼 상의 실제 피처 치수가, 규정된 치수에 최대한 가깝게 정렬되는 것이 바람직하다. 또한, 일부 특정 응용예에서, 반도체 웨이퍼는 계측 툴의 교정 또는 정합 시의 사용을 위해 제조되며, 이는, 이들 제조되는 반도체 웨이퍼 상의 실제 피처 치수가, 규정된 치수로부터의 허용가능한 허용오차 내에 있을 것을 요구한다. 따라서, 제어된 치수를 갖는 웨이퍼 피처를 제공하는 반도체 웨이퍼 제조 공정에 대한 필요성이 존재한다.
- [0006] VLSI Standards, Inc. Standards에 의해 만들어진 하나의 기존의 제조 공정은, 제어된 z 치수가 x/y 치수로 변환되도록, 웨이퍼로부터 다이싱된 후 그 가장자리 상에 실장되는, (z 치수에서의) 정밀하게 제어된 두께의 막 스택으로 구성된다. 그러한 공정의 장점은, 리소그래피를 사용하여 x/y 치수에서 균일한 피처를 생성하기보다는, 균일하고 제어된 두께의 막을 성장시키는 것이 더 쉽다는 점이다. 그러나, 이러한 기존의 공정의 단점은, 비용이 많이 들고 시간이 소비되는 접합 공정, 다이싱 공정, 연마 공정, 및 그 후의 에칭 공정을 요구하며, 더욱이, 다이싱은, 피처를 수직으로 배향시키는 데 주의해야 하는 또 다른 기관으로의 재실장을 요구한다는 점이다.
- [0007] 따라서, 종래 기술과 연관된 이들 및/또는 다른 문제를 해소해야 할 필요성이 존재한다.

발명의 내용

- [0008] 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 시스템 및 방법이 제공된다. 사용 시, 반도체 웨이퍼의 상단 표면이 식별된다. 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 아래로 단차부(step)를 형성하기 위해 반도체 웨이퍼의 상단 표면의 제1 부분이 그 후 수직으로 에칭되며, 단차부는 수평면 및 수직 측벽을 포함한다. 또한, 막은 단차부의 수평면 및 수직 측벽에 걸쳐 균일하게 퇴적된다. 또한, 단차부의 수직 측벽에 걸쳐 퇴적된 막을 반도체 웨이퍼의 피처로서 노출시키기 위해, 반도체 웨이퍼의 상단 표면의 제2 부분이 수직으로 에칭된다.

도면의 간단한 설명

- [0009] 도 1a는, 본 명세서에서 설명되는 컴퓨터 구현 방법 중 하나 이상을 수행하기 위해 컴퓨터 시스템 상에서 실행 가능한 프로그램 명령어를 포함하는 비일시적 컴퓨터 판독가능 매체의 한 실시예를 예시하는 블록도를 도시한다.
- 도 1b는, 제조된 디바이스 상의 결함을 검출하도록 구성된 검사 시스템의 한 실시예의 측면도를 예시하는 개략도이다.
- 도 2는, 실시예에 따른, 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 방법을 도시한다.
- 도 3a는 실시예에 따른 반도체 웨이퍼의 상단 표면을 예시한다.
- 도 3b는, 실시예에 따른, 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 아래로 단차부를 형성하기 위해 도 3a의 반도체 웨이퍼의 상단 표면의 제1 부분의 수직 에칭을 예시한다.
- 도 3c는, 실시예에 따른, 도 3b의 단차부의 수평면 및 수직 측벽에 걸친 막의 균일한 퇴적을 예시한다.

도 3d는, 실시예에 따른, 단차부의 수직 측벽에 걸쳐 퇴적된 막을 반도체 웨이퍼의 피처로서 노출시키기 위한 도 3c의 반도체 웨이퍼의 상단 표면의 제2 부분의 수직 에칭을 예시한다.

도 3e는, 실시예에 따른, 도 3d의 피처의 3차원도를 예시한다.

도 4는, 실시예에 따른, 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 시스템을 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0010] 다음의 설명은, 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 시스템 및 방법을 개시한다. 웨이퍼가 제조되면, 다양한 목적을 위해, 예를 들어 결함을 검출하거나, 검사(예컨대, 계측) 시스템을 교정하거나, 상이한 검사(예컨대, 계측) 시스템 사이의 측정 정합을 수행하기 위해, 검사 시스템을 사용하여 웨이퍼가 검사될 수 있다. 도 1a 내지 도 1b는 검사 시스템의 다양한 실시예를 설명한다.
- [0011] 도 1a에 도시된 바와 같이, 컴퓨터 관독가능 매체(100)는, 컴퓨터 시스템(104) 상에서 실행가능한 프로그램 명령어(102)를 포함한다. 전술한 다양한 목적을 위해, 예를 들어 결함을 검출하거나, 검사(예컨대, 계측) 시스템을 교정하거나, 상이한 검사(예컨대, 계측) 시스템 사이의 측정 정합을 수행하기 위해, 프로그램 명령어(102)가 실행될 수 있다.
- [0012] 프로그램 명령어(102)는 컴퓨터 관독가능 매체(100) 상에 저장될 수 있다. 컴퓨터 관독가능 매체는, 자기 디스크나 광 디스크나 또는 자기 테이프와 같은 저장 매체, 또는 당업계에 공지된 임의의 다른 적합한 비일시적 컴퓨터 관독가능 매체일 수 있다. 선택사항으로서, 컴퓨터 관독가능 매체(100)는 컴퓨터 시스템(104) 내에 위치될 수 있다.
- [0013] 프로그램 명령어는, 다른 것들 중에서도, 절차 기반 기법, 컴포넌트 기반 기법, 및/또는 객체 지향 기법을 비롯한 다양한 방식 중 임의의 방식으로 구현될 수 있다. 예컨대, 프로그램 명령어는 원하는 바에 따라 ActiveX 컨트롤, C++ 객체, JavaBeans, Microsoft Foundation Classes("MFC"), 또는 다른 기술이나 방법을 사용하여 구현될 수 있다.
- [0014] 컴퓨터 시스템(104)은, 개인용 컴퓨터 시스템, 이미지 컴퓨터, 메인프레임 컴퓨터 시스템, 워크스테이션, 네트워크 어플라이언스, 인터넷 어플라이언스, 또는 다른 디바이스를 비롯한, 다양한 형태를 취할 수 있다. 일반적으로, "컴퓨터 시스템"이라는 용어는, 메모리 매체로부터의 명령어를 실행하는 하나 이상의 프로세서를 갖는 임의의 디바이스를 망라하도록 광범위하게 정의될 수 있다. 컴퓨터 시스템(104)은 또한, 병렬 프로세서와 같은, 당업계에 공지된 임의의 적합한 프로세서를 포함할 수 있다. 또한, 컴퓨터 시스템(104)은, 고속 처리 및 소프트웨어를 갖춘 컴퓨터 플랫폼을, 독립형 툴 또는 네트워크형 툴로서 포함할 수 있다.
- [0015] 한 실시예에서, 컴퓨터 시스템(104)은, 도 1b에 도시된 바와 같은, 검사 시스템(105)을 또한 포함하는 더 큰 시스템의 서브시스템일 수 있다. 시스템은, 이 실시예에서 본 명세서에서 설명되는 바와 같이 구성되는, 웨이퍼 (또는 다른 디바이스) 상에 제조된 피처에 대한 출력을 생성하도록 구성된 검사 시스템(105)을 포함한다. 시스템은 또한, 하나 이상의 컴퓨터 시스템을 포함한다. 하나 이상의 컴퓨터 시스템은, 전술한 동작을 수행하도록 구성될 수 있다. 컴퓨터 시스템 및 시스템은 또한, 본 명세서에 설명되는 임의의 다른 동작을 수행하도록 구성될 수 있고, 또한, 본 명세서에 설명되는 바와 같이 구성될 수 있다.
- [0016] 도 1b에 도시된 실시예에서, 컴퓨터 시스템 중 하나는 전자 설계 자동화(EDA, electronic design automation) 툴의 부분이며, 컴퓨터 시스템의 또 다른 하나 및 검사 시스템은 EDA 툴의 부분이 아니다. 이들 컴퓨터 시스템은, 예컨대, 도 1a를 참조하여 전술한 컴퓨터 시스템(104)을 포함할 수 있다. 예컨대, 도 1b에 도시된 바와 같이, 컴퓨터 시스템 중 하나는, EDA 툴(106) 내에 포함되는 컴퓨터 시스템(108)일 수 있다. EDA 툴(106) 및 그러한 툴 내에 포함되는 컴퓨터 시스템(108)은 임의의 상업적으로 사용가능한 EDA 툴을 포함할 수 있다.
- [0017] 검사 시스템(105)은, 광으로 웨이퍼를 스캐닝하고 스캐닝 동안 웨이퍼로부터의 광을 검출함으로써 웨이퍼 상의 피처에 대한 출력을 생성하도록 구성될 수 있다. 예컨대, 도 1b에 도시된 바와 같이, 검사 시스템(105)은 광원(120)을 포함하며, 광원(120)은, 당업계에 공지된 임의의 적합한 광원을 포함할 수 있다. 광원으로부터의 광은 빔 스플리터(118)에 지향될 수 있으며, 빔 스플리터(118)는, 광원으로부터의 광을 웨이퍼(122)에 지향시키도록 구성될 수 있다. 광원(120)은, 하나 이상의 집광 렌즈, 시준 렌즈, 릴레이 렌즈, 대물 렌즈, 개구, 스펙트럼 필터, 편광 컴포넌트 등과 같은 임의의 다른 적합한 요소(도시되지 않음)에 커플링될 수 있다. 도 1b에 도시된 바와 같이, 광은 수직 입사각으로 웨이퍼(122)에 지향될 수 있다. 그러나, 광은 거의 수직인 입사각 및 비스듬한 입사각을 비롯한 임의의 적합한 입사각으로 웨이퍼(122)에 지향될 수 있다. 또한, 하나보다 더 많은 입사각으로

광 또는 다수의 광 빔이 웨이퍼(122)에 순차적으로 또는 동시에 지향될 수 있다. 검사 시스템(105)은, 임의의 적합한 방식으로 웨이퍼(122) 위에 광을 스캐닝하도록 구성될 수 있다.

- [0018] 웨이퍼(122)로부터의 광은 스캐닝 동안 검사 시스템(105)의 하나 이상의 채널에 의해 수광 및 검출될 수 있다. 예컨대, 수직에 상대적으로 가까운 각도로 웨이퍼(122)로부터 반사되는 광(즉, 입사각이 수직일 때의 정반사성 반사 광)은 빔 스플리터(118)를 통과하여 렌즈(114)까지 도달할 수 있다. 렌즈(114)는, 도 1b에 도시된 바와 같은 굴절 광학 요소를 포함할 수 있다. 또한, 렌즈(114)는 하나 이상의 굴절 광학 요소 및/또는 하나 이상의 반사 광학 요소를 포함할 수 있다. 렌즈(114)에 의해 집광되는 광은 검출기(112)에 포커싱될 수 있다. 검출기(112)는, 전하 결합 디바이스(CCD, charge coupled device) 또는 또 다른 유형의 이미징 검출기와 같은, 당업계에 공지된 임의의 적합한 검출기를 포함할 수 있다. 검출기(112)는, 렌즈(114)에 의해 집광된 반사 광에 응답하는 출력을 생성하도록 구성된다. 따라서, 렌즈(114)와 검출기(112)는 검사 시스템(105)의 하나의 채널을 형성한다. 검사 시스템(105)의 이 채널은, 당업계에 공지된 임의의 다른 적합한 광학 컴포넌트(도시되지 않음)를 포함할 수 있다.
- [0019] 도 1b에 도시된 검사 시스템은, 웨이퍼(122)로부터 정반사되는 광을 검출하도록 구성되므로, 검사 시스템(105)은, 명시야(BF, bright field) 검사 시스템으로서 구성된다. 그러나, 그러한 검사 시스템(105)은 또한, 다른 유형의 웨이퍼 검사에 대해 구성될 수 있다. 예컨대, 도 1b에 도시된 검사 시스템은 또한, 하나 이상의 다른 채널(도시되지 않음)을 포함할 수 있다. 다른 채널은, 산란 광 채널로서 구성되는, 본 명세서에서 설명되는 광학 컴포넌트 중 임의의 컴포넌트, 예를 들어 렌즈 및 검출기를 포함할 수 있다. 렌즈 및 검출기는 또한, 본 명세서에서 설명된 바와 같이 구성될 수 있다. 이러한 방식으로, 검사 시스템(105)은 또한, 암시야(DF, dark field) 검사에 대해 구성될 수 있다.
- [0020] 검사 시스템(105)은 또한, 컴퓨터 시스템(110)을 포함할 수 있다. 예컨대, 전술한 광학 요소는 검사 서브시스템(105)의 광학 서브시스템(111)을 형성할 수 있으며, 이는 또한, 광학 서브시스템(111)에 커플링되는 컴퓨터 시스템(110)을 포함할 수 있다. 이러한 방식으로, 스캐닝 도중에 검출기에 의해 생성되는 출력이 컴퓨터 시스템(110)에 제공될 수 있다. 예컨대, 검출기에 의해 생성되는 출력을 컴퓨터 시스템(110)이 수신할 수 있도록, (예컨대, 당업계에 공지된 임의의 적합한 송신 매체를 포함할 수 있는, 도 1b에서 파선에 의해 도시된 하나 이상의 송신 매체에 의해) 컴퓨터 시스템(110)은 검출기(112)에 커플링될 수 있다.
- [0021] 검사 시스템(105)의 컴퓨터 시스템(110)은, 전술한 동작 중 임의의 동작을 수행하도록 구성될 수 있다. 예컨대, 컴퓨터 시스템(110)은, 웨이퍼로부터 식별되는 패턴 결함의 규칙적 특성화 및 확률론적 특성화에 대해 구성되거나, 웨이퍼의 피처를 측정하도록 구성될 수 있다. 또한, 컴퓨터 시스템 중 하나 이상은, 2012년 2월 28일에 Bhaskar 등에게 발행된 미국 특허 제8,126,255호에 설명된 것과 같은, 가상 검사기로서 구성될 수 있으며, 이 미국 특허는 마치 본 명세서에 전체가 진술된 것처럼 참조로서 통합된다.
- [0022] 검사 시스템(105)의 컴퓨터 시스템(110)은 또한, 검사 시스템의 부분이 아닌 또 다른 컴퓨터 시스템, 예를 들어 컴퓨터 시스템(108)에 커플링될 수 있으며, 컴퓨터 시스템(108)에 의해 생성되는 출력 - 출력은, 해당 컴퓨터 시스템(108)에 의해 생성되는 설계를 포함할 수 있음 - 을 컴퓨터 시스템(110)이 수신할 수 있도록, 컴퓨터 시스템(108)은, 전술한 EDA 툴(106)과 같은 또 다른 툴에 포함될 수 있다. 예컨대, 2개의 컴퓨터 시스템이, 펌(fab) 데이터베이스와 같은 공유된 컴퓨터 판독가능 저장 매체에 의해 유효하게 커플링될 수 있거나, 2개의 컴퓨터 시스템 사이에서 정보가 송신될 수 있도록, 전술한 것과 같이 송신 매체에 의해 커플링될 수 있다.
- [0023] 도 1b는, 본 명세서에서 설명되는 바와 같이 이용될 수 있는 검사 시스템의 구성을 일반적으로 예시하기 위해 본 명세서에 제공된다는 점에 유의해야 한다. 명백하게, 본 명세서에서 설명되는 검사 시스템 구성은, 상용 검사 시스템을 설계할 때 일반적으로 수행되는 것과 같이, 검사 시스템의 성능을 최적화하기 위해 변경될 수 있다. 또한, 본 명세서에서 설명되는 시스템은, KLA-Tencor로부터 상업적으로 사용가능한 29xx/28xx 시리즈의 툴과 같은, 기존의 검사 시스템을 사용하여(예컨대, 본 명세서에서 설명되는 기능을 기존의 검사 시스템에 추가함으로써) 구현될 수 있다. 일부 그러한 시스템의 경우, 본 명세서에서 설명되는 방법은 해당 시스템의 선택적인 기능으로서(예컨대, 해당 시스템의 다른 기능에 추가하여) 제공될 수 있다. 대안적으로, 본 명세서에서 설명되는 시스템은 "아무것도 없는 상태에서부터(from scratch)" 설계되어 완전히 새로운 시스템을 제공할 수 있다.
- [0024] 추가적인 실시예에서, 검사 시스템(105)은, 미국 특허 제9,293,298호에 개시된 SEM 검토 시스템과 같은 검토 시스템(도시되지 않음)에 직접 또는 간접적으로 커플링될 수 있다. SEM 검토 시스템은, 결함의 분류를 위해, 검사 시스템(105)에 의해 검출된 결함을 검토하도록 동작가능할 수 있으며, 이는, 이어서, 더 나은 결함 검출을 위해 검사 시스템(105)을 트레이닝하도록 사용될 수 있다.

- [0025] 도 2는, 실시예에 따른, 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 방법(200)을 도시한다. 방법(200)은, 설명된 방식으로 반도체 웨이퍼 피처를 제조하도록 구성된 하드웨어 컴포넌트를 갖는 임의의 시스템에 의해 수행될 수 있다. 예컨대, 방법(200)은, 도 4를 참조하여 아래에서 설명되는 시스템(400)에 의해 수행될 수 있다.
- [0026] 동작(202)에 나타난 바와 같이, 반도체 웨이퍼의 상단 표면이 식별된다. 반도체 웨이퍼는, 반도체 물질을 포함하는 임의의 웨이퍼일 수 있다. 따라서, 반도체 웨이퍼의 상단 표면은 반도체 물질의 기관일 수 있다.
- [0027] 예컨대, 한 실시예에서, 반도체 웨이퍼는 실리콘 웨이퍼일 수 있다(즉, 실리콘 물질을 포함함). 이 실시예에서, 반도체 웨이퍼의 상단 표면은, (110) 실리콘과 같은, 실리콘 기관일 수 있다. 또 다른 실시예에서, 반도체 웨이퍼의 상단 표면은, 반도체 웨이퍼의 기관 상에 퇴적된 하드 마스크일 수 있다. 이 실시예에서, 하드 마스크는 실리콘 질화물일 수 있다.
- [0028] 동작(204)에 나타난 바와 같이, 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 아래로 단차부를 형성하기 위해 반도체 웨이퍼의 상단 표면의 제1 부분이 수직으로 에칭된다. 수직 에칭의 결과로서, 단차부는 (반도체 웨이퍼의 상단 표면의 제2 부분보다 더 낮은 높이에 있는) 수평면 및 (반도체 웨이퍼의 상단 표면의 제2 부분으로부터 수평면까지 연장되는) 수직 측벽을 포함한다. 수직 에칭은 습식 에칭 또는 건식 에칭을 포함할 수 있다.
- [0029] 반도체 웨이퍼의 상단 표면이, 반도체 웨이퍼의 기관 상에 퇴적된 하드 마스크인 전술한 실시예에서, 반도체 웨이퍼의 상단 표면의 제1 부분을 수직으로 에칭하는 것은, 하드 마스크의 제1 부분, 및 하드 마스크의 제1 부분이 퇴적된 반도체 웨이퍼의 기관(실리콘)의 제1 부분을 통해 수직으로 에칭하는 것을 포함할 수 있다. 어떠한 경우에서도, 반도체 웨이퍼의 상단 표면의 제1 부분은 임의의 원하는 깊이로 수직으로 에칭될 수 있다는 점에 유의해야 한다.
- [0030] 또한, 동작(206)에 나타난 바와 같이, 단차부의 수평면 및 수직 측벽에 걸쳐 막이 균일하게 퇴적된다. 예컨대, 막은 열 실리콘 산화물을 포함할 수 있다. 또 다른 예로서, 막은 기상 성장 금속을 포함할 수 있다. 그러나, 물론, 반도체 웨이퍼의 상단 표면의 제2 부분이 수직으로 에칭될 수 있고 따라서 단차부의 수직 측벽 상에 퇴적된 막으로부터 제거될 수 있는 한, 막은 임의의 다른 막 물질 포함할 수 있으며, 그에 대한 이유는 아래에서 더 상세하게 언급될 것이다.
- [0031] 이를 위해, 다양한 실시예에서, 열 산화에 의해, 화학적 기상 퇴적에 의해, 또는 단차부의 수평면 및 수직 측벽에 걸쳐 막을 균일하게 퇴적시킬 수 있는 임의의 다른 공정에 의해 막이 균일하게 퇴적될 수 있다. 단차부의 수평면 및 수직 측벽에 걸쳐 막을 균일하게 퇴적시킴으로써, 단차부의 표면 상에 퇴적되는 막의 폭이 제어될 수 있다. 예컨대, 사용되는 막 퇴적 공정은, 원하는 균일한 두께를 갖는 막을 퇴적시키도록 제어될 수 있다.
- [0032] 또한, 동작(208)에 나타난 바와 같이, 단차부의 수직 측벽에 걸쳐 퇴적된 막을 반도체 웨이퍼의 피처로서 노출시키기 위해, 반도체 웨이퍼의 상단 표면의 제2 부분이 수직으로 에칭된다. 한 실시예에서, 반도체 웨이퍼의 상단 표면의 제2 부분을 수직으로 에칭하는 것은, 수직 방향으로 반도체 웨이퍼의 상단 표면의 제2 부분을 부분적으로 제거하는 것을 포함할 수 있다. 또 다른 실시예에서, 반도체 웨이퍼의 상단 표면의 제2 부분을 수직으로 에칭하는 것은, 수직 방향으로 반도체 웨이퍼의 상단 표면의 제2 부분을 완전히 제거하는 것을 포함할 수 있다. 단차부의 수직 측벽에 걸쳐 퇴적된 막을 피처로서 노출시키기 위해 반도체 웨이퍼의 상단 표면의 제2 부분을 수직으로 에칭함으로써, 피처의 높이가 제어될 수 있다.
- [0033] 따라서, 피처는, 단차부의 수직 측벽에 걸쳐 퇴적된 막의 폭에 의해 특성화될 수 있다. 이러한 방식으로, 전술한 막 퇴적 공정 및 에칭 공정을 제어함으로써 피처의 제어된 치수, 즉, 피처의 폭이 제공될 수 있다.
- [0034] 반도체 웨이퍼의 상단 표면의 상이한 위치에 대해 방법(200)을 반복함으로써 반도체 웨이퍼의 복수의 피처가 형성될 수 있다는 점에 유의해야 한다. 방법(200)은 또한, 반도체 웨이퍼의 상단 표면의 다수의 상이한 위치에서 동시에 수행될 수 있다. 각 피처를 제조하기 위한 막 퇴적 공정 및 에칭 공정을 제어함으로써, 이들 피처는, 폭, 높이, 및 형상이, 제어된 방식으로 달라질 수 있다.
- [0035] 전술한 방식으로, 방법(200)은 반도체 웨이퍼 피처에 대한 잘 특성화되고 반복가능한 치수 표준을 제공할 수 있다. 이는, 반도체 업계에서의 임계 치수(CD, critical dimension)의 측정에서와 같이, 100nm 미만의 피처를 측정하는 계측 툴, 예를 들어 임계 치수 원자력 현미경(CD-AFM, Critical Dimension Atomic Force Microscopy) 툴 및 임계 치수 스캐닝 전자 현미경(CD-SEM, Critical Dimension Scanning Electron Microscope) 툴의 교정 시에 이들 피처가 사용될 수 있도록 할 수 있다. 이는 또한, 미국 특허 제8,003,940호에 개시된 SEM에 대한 툴

정합 방법과 같은, 상이한 계층 틀에 걸친 측정 정합을 위해 이들 피처가 사용될 수 있도록 할 수 있다.

- [0036] 또한, 방법(200)은, 웨이퍼 접합, 다이 연마, 또는 다른 기관에 대한 배향 및 다른 기관으로의 실장에 대한 필요성을 없앴으로써, 종래 기술로부터의 것보다 더 단순한 막 스택으로 이들 제어된 피처를 제공할 수 있다. 방법(200)은 또한, 원하는 바와 같이, 다양한 형상 및 사이즈의 그리고 상이한 막 물질을 사용한 반도체 웨이퍼 피처를 제조할 수 있는 능력을 제공할 수 있다.
- [0037] 이제 다양한 선택적인 아키텍처에 대해 그리고 사용자의 소망에 따라서 전술한 방법이 구현될 수 있거나 구현되지 않을 수 있는 사용에 대해 더 많은 예시적인 정보가 제시될 것이다. 다음의 정보는 예시적인 목적으로 제시되며 어떠한 방식으로든 제한하는 것으로서 해석되어서는 안 된다는 점에 유의해야 한다. 다음의 피처 중 임의의 피처는, 설명되는 다른 피처를 배제하거나 배제하지 않으면서 선택적으로 포함될 수 있다.
- [0038] 도 3a는 실시예에 따른 반도체 웨이퍼의 상단 표면을 예시한다. 도시된 바와 같이, 반도체 웨이퍼는, 실리콘 기관(304) 상에 퇴적된 하드 마스크(302)를 포함한다. 하드 마스크(302)는 실리콘 질화물일 수 있고 실리콘 기관은 (110) 실리콘일 수 있다. 상이한 응용예에서, 하드 마스크(302)는 실리콘 기관(304)의 전체 표면 또는 실리콘 기관(304)의 부분적 표면에 걸쳐 퇴적 및 패터닝될 수 있다는 점에 유의해야 한다.
- [0039] 도 3b는, 실시예에 따른, 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 아래로 단차부를 형성하기 위해 도 3a의 반도체 웨이퍼의 상단 표면의 제1 부분의 수직 에칭을 예시한다. 도시된 바와 같이, 단차부는 (수직 에칭의 깊이와 같은 높이를 갖는) 수직 측벽 및 (반도체 웨이퍼의 상단 표면의 제1 부분의 길이와 같은 길이를 갖는) 수평면을 포함한다. 예를 들어, 매우 균일하며 (110) 실리콘 웨이퍼 상에 일직선 라인 및 수직 측벽을 초래하는 습식 이방성 공정(예컨대, KOH)에 의한, 습식 에칭을 사용하여 수직 에칭이 수행될 수 있다. 또 다른 선택사항으로서, 예를 들어, 결과적인 단차부의 형상을 (제어된 방식으로) 변화시킬 수 있는 반응성 이온 에칭 공정(예컨대, 보쉬 공정)에 의해, 건식 에칭을 사용하여 수직 에칭이 수행될 수 있다.
- [0040] 도 3b의 맥락에서, 선택사항으로서, 단차부의 화학적 기계적 연마가 수행될 수 있다. 이는, 아래에서 더 상세히 설명되는 바와 같이, 더 예리한 결과적인 피처를 가능케 하기 위해, 단차부의 각도를 예리하게 할 수 있다.
- [0041] 도 3c는, 실시예에 따른, 도 3b의 단차부의 수평면 및 수직 측벽에 걸친 막의 균일한 퇴적을 예시한다. 도시된 바와 같이, 단차부의 수평면 및 수직 측벽에 걸쳐, 열 실리콘 산화물과 같은, 막(306)이 균일하게 퇴적(성장)된다. (도 3d를 참조하여 아래에서 설명되는 바와 같이) 반도체 웨이퍼의 상단 표면의 제2 부분이 막(306)으로부터 에칭될 수 있는 한, 기상 성장 금속과 같은, 열 실리콘 산화물 이외의 다른 막 물질이 또한 사용될 수 있다. 기상 성장 금속의 사용은 반도체 웨이퍼 피처를 생성하는 데 이로울 수 있으며, 왜냐하면 특정 검사 틀에서 이 물질의 피처는 더 큰 이미징 대비를 제공할 수 있기 때문이다. 어떠한 경우에서도, 막(306)의 균일한 퇴적은, 단차부의 수평면 및 수직 측벽 위의 막(306)의 일관적인 두께(t)를 초래한다.
- [0042] 선택사항으로서, 막(306)을 균일하게 퇴적시킨 후, 반도체 웨이퍼의 상단 표면의 제2 부분 상에 화학적 기계적 평탄화(CMP, chemical mechanical planarization)가 수행될 수 있다. 이는 하드 마스크(302)를 제거하고 단차부 높이를 감소시킬 수 있다. 중요하게, 이는, 다른 경우에는 도 3d에 설명된 수직 에칭을 통해 깨끗한 피처로 에칭되지 않을 수 있는, 실리콘 기관(304), 하드 마스크(302), 및 막(306)의 접합부에서의 계면 비화학량론적 조성물을 제거할 수 있다.
- [0043] 도 3d는, 실시예에 따른, 단차부의 수직 측벽에 걸쳐 퇴적된 막을 반도체 웨이퍼의 피처로서 노출시키기 위한 도 3c의 반도체 웨이퍼의 상단 표면의 제2 부분의 수직 에칭을 예시한다. 한 실시예에서, 하드 마스크(302) 및 실리콘 기관(304)의 부분을 통해 수직으로 에칭하는 것을 포함하여, (도 3b에 표시된) 반도체 웨이퍼의 상단 표면의 제2 부분 상에 수직 에칭이 수행될 수 있다. 결과로서, 단차부의 수직 측벽에 걸쳐 퇴적된 막(306)은 측벽으로부터 부분적으로 자유(free)가 되며, 막(306)의 폭(t) 및 도시된 수직 에칭의 깊이에 대응하는 높이(h)에 의해 특성화되는, 반도체 웨이퍼의 수직 피처를 형성한다.
- [0044] 도 3e는, 실시예에 따른, 도 3d의 피처의 3차원도를 예시한다. 도시된 바와 같이, 도 3a 내지 도 3d를 참조하여 설명된 제조 공정으로부터 초래되는 피처는 폭(t) 및 높이(h)에 의해 특성화되며, 실리콘 기관(304) 상에 퇴적된 막(306) 물질로부터 형성된다.
- [0045] (투명하다면) 타원계측법(ellipsometry)을 사용한 특성화 후, 반도체 웨이퍼 피처는 기존의 실리콘 기관(304) 상에 사용될 수 있다. 비용 절감 조치로서, 피처는 또한 다이싱되어 다른 기관(웨이퍼 또는 마스크) 상에 실장될 수 있다(하나의 피처리 웨이퍼(processed wafer)가, 수천 개의 사용가능한 피처를 초래할 수 있음). 타원계측법 및/또는 단면 투과 전자 현미경(TEM, transmission electron microscopy)을 통해 막(306)의 두께, 및 반

도체 웨이퍼 피처의 결과적인 폭이, 단결정 실리콘의 원자 격자 또는 He-Ne 레이저 파장과 같은, 추적가능한 표준으로 특성화될 수 있다. 그 후 피처는 CD-AFM 또는 CD-SEM의 틀 정합 또는 교정을 위해 사용될 수 있다.

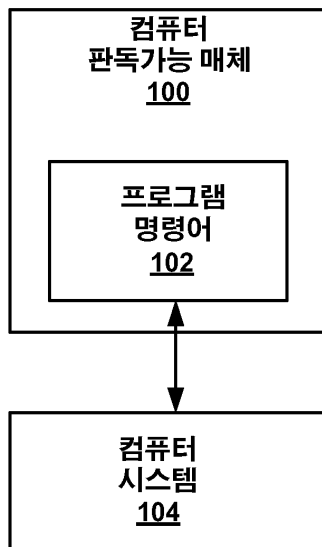
[0046] 도 4는, 실시예에 따른, 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하기 위한 시스템(400)을 예시한다. 시스템(400)은, 도 2의 방법(200) 및/또는 도 3a 내지 도 3e를 참조하여 전술한 공정을 수행하도록 구현될 수 있다. 관련 기술 분야에서 이해되는 바와 같이, 시스템(400)은 도시된 컴포넌트로 제한되지 않으며, 추가적인 컴포넌트를 포함할 수 있다는 점에 유의해야 한다. 또한, 시스템(400)의 컴포넌트는, 제어된 치수를 갖는 반도체 웨이퍼 피처를 제조하도록 구성된 하드웨어 컴포넌트이다.

[0047] 도시된 바와 같이, 시스템(400)은 에칭 컴포넌트(402)를 포함한다. 에칭 컴포넌트는 반도체 웨이퍼의 상단 표면의 제2 부분으로부터 아래로 단차부를 형성하기 위해 반도체 웨이퍼의 상단 표면의 제1 부분을 수직으로 에칭하며, 단차부는 수평면 및 수직 측벽을 포함한다(도 2의 동작(204) 및/또는 도 3b 참조). 시스템(400)은 또한, 단차부의 수평면 및 수직 측벽에 걸쳐 막을 균일하게 퇴적시키는 막 퇴적 컴포넌트(404) 포함한다(도 2의 동작(206) 및/또는 도 3c 참조). 에칭 컴포넌트(402)는 또한, 단차부의 수직 측벽에 걸쳐 퇴적된 막을 반도체 웨이퍼의 피처로서 노출시키기 위해 반도체 웨이퍼의 상단 표면의 제2 부분을 수직으로 에칭한다(동작(208) 및/또는 도 3d 참조).

[0048] 다양한 실시예가 전술되었지만, 이러한 실시예는 제한으로서가 아니라 오직 예로서 제시되었다는 것이 이해되어야 한다. 따라서, 선호되는 실시예의 폭 및 범위는 전술한 예시적 실시예 중 임의의 실시예에 의해 제한되어서는 안 되며, 다음의 청구범위 및 그 등가물에 따라서만 규정되어야 한다.

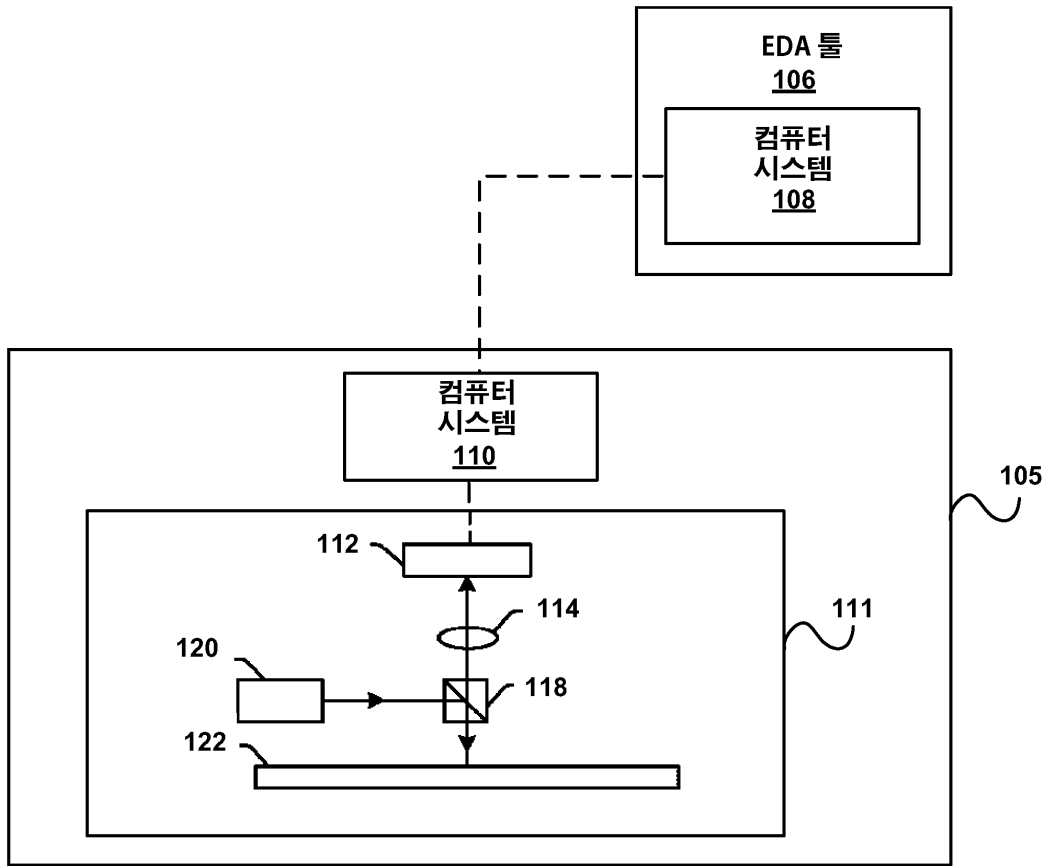
도면

도면1a



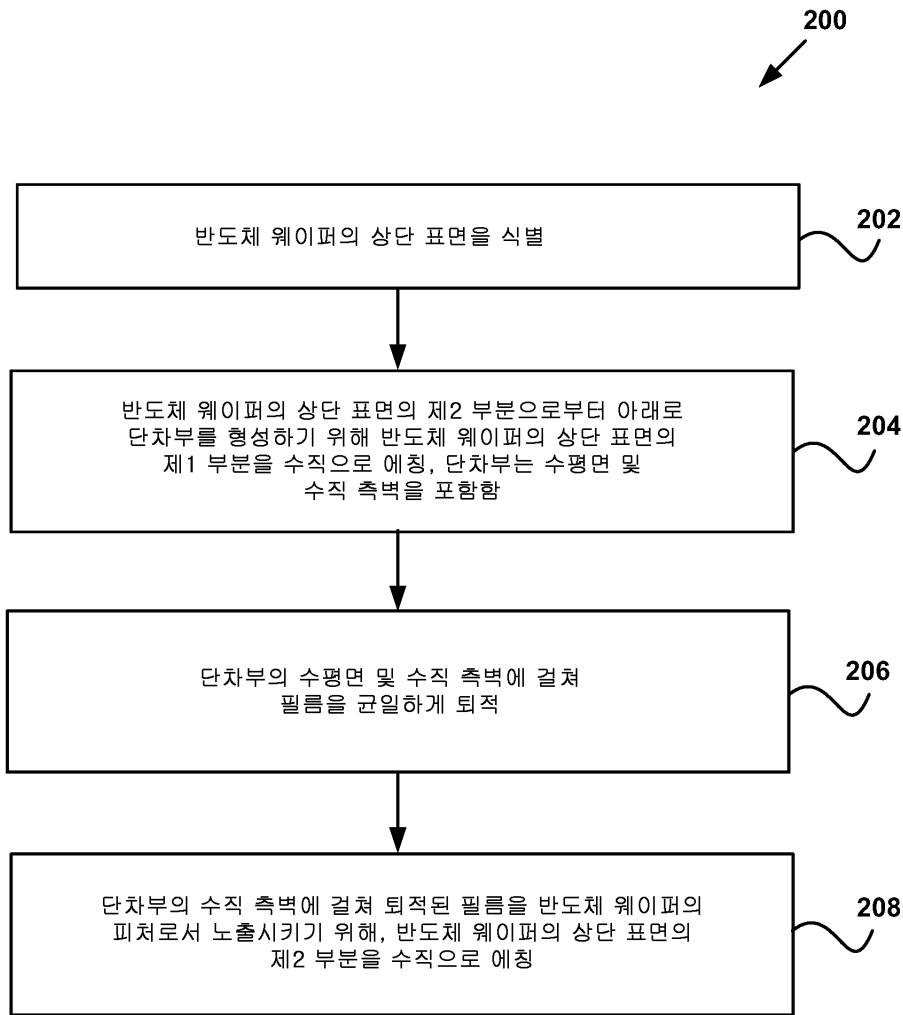
종래 기술

도면1b

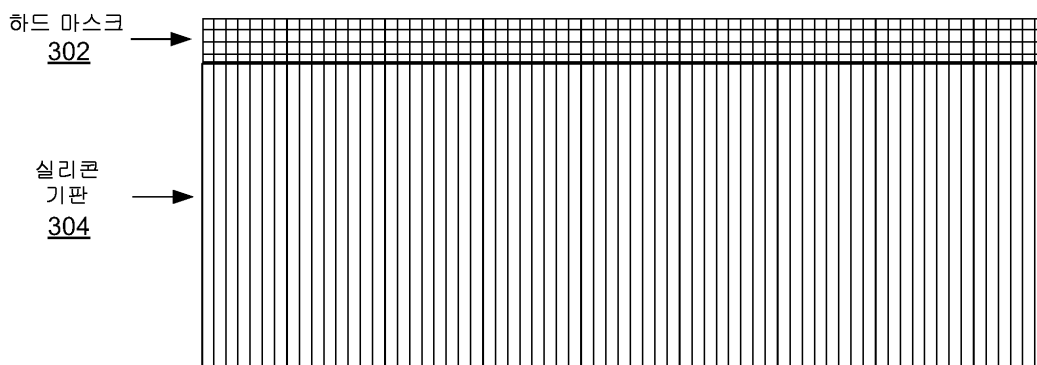


종래
기술

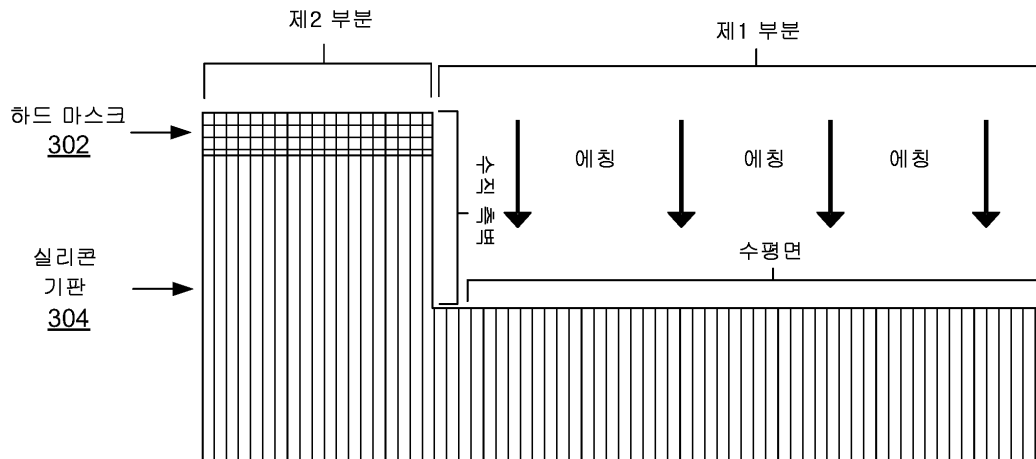
도면2



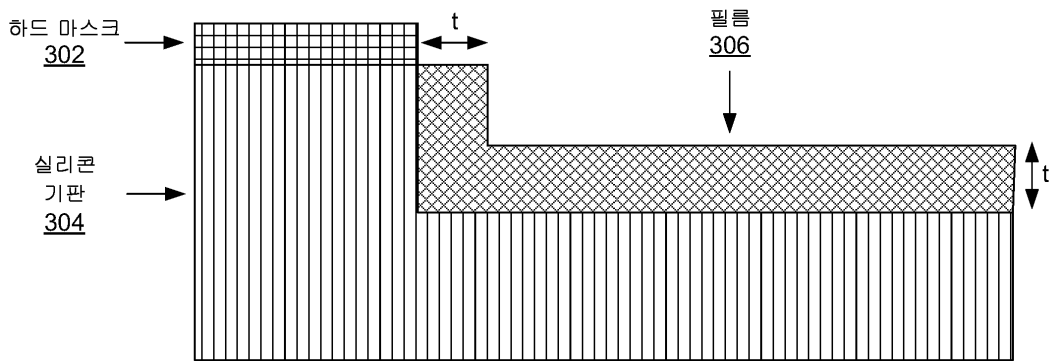
도면3a



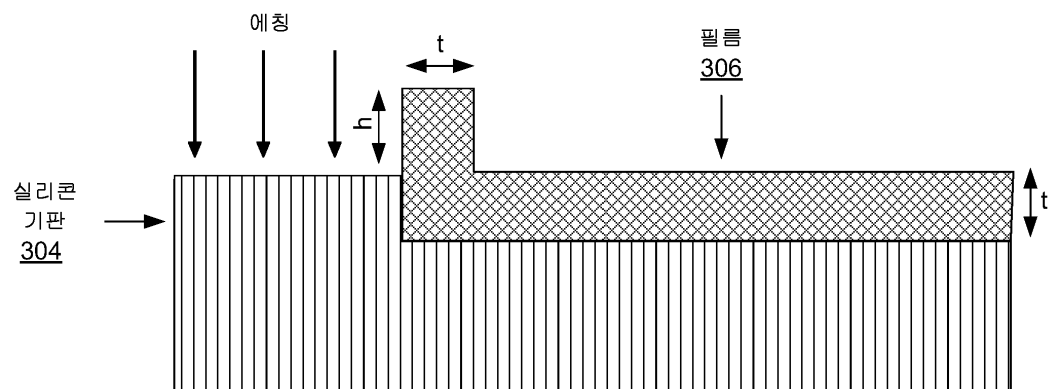
도면3b



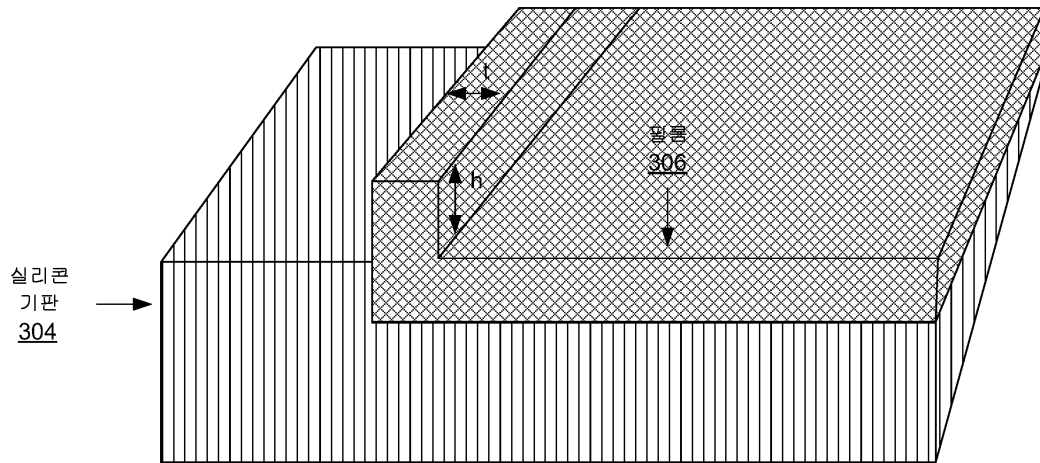
도면3c



도면3d



도면3e



도면4

