

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5478635号
(P5478635)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月21日(2014.2.21)

(51) Int. Cl.		F I			
H03F	3/45	(2006.01)	H03F	3/45	Z
H03M	1/10	(2006.01)	H03M	1/10	A
H03M	1/12	(2006.01)	H03M	1/12	A

請求項の数 15 (全 14 頁)

(21) 出願番号	特願2011-540788 (P2011-540788)	(73) 特許権者	503062253
(86) (22) 出願日	平成21年12月4日(2009.12.4)		アナログ ディヴァイスィズ インク
(65) 公表番号	特表2012-511876 (P2012-511876A)		アメリカ合衆国・マサチューセッツ・02
(43) 公表日	平成24年5月24日(2012.5.24)		062・ノーウッド・ワン・テクノロジー
(86) 国際出願番号	PCT/US2009/066701		・ウェイ(番地なし)
(87) 国際公開番号	W02010/068559	(74) 代理人	100108453
(87) 国際公開日	平成22年6月17日(2010.6.17)		弁理士 村山 靖彦
審査請求日	平成24年10月19日(2012.10.19)	(74) 代理人	100064908
(31) 優先権主張番号	61/122,078		弁理士 志賀 正武
(32) 優先日	平成20年12月12日(2008.12.12)	(74) 代理人	100089037
(33) 優先権主張国	米国 (US)		弁理士 渡邊 隆
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 ディザ追加型増幅器

(57) 【特許請求の範囲】

【請求項1】

少なくとも1つの信号経路と、

前記少なくとも1つの信号経路のうち1つに選択的に接続されるディザ電流源とを具備し、

前記少なくとも1つの信号経路は、入力と出力との間に延び、前記出力に接続された負荷デバイスと前記入力に接続されたトランジスタと前記トランジスタのソースに接続されたバイアス電流源とを有し、

前記ディザ電流源は、前記少なくとも1つの信号経路における前記負荷デバイス及び前記バイアス電流源のうち1つに選択的に接続されることを具備することを特徴とするアナログ増幅器。

【請求項2】

前記少なくとも1つの信号経路の各々における前記トランジスタのドレインは、前記各々の信号経路における前記負荷デバイスに接続されていることを特徴とする請求項1に記載のアナログ増幅器。

【請求項3】

前記ディザ電流の大きさは、前記アナログ増幅器を具備している集積回路のクロック周波数に基づき変化することを特徴とする請求項1に記載のアナログ増幅器。

【請求項4】

前記ディザ電流の大きさは、前記アナログ増幅器を具備している集積回路の温度測定に

基づき変化することを特徴とする請求項1に記載のアナログ増幅器。

【請求項5】

前記アナログ増幅器は、差動増幅器を構成する信号経路の対を具備し、

前記差動増幅器の入力は、前記信号経路の対にあるトランジスタにおける入力電圧の電位の差であり、

前記差動増幅器の出力は、前記信号経路の対における前記負荷デバイスの電圧の電位の差であることを具備することを特徴とする請求項1に記載のアナログ増幅器。

【請求項6】

前記信号経路に対して前記ディザ電流源を選択的に接続するスイッチと、

前記スイッチに接続される制御デバイスとを更に具備し、

前記スイッチは、3つのノードを具備し、

前記スイッチの第1ノードは、前記ディザ電流源を第1信号経路における前記負荷デバイスに直接に接続することが可能であり、

前記スイッチの第2ノードは、前記ディザ電流源を第2信号経路における前記負荷デバイスに直接に接続することが可能であり、

前記スイッチの第3ノードは、前記ディザ電流源を前記バイアス電流源に接続することが可能であり、

前記制御デバイスは、前記スイッチに所定の時間前記3つのノードのうち1つと接続させるトリガとなる制御信号を発生することが可能であることを特徴とする請求項5に記載のアナログ増幅器。

【請求項7】

前記制御信号を、前記スイッチが前記3つのノードのうち1つにランダムに接続されるよう乱数発生器に基づいて、発生させることを特徴とする請求項6に記載のアナログ増幅器。

【請求項8】

前記制御信号を、アナログデジタル変換器のサンプリング時間に従って、発生させることを特徴とする請求項6に記載のアナログ増幅器。

【請求項9】

前記ディザ電流源は、等しくない大きさの複数の電流源を具備し、

前記電流源の各々は、選択的に、及び独立に、前記少なくとも1つの信号経路に接続することを特徴とする請求項1に記載のアナログ増幅器。

【請求項10】

ディザ電流源は、1又は2以上の信号経路に選択的に接続されることを特徴とする請求項1に記載のアナログ増幅器。

【請求項11】

少なくとも1つの前置増幅器と、

前記少なくとも1つの前置増幅器に接続されるラッチ回路とを具備し、

前記少なくとも1つの前置増幅器の各々は、少なくとも1つの信号経路と、前記少なくとも1つの信号経路のうち1つに選択的に接続される第1ディザ電流源とを具備し、

前記少なくとも1つの信号経路は、入力と出力との間に延び、前記少なくとも1つの前置増幅器の前記出力に接続された負荷デバイスと前記少なくとも1つの前置増幅器の前記入力に接続されたトランジスタと前記トランジスタのソースに接続されたバイアス電流源とを有し、

前記第1ディザ電流源は、前記少なくとも1つの信号経路における前記負荷デバイス及び前記バイアス電流源のうち1つに選択的に接続され、

前記ラッチ回路は、第1出力及び第2出力を具備し、

前記ラッチ回路は、前記ラッチ回路の第1出力及び第2出力のうち1つに選択的に接続される第2ディザ電流源を具備することを特徴とするコンパレータ。

【請求項12】

前記前置増幅器は、差動増幅器を構成する信号経路の対を具備し、

前記差動増幅器の入力は、前記信号経路の対にあるトランジスタにおける入力電圧の電位の差であり、

前記差動増幅器の出力は、前記信号経路の対における前記負荷デバイスの電圧の電位の差であることを特徴とする請求項11に記載のコンパレータ。

【請求項13】

前記信号経路に対して前記第1ディザ電流源を選択的に接続する第1スイッチと、

前記ラッチ回路の2つの前記出力のうち1つに対して前記第2ディザ電流源を選択的に接続するための2つのノードを具備する第2スイッチと、

前記第1スイッチと前記第2スイッチに接続される制御デバイスとを更に具備し、

前記第1スイッチは、3つのノードを具備し、

前記第1スイッチの第1ノードは、前記第1ディザ電流源を第1信号経路における前記負荷デバイスに直接に接続することが可能であり、

前記第1スイッチの第2ノードは、前記第1ディザ電流源を第2信号経路における前記負荷デバイスに直接に接続することが可能であり、

前記第1スイッチの第3ノードは、前記第1ディザ電流源をバイアス電流源に接続することが可能であり、

前記制御デバイスは、前記第1スイッチに所定の時間前記3つのノードのうち1つと接続させる要因となる第1制御信号を発生するとともに、前記第2スイッチに前記2つのノードのうち1つと接続させる要因となる第2制御信号を発生することが可能であることを特徴とする請求項12に記載のコンパレータ。

【請求項14】

複数のコンパレータを具備し、

前記複数のコンパレータの各々は、少なくとも1つの前置増幅器と、前記少なくとも1つの前置増幅器に接続されるラッチ回路とを具備し、

前記少なくとも1つの前置増幅器の各々は、少なくとも1つの信号経路と、前記少なくとも1つの信号経路のうち1つに選択的に接続される第1ディザ電流源とを具備し、

前記少なくとも1つの信号経路は、入力と出力との間に延び、前記少なくとも1つの前置増幅器の前記出力に接続された負荷デバイスと前記少なくとも1つの前置増幅器の前記入力に接続されたトランジスタと前記トランジスタのソースに接続されたバイアス電流源とを有し、

前記第1ディザ電流源は、前記少なくとも1つの信号経路における前記負荷デバイス及び前記バイアス電流源のうち1つに選択的に接続され、

前記ラッチ回路は、第1出力及び第2出力を具備し、

前記ラッチ回路は、前記ラッチ回路の第1出力及び第2出力のうち1つに選択的に接続される第2ディザ電流源を具備することを特徴とするアナログデジタル変換器(ADC)。

【請求項15】

入力トランジスタの対と、

負荷デバイスの対と、

前記入力トランジスタのソースに接続されるバイアス電流源と、

前記入力トランジスタのソース及び前記入力トランジスタのドレインに選択的に接続されるディザ電流源を具備し、

前記負荷デバイスの対の各々は、前記入力トランジスタのドレインに接続され、

前記入力トランジスタの対の各々は、それぞれ負荷デバイスに接続されるとともに、信号経路を備え、

前記入力トランジスタの対の各々は、差動入力の前記対のうち1つに接続されることを特徴とする増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的にアナログ増幅器に関する。具体的には、本発明は、アナログデジタ

10

20

30

40

50

ル変換を改善するために出力信号にディザを追加したアナログ増幅器に関する。上記増幅器は、コンパレータの前置増幅器、又はアナログデジタル変換器として使用してもよい。

【背景技術】

【0002】

ディザは、回路システムにおける、非直線的挙動、又は非理想的挙動を隠すために用いられる意図的に追加されたノイズのことである。ディザノイズを発生させる処理を、「ディザリング(dithering)」と称する。

【0003】

アナログデジタル変換中における量子化は、出力信号における非直線性、又は非理想性を引き起こす。アナログデジタル変換器(ADC)において、ディザリングを、一連の非直線的な量子化誤差を無相関化するために用いてもよい。言い換えれば、ディザを、ADC変換機能における、突然又は急激な変化などの非直線性を隠す又は平滑化するために用いてもよい。ディザリングの背景にある理論は、ミックスド・シグナル信号処理(mixed signal processing)の分野においてよく知られている。

【0004】

図1は、LTP(long-tailed pair)として、従来技術において一般的に知られている従来の差動増幅器(100)を図示している。上記差動増幅器は、ソース端を共に接続したNMOSトランジスタなどの一対のトランジスタ(102, 104)を有する。トランジスタの各々を、それぞれのトランジスタのドレインにおいて、負荷抵抗R(106, 108)を介し基準電圧 V_{DD} に接続している。上記増幅器(100)は、トランジスタ(102, 104)を介してバイアス電流 I_{bias} を供給する共通電流源(110)を具備していてもよい。上記バイアス電流は、トランジスタの動作点を設定することが可能である。負荷抵抗(106, 108)を介して流れる上記電流量を、トランジスタに入力端子における、それぞれの入力電圧信号 V_{in+} 及び V_{in-} によって制御してもよい。出力電圧を、出力電流に基づき出力端子 V_{out+} 及び V_{out-} を決定してもよい。

【0005】

差動増幅器が定因子(差動利得と呼ばれる)によって出力信号($V_{out+} - V_{out-}$)を発生する2つの入力電圧($V_{in+} - V_{in-}$)間の差を増幅することは、一般的に知られている。従来では、LTP(long-tailed pair)における上記 I_{bias} は、トランジスタ(102, 104)の動作点を設定するため、増幅器にほぼ一定の電流を供給する。上記従来のアナログ差動増幅器において、出力差($V_{out+} - V_{out-}$)を、入力電圧差($V_{in+} - V_{in-}$)に対して固定比率となるようにしてもよい。

【0006】

Fettermanによる米国特許第6,172,629号(以降、`629特許)は、パイプライン型ADC(pipe lined ADC)をディザ処理するため乱数化された電圧レベルを使用する方法とシステムを記載している。例えば、上記`629特許の図4は、いくつかの複合トランジスタ対(T1A/T2A, T1B/T2B, T1C/T2C、及びT1D/T2D)を有する差動増幅器を図示している。T1B/T2B、T1C/T2C、及びT1D/T2Dの開閉処理を、M11/M21、M12/M22、及びM13/M23のゲートの対における入力電圧信号によって制御する。入力電圧値は、乱数発生器によって決定される。M11/M21、M12/M22、及びM13/M23の上記乱数化された開閉処理を介して、T1A/T2A対の有効なサイズ(effective size)を、ランダムに変化させてもよい。T1A/T2A対の有効なサイズが変化したにもかかわらず、電流源(110)は、一定に保たれる。ディザリングという目的を達成するために、上記`629特許は、ON及びOFFを切り替えられる多重入力トランジスタを使用している。しかしながら、入力トランジスタをON・OFFする際、上記増幅器の入力と出力には、望ましくない効果を引き起こす寄生性が生じる可能性がある。その上、低供給電圧における動作では、上記`629特許の図4に示されている構成は、制限されたヘッドルームを有している可能性がある。低供給電圧下では、複合トランジスタTのドレイン/ソースを通過して降下した適切な電圧は、飽和(つまり、高利得)領域の動作においてTを維持するため重要な設計パラメータとなる。電圧は、入力トランジスタTと負荷抵抗Rとの間に挿入されたスイッチMを通過して降下するとともに、前記入力トランジスタTに対してより小さな電圧ヘッドルームのままとなる可能性がある。

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0007】

それ故、より小さい寄生効果を有するとともに、従来の試みより大きなヘッドルームを有するディザリング装置、又は方法が必要となる。

【課題を解決するための手段】

【0008】

本発明の増幅器は、少なくとも1つの信号経路と、前記少なくとも1つの信号経路のうち1つに選択的に接続されるディザ電流源とを具備し、前記少なくとも1つの信号経路の各々は、入力と出力との間に延び、前記出力に接続された負荷デバイスと前記入力に接続されたトランジスタとを有し、前記ディザ電流源は、前記選択された信号経路における前記トランジスタをバイパスすることによって、前記選択された信号経路の前記負荷デバイスにディザ電流を直接供給することを具備することを特徴とする。

10

【図面の簡単な説明】

【0009】

【図1】ディザを追加しない従来の差動増幅器を示す図である。

【図2】本発明の一実施形態によるディザ発生源を組み込んだ差動増幅器を示す図である。

【図3】本発明の一実施形態による2ビットディザを追加した前置増幅器を示す図である。

20

【図4】本発明の一実施形態によるディザを追加したラッチを示す図である。

【図5】本発明の一実施形態による2つの前置増幅器段、及びラッチを有するコンパレータ機構を示す図である。

【図6】本発明の一実施形態によるディザを追加したコンパレータからの入力を用いたアナログデジタル変換器を示す図である。

【発明を実施するための形態】

【0010】

本発明の実施形態は、少なくとも1つの信号経路を具備するアナログ増幅器である。上記少なくとも1つの信号経路の各々は、入力端子と出力端子との間に延びるとともに、出力端子に接続された負荷デバイスと入力端子に接続されたトランジスタとを具備する。上記アナログ増幅器は、上記少なくとも1つの信号経路に選択的に接続されたディザ電流源を更に具備する。上記ディザ電流源は、選択された信号経路のトランジスタをバイパスすることによって、選択された信号経路の負荷デバイスに対してディザ電流を直接供給することができる。

30

【0011】

図2は、本発明の一実施形態によるディザ電流源を組み込んだ差動増幅器(200)を図示している。図2は、あくまで例示を目的としている。他の実施形態において、上記増幅器は、例えば、入力信号と出力信号との間に延びる1つの信号経路(図示せず)のみのような、他の構成を有していてもよい。図2を参照すれば、上記増幅器(200)は、トランジスタ(202, 204)と、前記トランジスタ(202, 204)にそれぞれ接続された負荷デバイス(206, 208)とを備える信号経路の対(V_{in+} から V_{out-} へ延びる第1信号経路、 V_{in-} から V_{out+} へ延びる第2信号経路)を具備していてもよい。上記増幅器(200)は、バイアス電流源(208)と、ディザ電流源(210)とを更に具備していてもよい。上記ディザ電流源を、三分岐スイッチS1を介し増幅器回路内のノードN1、ノードN2、ノードN3に対し選択的に接続してもよい。上記バイアス電流源208を、共通ノードN3にあるトランジスタのソースに接続してもよい。

40

【0012】

上記バイアス電流源208は、ほぼ一定のバイアス電流 I_{bias} を増幅器(200)に、例えば従来の差動増幅器などに、供給することが可能である。上記ディザ電流源210は、接続されたノードN1、ノードN2、又はノードN3にディザ電流を供給することが可能である。上記電流源をノードN1に接続する場合、ディザ電流を、出力段において差動モード信号を出力す

50

る V_{out-} の負荷に直接供給することが可能となる。一方、上記ディザ電流源をN2に接続する場合、ディザ電流を、逆向きに、出力段において差動モード信号を出力する V_{out+} の負荷に直接供給することが可能となる。上記電流源をN3に接続する場合、ディザ電流は、後続の信号処理によって排除される共通モード信号を出力するバイアス電流 I_{bias} とともに共通ノードN3に接続される。ディザ電流源210によって供給される上記ディザ電流は、バイアス電流源208によって供給されるバイアス電流と比べて小さくてもよい。例えば、 $I_{dither} = 0.1 * I_{bias}$ であってもよい。しかしながら、ある状況下では、 I_{dither} は、 I_{bias} と同じくらいの電流値であってもよい。

【0013】

動作中、上記スイッチS1を、所定の時間、3つのノード(N1、N2、及びN3)のうち1つに接続してもよい。つまり、 V_{out+} 端子(ノードN1)、 V_{out-} 端子(ノードN2)、又は共通ノードN3のうち1つに接続してもよい。共通ノードN3は、トランジスタ(202, 204)のドレインが互いに接続する。例えば、S1をノードN3に接続して、ディザ電流 I_{dither} が共通ノードに流れる場合、出力のどちら側に対しても差動オフセットは存在しない。S1をノードN1に接続した場合、上記ディザ電流 I_{dither} は、負荷デバイス206に直接供給されるが、負荷デバイス208には供給されない。上記追加電流は、トランジスタ(202, 204)の差動入力信号($V_{in+} - V_{in-}$)に起因する差動出力信号($V_{out+} - V_{out-}$)に加えて、負の電圧オフセットを V_{out-} に生じさせる。一方、S1をノードN2に接続した場合、上記ディザ電流 I_{dither} は、負荷デバイス208に直接供給されるが、負荷デバイス206には供給されない。上記追加電流は、トランジスタ(202, 204)の差動入力信号($V_{in+} - V_{in-}$)に起因する差動出力信号($V_{out+} - V_{out-}$)に加えて、電圧オフセットを V_{out+} に生じさせる。ノードN1及びN2に接続するスイッチS1によって生じる上記正と負の電圧オフセットは、互いに正反対となっている。それ故、上記ディザ回路(210, 212)は、第1信号経路方向又は第2信号経路方向における出力端子 V_{out+} と出力端子 V_{out-} との間にオフセットを生じさせてもよい。又は、あらゆるオフセットを全く生じさせないように上記ディザ回路(210, 212)を設定してもよい。

【0014】

ある実施形態において、上記増幅器(200)は、ADCの各サンプリング周期に対してS1による3つのノード(N1, N2, N3)間のランダムな切り替え処理を制御するディザ制御デバイス(214)を具備していてもよい。例えば、上記ADCの各サンプリング周期の開始時点において、ディザ制御器214は、乱数と前記乱数に基づく制御信号とを発生してもよい。上記制御信号は、S1を3つのノード(N1, N2, N3)のうち1つに対してランダムに接続されるようにしてもよい。

【0015】

図2に示される I_{dither} の大きさも、ディザ制御器(214)によって可変的に制御してもよい。上記のように、追加したディザを、 I_{dither} の大きさを変化させることによって制御してもよい。上記のように、上記オフセットを、差動増幅器のどちら一方の側に対して追加してもよいだけでなく、上記オフセットの大きさを、ディザ制御デバイスの制御下で変化させてもよい。

【0016】

本発明のある実施形態において、 I_{dither} の振幅に関連する上記ディザの大きさを、上記増幅器を備える集積回路の動作状況に応じて制御してもよい。例えば、上記 I_{dither} の大きさを、装置のクロック周波数に比例するように制御してもよい。高クロック周波数においてより大きなディザを供給する処理は、高クロック周波数において増加する電子デバイスにおける非直線成分作用の影響を無効化することを可能とする。他の実施形態において、上記ディザの大きさは、クロック周波数の変化量に比例していてもよい。例えば、クロック周波数のより大きな変化量に対して、上記ディザの大きさは、より大きくなってもよい。他の実施形態において、上記ディザの大きさを、動作温度に依存させてもよい。例えば、上記 I_{dither} の大きさを、上記温度に比例するように、又は時間経過に基づいた温度変化といった温度変化率に比例するように制御してもよい。更に他の実施形態において、上記ディザの大きさは、集積回路内部における又は共通集積回路の生産ロットにわたる

10

20

30

40

50

、キャパシタンス及び抵抗のばらつきなどプロセス変動にตอบสนองしてもよい。

【0017】

ある実施形態において、 I_{dither} は、別個の電流源というよりむしろ I_{bias} の一部であってもよい。上記の実施形態において、出力にディザノイズを発生させる差動増幅器のどちらか一方の側に対し、 I_{bias} の(I_{dither} に対する)割合を操作するためにスイッチを用いてもよい。ディザを無効とするには、増幅器をディザリングするために使用される上記 I_{bias} の一部を、共通ソースノードに単純に接続しつづけるようにしてもよい。

【0018】

他の実施形態によれば、差動増幅器は、マルチビットディザリングを発生するために複数のディザ発生源を具備していてもよい。図3は、本発明の実施形態による2ビットディザを追加した増幅器を示す図である。図3の差動増幅器は、NMOSトランジスタ(302, 304)の対と、それぞれ前記トランジスタ(302, 304)に接続された負荷ダイオード(306, 308)と、前記トランジスタ(302, 304)のドレインに接続する共通ノードに接続されたバイアス電流源 I_{bias} (310)と、複数のディザ発生源312・314とを具備していてもよい。第1ディザ電流源(312)を、上記負荷ダイオード(306, 308)のうちの1つ、又は第1三分岐スイッチS1(316)を介して共通ノードN3に接続してもよい。第2ディザ電流源を、上記負荷ダイオード(306, 308)のうちの1つ、又はノードM1・M2・M3における第2三分岐スイッチS2(318)を介して共通ノードN3に選択的に接続してもよい。ある実施形態において、上記ディザ発生源312・314を、2進数の桁の重み付けに従って増やしてもよい(例えば： I_{dither} 、 $2 \cdot I_{dither}$ など)。

【0019】

動作中、上記第1スイッチS1を、所定の時間、S1の3つのノード(N1, N2, N3)のうち1つに接続してもよい。つまり、 V_{out+} 端子(ノードN1)、 V_{out-} 端子(ノードN2)、又はトランジスタ(302, 304)のドレインが接続する共通ノードN3のうち1つに接続してもよい。図3の上記スイッチS1は、負荷デバイス306、又は負荷デバイス308のそれぞれに対し、 I_{dither} に比例する正、又は負のオフセットを供給してもよい。同様に、上記第2スイッチS2を、所定の時間、S2の3つのノード(M1, M2, M3)のうち1つに接続してもよい。つまり、 V_{out+} 端子(ノードM1)、 V_{out-} 端子(ノードM2)、又はトランジスタ(302, 304)のドレインが接続する共通ノードM3のうち1つに接続してもよい。S2をノードM1に接続した場合、上記ディザ電流($2 \cdot I_{dither}$)は、負荷デバイス306に直接供給されるが、負荷デバイス308には供給されない。上記追加電流($2 \cdot I_{dither}$)は、トランジスタ(302, 304)の差動入力信号($V_{in+} - V_{in-}$)に起因する差動出力信号($V_{out+} - V_{out-}$)に加えて、負の電圧オフセットを V_{out-} に生じさせる。上記追加オフセットは、ディザ電流の大きさに比例してもよい。一方、S2をノードM2に接続した場合、上記ディザ電流($2 \cdot I_{dither}$)は、負荷デバイス308に直接供給されるが、負荷デバイス306には供給されない。上記追加電流($2 \cdot I_{dither}$)は、トランジスタ(302, 304)の差動入力信号($V_{in+} - V_{in-}$)に起因する差動出力信号($V_{out+} - V_{out-}$)に加えて、電圧オフセットを V_{out+} に生じさせる。ノードN1及びM1に接続するスイッチS1及びS2によって生じる上記負の電圧オフセットは、ノードN2及びM2に接続するスイッチS1及びS2によって生じる上記正の電圧オフセットと正反対となっている。それ故、上記ディザ回路(310, 312, 314, 316)は、第1信号経路方向又は第2信号経路方向における出力端子 V_{out+} と出力端子 V_{out-} との間にオフセットを生じさせてもよい。又は、あらゆるオフセットを全く生じさせないように設定してもよい。

【0020】

表1は、S1及びS2のノード位置に関して、負の負荷、正の負荷、又は共通ノードを適用した際の第1ディザ電流源及び第2ディザ電流源の真理値表である。上記負と正のオフセットは、0から $3 \cdot I_{dither}$ の値域となる。つまり、表1は、2ビットディザ制御を図示している。

【0021】

【表1】

S1の接続先	S2の接続先	正の オフセット	負の オフセット	オフセット 無し
N1	M1	0	$3 \cdot I_{dither}$	0
N1	M2	$2 \cdot I_{dither}$	I_{dither}	0
N1	M3	0	I_{dither}	$2 \cdot I_{dither}$
N2	M1	I_{dither}	$2 \cdot I_{dither}$	0
N2	M2	$3 \cdot I_{dither}$	0	0
N2	M3	I_{dither}	0	$2 \cdot I_{dither}$
N3	M1	0	$2 \cdot I_{dither}$	I_{dither}
N3	M2	$2 \cdot I_{dither}$	0	I_{dither}
N3	M3	0	0	$3 \cdot I_{dither}$

10

20

【0022】

ある実施形態において、上記増幅器(300)は、所定の時間、S1をノードN1、ノードN2、ノードN3のうち1つにランダムに接続するとともに、S2をノードM1、ノードM2、ノードM3のうち1つにランダムに接続するように、S1及びS2の切り替え処理を制御するディザ制御デバイス(320)を具備してもよい。一実施形態において、上記S1及びS2におけるランダムな切り替えは、ADCの各サンプリング周期に対して発生してもよい。上記ディザ制御デバイスは、2つの独立した制御信号をS1及びS2に対して発生するために、2つの独立した乱数発生器を具備してもよい。一実施形態において、上記乱数は、線形フィードバックシフトレジスタ(LFSR)を用いて実装してもよい。

【0023】

S1及びS2のランダムな切り替えによって、全2ビットのディザ電流を、表1のディザ電流に基づいたオフセットを有する差動増幅器のどちらか一方の側に対して発生してもよい。図3の回路は、負荷としてPMOSデバイスが接続されたダイオードを用いているにもかかわらず、上記増幅器に対するディザの効果は、負荷抵抗、又は他の種類の負荷デバイスと実質的に同等であることに留意する必要がある。図2に示した差動増幅器と同様に、上記 I_{dither} の大きさは、クロック周波数、温度、及びノ又はプロセス変動などの環境因子に基づいて変化してもよい。

30

【0024】

本発明の原理は、2ビット以上にも拡張できる。例えば、3ビット及び4ビットのディザは、2進数の桁の重み付け(それぞれ、 $4 \cdot I_{dither}$ 及び $8 \cdot I_{dither}$)を拡張する追加ディザ電流源を追加することによって供給することが可能となる。つまり、本発明の原理は、Nビットディザに対応している。Nは、個々の必要性に応じて変化させることが可能である。多くの場合は、2つのディザ電流源で事足りる。

40

【0025】

上記ディザ電流 I_{dither} は、差動増幅器の他の部分(出力以外)に追加してもよい。例えば、増幅器がカスコード(cascode)デバイスを具備する場合、上記ディザ電流を、出力端子だけでなく、カスケードデバイスのソースノードなどの他の場所にも、信号経路に追加してもよい。

【0026】

図2及び図3に示されているものと同様のディザ電流源を、コンパレータ内部のラッチ回

50

路などの他の種類の回路に追加してもよい。図4は、一実施形態によるディザを追加した2段ラッチを示す図である。図4を参照すれば、2段ラッチ回路は、それぞれのドレインを共に接続した入力PMOSトランジスタ(402, 404)の対と、2段重ねのラッチを構成している2対のPMOSトランジスタ(406, 408, 410, 412)を具備している。入力トランジスタの出力は、第1PMOSラッチの対の2つの入力のうち1つに、それぞれ接続されている。第1PMOSラッチの対の出力は、第2ラッチの対に接続される。上記ラッチ回路(400)は、第1及び第2ラッチ段の間を短絡させることによって、ラッチの状態をリセットするためのスイッチS2(414)を具備している。上記の実施形態において、ディザ電流源 I_{dither} (418)を、第1ラッチ段にある2つの出力 V_{out} のうち1つに対し、 V_{out} に正、又は負のオフセットに供給する二分岐スイッチS1を介して選択的に接続してもよい。上記ラッチ(400)は、 I_{dither} を V_{out} のどちらか一方の側にランダムに接続するようにS1を制御するディザ制御デバイス(420)を具備している。10

【0027】

S1を、ディザ制御器(420)によって制御してもよい。上記ディザ制御器は、ノードA、又はノードBにランダムに接続させる乱数発生器に基づき、制御信号を発生してもよい。上記のように、 I_{dither} におけるランダムな正、又は負のオフセットを、出力 V_{out} に供給してもよい。図2に示した差動増幅器と同様に、上記 I_{dither} の大きさは、クロック周波数、温度、及びノ又はプロセス変動などの環境因子に基づいて変化してもよい。

【0028】

コンパレータが、多段化した前置増幅器を有している場合、ディザ電流を、別々の段に供給をしてもよい。図5は、本発明の一実施形態による2つの前置増幅器段、及びラッチ段を有するコンパレータの構成を示す図である。上記コンパレータは、第2前置増幅器段(504)に接続された第1前置増幅器段(502)を具備している。上記前置増幅器は、図2、及び図3に示されるような差動増幅器、又は他の種類の増幅器であってもよい。上記2段増幅器を、図4に示されているようなラッチ段(506)に接続してもよい。20

【0029】

動作において、ディザ電流を、各段のそれぞれの出力に正、又は負のオフセットを供給するために、3つの段の各々に対して供給してもよい。上記ディザ制御デバイス(508)は、ディザ制御デバイスで発生した独立した乱数列に基づいて、各段ごとに極性、及びオフセット量を制御してもよい。30

【0030】

一実施形態において、それぞれの段における上記ディザ電流の大きさは、段毎によって異なってもよい。例えば、段1、段2、及び段3のディザ電流を、 I_{dither} 、 $I_{dither2}$ 、及び $I_{dither3}$ とした仮定した場合、上記ディザ電流を、 $I_{dither} = I_{dither2} / K1$ 、及び $I_{dither2} = I_{dither3} / K2$ として設定してもよい。ここで、K1とK2は、スケール因子である。一実施形態において、K1とK2は、定スケール因子であってもよい。

【0031】

本発明の実施形態を、アナログデジタル変換器(ADC)を含む装置に用いてもよい。図6は、本発明の一実施形態によるディザを追加するアナログデジタル変換器である。図6を参照すれば、上記ADCは、一連のコンパレータを具備している。コンパレータの各々は、第1前置増幅器段(602)、第2前置増幅器段(604)、及びラッチ回路(606)を更に具備している。図5に示したように、ディザを、第1前置増幅器段、第2前置増幅器段、及びラッチ回路それぞれに対して供給してもよい。コンパレータの各々を、エンコーダ(610)の異なる1つの入力端子に接続している。40

【0032】

上記の実施形態において、典型的なラダー抵抗により分岐された入力電圧信号 V_{in} 及び基準電圧 V_{ref} は、差動入力信号対を第1前置増幅器段(602)に供給してもよい。上記ラダー抵抗は、あくまで例示を目的としている。他の種類の電圧分配器を、基準電圧を生成するために使用してもよい。入力信号対(V_{in} 及び V_{ref})を、出力信号をラッチ回路(606)に供給する第2前置増幅器(604)を介して、更に供給してもよい。第1及び第2前置増幅器段を、図50

2に示すような I_{bias} の共通ソース電流を有するLTP(long-tailed pair)差動増幅器としてもよい。他の形式の前置増幅器を使用してもよい。ディザ電流 I_{dither} を、図2に関連して記載した正と負のオフセットを供給する三分岐スイッチを介して、第1及び第2前置増幅器段の各々に供給してもよい。一実施形態においては、ディザ制御デバイスは、前置増幅器段の各々において独立にディザ電流の切り替えを制御してもよい。そのため、第1前置増幅器段の上記三分岐スイッチを、第2前置増幅器段の三分岐スイッチとは独立して動作させる。

【0033】

第2前置増幅器段の出力信号を、 V_{in} 及び V_{ref} で表している信号を比較するために、ラッチに供給してもよい。上記ラッチに、ディザ制御デバイス(図4参照)によって制御されたディザ電流を供給してもよい。上記ラッチの出力は、電圧分配器によって分配された後、 V_{in} が V_{ref} より大きいかどうかを表す2進数(1/0)であってもよい。エンコーダ(610)を、2進法でデジタル出力エンコードするために用いてもよい。つまり、アナログである V_{in} を2進コードに変換する。例えば、8段階に量子化した入力信号を、2進数($b_0 - b_7$)の3ビットにエンコードしてもよい。

10

【0034】

当業者であれば、本発明を様々な形態に実施するとともに、様々な実施形態をそのまま又は組み合わせで実施することができることを記載したこれまでの内容より理解することは可能である。それ故、本発明の実施形態は、特別な例として記載されている。他の変形例については図面、明細書、以降の特許出願の範囲を精査することで当業者に明らかになるので、本発明の実施形態、及び/又は方法における真の範囲は限定されない。

20

【符号の説明】

【0035】

- 200 差動増幅器
- 202, 204 トランジスタ
- 206, 208 負荷デバイス
- 210 ディザ電流源
- 214 ディザ制御デバイス

【図1】

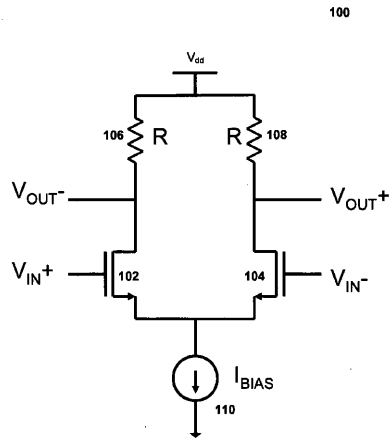
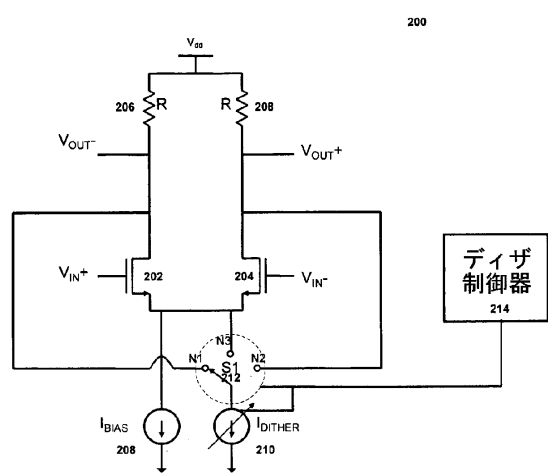
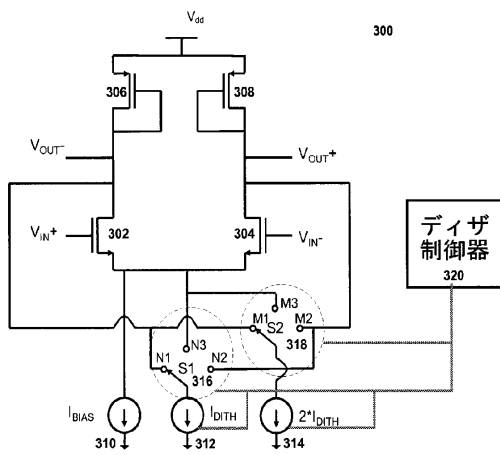


FIG. 1

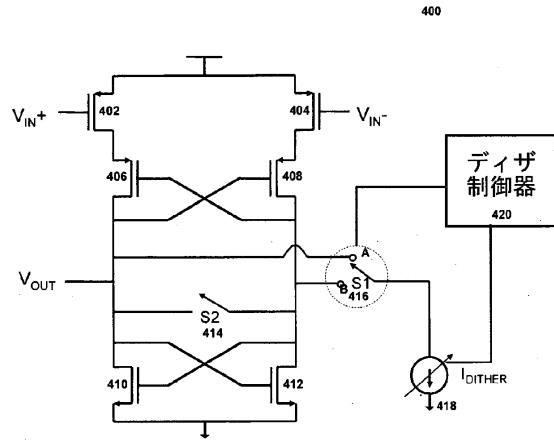
【図2】



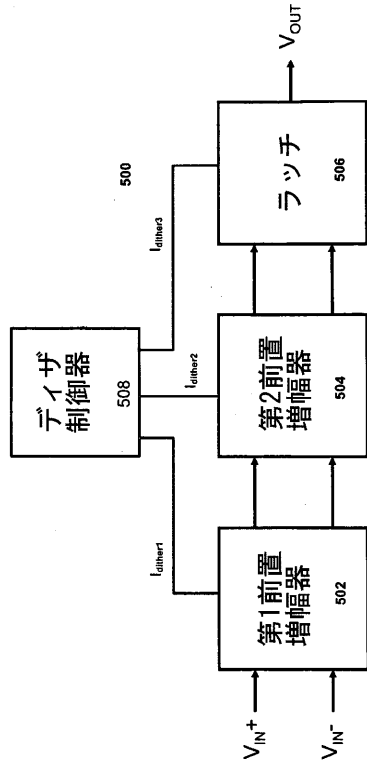
【図3】



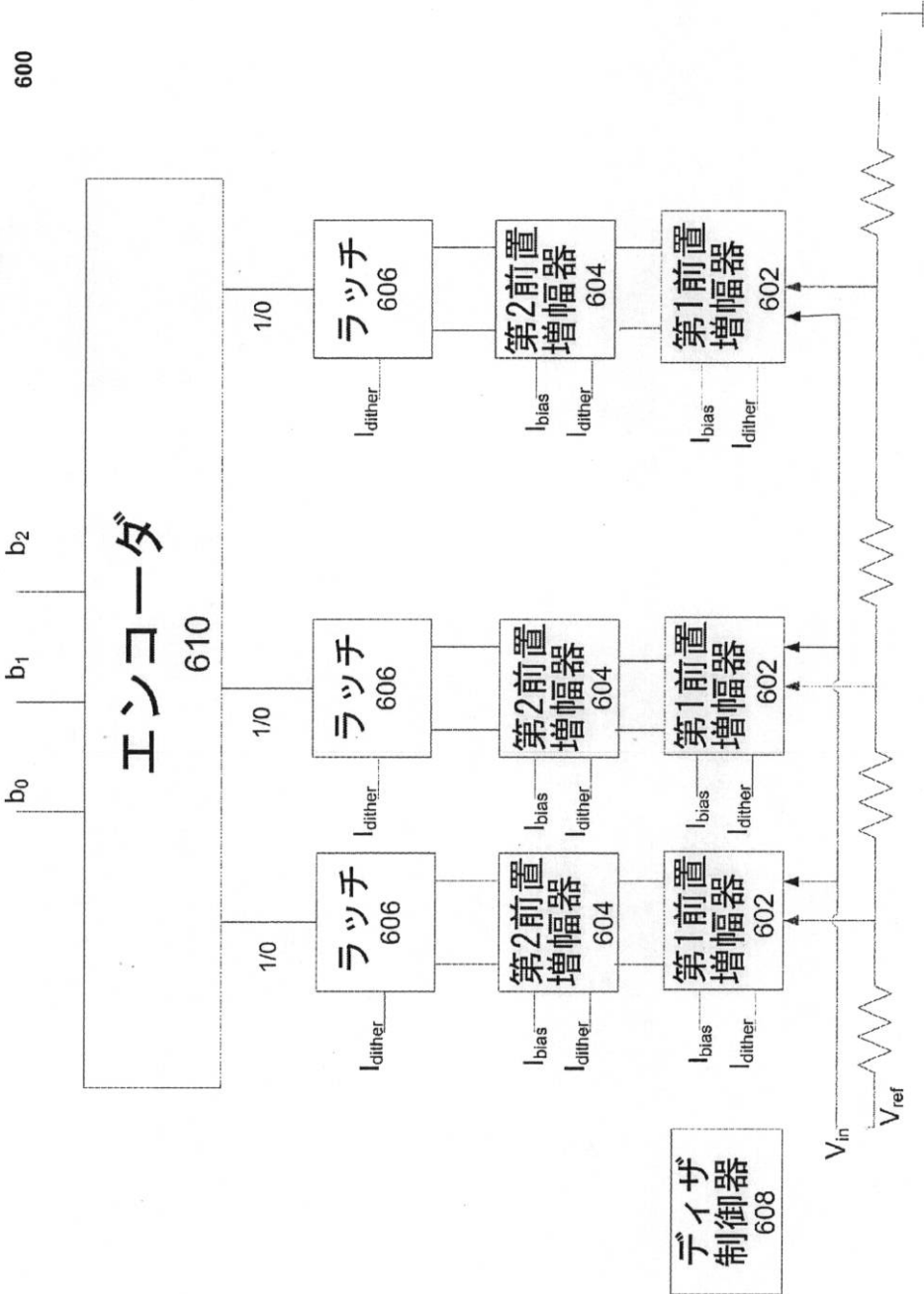
【図4】



【図5】



【図6】



600

エンコーダ
610

ラッチ
606

第2前置
増幅器
604

第1前置
増幅器
602

ラッチ
606

第2前置
増幅器
604

第1前置
増幅器
602

ラッチ
606

第2前置
増幅器
604

第1前置
増幅器
602

ダイザ
制御器
608

V_{in}

V_{ref}

フロントページの続き

(72)発明者 ロナルド・エー・カプスタ
アメリカ合衆国・マサチューセッツ・02453・ウォーザン・スクール・アヴェニュー・61・
#1

審査官 高橋 義昭

(56)参考文献 特開2002-314427(JP,A)
特表2009-516433(JP,A)
特開平07-321660(JP,A)
特開2005-257635(JP,A)
特開2007-243620(JP,A)
特開平11-330964(JP,A)
特開2007-028690(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03F 3/45
H03M 1/10
H03M 1/12